

(43) 国際公開日
2006 年 3 月 23 日 (23.03.2006)

PCT

(10) 国際公開番号
WO 2006/030576 A1

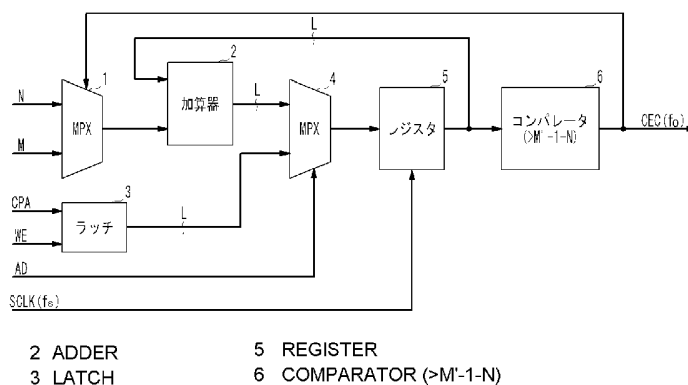
- (51) 国際特許分類⁷: H04B 1/707, G01S 5/14
 (21) 国際出願番号: PCT/JP2005/012331
 (22) 国際出願日: 2005 年 7 月 4 日 (04.07.2005)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2004-269583 2004 年 9 月 16 日 (16.09.2004) JP
 (71) 出願人 (米国を除く全ての指定国について): 古野電気株式会社 (FURUNO ELECTRIC CO., LTD.) [JP/JP];
 〒6628580 兵庫県西宮市芦原町 9 番 5 2 号 Hyogo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 王 盾 (WANG, Dun) [CN/JP]; 〒6628580 兵庫県西宮市芦原町 9 番 5 2 号 古野電気株式会社内 Hyogo (JP). 岡田 勉

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
 (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: CODE NCO AND GPS RECEIVER

(54) 発明の名称: コード NCO および GPS 受信機



(57) Abstract: A code NCO for properly outputting a predetermined code enable signal depending on the frequency of a clock signal by easy control with an optimum circuit scale. A multiplexer (1) receives relatively prime integers N, M and outputs either of them to an adder (2) according to the output signal of a comparator (6). The adder (2) adds the integer latched in a register (5) to the integer outputted from the multiplexer (1) and outputs the sum to the register (5) through a multiplexer (4). The register (5) latches the inputted integer with the frequency f_s of a sampling clock signal SCLK and outputs the integer to a comparator (6). According to the threshold determined by the integers N, M and the numbers of bits L of the adder (2) and the register (5), the comparator (6) outputs a signal which goes to a high level only when the integer outputted from the register (5) meets the threshold condition. The code NCO outputs the signal as a code enable signal of frequency f_0 .

(57) 要約: クロック信号の周波数に応じて最適な回路規模で容易な制御を行って正確に所定のコードイネーブル信号を出力するコードNCOを提供する。マルチプレクサ1には互いに素となる整数N, Mが入力されて

[続葉有]



WO 2006/030576 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

おり、コンパレータ6の出力信号に応じていずれか一方を加算器2に出力する。加算器2はレジスタ5にラッチされている整数とマルチプレクサ1で出力される整数とを加算して、マルチプレクサ4を介してレジスタ5に出力し、レジスタ5はこの入力された整数をサンプリングクロック信号SCLKの周波数 f_s でラッチしてコンパレータ6に出力する。コンパレータ6は、整数N、Mおよび加算器2やレジスタ5のビット数Lにより設定される閾値に従い、レジスタ5の出力整数がこの閾値条件を満たすときにのみHi状態となる信号を出力する。そして、コードNCOはこの信号を周波数 f_o のコードイネーブル信号として出力する。

明 細 書

コードNCOおよびGPS受信機

技術分野

- [0001] この発明は、C/AコードやP(Y)コードであるPNコードの生成に用いるコードイネーブル信号を出力するコードNCOと、該コードNCOを備えたGPS受信機に関するものである。

背景技術

- [0002] 従来、GPS受信機は、PNコードにより変調された信号を復調することで、信号に含まれる、キャリア位相、コード位相、および航法メッセージ等を観測して測位に用いる。この信号の復調方法としては、まず、受信したGPS信号を同相信号と直交信号とに分離した後A/D変換する。次に、キャリアNCOから出力されるキャリア位相信号によりベースバンドの同相信号と直交信号とを生成し、これらの信号とPNコード発生器からのPNコードとを相関処理することで、キャリア位相、コード位相、および航法メッセージ等の情報を再生する。
- [0003] そして、GPS受信機には、このPNコード発生器にPNコードの発生タイミングを与えるコードイネーブル信号を生成するコード発生部としてコードNCOが備えられている。
- [0004] 図18は従来一般的なコードNCOの概略構成を示すブロック図である。
- [0005] 図18に示すように、従来のコードNCOは、加算器101、マルチプレクサ(MPX)102、レジスタ103、およびラッチ回路104を備える。加算器101は、所定の設定値Pと、レジスタ103から出力された整数とを入力して、これらの加算値をマルチプレクサ102に出力する。ラッチ回路104は、図示しないマイクロプロセッサからコードNCOの位相を調整するための位相調整値CPA(Code Phase Adjustment)と、ライトイネーブル信号WEとを入力して、ライトイネーブル信号WEによるタイミングで位相調整値CPAを出力する。マルチプレクサ102は、加算器101から出力された整数とラッチ回路104から出力された位相調整値CPAとを入力して、調整タイミング信号AD(Adjust Timing)に応じて一方を出力する。レジスタ103はマルチプレクサ102から入力される

信号をサンプリングクロック信号SCLK(以下、「クロック信号」と称す。)に基づきラッチして加算器101に出力するとともに、コードイネーブル信号として出力する。

[0006] この際、設定値Pは次の式により与えられる。

[0007] [数1]

$$P = \frac{f_0}{f_s} \times 2^L \quad \text{— (1)}$$

[0008] しかしながら、クロック信号SCLKの周波数(f_s)と、コードイネーブル信号の周波数 f_0 との関係から、設定値Pが整数になるとは限らない。この場合、いわゆる丸め誤差が生じ、コードNCOのコード分解能が低下したり、累積誤差が発生したりする。ここで、分解能の低下の問題は加算器やレジスタのビット数を増加させることにより解消でき、累積誤差の発生は位相調整値を定期的に入力することにより解消できるが、コードNCOの回路規模が大きくなったり、制御が複雑になったりするという新たな問題が生じる。

[0009] このような問題を解決する装置が特許文献1に記載されており、その概略構成を示すブロック図を図19に示す。

[0010] 図19に示すように、従来の他の構成のコードNCOはマルチプレクサ201、加算器202、ラッチ回路203を備える。

[0011] マルチプレクサ201はシフトモードまたはノーマルモードのいずれかで動作する。シフトモードの場合に、マルチプレクサ201は、位相制御値(CONTROL)を入力して加算器202に出力する。ここで、位相制御値(CONTROL)は、加算器202およびラッチ回路203のビット数をLとすると次式で表される。

[0012] [数2]

$$\text{CONTROL} = \frac{M - \text{SHIFT}}{2^L - M + N} \quad - (2)$$

[0013] ここで、SHIFTは現時点の位相から移動させる位相量であり、クロック信号(SCLK)の単位で表される。

[0014] また、マルチプレクサ201は、ノーマルモードの場合に、セクタ端子(SELECT)に☐入力されるラッチ回路203のQ12の値に応じて、整数Nまたは整数Mを選択して出力する。ここで、Q12が「0」の時には整数Nを出力し、Q12が「1」の時には整数Mを出力する。

[0015] 加算器202は、マルチプレクサ201から☐入力された値とラッチ回路203から出力された値とを加算して、ラッチ回路203に出力する。

ラッチ回路203は、☐入力されるクロック信号SCLKを用いて、加算器202からの出力をラッチして出力する。この際、Q12が「1」ならば、ラッチ回路203の出力信号を、コードイネーブル信号CECとして外部出力する。

[0016] このような構成のNCOに出力では、コードイネーブル信号CECの周波数 f_0 は次式で表すことができる。

[0017] [数3]

$$f_0 = \frac{N \times f_s}{2^L - M + N} \quad - (3)$$

[0018] そして、このコードNCOは次のような条件で最適に用いられる。

[0019] その条件とは、クロック信号SCLKの周波数 f_s が25MHzであり、ビット数Lが12であって、整数Nを1023とし、整数Mを2619とする場合であり、この時、コードイネーブル信号CECの周波数 f_0 は10.23MHzとなる。

特許文献1: United States Patent, "5,663,733", Sep.2, 1997

発明の開示

発明が解決しようとする課題

- [0020] ところが、前述の特許文献1に記載のコードNCOでは、コードイネーブル信号CECの周波数 f_0 が10.23MHzであるのに対してクロック信号SCLKの周波数 f_s が25MHzである場合にのみ、最適な回路条件を得られるが、さらに、分解能をあげるためにクロック信号SCLKの周波数 f_s を高くした場合に、最適条件を得ることができなくなってしまう。
- [0021] 特許文献1に記載のコードNCOのマシンステート(Machine State)と回路構成のビット数から実現できる状態空間(State Space)との関係を図20に示す。
- [0022] 図20は、マシンステートと状態空間との関係を示す状態図であり、(a)はマシンステートを状態空間にマッピングする前の状態図を示し、(b)はマシンステートを状態空間にマッピングした後の状態図を示す。
- [0023] 図20に示すように、入力されるクロック信号SCLKの周波数 f_s が25MHzの場合、マシンステートは0～2499の2500のステートを有する。そして、図19に示すコードNCOでは、コードイネーブル信号CECの周波数 f_0 10.23MHzに対応する1023のステートがマシンステートの上端側に位置し、マシンステートの1477～2499が利用される。
- [0024] 一方で、ラッチ回路203の出力Q12は、マルチプレクサ201の出力用のイネーブル信号として用いられているので、コードイネーブル信号CECに対応する1023のステートは、状態空間の全てのステート(0～4095($2^{12}-1$))の上位半分に位置されなければならない。すなわち、状態空間の2047($2^{11}-1$)～4095($2^{12}-1$)のステートに位置しなければならない。この結果、コードイネーブル信号CECに対応する前記1023のステートは、状態空間の2047($2^{11}-1$)～3076に位置させなければならない。
- [0025] ところが、このような構成では、クロック周波数 f_s を30.71MHz以上とする場合、マシンステートが3071以上必要となる。これにより、30.71MHz以上のクロック周波数 f_s を実現させると状態空間の上位半分に1023以上のステートが存在してしまうので、

10. 23MHzのコードイネーブル信号を生成する事ができなくなる。この結果、前述の構成では、ビット数を増加させない限り、30. 71MHz以上のクロック信号で10. 23MHzのコードイネーブル信号を発生することができない。すなわち、30. 71MHz以上のクロック信号に対して最適な回路規模で、容易な制御により10. 23MHzのコードイネーブル信号を出力するコードNCOを構成することができない。

[0026] したがって、この発明の目的は、従来のクロック信号より高周波数のクロック信号が入力されても、その周波数に応じて最適な回路規模で容易な制御を行って正確に所定のコードイネーブル信号を出力するコードNCO、およびこれを備えたGPS受信機を提供することにある。

課題を解決するための手段

[0027] この発明は、コード位相観測に用いるコードイネーブル信号を生成するコードNCOにおいて、互いに素となる2つの整数が入力され、選択信号により2つの整数のいずれかを出力する第1マルチプレクサと、該第1マルチプレクサから出力された整数とレジスタから出力された整数とを加算して出力する加算器と、該加算器から出力された整数とコード位相調整値を入力して、調整信号に基づきこれらのいずれかを出力する第2マルチプレクサと、該第2マルチプレクサからの出力をサンプリングクロック信号に応じてラッチして出力するレジスタと、該レジスタからの出力値が予め設定した所定整数値になることを検出して選択信号を出力する選択信号生成手段と、を備え、この選択信号をコードイネーブル信号とすることを特徴としている。

[0028] この構成では、加算器により経時的に順次加算されて出力される整数が選択信号生成手段で設定されている所定整数値になると、選択信号生成手段から第1マルチプレクサに選択信号が出力される。例えば、加算器から出力される整数が予め設定された整数範囲内の所定整数値であればHi状態「1」の選択信号が出力され、前記所定整数値でなければLow状態「0」の選択信号が出力される。第1マルチプレクサは、入力された選択信号に応じて、入力される2つの整数のいずれかを加算器に出力する。すなわち、Low状態「0」の選択信号の場合とHi状態「1」の選択信号の場合とで異なる整数を加算器に出力する。このループ演算を行うことで、選択信号生成手段から出力される選択信号が所定の周期性を有する。ここで、第1マルチプレクサに

入力される2つの整数と選択信号生成手段の所定整数値とを、使用するサンプリングクロック信号の周波数、得ようとするコードイネーブル信号の周波数、構成回路のビット数に応じて適宜設定することで、コードイネーブル信号の周波数となる所定の周波数でHi状態「1」の選択信号が出力される。すなわち、所定周波数のコードイネーブル信号が出力される。

[0029] また、この発明は、選択信号出力手段を、レジスタからの出力と2つの整数から決定される閾値とを比較して選択信号を出力するコンパレータで構成することを特徴としている。

[0030] この構成では、加算器により経時的に順次加算されてレジスタでラッチされてから出力される整数がコンパレータで設定されている閾値に対して所定の関係となると、コンパレータから第1マルチプレクサに選択信号が出力される。例えば、加算器から出力される整数が前記閾値により設定される所定整数範囲内にあればHi状態「1」の選択信号が出力され、前記所定整数範囲内になければLow状態「0」の選択信号が出力される。第1マルチプレクサは、入力された選択信号に応じて、入力される2つの整数のいずれかを加算器に出力する。すなわち、Low状態「0」の選択信号の場合とHi状態「1」の選択信号の場合とで異なる整数を加算器に出力する。このループ演算を行うことで、コンパレータから出力される選択信号が所定の周期性を有する。ここで、第1マルチプレクサに入力される2つの整数とコンパレータの閾値および所定整数範囲とを、使用するサンプリングクロック信号の周波数、得ようとするコードイネーブル信号の周波数、構成回路のビット数に応じて適宜設定することで、コードイネーブル信号の周波数となる所定の周波数でHi状態「1」の選択信号が出力される。すなわち、所定周波数のコードイネーブル信号が出力される。

[0031] また、この発明は、選択信号出力手段をレジスタの所定の複数ビットの値をAND処理した結果を用いて選択信号を出力するAND演算手段で構成することを特徴としている。

[0032] この構成では、レジスタの所定ビットの値が所定の関係となると、AND演算手段から第1マルチプレクサに選択信号が出力される。例えば、レジスタの最上位ビットおよびこの一つ下位のビットがともにHi状態「1」であれば、AND演算手段からHi状態「1

」の選択信号が出力され、レジスタの最上位ビットおよびこの一つ下位のビットがともにHi状態「1」でなければLow状態「0」の選択信号が出力される。第1マルチプレクサは、入力された選択信号に応じて、入力される2つの整数のいずれかを加算器に出力する。すなわち、Low状態「0」の選択信号の場合とHi状態「1」の選択信号の場合とで異なる整数を加算器に出力する。このループ演算を行うことで、AND演算手段から出力される選択信号が所定の周期性を有する。ここで、第1マルチプレクサに入力される2つの整数とAND演算手段がAND処理するレジスタのビットを、使用するサンプリングクロック信号の周波数、得ようとするコードイネーブル信号の周波数、構成回路のビット数に応じて適宜設定することで、コードイネーブル信号の周波数となる所定の周波数でHi状態「1」の選択信号が出力される。すなわち、所定周波数のコードイネーブル信号が出力される。

[0033] また、この発明は、選択信号出力手段をレジスタの所定の複数ビットの値をNOR処理した結果を用いて選択信号を出力するNOR演算手段で構成することを特徴としている。

[0034] この構成では、レジスタの所定ビットの値が所定の関係となると、NOR演算手段から第1マルチプレクサに選択信号が出力される。例えば、レジスタの最上位ビットおよびこの一つ下位のビットがともにLow状態「0」であれば、NOR演算手段からHi状態「1」の選択信号が出力され、レジスタの最上位ビットおよびこの一つ下位のビットがともにLow状態「0」でなければLow状態「0」の選択信号が出力される。第1マルチプレクサは、入力された選択信号に応じて、入力される2つの整数のいずれかを加算器に出力する。すなわち、Low状態「0」の選択信号の場合とHi状態「1」の選択信号の場合とで異なる整数を加算器に出力する。このループ演算を行うことで、NOR演算手段から出力される選択信号が所定の周期性を有する。ここで、第1マルチプレクサに入力される2つの整数とNOR演算手段がNOR処理するレジスタのビットを、使用するサンプリングクロック信号の周波数、得ようとするコードイネーブル信号の周波数、構成回路のビット数に応じて適宜設定することで、コードイネーブル信号の周波数となる所定の周波数でHi状態「1」の選択信号が出力される。すなわち、所定周波数のコードイネーブル信号が出力される。

- [0035] また、この発明は、コード位相観測に用いるコードイネーブル信号を生成するコードNCOにおいて、互いに素となる2つの整数が入力され、選択信号によりこれら2つの整数のいずれかを出力する第1マルチプレクサと、該第1マルチプレクサから出力された整数とレジスタから出力された整数とを加算して出力するとともに、使用可能なビット領域の端部を検出して選択信号を出力する加算器と、該加算器から出力された整数とコード位相調整値を入力して、調整信号に基づきこれらのいずれかを出力する第2マルチプレクサと、第2マルチプレクサからの出力をサンプリングクロック信号に応じてラッチして出力するレジスタと、を備え、選択信号をコードイネーブル信号とすることを特徴としている。
- [0036] この構成では、加算器により経時的に順次加算されて出力される整数が加算器の上限または下限に達すると、加算器がこれを検出して第1マルチプレクサに選択信号が出力される。すなわち、加算器の上限および下限から演算により整数が変化する方向に対向する方向に所定範囲内に加算値が存在するかどうかにより、この状態に応じて次のタイミングで選択信号が出力される。例えば、加算器が上限又は下限を検出すれば、すなわち、前記所定範囲内に加算値が存在すれば、次のタイミングでHi状態「1」の選択信号が出力される。一方、他の範囲に加算値が存在する間は、Low状態「0」の選択信号が出力される。第1マルチプレクサは、入力された選択信号に応じて、入力される2つの整数のいずれかを加算器に出力する。すなわち、Low状態「0」の選択信号の場合とHi状態「1」の選択信号の場合とで異なる整数を加算器に出力する。このループ演算を行うことで、選択信号が所定の周期性を有する。ここで、第1マルチプレクサに入力される2つの整数を、使用するサンプルクロック信号の周波数、得ようとするコードイネーブル信号の周波数、構成回路のビット数に応じて適宜設定することで、コードイネーブル信号の周波数となる所定の周波数でHi状態「1」の選択信号が出力される。すなわち、所定周波数のコードイネーブル信号が出力される。
- [0037] また、この発明のGPS受信機は、前述のコードNCOを備え、このコードNCOから出力されるコードイネーブル信号に基づいて生成されるPNコードを用いて、GPS信号のコード位相を捕捉・追尾することを特徴としている。

[0038] この構成では、前述のコードNCOで正確にコードイネーブル信号が出力されるので、このコードイネーブル信号に基づき、正確なPNコードが生成される。このPNコードを用いることにより、GPS信号との相関処理が高精度となる。これにより、コード位相の捕捉・追尾が高精度に行われ、高精度な相対測位が行われる。

発明の効果

[0039] この発明によれば、入力されるサンプリングクロック信号の周波数に応じて、最適な回路構成で、且つ容易な制御により所望周波数のコードイネーブル信号を高精度に出力するコードNCOを小型に構成することができる。言い換えれば、サンプルクロック信号の周波数に影響されることなく、必要最小限のビット数で形成された回路構成要素を用いて、簡素な制御フローで高精度にコードイネーブル信号を出力するコードNCOを構成することができる。

[0040] また、この発明によれば、前述のコードNCOを用いることにより、高精度のPNコードを生成して、GPS信号の相関処理を高精度に行うGPS受信機を構成することができる。そして、GPS信号が高精度の相関処理されることで、コード位相の捕捉・追尾が確実に行われ、精度良く、且つ確実に相対測位を行うことができる。

図面の簡単な説明

[0041] [図1]第1の実施形態に係るコードNCOの構成を示すブロック図

[図2]第1の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図3]第2の実施形態に係るコードNCOの構成を示すブロック図

[図4]第2の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図5]第3の実施形態に係るコードNCOの構成を示すブロック図

[図6]第3の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図7]第4の実施形態に係るコードNCOの構成を示すブロック図

[図8]第4の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図9]第5の実施形態に係るコードNCOの構成を示すブロック図

[図10]第5の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図11]第6の実施形態に係るコードNCOの構成を示すブロック図

[図12]第6の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図13]第7の実施形態に係るコードNCOの構成を示すブロック図

[図14]第7の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図15]第8の実施形態に係るコードNCOの構成を示すブロック図

[図16]第8の実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図

[図17]第9の実施形態に係るGPS受信機の構成を示すブロック図

[図18]従来の一般的なコードNCOの概略構成を示すブロック図

[図19]特許文献1に記載のコードNCOの概略構成を示すブロック図

[図20]従来のコードNCOのマシンステートと状態空間との関係を示す状態図

符号の説明

[0042] 1, 4, 102, 201－マルチプレクサ (MPX)

2, 7, 101, 202－加算器

3, 104, 203－ラッチ回路

5, 103－レジスタ

6－コンパレータ

61－AND演算部

62－NOR演算部

8－インバータ

11－アンテナ

12－RF処理部

13－A/Dコンバータ

14－フェーズローテータ

15－相関器

16－PNコード発生器

17－コードNCO

18－キャリアNCO

19－マイクロプロセッサ

発明を実施するための最良の形態

[0043] 本発明の第1の実施形態に係るコードNCOについて図1, 2を参照して説明する。

図1は本実施形態に係るコードNCOの構成を示すブロック図である。

図1に示すコードNCOは、マルチプレクサ(MPX) 1, 4と、加算器2と、ラッチ回路3と、レジスタ5と、コンパレータ6とを備える。そして、マルチプレクサ1, 4、加算器2、ラッチ回路3、レジスタ5はビット数Lからなるディジタル演算回路で構成されている。

[0044] マルチプレクサ1は、互いに素となる2つ整数N, Mが入力されるとともに、コンパレータ6の出力信号である選択信号が入力される。そして、この選択信号に応じて、2つの整数N, Mのいずれかを出力する。例えば、本実施形態では、選択信号がHi状態「1」である場合に整数Nを出力し、選択信号がLow状態「0」である場合に整数Mを出力する。ここで、このマルチプレクサ1が本発明の「第1マルチプレクサ」に相当する。

[0045] 加算器2は、マルチプレクサ1から出力される整数と、レジスタからの出力値とを加算して出力する。

ラッチ回路3は、コード位相を制御するための位相調整値CPA (Code Phase Adjustment) と、ライトイネーブル信号WEとを入力して、ライトイネーブル信号WEによるタイミングで位相調整値CPAを出力する。

[0046] マルチプレクサ4は、加算器2の出力値と、ラッチ回路3からの出力値(位相調整値CPA)が入力されるとともに、調整タイミング信号AD (Adjust Timing) が入力される。そして、この調整タイミング信号ADにより与えられるタイミングにより、加算器2からの出力値かラッチ回路3からの出力値のいずれか一方を出力する。具体的には、調整タイミング信号ADが入力されたタイミングで位相調整値CPAを出力し(シフトモード)

、それ以外のタイミングでは加算器2からの出力値を出力する(ノーマルモード)。ここで、このマルチプレクサ4が本発明の「第2マルチプレクサ」に相当する。

[0047] レジスタ5は、マルチプレクサ4の出力値と、サンプリングクロック信号SCLK(以下、「クロック信号」と称す)とが入力される。そして、レジスタ5はサンプリングクロック信号SCLKの周波数(以下、「クロック周波数」と称す) f_s に応じてマルチプレクサ4の出力値をラッチして出力する。この出力値は、コンパレータ6に入力されるとともに、加算器2に入力される。

[0048] コンパレータ6は、レジスタ5の出力値を入力して、予め設定された閾値と比較して、比較結果に応じてHi状態「1」またはLow状態「0」のいずれかの値の選択信号を出力する。この閾値は、クロック周波数 f_s と、得ようとするコードイネーブル信号の周波数 f_0 と、前記マルチプレクサ1に入力される整数Nとから設定されるものであり、

[0049] [数4]

$$M' = N \times \frac{f_s}{f_0}$$

[0050] として、 $(M' - N - 1)$ で与えられる。

[0051] そして、具体的に、図1に示すコードNCOでは、レジスタ5の出力値が $(M' - N - 1)$ で設定される閾値よりも大きければコンパレータ6からの出力信号はHi状態「1」となり、レジスタ5の出力値が $(M' - N - 1)$ で設定される閾値以下であればコンパレータ6からの出力信号はLow状態「0」となる。ここで、このコンパレータ6が本発明の「選択信号生成手段」に相当する。

[0052] このようなコードNCOでは、整数N、M、ビット数Lはクロック周波数 f_s および得ようとするコードイネーブル信号の周波数 f_0 から、次式を用いて設定される。

[0053] [数5]

$$\frac{f_0}{f_s} = \frac{N}{M'} \quad \text{— (4)}$$

[0054] [数6]

$$L = \min_{L'} (M' \leq 2^{L'}) \quad \text{— (5)}$$

[0055] [数7]

$$M = 2^L - M' + N \quad \text{— (6)}$$

[0056] このような設定を行い、図1に示す構成を用いることで、ノーマルモード時には、コンパレータ6からは周波数 f_0 に応じた周期で選択信号がHi状態「1」となる(具体的な動作については次に示す)。この結果、コンパレータ6から出力される信号を取り出すことにより、所望とする周波数 f_0 のコードイネーブル信号を出力することができる。また、一方でシフトモード時にはコード位相のズレ量に応じたステート移動量の調整を行い、位相調整を行う。

[0057] ここで、図1に示すコードNCOで、具体的に、整数 N 、 M 、ビット数 L 、クロック周波数 f_s 、コードイネーブル信号の周波数 f_0 を設定した場合の動作について説明する。例えば、クロック周波数 f_s を40MHzとし、周波数 f_0 が10.23MHzのコードイネーブル信号を生成して出力する場合について説明する。

式(4)から、整数Nを1023と設定すると、整数M'は4000に設定される。また、式(5)は、M'が 2^L を超えない最小の整数となるようなLを定義しているので、M'が4000であることから、Lが12に設定される。そして、式(6)からMは1119に設定される。

[0058] このような場合の状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を図2に示す。

図2は、本実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。

図2に示すように、図1に示すコードNCOは、回路構成素子のビット数Lが12であるので状態空間全体として4096 (2^{12}) のステートを有し、クロック周波数 f_s が40MHzであるのでマシンステートの総数が4000となる。そして、このマシンステート4000は状態空間のステート0から始まる。また、コードイネーブル信号の周波数 f_0 に対応するステート数は前記4000のマシンステート内の1023のステートで表される。

[0059] ここで、前述のように、コンパレータ6は、レジスタ5から出力される整数値が閾値2976 ($=4000-1023-1$) より大きければHi状態「1」の選択信号を出力し、閾値2976以下であればLow状態「0」の選択信号を出力する。そして、本実施形態のコードNCOはこの選択信号をコードイネーブル信号として出力する。このため、コードイネーブル信号に対応するステートはマシンステート4000内の閾値2977以上 (2977~3999) のステートで表される。すなわち、マシンステート4000の最上位1023ステートに対応する。

[0060] また、マルチプレクサ1は、Low状態「0」の選択信号が入力されると整数N(1023)を加算器2に出力し、Hi状態「1」の選択信号が入力されると整数M(1119)を加算器2に出力する。具体的には、マルチプレクサ1は、加算器2の出力をクロック周波数でラッチした値がステート番号0~2976を取る場合には整数1023を出力し、加算器2の出力をクロック周波数でラッチした値がステート番号2977~3999を取る場合には整数1119を出力する。

加算器2は入力される1023、1119いずれかの整数をレジスタ5の出力に加算する。このため、マシンステートのステートは通常増加する方向で遷移する。

[0061] この動作はクロック周波数に応じて繰り返し行われ、加算器2の出力をクロック周波

数でラッチした値がステート番号2977～3999を取る毎にコンパレータ6からHi状態「1」の信号が出力される。

[0062] このような構成とすることで、従来技術の図15に示したコードNCOのようにコードイネーブル信号を出力するステートが状態空間の中央に位置されることなく、状態空間内に配置されたマシンステートの端に位置されるので、入力されるクロック周波数に応じて、所定の周波数のコードイネーブル信号を出力するステートを確実に実現することができる。この際、状態空間のステート数すなわち構成回路素子のビット数は、クロック周波数により設定されるステート数がビット数により得られるステート数を超えないように設定されるので、最小のビット数の回路構成を必ず実現することができる。

[0063] 以上のように、本実施形態の構成のコードNCOを用いることで、クロック周波数に応じて必要最小限のビット構成からなる回路構成素子を用い、容易な制御で確実に所望周波数のコードイネーブル信号を生成して出力することができる。

[0064] 次に、第2の実施形態に係るコードNCOについて図3, 4を参照して説明する。

図3は本実施形態に係るコードNCOの構成を示すブロック図である。

図3に示すように、本実施形態のコードNCOはマルチプレクサ1に入力される整数と、コンパレータ6の閾値条件とが異なるものであり、他の構成は図1に示したコードNCOと同じである。ここで、このコンパレータ6が本発明の「選択信号生成手段」に相当する。

[0065] 本実施形態のコードNCOのマルチプレクサ1には、整数($M' - N$)と整数($2^L - N$)とが入力され、コンパレータ6からHi状態「0」の選択信号が入力されると、整数($M' - N$)を出力し、コンパレータ6からLow状態「1」の選択信号が入力されると整数($2^L - N$)を出力する。また、本実施形態のコンパレータ6はレジスタ5からの出力値が整数Nよりも小さい場合にHi状態「1」を出力し、レジスタ5からの出力値が整数N以上であればLow状態「0」を出力する。

[0066] このような構成のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を図4に示す。

[0067] 図4は、本実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、Lは1

2、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23 MHzであり、整数Nは1023、整数M'は4000とする。

図4に示すように、図3に示すコードNCOは、図1に示したコードNCOと基本回路構成が同じであるので、4096のステートからなる状態空間内に、ステート0から始まるマシンステート4000が配置される。

[0068] ここで、本実施形態の構成では、コンパレータ6は、レジスタ5から出力される整数値が閾値1023未満であればHi状態「1」の選択信号を出力し、閾値1023以上であればLow状態「0」の選択信号を出力する。そして、コードNCOはこの選択信号をコードイネーブル信号として出力する。このため、コードイネーブル信号に対応するステートはマシンステート4000内の閾値1023未満(0~1022)のステートで表される。すなわち、マシンステート4000の最下位1023ステートに対応する。

[0069] また、マルチプレクサ1はLow状態「0」の信号が入力されると整数値 $M' - N (= 2977)$ を出力し、Hi状態「1」の信号が入力されると整数値 $2^L - N (= 3072)$ を出力することから、ステートは状態空間において減少する方向に遷移する。

[0070] そして、この動作はクロック周波数に応じて繰り返し行われ、加算器2の出力をクロック周波数でラッチした値がステート0~1022を取る毎にコンパレータ6からHi状態「1」の信号が出力される。

[0071] このような構成を用いても、前述の第1の実施形態に示したコードNCOと同様の効果を奏することができる。

[0072] そして、コードNCOの回路構成を、本実施形態(第2の実施形態)、または、第1の実施形態に示すようにすることで、設定条件、すなわち、入力する整数、閾値条件を変更するのみで、ステートの遷移方向を容易に逆転させることができる。これにより、従来のコードNCOにおけるステートの遷移方向がいずれの方向であっても、本発明の前記2つの実施形態の構成を用いることで、高精度のコード位相観測を容易に実現することができる。この際、第1の実施形態で設定する整数(位相設定値)を P_1 とすると、第2の実施形態で設定する整数 P_2 は、 $P_2 = M - 1 - P_1$ で容易に設定することができる。

[0073] この結果、従来使用しているGPS受信機の仕様に応じて設定条件を変化させるだ

けで、高精度のコード位相観測が容易に実現されるので、従来のGPS受信機からの改良が容易となる。

[0074] 次に、第3の実施形態に係るコードNCOについて、図5、6を参照して説明する。

[0075] 図5は本実施形態のコードNCOの構成を示すブロック図である。

図5に示すコードNCOは、第1の実施形態の図1に示したコードNCOのコンパレータ6をAND演算部61に置き換えたものであり、他の構成は図1に示すコードNCOと同じである。

AND演算部61は、レジスタ5の最上位ビットLの出力と、その一つ下位のビット(L-1)の出力とを入力して、これらのAND演算結果をマルチプレクサ1に出力する。すなわち、AND演算部61は、レジスタ5の最上位ビットLからの入力信号とその一つ下位のビット(L-1)からの入力信号とがともにHi状態「1」の場合にのみ、Hi状態「1」の信号をマルチプレクサ1に出力する。また、これ以外の状態ではLow状態「0」の信号をマルチプレクサ1に出力する。そして、本実施形態のコードNCOはAND演算部61から出力されるこの信号をコードイネーブル信号として出力する。ここで、このAND演算部61が本発明の「選択信号生成手段」に相当する。

[0076] 図6は本実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、Lは12、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23MHzであり、整数Nは1023、整数Mは1119とする。

図5に示す構成では、前述のように最上位ビットとその一つ下位のビットがHi状態である時にHi状態「1」のコードイネーブル信号が出力されるので、コードイネーブル信号を出力する状態を示すステートは、状態空間 $0 \sim 2^{12} - 1 (= 4095)$ の上位側であるステート $2^{11} + 2^{10} (= 3072) \sim 2^{12} - 2 (= 4094)$ に位置づけられる。そして、マシンステートは $2^{12} - 1 - 4000 (= 95) \sim 2^{12} - 2 (= 4094)$ に位置づけられる。また、マルチプレクサ1はLow状態「0」の信号が入力されると整数1023を出力し、Hi状態「1」の信号が入力されると整数1119を出力する。具体的には、マルチプレクサ1は、加算器2の出力をクロック周波数でラッチした値がステート95～3071を取る場合には整数1023を出力し、加算器2の出力をクロック周波数でラッチした値がステート307

2～4094を取る場合には整数1119を出力する。

加算器2は入力される1023、1119いずれかの整数をレジスタ5の出力に加算する。このため、マシンステートのステートは通常増加する方向で遷移する。

[0077] この動作はクロック周波数に応じて繰り返し行われ、加算器2の出力をクロック周波数でラッチした値がステート番号3072～4094を取る毎にAND演算部61からHi状態「1」の信号が出力される。

[0078] なお、本実施形態のコードNCOでは、前述のようにマシンステートの最下位ステートが $95 (= 2^{12} - 1 - 4000)$ であるので、シフトモード時には、位相調整値CPAに95を加算した整数を入力することで、コード位相が正確に補正される。すなわち、ビット数L、コンパレータに入力する整数N、Mである場合に、 $2^L - 1 - M'$ を位相調整値CPAに加算することでコード位相を正確に補正することができる。

[0079] このような構成とすることで、コンパレータを用いることなく、より簡素な構造でコードNCOを最適な回路構成に実現することができる。

[0080] 次に、第4の実施形態に係るコードNCOについて図7、8を参照して説明する。

[0081] 図7は本実施形態に係るコードNCOの構成を示すブロック図である。

[0082] 本実施形態のコードNCOは、第3の実施形態に示したコードNCOのAND演算部61をNOR演算部62に置き換えたものであり、他の構成は、マルチプレクサ1に入力される値を除き、図5に示したコードNCOと同じである。ここで、図7に示すマルチプレクサ1には、M、Nに替わり $M' - N$ 、 $2^L - N$ がそれぞれ入力される。

NOR演算部62は、レジスタ5の最上位ビットLの出力と、その一つ下位のビットL-1の出力とを入力して、これらのNOR演算結果をマルチプレクサ1に出力する。すなわち、NOR演算部62は、レジスタ5の最上位ビットLからの入力信号とその一つ下位のビットL-1からの入力信号とがともにLow状態「0」の場合にのみ、Hi状態「1」の信号をマルチプレクサ1に出力する。また、これ以外の状態ではLow状態「0」の信号をマルチプレクサ1に出力する。そして、本実施形態のコードNCOはNOR演算部62から出力されるこの信号をコードイネーブル信号として出力する。ここで、このNOR演算部62が本発明の「選択信号生成手段」に相当する。

[0083] 図8は本実施形態のコードNCOにおける状態空間とマシンステートとコードイネー

ブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、 L は12、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23 MHzであり、整数 N は1023、整数 M' は4000とする。

図7に示す構成では、前述のように最上位ビットとその一つ下位のビットがLow状態「0」である時にHi状態「1」のコードイネーブル信号が出力されるので、コードイネーブル信号を出力する状態を示すステートは、状態空間 $0 \sim 2^{12} - 1 (= 4095)$ のステート $1 \sim 2^{10} - 1 (= 1023)$ に位置づけられる。そして、マシンステートは $1 \sim 4000$ に位置づけられる。また、マルチプレクサ1はLow状態「0」の信号が入力されると整数2977を出力し、Hi状態「1」の信号が入力されると整数3072を出力する。具体的には、マルチプレクサ1は、加算器2の出力をクロック周波数でラッチした値がステート1024～4000を取る場合には整数2977を出力し、加算器2の出力をクロック周波数でラッチした値がステート $1 \sim 1023$ を取る場合には整数3072を出力する。

加算器2は入力される2977、3072いずれかの整数をレジスタ5の出力に加算する。このため、マシンステートのステートは通常減少する方向で遷移する。

[0084] この動作はクロック周波数に応じて繰り返し行われ、加算器2の出力をクロック周波数でラッチした値がステート番号 $1 \sim 1023$ を取る毎にNOR演算部62からHi状態「1」の信号が出力される。

[0085] なお、本実施形態のコードNCOでは、前述のようにマシンステートの最下位ステートが $1 (= 2^{10} - 1023)$ であるので、シフトモード時には、位相調整値CPAに1を加算した整数を入力することで、コード位相が正確に補正される。すなわち、ビット数 L 、コンパレータに入力する整数 N 、 M である場合に、 $2^{L-2} - N$ を位相調整値CPAに加算することでコード位相を正確に補正することができる。

[0086] このような構成とすることで、前述の第3の実施形態と同様に、コンパレータを用いることなく、より簡素な構造でコードNCOを最適な回路構成に実現することができる。

[0087] 次に、第5の実施形態に係るコードNCOについて図9、10を参照して説明する。

図9は本実施形態のコードNCOの構成を示すブロック図である。

図9に示すコードNCOは、マルチプレクサ(MPX)1、4と、加算器7と、ラッチ回路3と、レジスタ5と、コンパレータ6とを備える。そして、マルチプレクサ1、4、加算器7、ラ

ッチ回路3、レジスタ5はビット数Lからなるディジタル演算回路で構成されている。

- [0088] マルチプレクサ1は、互いに素となる2つ整数N, Mが入力されるとともに、加算器7からキャリア信号が入力される。そして、このキャリア信号に応じて、2つの整数N, Mのいずれかを出力する。例えば、本実施形態では、キャリア信号がHi状態「1」である場合に整数Nを出力し、キャリア信号がLow状態「0」である場合に整数Mを出力する。ここで、このマルチプレクサ1が本発明の「第1マルチプレクサ」に相当し、キャリア信号が本発明の「選択信号」に相当する。
- [0089] 加算器7は、マルチプレクサ1から出力される整数と、レジスタからの出力値とを加算して出力する。また、加算器7は加算結果に応じてHi状態とLow状態との2値からなるキャリア信号をマルチプレクサ1に出力する。具体的には、加算器7は、加算結果がビット数で表される状態空間の上限に達して下位側に移動すると、Hi状態「1」のキャリア信号をマルチプレクサ1に出力し、加算結果がビット数で表される状態空間の上限に達しなければLow状態「0」のキャリア信号をマルチプレクサ1に出力する。言い換えれば、加算後の整数が加算前の整数よりも小さければHi状態「1」のキャリア信号を出力し、加算後の整数が加算前の整数よりも大きければLow状態「0」のキャリア信号を出力する。
- [0090] ラッチ回路3は、コード位相を制御するための位相調整値CPA (Code Phase Adjustment) と、ライトイネーブル信号WEとを入力して、ライトイネーブル信号WEによるタイミングで位相調整値CPAを出力する。
- [0091] マルチプレクサ4は、加算器2の出力値と、ラッチ回路3からの出力値(位相調整値CPA)が入力されるとともに、調整タイミング信号AD (Adjust Timing) が入力される。そして、この調整タイミング信号ADにより与えられるタイミングにより、加算器2からの出力値かラッチ回路3からの出力値のいずれか一方を出力する。具体的には、調整タイミング信号ADが入力されたタイミングで位相調整値CPAを出力し(シフトモード)、それ以外のタイミングでは加算器2からの出力値を出力する(ノーマルモード)。ここで、このマルチプレクサ4が本発明の「第2マルチプレクサ」に相当する。
- [0092] レジスタ5は、マルチプレクサ4の出力値とクロック信号とが入力される。そして、レジスタ5はクロック周波数 f_s に応じてマルチプレクサ4の出力値をラッチして加算器7に

出力する。

[0093] なお、本実施形態のコードNCOについても、整数 N 、 M 、ビット数 L はクロック周波数 f_s および得ようとするコードイネーブル信号の周波数 f_0 から、前述の第1の実施形態と同様に設定される。

[0094] このような設定を行い、図9に示す構成を用いることで、ノーマルモード時には、加算器7からは周波数 f_0 に応じた周期でキャリア信号がHi状態「1」となる(具体的な動作については次に示す)。この結果、加算器7から出力されるキャリア信号を取り出すことにより、所望とする周波数 f_0 のコードイネーブル信号を出力することができる。また、一方でシフトモード時にはコード位相のズレ量に応じたステート移動量の調整を行い、位相調整を行う。

[0095] ここで、図9に示すコードNCOで、具体的に、整数 N 、 M 、ビット数 L 、クロック信号の周波数 f_s 、コードイネーブル信号の周波数 f_0 を設定した場合の動作について説明する。例えば、クロック周波数 f_s を40MHzとし、周波数 f_0 が10.23MHzのコードイネーブル信号を生成して出力する場合について説明する。

式(4)から、整数 N を1023と設定すると、整数 M' は4000に設定される。また、式(5)は、 M' が 2^L を超えない最小の整数となるような L を定義しているので、 M' が4000であることから、 L が12に設定される。そして、式(6)から M は1119に設定される。

[0096] このような場合の状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を図10に示す。

図10は、本実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。

図10に示すように、図9に示すコードNCOは、回路構成素子のビット数 L が12であるので状態空間全体として4096 (2^{12}) のステートを有し、クロック周波数 f_s が40MHzであるのでマシンステートの総数が4000となる。また、コードイネーブル信号の周波数 f_0 に対応するステート数は前記4000のマシンステート内の1023のステートで表される。また、加算器7がビットの最上位(状態空間の上限)を検出することでHi状態「1」のキャリア信号を発生してビットの最上位から最下位に遷移するので、マシンステート4000の最上位は状態空間の最上位4095に位置する。さらに、本実施形態のコード

NCOはこのキャリア信号をコードイネーブル信号として出力する。このため、コードイネーブル信号に対応するステートはマシンステート4000内の閾値2977以上(2977～3999)のステートで表される。これは、状態空間の最上位部の1023ステート、すなわち、3073～4095のステートに対応する。

[0097] また、マルチプレクサ1は、Low状態「0」の選択信号が入力されると整数N(1023)を加算器7に出力し、Hi状態「1」の選択信号が入力されると整数M(1119)を加算器7に出力し、加算器7は入力される1023、1119いずれかの整数をレジスタ5の出力に加算する。このため、マシンステートのステートは通常増加する方向で遷移する。

[0098] このような構成では、ステート3073～4095(最上位)までの間における加算器7の出力をクロック周波数でラッチした時点で、加算器7からHi状態「1」のキャリア信号が出力される。具体的には、加算器7の加算結果がステート3073～4095の間に入り、これがレジスタ5でラッチされた時点では加算器7からはLow状態「0」のキャリア信号が出力されている。この時点で、加算器7には整数N(=1023)が入力され、加算器7はレジスタ6でラッチされた整数にこの整数N(=1023)を加算する。この結果、加算値は状態空間の上限(4095)に達するので、加算器7はHi状態「1」のキャリア信号を出力するとともに、前記レジスタ6にラッチされた整数に対して、新たにマルチプレクサ1から入力された整数M(=1119)を加算して出力する。これにより、マシンステートは、ステート3073～4095の状態からステート96～1118の状態に移動する。そして、この後は、加算器7の加算結果が再度ステート3073～4095の整数となるまで、整数N(=1023)が加算され続ける。

[0099] この動作はクロック周波数に応じて繰り返し行われ、加算器の出力をクロック周波数でラッチした値がステート3073～4095の整数値を取る毎に加算器7からHi状態「1」のキャリア信号が出力される。これにより、所定周波数 f_0 のコードイネーブル信号を生成して出力することができる。

[0100] なお、本実施形態のコードNCOでは、前述のようにマシンステートの最下位ステートが96であるので、シフトモード時には、位相調整値CPAに96を加算した整数を入力することで、コード位相が正確に補正される。

[0101] このような構成とすることで、第1の実施形態と同様の効果を得ることができるとともに、本実施形態のコードNCOは第1の実施形態からコンパレータを省略したものであるのでコードNCOを小型化することができる。

[0102] 次に、第6の実施形態に係るコードNCOについて図11, 12を参照して説明する。図11は本実施形態のコードNCOの構成を示すブロック図である。

図11に示すコードNCOは、加算器7のキャリア信号出力部にインバータ回路8を備え、マルチプレクサ1に整数 $(M' - N)$ と整数 $(2^L - N)$ とが入力されるものであり、他の構成は第5の実施形態の図9に示したコードNCOと同じである。

[0103] 本実施形態のコードNCOのマルチプレクサ1には、整数 $(M' - N)$ と整数 $(2^L - N)$ とが入力され、インバータ8からHi状態「1」の選択信号が入力されると、整数 $(M' - N)$ を出力し、インバータ8からLow状態「0」の選択信号が入力されると整数 $(2^L - N)$ を出力する。

[0104] このような構成のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を図12に示す。

図12は、本実施形態のコードNCOにおける状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、 L は12、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23 MHzであり、整数 N は1023、整数 M' は4000とする。

[0105] 図12に示すように、図11に示すコードNCOを用いることで、回路構成素子のビット数 L が12であるので状態空間全体として $4096 (= 2^{12})$ のステートを有し、クロック周波数 f_s が40MHzであるのでマシンステートの総数が4000となる。また、コードイネーブル信号の周波数 f_0 に対応するステート数は前記4000のマシンステート内の1023のステートで表される。

[0106] また、加算器7がビットの最上位(状態空間の上限)を検出することでHi状態「1」のキャリア信号を発してビットの最上位から最下位に遷移するので、このような動作が行われた時には、インバータ8からマルチプレクサ1にLow状態「0」の選択信号が入力される。この場合、マルチプレクサ1は整数値 $2^L - N (= 3072)$ を出力する。一方、加算器7がビットの最上位(状態空間の上限)を検出せずHi状態「1」のキャリア信号を

発しない、すなわち加算器7からLow状態「0」のキャリア信号が出力される時には、インバータ8からマルチプレクサ1にHi状態「1」の選択信号が入力される。この場合マルチプレクサ1は整数値 $M' - N (= 2977)$ を出力する。これにより、レジスタ6でラッチされている整数がステート1023～3999に存在する場合にHi状態「1」のキャリア信号(Low状態「0」の選択信号)がマルチプレクサ1に出力され、レジスタ6でラッチされている整数がステート0～1022に存在する場合にLow状態「0」のキャリア信号(Hi状態「1」の選択信号)がマルチプレクサ1に出力される。

- [0107] この結果、マシンステート4000の最下位0は状態空間の最下位0に位置し、コードイネーブル信号に対応するステートはマシンステート4000内の閾値1023未満(0～1022)のステートで表される。これは、状態空間の最下位部の1023ステート、すなわち、0～1022のステートに対応する。
- [0108] また、このような動作を行うことにより、レジスタ6でラッチされた整数がステート1023～3999に存在する場合には、マシンステートのステートは減少する方向に遷移し、レジスタ6でラッチされた整数がステート0～1022に存在する場合には、ステートは増加する方向に遷移する。そして、この動作は繰り返し行われ、加算器7の出力をクロック周波数でラッチした値がステート0～1022を取る毎に加算器7からLow状態「0」のキャリア信号が出力される。これにより、インバータ8からはHi状態「1」の選択信号が出力されるので、この選択信号を所定周波数 f_0 のコードイネーブル信号として出力することができる。
- [0109] このような構成を用いても、前述の第5の実施形態に示したコードNCOと同様の効果を奏することができる。
- [0110] そして、コードNCOの回路構成を、本実施形態(第6の実施形態)、または、第5の実施形態に示すようにすることで、設定条件、すなわち、入力する整数、閾値条件を変更するのみで、ステートの移動方向を逆転させることができる。これにより、従来のコードNCOにおけるステートの移動方向がいずれの方向であっても、本発明の前記2つの実施形態の構成を用いることで、高精度のコード位相観測を容易に且つより簡素な構造で実現することができる。この結果、従来使用しているGPS受信機の仕様に応じて設定条件を変化させるだけで、高精度のコード位相観測が容易に実現され

るので、従来のGPS受信機からの改良が容易となる。

[0111] 次に、第7の実施形態に係るコードNCOについて図13, 14を参照して説明する。

図13は本実施形態のコードNCOの構成を示すブロック図であり、図14は図13に示すコードNCOの状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、 L は12、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23MHzであり、整数 N は1023、整数 M' は4000とする。

図13に示すように、本実施形態のコードNCOは加算器7から出力されるキャリア信号をレジスタ6でラッチした後に、マルチプレクサ1に出力する構造であり、他の構成は第5の実施形態に示したコードNCOと同じである。

[0112] このような構成のコードNCOでは、Hi状態「1」のキャリア信号がマルチプレクサ1に出力されるタイミングが第3の実施形態に示したコードNCOに対してサンプリングクロック信号SCLKの1タイミング分だけ遅れたものである。このため、この構成では、マシンステートは0～1022、1119～4095($=2^{12}-1$)となり、Hi状態「1」のコードイネーブル信号が出力されるタイミングでのステートは0～1022となる。そして、本実施形態の構成を用いても、第5の実施形態と同様の効果を得ることができる。

[0113] 次に、第8の実施形態に係るコードNCOについて図15, 16を参照して説明する。

図15は本実施形態のコードNCOの構成を示すブロック図であり、図16は図15に示すコードNCOの状態空間とマシンステートとコードイネーブル信号に対応するステートとの関係を示す状態図である。なお、本例でも、 L は12、サンプルクロック周波数 f_s は40MHz、コードイネーブル信号の周波数 f_0 は10.23MHzであり、整数 N は1023、整数 M' は4000とする。

図15に示すように、本実施形態のコードNCOはインバータ8から出力される選択信号をレジスタ6でラッチした後に、マルチプレクサ1に出力する構造であり、他の構成は第4の実施形態に示したコードNCOと同じである。

[0114] このような構成のコードNCOでは、Hi状態「1」の選択信号がマルチプレクサ1に出力されるタイミングが第4の実施形態に示したコードNCOに対してサンプリングクロック信号SCLKの1タイミング分だけ遅れたものである。このため、この構成では、マシ

ンステートは0～2976、3073～4095($=2^{12}-1$)となり、Hi状態「1」のコードイネーブル信号が出力されるタイミングでのステートは3073～4095($=2^{12}-1$)となる。そして、本実施形態の構成を用いても、第6の実施形態と同様の効果を得ることができる。

[0115] 前述の各実施形態のコードNCOの具体的な説明は、サンプルクロック周波数 f_s を40MHz、コードイネーブル信号の周波数 f_0 を10.23MHzとした場合について示したものであるが、前述の各実施形態の構成を用いて、適宜各設定条件(整数N、M、ビット数L)を設定することにより、所定周波数のコードイネーブル信号に対してこれよりも高周波数のサンプリングクロック信号を用いるコードNCOを、それぞれに設定された周波数条件に応じて最適な回路構成で実現することができる。

[0116] 次に、第9の実施形態に係るGPS受信機について図17を参照して説明する。

図17は本実施形態に係るGPS受信機の構成を示すブロック図である。

[0117] 図17に示すように、本実施形態のGPS受信機は、アンテナ11と、RF処理部12と、A/Dコンバータ13と、フェーズローテータ14と、相関器15と、PNコード発生器16と、コードNCO17と、キャリアNCO18と、マイクロプロセッサ19とを備える。

[0118] アンテナ11はL1波およびL2波からなるGPS信号を受信して、RF処理部12に出力する。RF処理部12は入力されたGPS信号を中間周波数の同相信号と直交信号とに変換してA/Dコンバータ13に出力する。また、RF処理部12は、入力されたGPS信号からサンプルクロック信号を検出して、これを各ブロックに出力する。A/Dコンバータ13は、入力された同相信号と直交信号とをA/D変換してフェーズローテータ14に出力する。

[0119] フェーズローテータ14は、入力されたデジタル形式の同相信号と直交信号とを、キャリアNCO18から入力されるキャリア位相に基づきベースバンドの同相信号と直交信号とに変換して相関器15に出力する。相関器15はGPS衛星数に応じた数の相関処理部を備え、PNコード発生器16から出力されるPNコードに基づいて相関処理を行いキャリア位相誤差およびコード位相誤差を推定演算してマイクロプロセッサ19に出力する。マイクロプロセッサ19は、入力されたキャリア位相誤差およびコード位相誤差を用いてキャリア位相およびコード位相(擬似距離)を推定演算するとともに測

位を行って、図示しない表示部等に出力する。

- [0120] コードNCO17は、マイクロプロセッサ19から入力されるコード位相誤差に関する制御信号に従うとともに、所定のループ処理により、所定周波数のコードイネーブル信号を生成してPNコード発生器16に出力する。PNコード発生器16は、コードイネーブル信号に従い予め記憶されたC/AコードまたはP(Y)コードを相関器15の各相関処理部に出力する。
- [0121] キャリアNCO18は、マイクロプロセッサ19から入力されるキャリア位相誤差に関する制御信号に基づいてキャリア位相を演算して、フェーズローテータ14に出力する。
- [0122] このようなGPS受信機のコードNCO17に前述の各実施形態に示したコードNCOを用いる。これにより、高精度且つ正確にコードイネーブル信号が生成されるので、PNコード発生器16は高精度で且つ正確なPNコードを相関器15に出力することができる。この結果、相関器15は高精度且つ正確にコード位相およびキャリア位相を推定演算することができ、測位精度が向上する。また、コードNCOの構成を所望の周波数条件に応じた最小かつ最適な回路構成で実現することができるので、所望とする条件に応じて、高精度で、且つ最適な回路構成のGPS受信機を小型に形成することができる。
- [0123] さらに、コードNCOのステート移動方向を任意に選んで構成することができるので、従来のGPS受信機のコードNCOのみを改変する場合にも、GPS受信機他部の構成を殆ど替えることなく、キャリア位相の推定演算、コード位相の推定演算、および測位をより高精度に改善することができる。すなわち、従来在る資産(実機および設計データ)を有効に活用することができる。
- [0124] なお、前述の実施形態ではGPS受信機を用いたGPSシステムを例に説明を行ったが、他のPNコードを信号に用いる全ての無線航法システム(GNSS)、例えば、GALILEOシステムやGLONASSシステムにも前述の構成を適用することができ、前述の効果を奏することができる。さらには、PNコードで変調された無線信号を受信する、一般的な無線通信システムおよびこれに用いる無線通信機にも前述の構成を適用でき、前述の効果を奏することができる。

請求の範囲

- [1] コード位相観測に用いるコードイネーブル信号を生成するコードNCOにおいて、
互いに素となる2つの整数が入力され、選択信号により前記2つの整数のいずれかを出力する第1マルチプレクサと、
該第1マルチプレクサから出力された整数とレジスタから出力された整数とを加算して出力する加算器と、
該加算器から出力された整数とコード位相調整値を入力して、調整信号に基づきこれらのいずれかを出力する第2マルチプレクサと、
該第2マルチプレクサからの出力をサンプリングクロック信号に応じてラッチして出力するレジスタと、
該レジスタからの出力値が予め設定した所定整数値になることを検出して前記選択信号を出力する選択信号生成手段と、を備え、
前記選択信号を前記コードイネーブル信号とすることを特徴とするコードNCO。
- [2] 前記選択信号出力手段は、前記レジスタからの出力と、前記2つの整数から決定される閾値とを比較して前記選択信号を出力するコンパレータである請求項1に記載のコードNCO。
- [3] 前記選択信号出力手段は、前記レジスタの所定複数ビットの値をAND処理した結果を用いて前記選択信号を出力するAND演算手段である請求項1に記載のコードNCO。
- [4] 前記選択信号出力手段は、前記レジスタの所定複数ビットの値をNOR処理した結果を用いて前記選択信号を出力するNOR演算手段である請求項1に記載のコードNCO。
- [5] コード位相観測に用いるコードイネーブル信号を生成するコードNCOにおいて、
互いに素となる2つの整数が入力され、選択信号により前記2つの整数のいずれかを出力する第1マルチプレクサと、
該第1マルチプレクサから出力された整数とレジスタから出力された整数とを加算して出力するとともに、使用可能なビット領域の端部を検出して前記選択信号を出力する加算器と、

該加算器から出力された整数とコード位相調整値を入力して、調整信号に基づきこれらのいずれかを出力する第2マルチプレクサと、

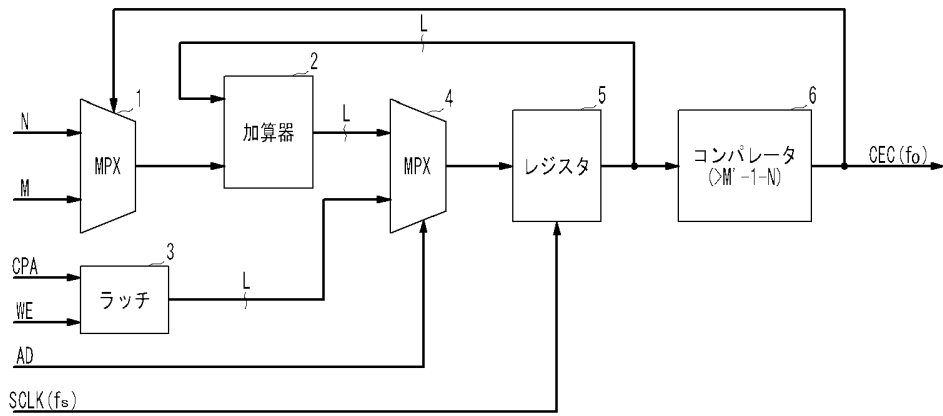
第2マルチプレクサからの出力をサンプリングクロック信号に応じてラッチして出力するレジスタと、を備え、

前記選択信号を前記コードイネーブル信号とすることを特徴とするコードNCO。

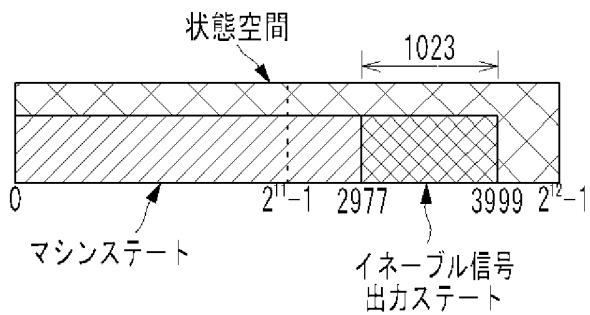
[6] 請求項1～請求項5のいずれかに記載のコードNCOを備え、

該コードNCOから出力されるコードイネーブル信号に基づいて生成されるPNコードを用いて、GPS信号のコード位相を捕捉・追尾することを特徴とするGPS受信機。

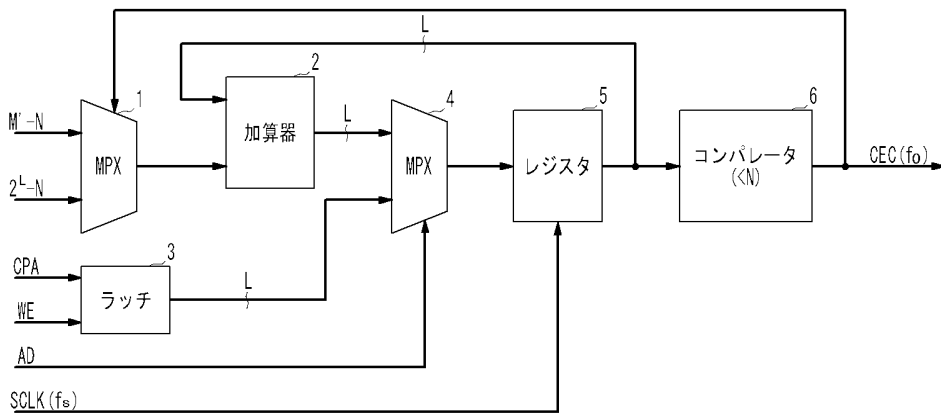
[図1]



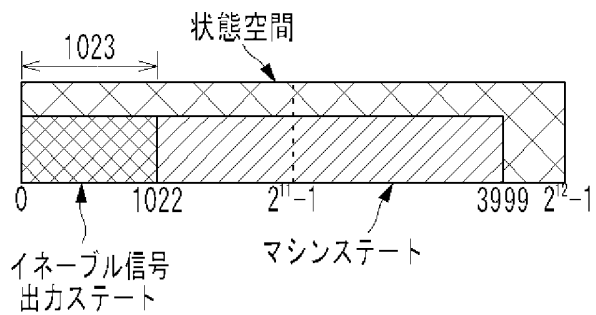
[図2]



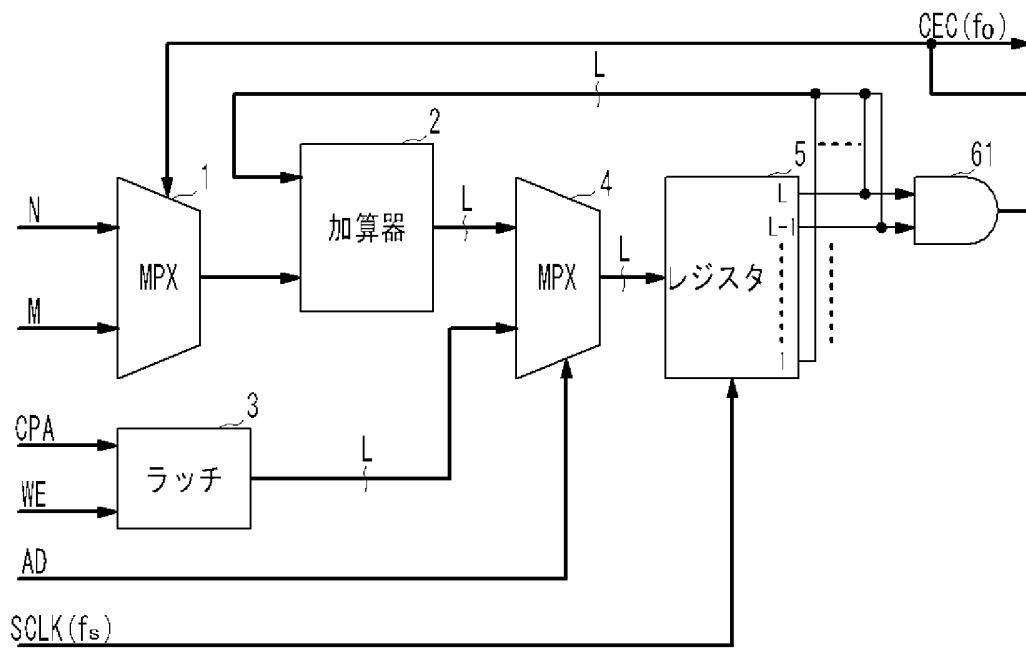
[図3]



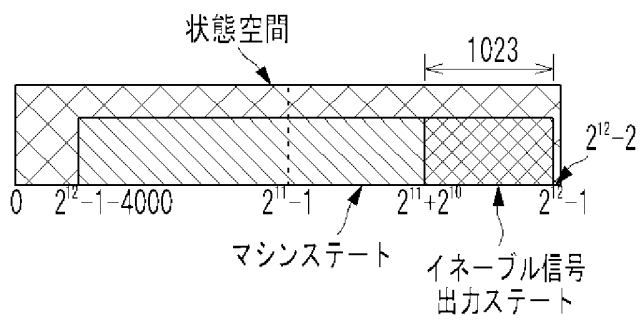
[図4]



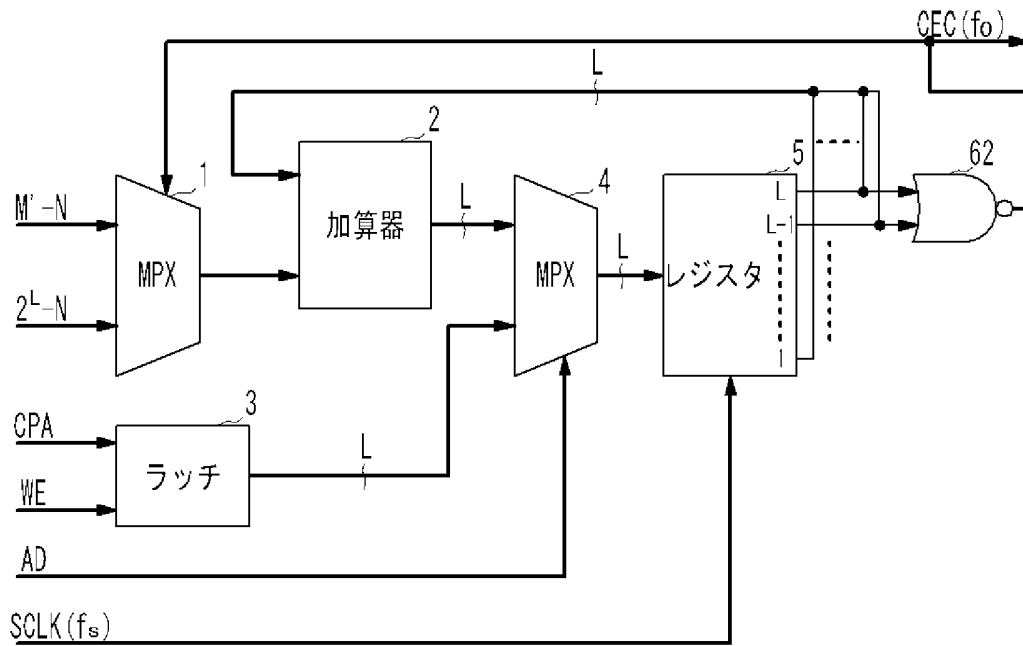
[図5]



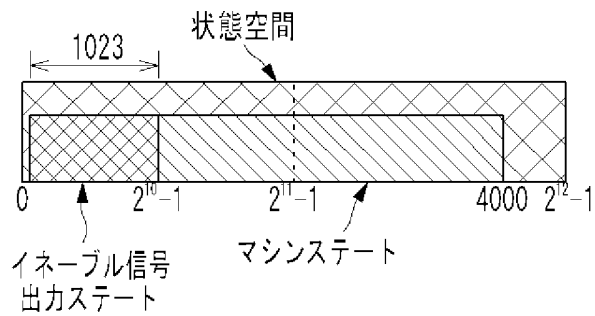
[図6]



[図7]



[図8]



[図9]

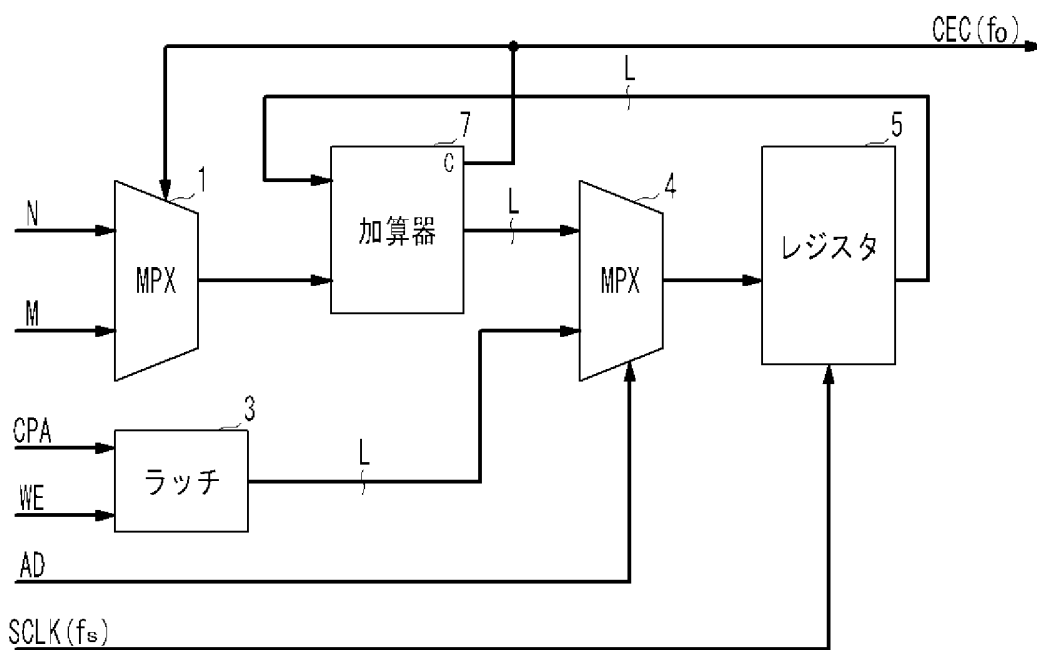
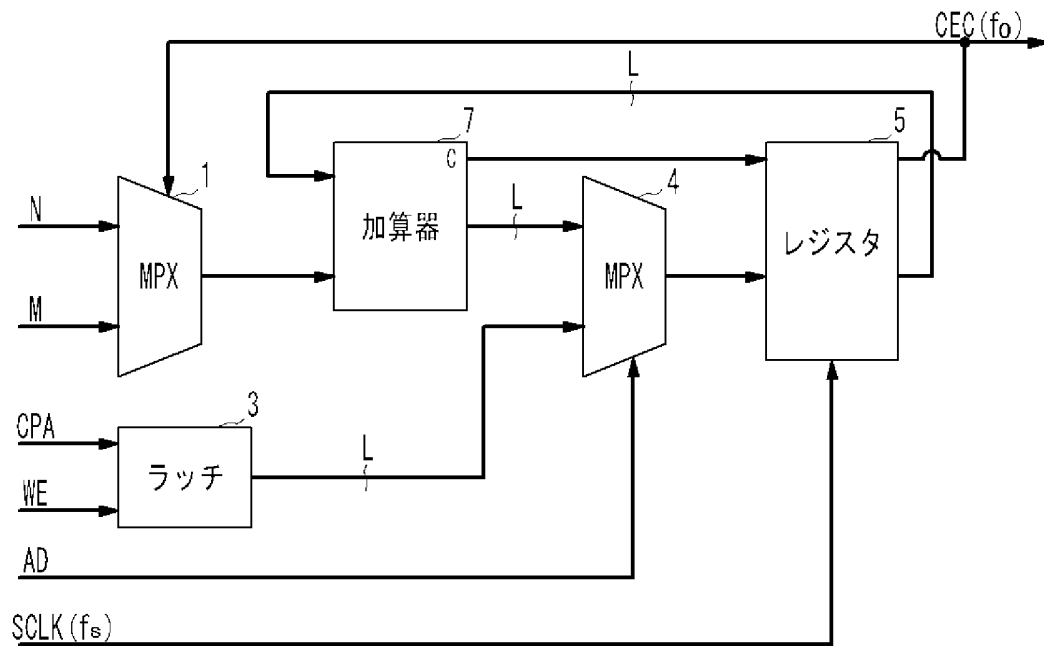


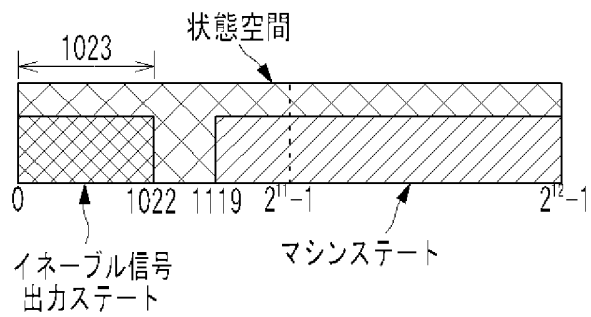
Figure 1 is a diagram of the state space. It shows a horizontal bar representing the state space from 0 to $2^{12}-1$. The bar is divided into three regions:

- マシンステート (Machine State):** The first region, from 0 to 96.
- 状態空間 (State Space):** The middle region, from 96 to 3073.
- イネーブル信号出力ステート (Enable Signal Output State):** The last region, from 3073 to $2^{12}-1$. The width of this region is indicated as 1023.

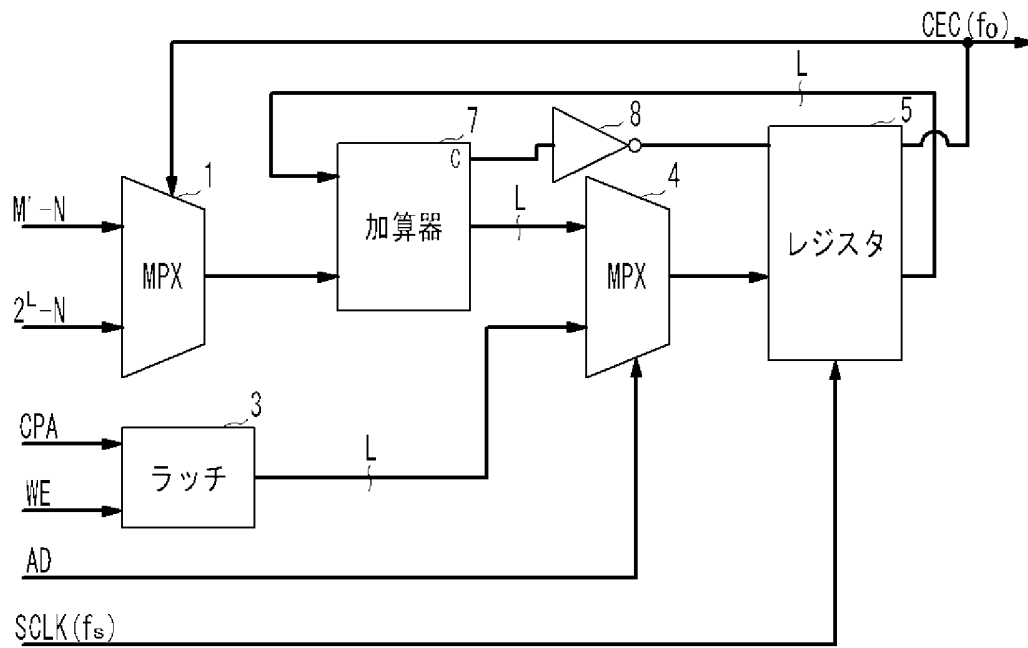
[図13]



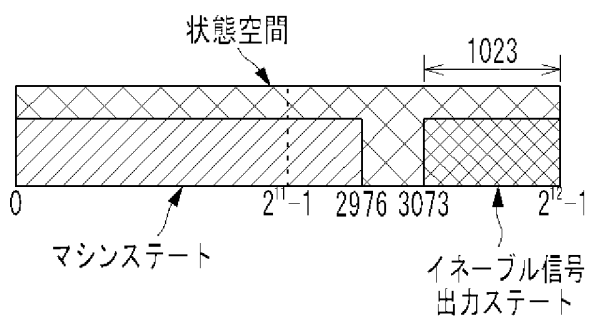
[図14]



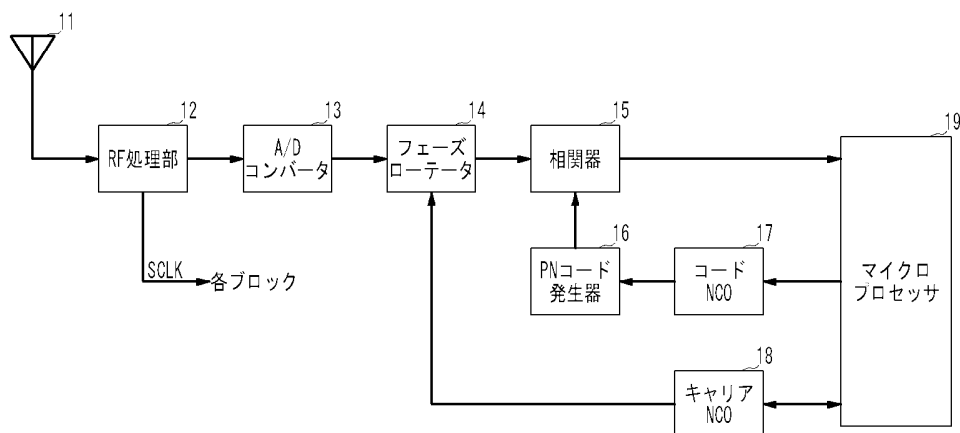
[図15]



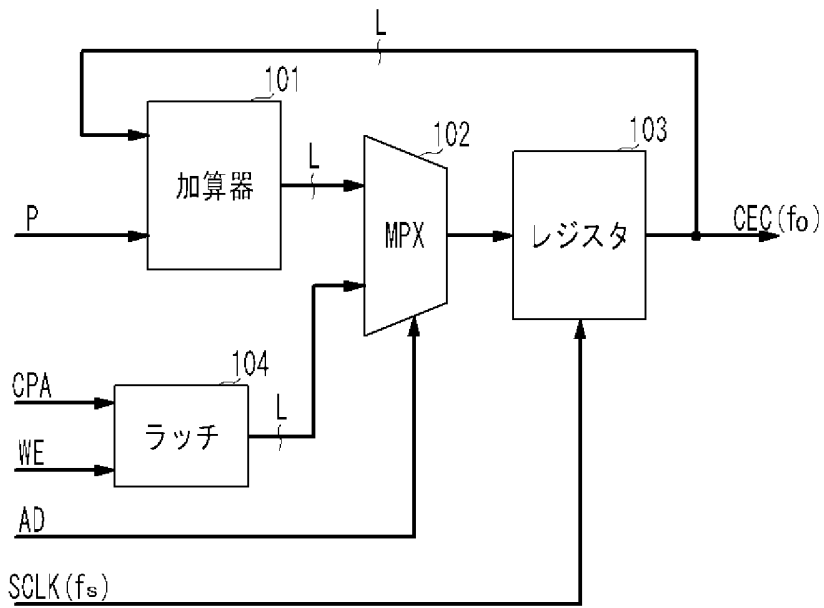
[図16]



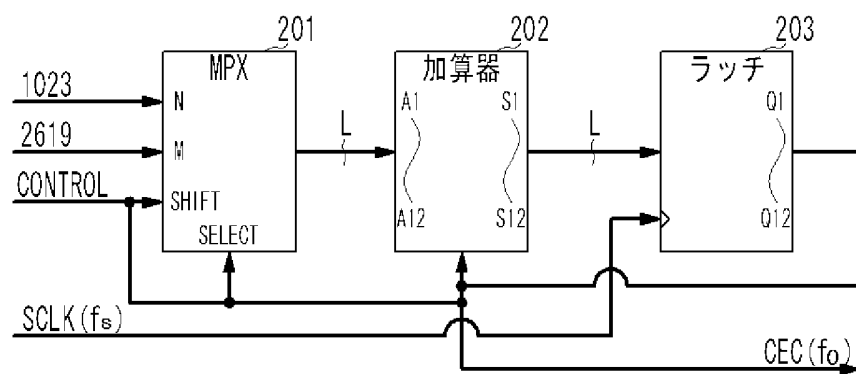
[図17]



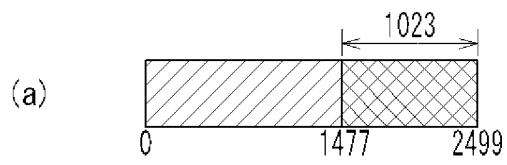
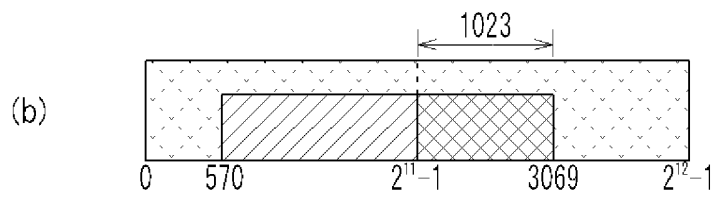
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012331

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H04B1/707, G01S5/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H04B1/707, G01S5/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEEExplore, JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5663733 A (Trimble Navigation Ltd.), 02 September, 1997 (02.09.97), (Family: none)	1-6
A	US 6067328 A (AlliedSignal), 23 May, 2000 (23.05.00), Full text; all drawings & WO 98/026302 A1 18 June, 1998 (18.06.98) & EP 944842 B1 27 February, 2002 (27.02.02) & EP 944842 A1 29 September, 1999 (29.09.99)	1-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 August, 2005 (09.08.05)

Date of mailing of the international search report

23 August, 2005 (23.08.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012331

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Thompson Matthew, Low-latency, high-speed numerically controlled oscillator using progression-of-states technique, Solid-State Circuits, IEEE Journal, Vol.27, No.1, 1992.01	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H04B1/707, G01S5/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H04B1/707, G01S5/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEEExplore
JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 5663733 A, (Trimble Navigation Limited), 1997.09.02 (ファミリーなし)	1-6
A	US 6067328 A, (AlliedSignal), 2000.05.23, 全文全図 & WO 98/026302 A1, 1998.06.18, & EP 944842 B1, 2002.02.27, & EP 944842 A1, 1999.09.29	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.08.2005

国際調査報告の発送日

23.8.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5K

3251

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Thompson Matthew, Low-latency, high-speed numerically controlled oscillator using progression-of-states technique, Solid-State Circuits, IEEE Journal, Vol.27 No.1, 1992.01	1-6