

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4689035号
(P4689035)

(45) 発行日 平成23年5月25日 (2011.5.25)

(24) 登録日 平成23年2月25日 (2011.2.25)

(51) Int. Cl.

F I

H O 1 L 21/20 (2006.01)

H O 1 L 21/20

H O 1 L 21/322 (2006.01)

H O 1 L 21/322 R

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 Z

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 7 G

請求項の数 11 (全 26 頁)

(21) 出願番号 特願2000-380982 (P2000-380982)
 (22) 出願日 平成12年12月14日 (2000.12.14)
 (65) 公開番号 特開2002-203787 (P2002-203787A)
 (43) 公開日 平成14年7月19日 (2002.7.19)
 審査請求日 平成19年11月29日 (2007.11.29)
 (31) 優先権主張番号 特願2000-326381 (P2000-326381)
 (32) 優先日 平成12年10月26日 (2000.10.26)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 柴田 寛
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 太田 一平

(56) 参考文献 特開平11-040500 (JP, A)
 特開平10-247735 (JP, A)
 特開平11-261077 (JP, A)
 最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁体上に非晶質シリコン膜を形成し、
 前記非晶質シリコン膜に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、
 前記結晶質シリコン膜にリンを選択的に添加し、
 酸素濃度が5ppm以下の雰囲気中で第2の加熱処理を行って、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項2】

絶縁体上に非晶質シリコン膜を形成し、
 前記非晶質シリコン膜に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、
 前記結晶質シリコン膜にリンを選択的に添加し、
 真空ポンプにより排気を行って圧力を133Pa以下とし、酸素濃度を2ppm以下とした雰囲気中で第2の加熱処理を行って、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項3】

絶縁体上に非晶質シリコン膜を形成し、
 前記非晶質シリコン膜上に開口部を有するマスク絶縁膜を形成し、前記非晶質シリコン

10

20

膜に選択的に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、

前記結晶質シリコン膜にリンを選択的に添加し、

酸素濃度が5 ppm以下の雰囲気中で第2の加熱処理を行って、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項4】

絶縁体上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜上に開口部を有するマスク絶縁膜を形成し、前記非晶質シリコン膜に選択的に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、

前記結晶質シリコン膜にリンを選択的に添加し、

真空ポンプにより排気を行って圧力を133 Pa以下とし、酸素濃度を2 ppm以下とした雰囲気中で第2の加熱処理を行って、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項5】

絶縁体上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、

前記結晶質シリコン膜にリンを選択的に添加して、ソース領域およびドレイン領域を形成し、

酸素濃度が5 ppm以下の雰囲気中で第2の加熱処理を行って、前記リンを活性化すると共に、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項6】

絶縁体上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜に結晶化を促進する触媒元素を添加した後、第1の加熱処理を行って結晶質シリコン膜を形成し、

前記結晶質シリコン膜にリンを選択的に添加して、ソース領域およびドレイン領域を形成し、

真空ポンプにより排気を行って圧力を133 Pa以下とし、酸素濃度を2 ppm以下とした雰囲気中で第2の加熱処理を行って、前記リンを活性化すると共に、前記リンが選択的に添加された領域に前記触媒元素をゲッタリングさせることを特徴とする半導体装置の作製方法。

【請求項7】

請求項2、4、または6において、前記真空ポンプとして、ロータリーポンプおよびメカニカルブースターポンプを用いることを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至7のいずれかーにおいて、前記リンが選択的に添加された領域には $1 \times 10^{19} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ の濃度のリンが添加されていることを特徴とする半導体装置の作製方法。

【請求項9】

請求項1乃至8のいずれかーにおいて、前記第2の加熱処理における雰囲気は、窒素雰囲気、不活性気体雰囲気、または水素雰囲気であることを特徴とする半導体装置の作製方法。

【請求項10】

請求項1乃至9のいずれかーにおいて、前記第2の加熱処理における加熱温度を450～950 とすることを特徴とする半導体装置の作製方法。

【請求項11】

請求項1乃至10のいずれかーにおいて、前記結晶化を促進する触媒元素として、ニッ

10

20

30

40

50

ケル、コバルト、鉄、スズ、パラジウム、鉛、白金、銅、金から選ばれた金属元素を用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁表面に作製された非晶質半導体膜を結晶化して結晶質半導体膜を作製する方法、およびこの結晶質半導体膜を用いて作製された半導体装置の作製方法に関する。なお、本明細書において半導体装置とは、トランジスタ、特に電界効果型トランジスタ、代表的にはMOS (Metal Oxide Semiconductor) トランジスタや薄膜トランジスタ (Thin film transistor: TFT) といった装置を指すこととする。

10

また、本発明を用いて作製された半導体装置を画素部とその周辺に設けられる駆動回路に用い、同一基板上に設けた表示装置 (代表的には、アクティブマトリクス型液晶表示装置) およびこの表示装置を表示部に用いた電気器具に関する。

【0002】

【従来技術】

近年、電界効果移動度の問題から基板 (例えば、ガラス基板、石英基板、SUS基板等) 上に設けられた絶縁表面上に形成された非晶質半導体膜 (以下、アモルファスシリコン膜という) を結晶化させて、多結晶状態になった多結晶半導体膜 (以下、ポリシリコン膜または結晶質シリコン膜という) を用いた薄膜トランジスタ (以下、TFTという) の開発が盛んになってきている。

20

【0003】

この結晶質シリコン膜を得るプロセスとしては、加熱処理による結晶化、レーザーによる結晶化、結晶化を促進する触媒元素をアモルファスシリコン膜に添加した後加熱処理する結晶化等が挙げられる。なお、結晶化を促進する触媒元素をアモルファスシリコン膜に添加して加熱処理する結晶化技術に関して、本出願人より特開平7-130652号公報によって開示されている。

【0004】

この技術は、触媒元素の作用によりアモルファスシリコン膜の結晶化の温度を50~100も引き下げることが可能であり、結晶化に要する時間も1/5~1/10にまで低減することができるため、耐熱性の低いガラス基板やプラスチック基板上に大面積の結晶質シリコン膜を形成することが可能となった。また、この技術により得られた結晶質シリコン膜は優れた結晶性を有することが確認されている。

30

【0005】

【発明が解決しようとする課題】

特開平7-130652号公報において開示された結晶化技術は、結晶化を促進する触媒元素としてニッケル (Ni)、コバルト (Co) といった金属元素が用いられている。これらの触媒元素は、半導体膜 (シリコン膜) 中に深いエネルギー準位を形成してキャリアを捕獲し、再結合してしまうため、得られる結晶質シリコン膜を用いてTFTを形成すると、TFTの電気特性や信頼性に悪影響を及ぼすことが予想される。

【0006】

40

また、シリコン膜中に残存した触媒元素が不規則に、特に結晶粒界に集中して偏析することが確認されており、この偏析が微弱な電流の逃げ道 (リークパス) となり、オフ電流 (TFTがオフ状態にある時の電流) の突発的な増加の原因になっていると考えられている。

【0007】

そこで、結晶化の工程が終了したら、速やかに触媒元素を半導体膜から除去する、または、電氣的な影響を及ぼさない程度の濃度にまで低減させる必要がある。この手段として、リン (P) などの15族元素を高濃度にドーピングして、触媒元素をゲッタリングする方法があげられる。

【0008】

50

例えば、リン（P）などの１５族元素を高濃度にドーピングしたゲッタリング領域を形成し、触媒元素を捕獲させてゲッタリング工程終了後に、このゲッタリング領域を除去する方法や、不純物元素（リン）が添加されたソース領域またはドレイン領域を活性化する工程と同一の工程で、半導体層中の触媒元素をソース領域またはドレイン領域にゲッタリングする方法などである。

【０００９】

しかし、近年、より高精細な表示が望まれており、これを可能にするために画素数を増加させて対応している。画素数が増えることで一つの画素の大きさが小さくなり、同時にゲッタリング作用を有する周期表の１５族に属する元素が添加される領域（ゲッタリング領域）が狭くなってしまい、ゲッタリングの効率が悪くなるという問題が生じる。ゲッタリングの効率が下がれば、作業工程時間が延びる、半導体膜中に触媒元素が残留し偏析することで、上述したような問題が生じるなど、様々な問題に発展する。

10

【００１０】

【課題を解決するための手段】

本発明者は、触媒元素が添加されたシリコン膜に、選択的にゲッタリングの作用を有するリン（P）を添加して、ゲッタリング領域を形成したとき、雰囲気酸素濃度が高いと、ゲッタリング領域に添加されたリンと酸素が結合して、リンのゲッタリング効率が低下すると考えた。

【００１１】

そこで、本発明では、結晶化を促進する触媒元素を半導体膜から周期表の１５族に属する不純物元素が添加された領域にゲッタリングさせる工程を、酸素濃度が５ppm以下の雰囲気で行うことを特徴としている。

20

【００１２】

また、本発明は、結晶化を促進する触媒元素を半導体膜から周期表の１５族に属する不純物元素が添加された領域にゲッタリングさせる工程を、真空ポンプにより排気を行って１３３Pa以下にし、酸素濃度が２ppm以下の雰囲気で行うことを特徴としている。

【００１３】

また、加熱処理温度が４５０～９５０℃で、好ましくは、７００～９００℃で、窒素（N₂）、不活性気体、水素（H₂）など、酸素を含まない気体であって、熱によって分解され半導体膜と反応したり、成分が堆積されたりしない気体の雰囲気で行うことを特徴としている。

30

【００１４】

さらに、ゲッタリング領域に周期表の１５族に属する不純物元素に加えて周期表の１３族に属する不純物元素が含まれていることを特徴としている。

【００１５】

【発明の実施の形態】

（実施形態１）

本実施形態では、ＴＦＴの半導体層（能動層）となる半導体膜の結晶化する工程について図９、１０を用いて説明する。

【００１６】

40

まず、基板（本実施形態では、石英基板）１０上に２００nm厚の窒化酸素シリコン膜でなる下地膜１１と２００nm厚の非晶質半導体膜（本実施形態ではアモルファスシリコン膜）１２を形成する。この工程は、下地膜およびアモルファスシリコン膜は大気解放しないで連続的に形成してもかまわない。

【００１７】

次に、酸化シリコン膜でなるマスク絶縁膜１３を２００nm厚で形成し、開口部１４を形成する。

【００１８】

次に重量換算で１０ppmの触媒元素（本実施形態ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層１５をアモルファスシリコン

50

膜 1 2 上に形成する。触媒元素含有層 1 5 は、開口部 1 4 が形成された領域において、選択的にアモルファスシリコン膜 1 2 に接触する。ここで使用可能な触媒元素としては、ニッケル以外にパラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u) といった元素がある。

【 0 0 1 9 】

また、本実施形態ではスパインコート法でニッケルを添加する方法を示したが、蒸着法やスパッタ法といった方法で触媒元素を添加してもよい。

【 0 0 2 0 】

次に、結晶化の工程に先立ち、400 ~ 500 で1時間程度の加熱処理を行い、水素を膜中から脱離させたのち、500 ~ 650 で4 ~ 12時間の加熱処理を行ってアモルファスシリコンの結晶化を行い、結晶質シリコン膜 1 6 を得た。なお、このあと、レーザーを照射して形成された結晶質シリコン膜の結晶性を高めてもよい。

10

【 0 0 2 1 】

次いで、結晶化の工程で用いたニッケルを結晶質シリコン膜 1 6 から除去するゲッタリング工程を行う。先程の工程で使用したマスク絶縁膜 1 3 をそのままマスクとして、この開口部 1 5 から露出した結晶質シリコン膜 1 6 に対して、周期表の 1 5 族に属する元素 (本実施形態ではリン) を添加する工程を行う。この工程により、 $1 \times 10^{19} \sim 1 \times 10^{22}$ atoms/cm³ の濃度でリンを含むゲッタリング領域 1 7 が形成される。

【 0 0 2 2 】

次いで、ロータリーポンプ、メカニカルブースターポンプで真空引きを行い、高い純度 (室素中に含まれる C H ₄、C O、C O₂、H₂、H₂O 及び O₂ の濃度が 1 ppb 以下である) の室素を 5 l / min で流して本実施形態では圧力 1 3 . 3 ~ 2 6 . 7 Pa を保ち、酸素濃度が 5 ppm 以下 (本実施形態では 2 ppm 以下) の室素雰囲気を作る。この室素雰囲気中で 4 5 0 ~ 9 5 0 、4 ~ 2 4 時間の加熱処理工程を行う。なお、本実施形態においては、室素雰囲気としたが、酸素濃度が 5 ppm 以下にできれば雰囲気は、酸素を含まない気体、例えばヘリウム (H e)、ネオン (N e)、アルゴン (A r) といった不活性気体でもよい。また、熱による分解で堆積したり、半導体膜と反応しないような気体、例えば水素 (H₂) でもよい。

20

【 0 0 2 3 】

この加熱処理工程により結晶質シリコン膜 1 6 中のニッケルが矢印の方向に移動し、リンのゲッタリング作用によって、ゲッタリング領域 1 7 に捕獲される。即ち、結晶質シリコン膜 1 6 中からニッケルが除去され、結晶質シリコン膜 1 6 に含まれるニッケルの濃度は 1×10^{17} atoms/cm³ 以下、好ましくは 1×10^{16} atoms/cm³ 以下にまで低減することができる。

30

【 0 0 2 4 】

以上のようにして形成された結晶質シリコン膜 1 6 は、結晶化を促進する触媒元素を用い、さらに結晶化のあとに、触媒元素をリンのゲッタリング作用により除去しており、結晶質シリコン膜 1 6 中に残存する触媒元素の濃度を低減しているため、良好な結晶質シリコン膜を得ることができる。

【 0 0 2 5 】

次いで、結晶質シリコン膜 1 6 を島状にパターニングして島状半導体層 1 8 を形成する。島状半導体層 1 8 を覆うようにプラズマ C V D 法または減圧熱 C V D 法により酸化シリコン膜でゲート絶縁膜 1 9 を形成する。次に、ゲート絶縁膜 1 9 上にポリシリコン膜 (リンが添加されたポリシリコン膜) および W S i 膜を形成し、所望の形状にパターニングして、ゲート電極 2 0 を形成する。なお、ゲート絶縁膜を形成する前もしくはゲート絶縁膜を形成したあとに T F T のしきい値を制御するために微量の不純物元素 (ボロンまたはリン) を島状半導体層 1 8 にドーピングしてもよい。

40

【 0 0 2 6 】

次いで、ゲート電極 2 0 をマスクにして一導電型を付与する不純物元素を添加して、ソース領域 2 2 a、ドレイン領域 2 2 a および低濃度不純物領域 (以下、L D D 領域という)

50

22bをする。この後、層間絶縁膜23を形成し、半導体層に添加された不純物を活性化するための加熱処理を行い、コンタクトホールを形成して、各TF Tを電氣的に接続するための配線24を形成する。

【0027】

また、ボトムゲート型TF Tの作製工程に本発明を適応することも可能である。図19、20を用いてボトムゲート型TF Tの作製工程について簡単に説明する。

【0028】

基板50上に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を形成し(図示せず)、ゲート電極を形成するために導電膜を形成し、所望の形状にパターンニングしてゲート電極51を得る。導電膜には、Ta、Ti、W、Mo、CrまたはAlから選ばれた元素またはいずれかの元素を主成分とする導電膜を用いればよい。

10

【0029】

次いで、ゲート絶縁膜52を形成する。ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜の単層、もしくはいずれかの膜の積層構造にしてもよい。

【0030】

次いで、非晶質半導体膜としてアモルファスシリコン膜53を熱CVD法、プラズマCVD法、減圧CVD法、蒸着法またはスパッタリング法により10~1150nm厚に形成する。なお、ゲート絶縁膜52とアモルファスシリコン膜53とは、同じ成膜法で形成することが可能であるため、両者を連続形成してもよい。連続形成することで、一旦大気に曝すことがなくなり、表面の汚染を防ぐことができ、作製するTF Tの特性バラツキやしき

20

【0031】

次いで、アモルファスシリコン膜53に結晶化を促進する触媒元素を塗布して、触媒元素含有層54を形成する。この後、加熱処理を行い、結晶質シリコン膜を形成する。

【0032】

結晶化工程が終わったら、後の不純物添加工程において結晶質シリコン膜(チャネル形成領域)を保護する絶縁膜55を100~400nm厚で形成する。この絶縁膜は、不純物元素を添加する時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、さらに、微妙な濃度制御を可能にするために形成される。

【0033】

次いで、レジストからなるマスクを用いて、後のnチャネル型TF Tの活性層となる結晶質シリコン膜にn型を付与する不純物元素、後のpチャネル型TF Tの活性層となる結晶質シリコン膜にp型不純物元素を添加して、ソース領域、ドレイン領域、LDD領域を形成する。

30

【0034】

次いで、結晶質シリコン膜に添加された不純物元素を活性化する工程を行う。活性化と同時に、結晶化工程でシリコン膜に塗布した触媒元素の捕獲(ゲッターリング)も行う。加熱処理条件として、酸素濃度が5ppmの雰囲気、450~950℃で処理を行えばよい。

【0035】

次いで、結晶質シリコン膜上の絶縁膜を除去し、結晶質シリコン膜を所望の形状にパターンニングした後、層間絶縁膜56を形成する。層間絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜から500~1500nm厚で形成する。

40

【0036】

その後、それぞれのTF Tのソース領域またはドレイン領域に達するコンタクトホールを形成して、各TF Tを電氣的に接続するための配線57を形成する。

【0037】

以上のように本発明を適応してTF Tを作製することができる。

【0038】

(実施形態2)

実施形態1の条件(炉内の圧力が13.3~26.6Pa、酸素濃度が2ppm以下に保たれ

50

た雰囲気下)で加熱処理(ゲッタリング)を行った試料について、ゲッタリング後の様子を観察してゲッタリングの効率について調べた結果を示す。なお、比較のために雰囲気に通常の条件(酸素濃度を低減させていない)で加熱処理(ゲッタリング)を行った試料についても、同様に観察を行った。

【0039】

金属元素(本実施形態ではニッケル)を結晶化を促進する触媒元素として用いる結晶化方法の場合、結晶化のための加熱処理をすると、結晶化工程後は、半導体膜から捕獲したい触媒元素(Ni)が半導体元素(Si)と結合して $NiSi_x$ が生成され、偏析してしまう。そこで、本実施形態では、この $NiSi_x$ を選択的に除去することで発生する孔の数でゲッタリングの効率を評価した。

10

【0040】

$NiSi_x$ は、酸化シリコン膜をLAL500液にて除去し、HFと H_2O_2 をモル比で0.5:0.5に混合した薬液(以下、FPM液という)に40分間、LAL500液に室温にて20分間試料を浸漬することで除去され、孔が発生する。この孔の発生する割合が高いほど高濃度にニッケル(Ni)が残留しているといえる。

【0041】

$NiSi_x$ が除去された後の孔は、試料を光学顕微鏡の透過モードで黒点として観察することができる。この黒点のことをエッチピットという。なお、ゲッタリングが十分になされている場合には、 $NiSi_x$ は形成されないため、エッチピットは観察されない。以下で、実際にエッチピットを観察した様子を示す。

20

【0042】

図18(A)は、本発明の開示する加熱処理条件(雰囲気:酸素濃度2ppm以下の窒素雰囲気、処理温度:600、処理時間:12時間)でゲッタリングを行ったもの、図18(B)は通常の加熱処理条件(雰囲気:窒素雰囲気、処理温度:600、処理時間:12時間)でゲッタリングを行ったものの観察結果である。また、3種類の加熱処理条件でゲッタリングを行って、それぞれの条件での1画素あたりのエッチピットの個数を表1と図21に示した。本実施形態では、12000画素中のエッチピットを数えており、表中の1画素あたりのエッチピット数とは、総エッチピット数を画素数で割って算出している。

【0043】

30

【表1】

熱処理条件	1画素あたりのエッチピット数(個)
600°C,12hr.	5.70×10^{-2}
600°C,12hr.(低酸素濃度)	4.10×10^{-2}
700°C,12hr.(低酸素濃度)	9.50×10^{-2}

40

【0044】

通常の加熱処理条件において観察されるエッチピットの個数と本明細書において開示する加熱処理条件において観察されるエッチピットの個数とを比較すると、明らかに本発明が開示する低酸素濃度の条件での結果の方がエッチピットの個数が少なくなっている。このことから、低酸素濃度雰囲気でゲッタリングのための加熱処理を行うと、触媒元素の偏析を効果的に減らすことができ、触媒元素がゲッタリングされて少なくなっていると考えられる。

【0045】

したがって、本発明をTFTの作製工程に適用することで、 I_{off} が低下し、動作不良の

50

少ない信頼性の高いTFTを作製することができ、またこのTFTを用いたアクティブマトリクス基板を適応すれば、高品質な半導体装置を提供することができる。

【0046】

【実施例】

(実施例1)

本実施例では、実施形態で示した結晶化の方法を用いてアクティブマトリクス基板を形成する工程について説明する。なお、本明細書において、アクティブマトリクス基板とは、nチャネル型TFTおよびpチャネル型TFTを有する駆動回路と、画素TFTおよび保持容量を有する画素部が同一基板上に設けられている基板のことをいう。

【0047】

基板100は、石英基板、ガラス基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成した基板を用いてもよい。なお、ガラス基板を用いる場合には、ガラス歪み点よりも10~20 低い温度であらかじめ加熱処理しておいてもよい。

【0048】

基板100上にポリシリコン膜、WSi膜を成膜し、これらの膜に対してパターニングを施し、下部遮光膜101を形成する。下部遮光膜101としては、ポリシリコン膜や WSi_x ($x=2.0\sim2.8$) 膜、Al、Ta、W、Cr、Mo等の導電性材料からなる膜及びその積層構造を用いることができる。本実施例では、 WSi_x (膜厚: 100nm) 膜101bおよびポリシリコン膜 (膜厚: 50nm) 101aの積層構造で高い遮光性を持つ下部遮光膜101を所定の間隔で形成した。なお、下部遮光膜101はゲート線としての機能を有しているため、以下、下部遮光膜にあたる部分はゲート線と称する。

【0049】

ゲート線101を覆うように第1の絶縁膜102を形成する。第1の絶縁膜102は100nm程度の膜厚を有する。この第1の絶縁膜102は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、第1の絶縁膜102は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0050】

次いで、第1の絶縁膜102上に、減圧CVD法により非晶質半導体膜を形成する。非晶質半導体膜の材料に特に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (Si_xGe_{1-x} : $0<x<1$ 、代表的には、 $x=0.001\sim0.05$) 合金などで形成するとよい。なお、本実施例では非晶質半導体膜として、65nm厚のアモルファスシリコン膜103を形成した。

【0051】

次いで、アモルファスシリコン膜103を結晶化して結晶質シリコン膜104を形成する。結晶化の方法としては、実施形態1で示した結晶成長を促進する触媒元素を用いる方法を適応する。

【0052】

なお、結晶化工程の後、結晶質シリコン膜にレーザー照射を行って、結晶質シリコン膜の結晶性を改善してもよい。

【0053】

以上のように結晶化を行った結晶質シリコン膜104上に、LPCVD法によって、酸化シリコン膜からなる50nm厚のマスク絶縁膜105を形成し、その後、図2で示すような結晶質シリコン膜104が露出されるような開口部(窓)106を作るためのパターニングを行う。

【0054】

次いで、結晶化工程で用いた触媒元素を結晶質シリコン膜104からゲッタリングを行うために、開口部106から周期表の15族に属する不純物元素(本実施例ではリン)を $1\times10^{19}\sim1\times10^{22}\text{atoms/cm}^3$ の濃度で結晶質シリコン膜104に添加してゲッタリン

10

20

30

40

50

グ領域（図示せず）を形成する。また、ゲッターリング領域には、周期表の15族に属する不純物元素だけでなく、周期表の13族に属する不純物元素（代表的には、ボロン）が $2 \times 10^{19} \sim 2 \times 10^{22} \text{atoms/cm}^3$ の濃度で含まれていてもよい。

【0055】

次に、ロータリーポンプ（ポンプの排気量： $40 \text{m}^3/\text{hr.}$ ）およびメカニカルブースターポンプ（ポンプの排気量： $250 \text{m}^3/\text{hr.}$ ）で真空引きを行い $1.3 \times 10^{-3} \text{Pa}$ とした後、窒素を流して炉内の酸素濃度を下げ、処理温度 700°C で12時間の加熱処理を行う。この加熱処理により、結晶質シリコン膜104中のニッケルがゲッターリング領域へ移動し、リンのゲッターリング作用によってゲッターリング領域に捕獲される。すなわち、結晶質シリコン膜104中からニッケルが除去され、結晶質シリコン膜104に含まれるニッケル濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは、 $1 \times 10^{16} \text{atoms/cm}^3$ 以下にまで低減することができる。

10

【0056】

次いで、結晶質シリコン膜104の結晶性を向上させることを目的として、酸化処理を行う。減圧CVD装置で20nm厚の酸化シリコン膜107を成膜し、 950°C で熱酸化処理を行って、酸化シリコン膜107/酸化シリコン膜が酸化された部分 = 20 : 60 (nm) の比率で熱酸化膜108が形成された。

【0057】

熱酸化膜108をエッチングした後、熱酸化処理によって35nm厚になった結晶質シリコン膜104をパターニングし、所望の形状の島状半導体層109a~dを形成する。

20

【0058】

次いで、島状半導体層109a~dを覆って、第2の絶縁膜（ゲート絶縁膜）110aとして30nm厚の酸化シリコン膜を形成する。次いで、後に保持容量204となる領域の島状半導体層109dを保持容量の下部電極とするために、島状半導体層109dの真上の領域のゲート絶縁膜を選択的にエッチングするためのレジストからなるマスク111を形成し、ゲート絶縁膜を除去してリンを添加する。

【0059】

この後、レジストからなるマスク111を除去して、2層目のゲート絶縁膜110bとして50nm厚の酸化シリコン膜を形成する。

【0060】

30

半導体層109a~dを形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物添加工程は、半導体膜の結晶化工程の前、半導体膜の結晶化工程の後、または、ゲート絶縁膜110を形成する工程の後のいずれかに行えばよい。

【0061】

ついで、島状半導体層109a~dを活性層としたTFTを形成するため、半導体層に選択的にn型またはp型を付与する不純物元素（以下、n型不純物元素またはp型不純物元素という）を添加して、低抵抗のソース領域およびドレイン領域、さらに、LDD領域を形成する。このLDD領域はソース領域及びドレイン領域と同様に不純物元素が添加されている。

40

【0062】

こうして島状半導体層109a~dにソース領域とドレイン領域とに挟まれたチャネル形成領域が形成される。

【0063】

この後、第1の絶縁膜102およびゲート絶縁膜110に選択的なエッチングを行って、ゲート線101に到達するコンタクトホールを形成する。次いで、ゲート絶縁膜110上に導電膜を形成し、パターニングして各画素のチャネル形成領域上にゲート電極112a~c、容量配線（保持容量の上部電極）112dを形成する。容量配線112dが形成される領域のゲート絶縁膜110は、2層目のゲート絶縁膜のみであるため他の領域より薄くしており、保持容量の増大が図られている。また、ゲート電極112cは、ゲート線1

50

01とコンタクトホールを通じて電氣的に接続している。

【0064】

ゲート電極および容量配線を形成するための導電膜は、導電性を付与する不純物元素が添加されたポリシリコン膜や WSi_x 膜($x=2.0\sim2.8$)、Al、Ta、W、Cr、Mo等の導電性材料およびその積層構造により300nm程度の膜厚で形成しているが、上記の導電性材料の単層でもよい。

【0065】

次いで、ゲート電極112a～cおよび容量配線112dを覆う第3の絶縁膜(第1の層間絶縁膜)113を形成する。この第3の絶縁膜113は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、またはこれらの膜を組み合わせた積層膜で70nm厚程度に形成すればよい。

10

【0066】

次いで、第4の絶縁膜(第2の層間絶縁膜)114を形成する。第4の絶縁膜は、有機絶縁物材料膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜のいずれかを材料として、800nm厚で形成する。

【0067】

次いで、ゲート絶縁膜110、第3の絶縁膜113および第4の絶縁膜114に、島状半導体層109に通じるコンタクトホールを形成する。そして第4の絶縁膜114上にコンタクトホールを通じて島状半導体層109に接する導電膜を形成し、所望の形状にパターンニングすることでそれぞれのTFTを電氣的に接続するための接続配線およびソース線115a～eを形成する。これらの配線を形成するための導電膜はAl、W、Ti、TiNを主成分とする膜、またはそれらの積層構造(本実施例では、Tiを含むAl膜をTiで挟み込んだ3層構造としている)を有する導電膜を厚さ500nmとなるように形成し、パターンニングしている。なお、ソース線115dは保持容量上部を通して、島状半導体層109cと電氣的に接続されている。

20

【0068】

図8は、ここまで形成された状態の上面図を示したものであり、図中のA-A'線に沿った概略断面図が図7(B)のA-A'線部分に相当し、B-B'線に沿った概略断面図が図7(B)のB-B'線部分に相当する。

【0069】

30

次いで、接続配線を覆う第5の絶縁膜116をアクリル等の有機絶縁膜から1000nm厚に形成する。第5の絶縁膜116上にAl、Ti、W、Cr、または黒色樹脂等の高い遮光性を持つ膜を所望の形状にパターンニングして遮光膜117を形成する。この遮光膜117は画素の開口部以外を遮光するように網目状に配置する。さらに、この遮光膜117を覆うように第5の絶縁膜116と同じ材料からなる第6の絶縁膜118を形成し、接続配線115eに通じるコンタクトホールを第5の絶縁膜116および第6の絶縁膜118に形成する。

【0070】

次いで、ITO等の透明導電膜を100nm厚形成し、所望の形状にパターンニングすることで画素電極119を形成する。

40

【0071】

こうして形成されたアクティブマトリクス基板に液晶層を配向させる配向膜を形成し、公知のセル組み技術を用いて対向電極および配向膜が形成された対向基板とアクティブマトリクス基板とを貼り合わせた後、液晶を注入して封止することでアクティブマトリクス型液晶表示装置を完成させた。

【0072】

(実施例2)

本実施例では、実施例1で作製されたアクティブマトリクス型液晶表示装置の構成を説明する。

【0073】

50

図 17 において、アクティブマトリクス基板は基板 100 上に形成された画素部と駆動回路 205 とその他の信号処理回路とで構成される。画素部には画素 TFT 203 と保持容量 204 とが設けられ、画素部の周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。

【0074】

容量配線 112d は、図 8 の上面図で示すようにソース線 115d と平行な方向に設けられ、保持容量 204 の上部電極として機能している。

【0075】

駆動回路 205 からは、それぞれゲート線 101、ソース線 115d が画素部に延在し、画素 TFT 203 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit :FPC) 501 が外部入力端子 502 に接続していて画像信号などを入力するのに用いる。FPC 501 は補強樹脂によって強固に接着されており、接続配線で、それぞれの駆動回路に接続している。また、対向基板 500 には図示していないが、遮光膜や透明電極が設けられている。

【0076】

(実施例 3)

実施例 1 のアクティブマトリクス基板の作製工程において、結晶化の工程を以下で説明する方法で行ってもよい。

【0077】

まず、図 11 で示すように、基板 (本実施例では、石英基板) 300 上の窒化酸化シリコン膜でなる下地膜 301 と、下地膜 301 上にアモルファスシリコン膜 302 を形成する。この工程は、下地膜 301 とアモルファスシリコン膜 302 を大気解放しないで連続的に形成しても構わない。

【0078】

次に、重量換算で 100ppm の触媒元素 (本実施例ではニッケル) を含む水溶液 (酢酸ニッケル水溶液) をスピンコート法で塗布して、触媒元素含有層 303 をアモルファスシリコン膜 302 の全面に形成する。ここで使用可能な触媒元素はニッケル (Ni) 以外にも鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au) といった金属元素がある。

【0079】

また、本実施例ではスピンコート法でニッケルを添加する方法を用いたが、蒸気法やスパッタ法などにより触媒元素でなる薄膜 (本実施例の場合はニッケル膜) をアモルファスシリコン膜 302 上に形成する手段をとってもよい。

【0080】

次に、結晶化の工程に先立って 400 ~ 500 で 1 時間程度の加熱処理工程を行い、水素を膜中から離脱させた後、500 ~ 650 で 6 ~ 16 時間の加熱処理を行う。本実施例では、600 で 12 時間の加熱処理を行う。その結果、結晶質シリコン膜 304 が形成される。

【0081】

次いで、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッターリング工程を行う。本実施例では、酸化シリコン膜からなるマスク絶縁膜 305 およびレジストからなるマスク (図示せず) を用いて開口部 306 を形成し、周期表の 15 族に属する元素 (本実施例ではリン) を添加する工程を行う。開口部 306 から露出した結晶質シリコン膜に対して、 $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でリンを含むゲッターリング領域 307 を形成する。

【0082】

次に、レジストからなるマスクを除去した後、真空ポンプ (ロータリーポンプおよびメカニカルブースターポンプ) により排気を行って酸素濃度を 2ppm 以下に低減し、圧力を 13.3 ~ 26.6 Pa に保った窒素雰囲気中で 600 ~ 800 で 4 ~ 24 時間の加熱処理工程を行う。この加熱処理工程により、結晶質シリコン膜 304 中のニッケルが矢印の方

10

20

30

40

50

向に移動し、リンのゲッタリング作用によってゲッタリング領域 307 に捕獲される。すなわち、結晶質シリコン膜 304 中からニッケルが除去されるため、結晶質シリコン膜 304 に含まれるニッケル濃度は、 $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下にまで低減することができる。ここで、ゲッタリング領域に、リンに加えて周期表の 13 族に属する不純物元素、代表的にはボロンが添加されているとゲッタリングの効果を高めるのに好ましい。

【0083】

以上のようにして形成された結晶質シリコン膜 304 が結晶化を促進する触媒元素（本実施例ではニッケル）を選択的に除去して結晶化することによって、非常に結晶性のよい結晶質シリコン膜を得ることができる。具体的には、棒状または柱状の結晶が特定の方向性をもって並んだ結晶構造を有している。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質シリコン膜 304 中に残存する触媒元素の濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下である。

10

【0084】

本実施例で開示する結晶化工程および触媒元素のゲッタリング工程を実施例 1 に適応して、アクティブマトリクス基板を得ることができる。また、本実施例を適応して作製されたアクティブマトリクス基板を用いて、実施例 2 に示すアクティブマトリクス型液晶表示装置を作製することができる。

【0085】

（実施例 4）

20

周期表の 15 族に属する不純物元素による結晶化を促進する触媒元素をゲッタリングする工程について、実施例 1 とは異なる実施例について図 12、13 を用いて説明する。

【0086】

基板 400 上に酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜からなる下地膜 401 を形成し、その上に非晶質半導体膜としてアモルファスシリコン膜 402 を形成する。非晶質半導体膜として、アモルファスシリコン膜以外にも、シリコンを含む非晶質半導体膜の $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) を用いてもよい。

【0087】

次いで、アモルファスシリコン膜 402 を結晶化して、結晶質シリコン膜 403 を得る。結晶化の方法は、実施形態 1、実施例 1 または実施例 3 で示した方法のうちいずれかを適応すればよい。本実施例は、実施例 3 で示した結晶化方法を用いる。

30

【0088】

次いで、結晶質シリコン膜 404 を所望の島状にパターニングして島状半導体層 405 を得る。また、この島状半導体層上にゲート絶縁膜 406 を形成する。ゲート絶縁膜 406 は、プラズマ CVD 法またはスパッタ法を用いて 10 ~ 150 nm の厚さでシリコンを含む絶縁膜で形成する。本実施例においては、酸化窒化シリコン膜で 120 nm 厚のゲート絶縁膜 406 を形成した。

【0089】

ゲート絶縁膜が形成されたら、TFT のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物添加工程は、半導体膜の結晶化工程の前または半導体膜の結晶化工程の後に行ってもよい。

40

【0090】

次いで、島状半導体層 405 にイオンドーピング法もしくはイオン注入法によって n 型不純物元素（代表的にはリン）、および p 型不純物元素（代表的にはボロン）を選択的に添加して、TFT のソース領域、ドレイン領域、LDD 領域を形成する。なお、これらのソース領域、ドレイン領域、LDD 領域の形成にあたって、必要に応じてレジストからなるマスクを用いればよい。または、ゲート電極を形成する工程において、自己整合的にソース領域、ドレイン領域、LDD 領域を形成してもよい。

【0091】

次いで、ゲート電極を形成するために、導電膜を形成し、所望の形状にパターニングし、

50

ゲート電極 407 を形成した。その後、ゲート電極 407 を覆う第 1 層間絶縁膜 408 を形成した。第 1 層間絶縁膜 408 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜を 50 ~ 500 nm の厚さで形成する。

【0092】

次いで、島状半導体層 405 に添加された n 型不純物元素および p 型不純物元素を活性化する工程を行う。なお、本実施例ではこの活性化工程と同時に結晶化工程の際に半導体層に塗布した触媒元素を周期表の 15 族に属する不純物元素（本実施例では n 型不純物元素であるリン）が添加された領域にゲッタリングさせる工程も含んでいる。そこで、熱アニール法の条件として、真空ポンプ（ロータリーポンプおよびメカニカルブースターポンプ）により排気を行い、酸素濃度が 5 ppm 以下の減圧雰囲気（133 Pa 以下）において、450 ~ 950 で処理を行った。

10

なお、熱アニール法の他にも、レーザーアニール法、またはラピッドサーマルアニール（RTA）法を適用することができる。

【0093】

この結果、半導体層に残存する触媒元素の濃度は 1×10^{17} atoms/cm³ 以下、好ましくは、 1×10^{16} atoms/cm³ 以下にすることができる。

【0094】

本実施例を適用すると、半導体層に添加された不純物元素の活性化と、結晶化を促進する触媒元素のゲッタリングとを同一工程で行うことができるため、スループットの向上が図れる。

20

【0095】

（実施例 5）

本実施例においては、本発明を用いて反射型のアクティブマトリクス型液晶表示装置を作製する方法の他の一例について、図 22 ~ 26 を用いて説明する。

【0096】

基板 600 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地絶縁膜 601 を形成する。ここで、基板 600 としてはガラス基板、石英基板、セラミックス基板などを用いることができる。また、シリコン基板、金属基板、またはステンレス基板などの表面に絶縁膜を形成したものをを用いてもよい。本実施例では、1 層目の下地絶縁膜 601a として、窒化酸化シリコン膜を 50nm、2 層目の下地絶縁膜 601b として、酸化窒化シリコン膜を 100nm 積層した下地絶縁膜 601 とした。

30

【0097】

次いで、下地絶縁膜 601 上に非晶質半導体膜 602 を形成する。非晶質半導体膜としては、特に材料に限定はないもののシリコン膜もしくはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ； $0 < x < 1$ 、代表的には $x=0.001 \sim 0.05$ ）合金からなる膜などで形成するとよい。本実施例では、アモルファスシリコン膜を 30 ~ 60nm の膜厚で形成した。

【0098】

なお、下地絶縁膜 601b とアモルファスシリコン膜 602 とは成膜方法が同じであるため、大気解放せずに連続的に成膜することが可能である。そうすることにより汚染を防ぐことが可能となり、この半導体膜を活性層とする TFT の特性のバラツキを低減させることができる（図 22（B））。

40

【0099】

次いで、アモルファスシリコン膜 602 を結晶化する。結晶化のための処理として、アモルファスシリコン膜 602 表面全面に結晶化を促進する作用を有する金属元素（以下、触媒元素とする）を塗布し、触媒元素含有層 603 を形成する。典型的な触媒元素としては、ニッケル（Ni）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）といった元素を用いればよい。本実施例では、重量換算で Ni を 10ppm 含む水溶液（酢酸ニッケル水溶液）をスピンコート法で塗布した。スピンコート法以外にも蒸気法もしくはスパッタ法などにより触媒元素からなるごく薄い膜（触媒元素含有層）を形成してもよい（図 22（C））。

50

【0100】

次いで、アモルファスシリコン膜602中から水素を離脱させるために、本実施例では500で1時間の加熱処理を行った。この時、含有水素量は5atomic%以下とすることが好ましい。続いて、結晶化のための加熱処理を行う。本実施例では500で4時間の加熱処理を行い、結晶質シリコン膜604を得た。

【0101】

さらに加熱処理による結晶化工程の後、得られた結晶質シリコン膜にレーザーを照射して結晶性を高める工程を行ってもよい。ここで、パルス発振型のレーザー、例えばKrFエキシマレーザー（波長248nm）、短波長（紫外線領域）のXeClエキシマレーザー、もしくは長波長のYAGレーザーのいずれかのレーザーを照射すればよい。

10

【0102】

次いで結晶質シリコン膜604上に酸化シリコン膜からなるマスク絶縁膜605を膜厚130nmで形成する。その後、このマスク絶縁膜605を介して結晶質シリコン膜604に不純物元素を添加する。ここで結晶質シリコン膜604に添加する不純物元素は、p型不純物元素、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いる。この工程は、TFTのしきい値電圧を制御するための工程であって、本明細書中ではチャネルドープ工程という。この工程により、 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には、 $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度のボロンが結晶質シリコン膜604中に添加された。

【0103】

マスク絶縁膜605を除去した後、結晶質シリコン膜604を所望の形状にパターニングして半導体層606～609を形成する。この半導体層は、後のTFTの活性層となる。

20

【0104】

次いで、シリコンを含む絶縁膜からゲート絶縁膜610を形成する。本実施例では、115nmのゲート絶縁膜610を形成した。

【0105】

次いで、ゲート電極を形成するための導電膜を成膜する。本実施例では、膜厚20～100nmの導電膜（A）611および膜厚100～400nmの導電膜（B）612を積層で形成した。導電膜（A）および導電膜（B）は、Ta、W、Ti、Mo、Al、Si（リンなどの不純物元素をドーピングした多結晶シリコン膜）またはCuから選ばれた元素を主成分とする導電膜から形成する。本実施例では、導電膜（A）611としてTaN、導電膜（B）612としてWを用いた（図23（A））。

30

【0106】

続いて、レジストからなるマスク613～617を形成し、ゲート電極および保持容量の電極となる容量配線を形成するための第1のエッチング処理を行う。エッチング方法は、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチングガスには CF_4 、 Cl_2 および O_2 をそれぞれ流量25/25/10（sccm）で用い、1.0Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行う。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0107】

この後、レジストからなるマスク613～617を除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 および Cl_2 を流量30/30（sccm）で用い、1.0Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行う。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング条件により、W膜およびTaN膜が同程度にエッチングされて第1の形状のゲート電極、容量配線およびソース線618～622が形成される

40

【0108】

続いて、レジストからなるマスク613～617を除去せずに第1の形状のゲート電極および容量配線をマスクにしてn型不純物元素（典型的に、周期表の15族に属する元素）を添加する。本実施例では、リンを $1 \times 10^{20} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ の濃度になるようにドー

50

ピングを行った。これにより、 n 型不純物領域 (n^+) 623~626が形成される (図23 (B))。

【0109】

続いて、レジストからなるマスク613~617を除去せず、エッチング処理を行う。エッチングガスには、 SF_6 、 Cl_2 および O_2 を流量24/12/24 (sccm) で用い、1.3Paの圧力でコイル型の電極に700WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも10WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング条件により、W膜およびTa₂N膜が同程度にエッチングされて第2の形状のゲート電極、容量配線およびソース線627~631が形成される

10

【0110】

次いで、第2の形状のゲート電極および容量配線627~630をマスクとして用い半導体層に n 型不純物元素を添加する。ここで、 n 型不純物領域 (n^+) よりチャネル形成領域側に n 型不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度の n 型不純物領域 (n^+) 632~635が形成される (図23 (C))。

【0111】

次いで、レジストからなるマスク636で後の p チャネル型TF₂Tの活性層となる半導体層を覆い、第3のエッチング処理を行う。エッチング用ガスには、 Cl_2 を流量60 (sccm) で用い、1.0Paの圧力でコイル型の電極に350WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第3のエッチング条件により、W膜およびTa₂N膜が同程度にエッチングされて第3の形状のゲート電極、容量配線およびソース線637~640が形成される

20

【0112】

次いで、ゲート電極および容量配線が形成されていない領域のゲート絶縁膜の残りの膜圧が15~30 nm (本実施例では20nm) になるようにエッチング用ガスに CHF_3 を流量35 (sccm) でエッチングを行う。

【0113】

次いで、レジストからなるマスク641、642で、図24 (B) のように後の駆動回路の n チャネル型TF₂Tおよび画素TF₂Tの一部の領域に選択的に不純物元素が添加されるように覆った後、後の p チャネル型TF₂Tの活性層となる半導体層およびマスク641、642から露出した領域に p 型不純物元素 (典型的には、周期表の13族に属する元素)、本実施例ではボロンを $2 \times 10^{20} \sim 2 \times 10^{22} \text{ atoms/cm}^3$ の濃度となるように添加し、 p 型不純物領域643およびゲッタリング領域、644、645が形成される。この工程において p 型不純物元素が添加された領域は、後の加熱処理において、半導体膜の結晶化の工程で用いた触媒元素をゲッタリングするための領域 (ゲッタリング領域という) となる。 p 型不純物領域643およびゲッタリング領域644、645には、本実施例では、リンが $1 \times 10^{20} \sim 1 \times 10^{22} \text{ atoms/cm}^3$ 、ボロンが $2 \times 10^{20} \sim 2 \times 10^{22} \text{ atoms/cm}^3$ の濃度で含まれることになる (図24 (B))。

30

【0114】

次いで、レジストからなるマスク641、642を除去した後、第1層間絶縁膜647として、プラズマCVD法により窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm (本実施例では、150nm) の厚さで形成する。

40

【0115】

続いて、半導体層にそれぞれの濃度で添加された n 型および p 型不純物元素の活性化のための加熱処理を行う。この工程は、電気炉を用いるアニール法、レーザーアニール法、ランプアニール法もしくは、それらを併用しても行うことができる。本実施例では、ロータリーポンプおよびメカニカルブースターポンプといった真空ポンプを用いて処理炉の中の排気を行い、減圧雰囲気 (圧力 $1.0 \times 10^{-5} \sim 133 \text{ Pa}$ 、本実施例では、13.3Pa) にしてから窒素を5l/min注入した雰囲気において550℃で4時間の加熱処理を行う。

50

【0116】

なお、本実施例では減圧雰囲気における不純物元素の活性化のための加熱処理と同一の工程において、結晶化の工程で用いた触媒元素をゲッターリング領域にゲッターリング（捕獲）する処理も行っている。図25（B）に画素TF Tの半導体層の簡略化した上面図を示す。減圧雰囲気における加熱処理により、リンが $1 \times 10^{20} \sim 1 \times 10^{22}$ atoms/cm³、ボロンが $2 \times 10^{20} \sim 2 \times 10^{22}$ atoms/cm³の濃度で含まれるゲッターリング領域にニッケルが移動して（矢印で示す）、チャネル形成領域に残留するニッケルの濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以下にまで低減することができる。

【0117】

以上のようにして、本実施例では、真空ポンプを用いて排気を行い減圧の雰囲気中で不純物の活性化のための加熱処理と同一の工程において、半導体膜の結晶化工程で用いた触媒元素をゲッターリングし、良好な結晶質シリコン膜にすることができる。

10

【0118】

水素を含む窒素雰囲気において、410℃で1時間の加熱処理を行う。この処理は、熱的に励起された水素により活性層中のダングリングボンドを終端するために行う。水素化の他の手段としては、プラズマにより励起された水素を用いるプラズマ水素化を行ってもよい。

【0119】

次いで、有機樹脂からなる第2層間絶縁膜648を約1.5～2μmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリアミド、BCB（ベンゾシクロブテン）などを用いることができる。本実施例では、アクリルを塗布し、250℃で焼成して、1.6μmの第2層間絶縁膜648を得る（図26（A））。

20

【0120】

続いて、各TF Tを電氣的に接続するための配線649～654を形成する。これらの配線は、膜厚50～250nmのTi膜および300～500nmの合金膜（本実施例ではTiとAlとの合金膜）を積層して、所望の形状にパターニングする。

【0121】

また、画素部においては、画素電極655を形成する。画素電極655は、画素TF Tのドレイン領域と電氣的に接続され、さらに、保持容量を形成する一方の電極として機能する半導体層とも電氣的に接続される。画素電極を形成する材料としては、反射型の液晶表示装置を作製する場合にはAlまたはAgを主成分とする膜、もしくはそれらの積層膜のような反射性の優れた材料を用いることが望ましい（図26（B））。

30

【0122】

以上のように、本発明はTF Tの構造に関わることなく適応することができ、アクティブマトリクス基板を作製することができる。また、本実施例を用いて、アクティブマトリクス型液晶表示装置を作製することができる。

【0123】

（実施例6）

本発明を実施して形成された様々な半導体装置（アクティブマトリクス型液晶表示装置）に用いることができる。即ち、それら半導体装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

40

【0124】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図14、図15及び図16に示す。

【0125】

図14（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0126】

50

図１４（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６等を含む。本発明を表示部２１０２やその他の信号制御回路に適用することができる。

【０１２７】

図１４（Ｃ）はモバイルコンピュータ（モビルコンピュータ）であり、本体２２０１、カメラ部２２０２、受像部２２０３、操作スイッチ２２０４、表示部２２０５等を含む。本発明は表示部２２０５やその他の信号制御回路に適用できる。

【０１２８】

図１４（Ｄ）はゴーグル型ディスプレイであり、本体２３０１、表示部２３０２、アーム部２３０３等を含む。本発明は表示部２３０２やその他の信号制御回路に適用することができる。

10

【０１２９】

図１４（Ｅ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体２４０１、表示部２４０２、スピーカ部２４０３、記録媒体２４０４、操作スイッチ２４０５等を含む。なお、このプレーヤーは記録媒体としてＤＶＤ（Digital Versatile Disc）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部２４０２やその他の信号制御回路に適用することができる。

【０１３０】

図１４（Ｆ）はデジタルカメラであり、本体２５０１、表示部２５０２、接眼部２５０３、操作スイッチ２５０４、受像部（図示しない）等を含む。本願発明を表示部２５０２やその他の信号制御回路に適用することができる。

20

【０１３１】

図１５（Ａ）はフロント型プロジェクターであり、投射装置２６０１、スクリーン２６０２等を含む。本発明は投射装置２６０１の一部を構成する液晶表示装置２８０８やその他の信号制御回路に適用することができる。

【０１３２】

図１５（Ｂ）はリア型プロジェクターであり、本体２７０１、投射装置２７０２、ミラー２７０３、スクリーン２７０４等を含む。本発明は投射装置２７０２の一部を構成する液晶表示装置２８０８やその他の信号制御回路に適用することができる。

30

【０１３３】

なお、図１５（Ｃ）は、図１５（Ａ）及び図１５（Ｂ）中における投射装置２６０１、２７０２の構造の一例を示した図である。投射装置２６０１、２７０２は、光源光学系２８０１、ミラー２８０２、２８０４～２８０６、ダイクロイックミラー２８０３、プリズム２８０７、液晶表示装置２８０８、位相差板２８０９、投射光学系２８１０で構成される。投射光学系２８１０は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図１５（Ｃ）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、ＩＲフィルム等の光学系を設けてもよい。

【０１３４】

40

また、図１５（Ｄ）は、図１５（Ｃ）中における光源光学系２８０１の構造の一例を示した図である。本実施例では、光源光学系２８０１は、リフレクター２８１１、光源２８１２、レンズアレイ２８１３、２８１４、偏光変換素子２８１５、集光レンズ２８１６で構成される。なお、図１５（Ｄ）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、ＩＲフィルム等の光学系を設けてもよい。

【０１３５】

ただし、図１５に示したプロジェクターにおいては、透過型の液晶表示装置を用いた場合を示しており、反射型の液晶表示装置及びＥＬ表示装置での適用例は図示していない。

【０１３６】

50

図１６（Ａ）は携帯電話であり、３００１は表示用パネル、３００２は操作用パネルである。表示用パネル３００１と操作用パネル３００２とは接続部３００３において接続されている。接続部３００３における、表示用パネル３００１の表示部３００４が設けられている面と操作用パネル３００２の操作キー３００６が設けられている面との角度は、任意に変えることができる。

さらに、音声出力部３００５、操作キー３００６、電源スイッチ３００７、音声入力部３００８を有している。本発明は、表示部３００４に適用することができる。

【０１３７】

図１６（Ｂ）は携帯書籍（電子書籍）であり、本体３００１、表示部３００２、３００３、記憶媒体３００４、操作スイッチ３００５、アンテナ３００６等を含む。本発明は表示部３００２、３００３やその他の信号回路に適用することができる。

10

【０１３８】

図１６（Ｃ）はディスプレイであり、本体３１０１、支持台３１０２、表示部３１０３等を含む。本発明は表示部３１０３に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角１０インチ以上（特に３０インチ以上）のディスプレイには有利である。

【０１３９】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態１～２および実施例１～４のいずれかを組み合わせて実現することができる。

20

【０１４０】

【発明の効果】

本発明を適用することで、結晶化に用いた触媒元素の半導体層中での偏析を減らすこと（半導体層中の触媒元素の濃度を低減すること）ができ、信頼性の高い半導体装置を得ることができる。また、この半導体装置を画素部と駆動回路が同一基板上に設けられた半導体装置に適用すると、精細な画像を得ることができる。

【図面の簡単な説明】

【図１】 本発明の実施の一例を示す図。

【図２】 本発明の実施の一例を示す上面図。

【図３】 本発明の実施の一例を示す上面図。

30

【図４】 本発明の実施の一例を示す図。

【図５】 本発明の実施の一例を示す上面図。

【図６】 本発明の実施の一例を示す図。

【図７】 本発明の実施の一例を示す図。

【図８】 本発明の実施の一例を示す上面図。

【図９】 本発明の実施の形態を示す図。

【図１０】 本発明の実施の形態を示す図。

【図１１】 本発明の実施の一例を示す図。

【図１２】 本発明の実施の一例を示す図。

【図１３】 本発明の実施の一例を示す図。

40

【図１４】 電気器具の一例を示す図。

【図１５】 電気器具の一例を示す図。

【図１６】 電気器具の一例を示す図。

【図１７】 本発明の実施の一例を示す図。

【図１８】 本発明の実施の形態を示す図。

【図１９】 本発明の実施の形態を示す図。

【図２０】 本発明の実施の形態を示す図。

【図２１】 本発明の実施の形態を示す図。

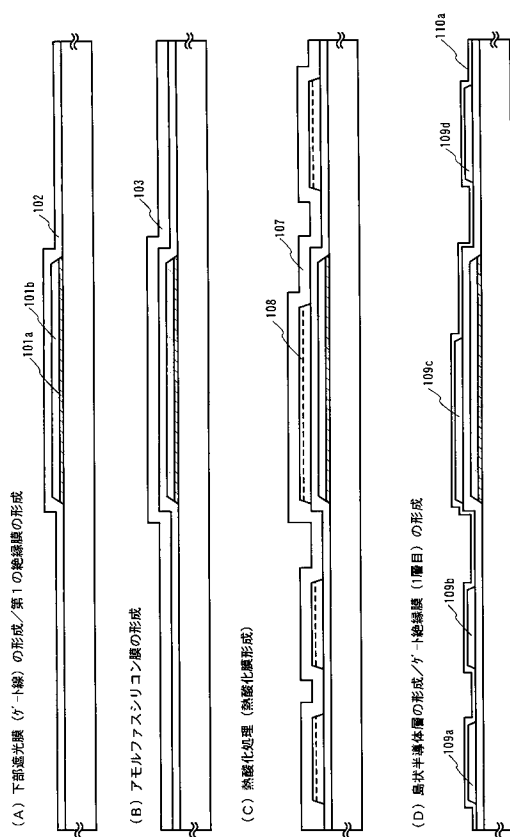
【図２２】 本発明の実施の一例を示す図。

【図２３】 本発明の実施の一例を示す図。

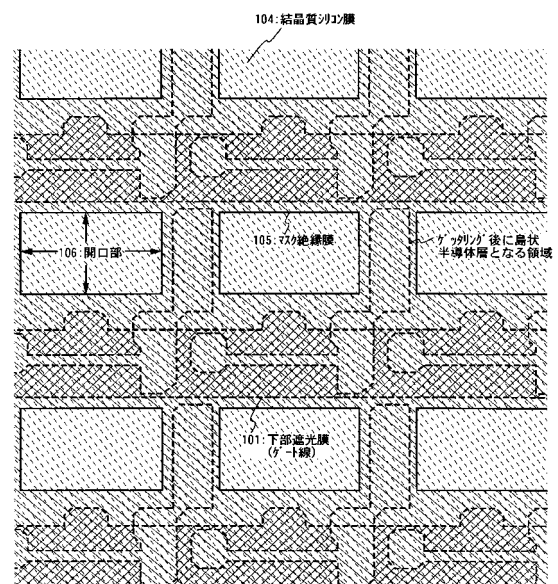
50

- 【図 2 4】 本発明の実施の一例を示す図。
 【図 2 5】 本発明の実施の一例を示す図。
 【図 2 6】 本発明の実施の一例を示す図。

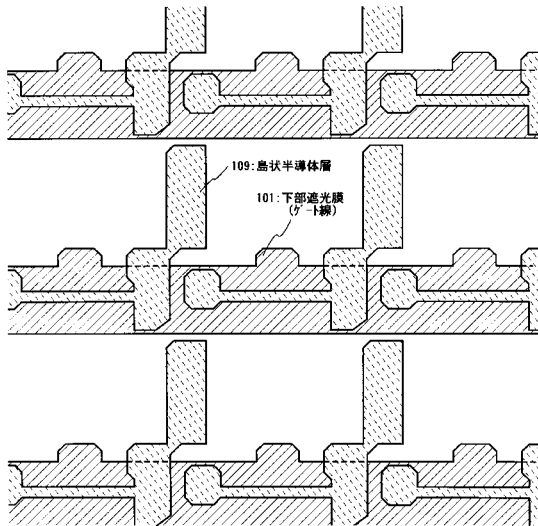
【図 1】



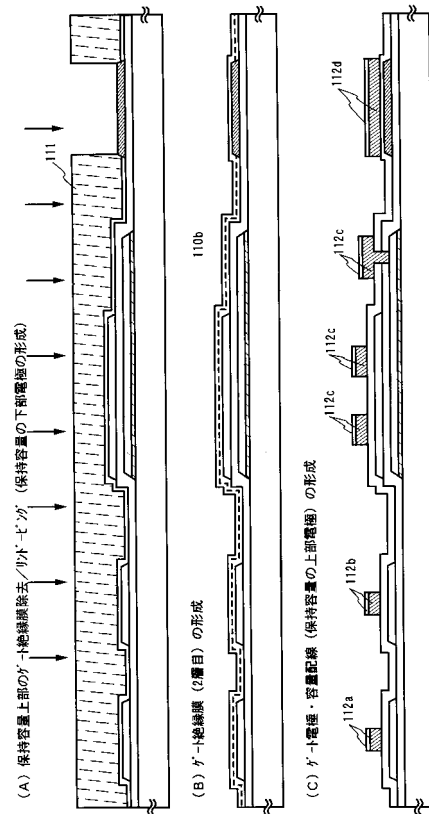
【図 2】



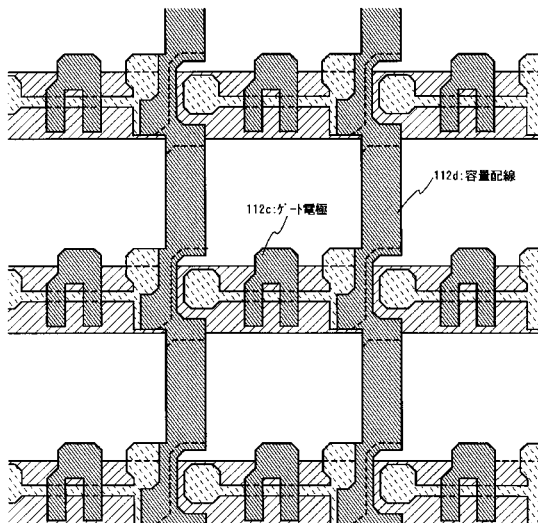
【図 3】



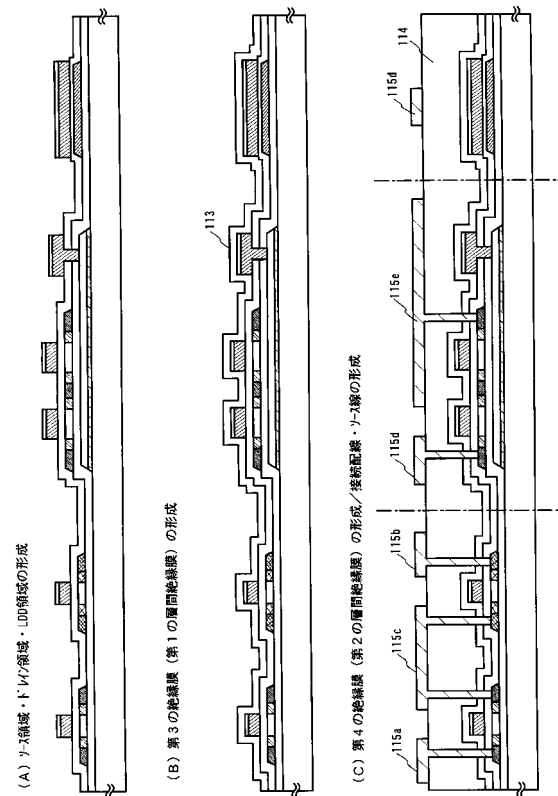
【図 4】



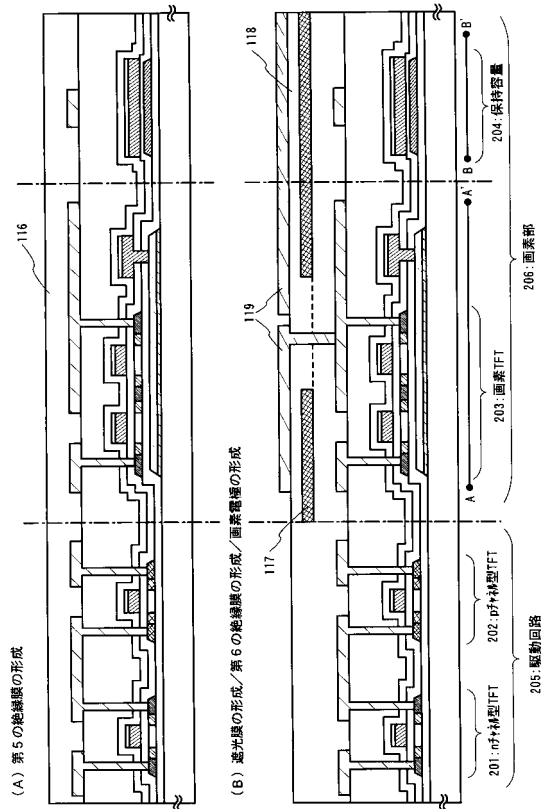
【図 5】



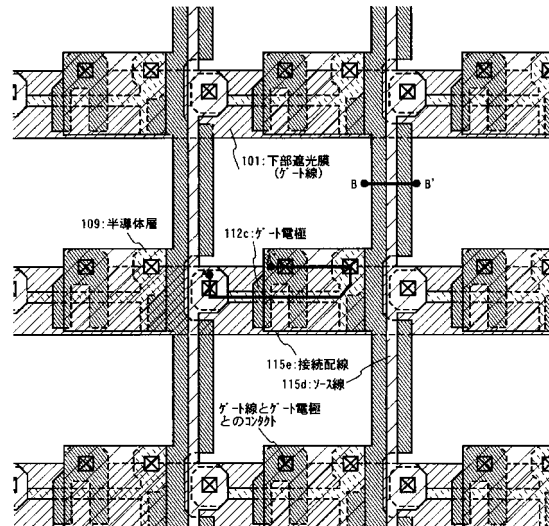
【図 6】



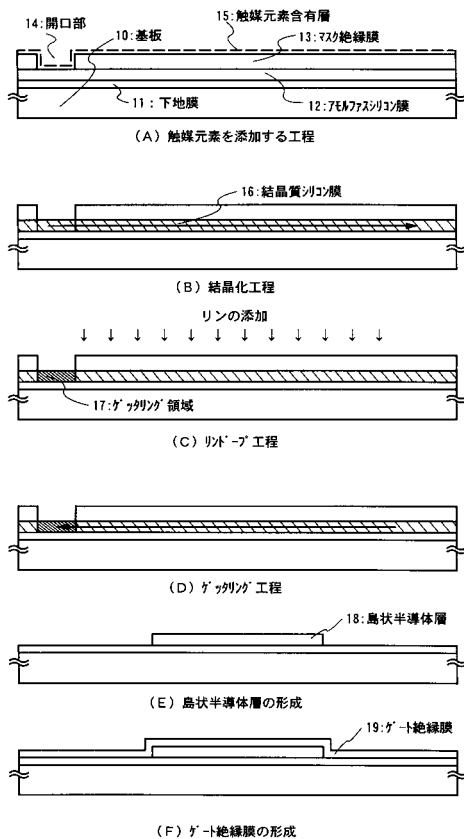
【図 7】



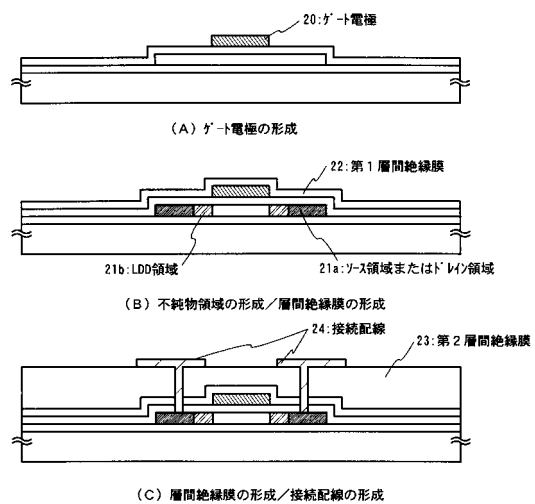
【図 8】



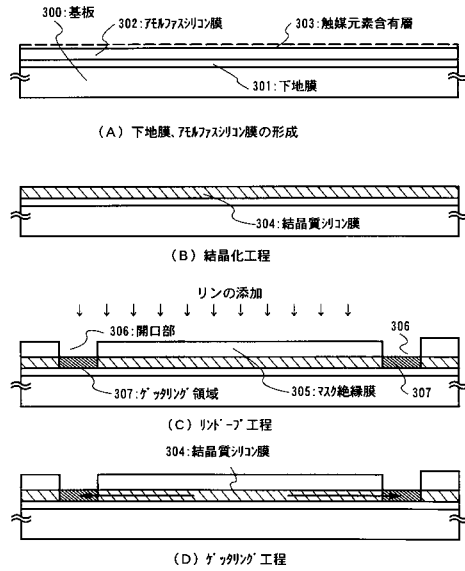
【図 9】



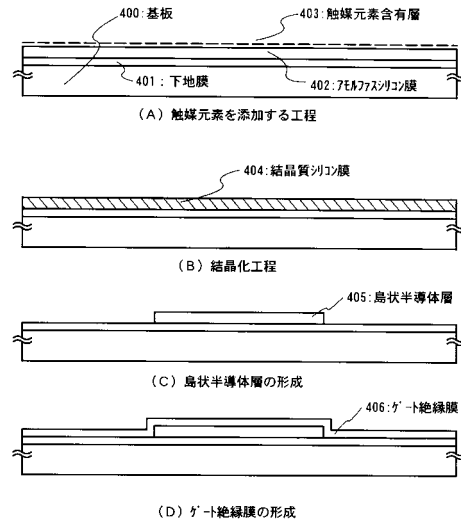
【図 10】



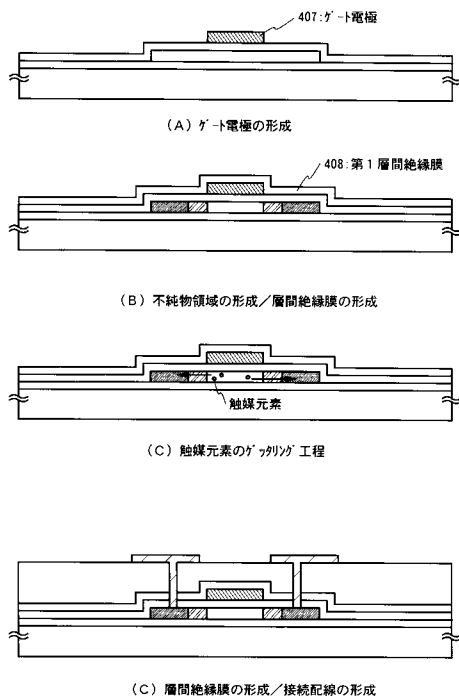
【図 11】



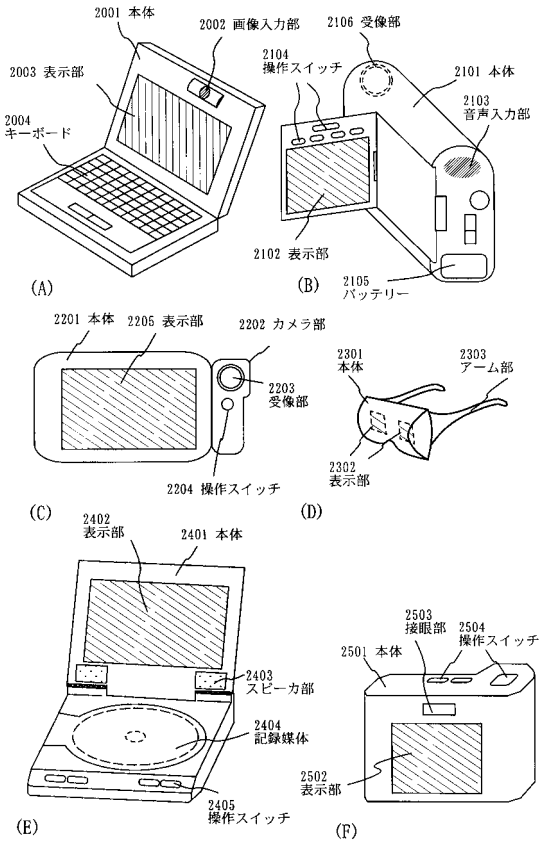
【図 12】



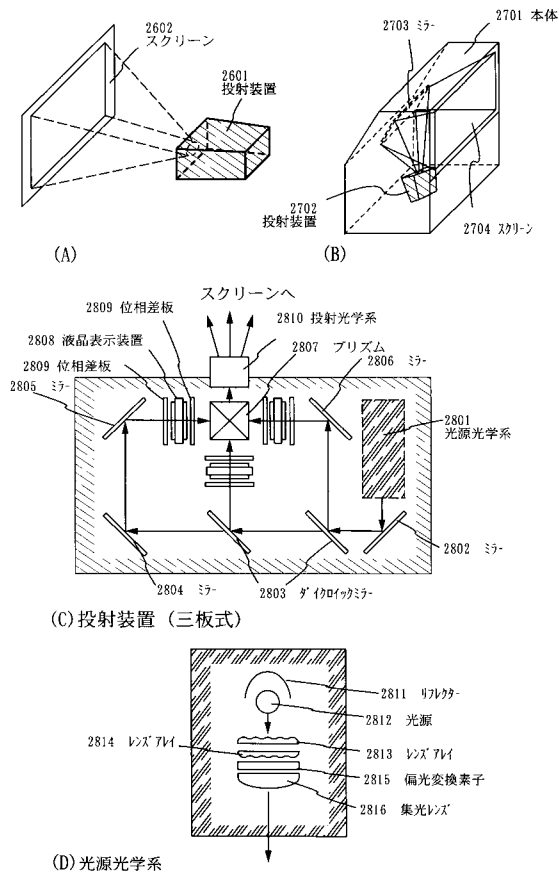
【図 13】



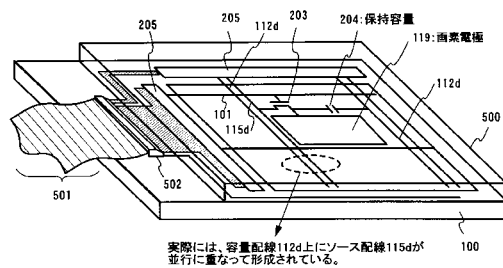
【図 14】



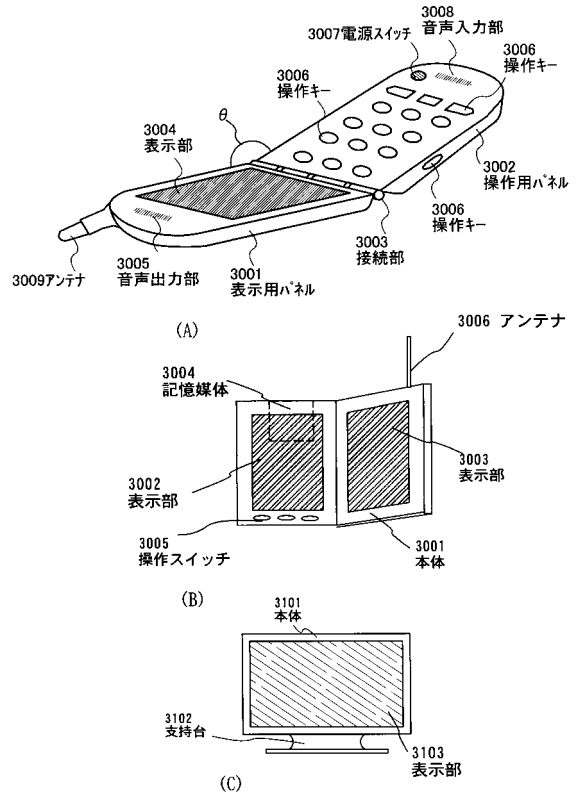
【図 15】



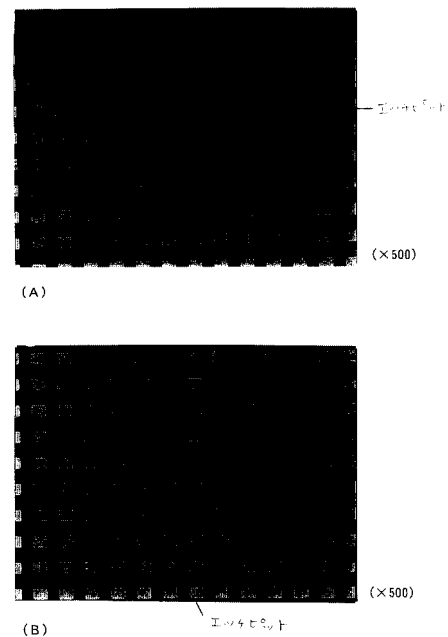
【図 17】



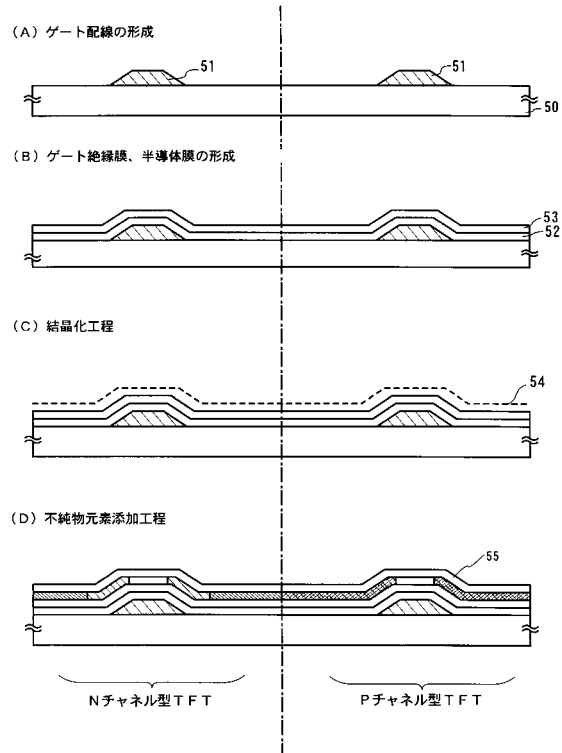
【図 16】



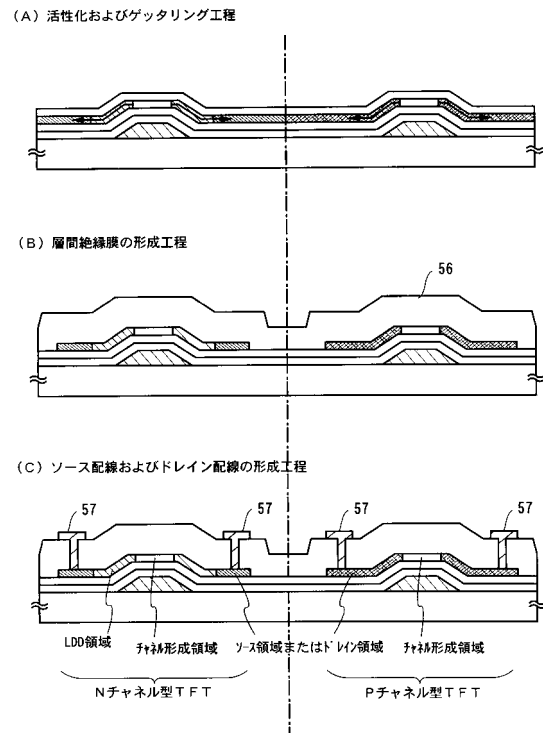
【図 18】



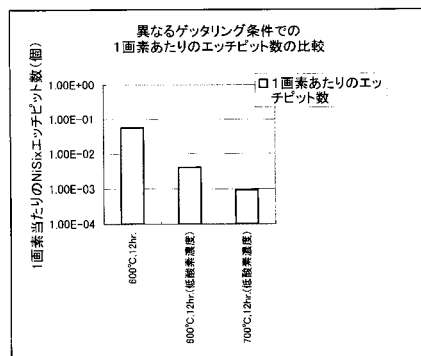
【図 19】



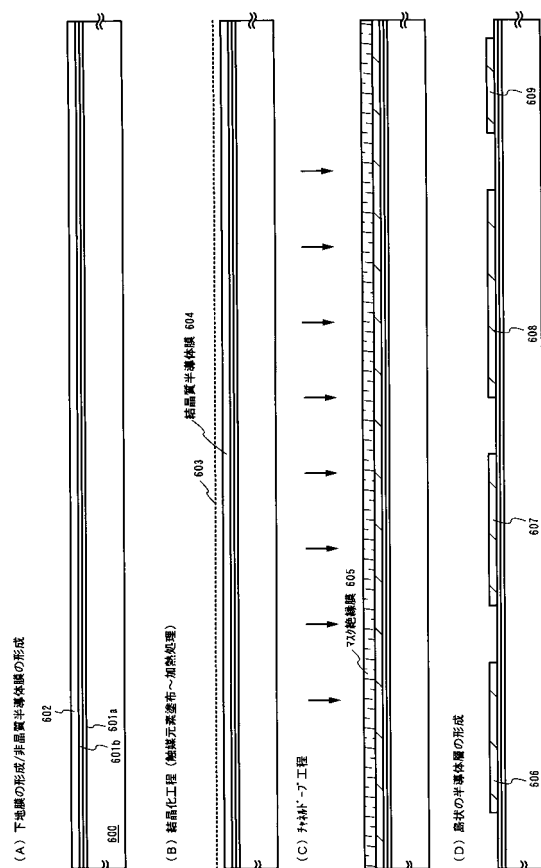
【図 20】



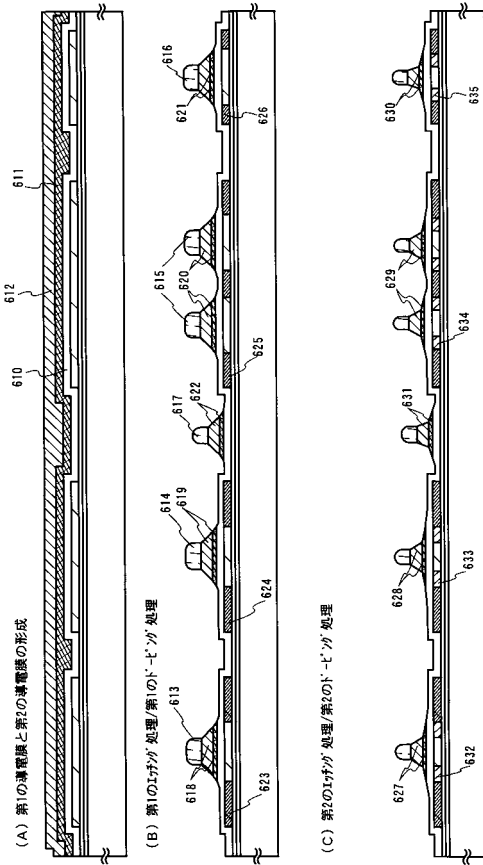
【図 21】



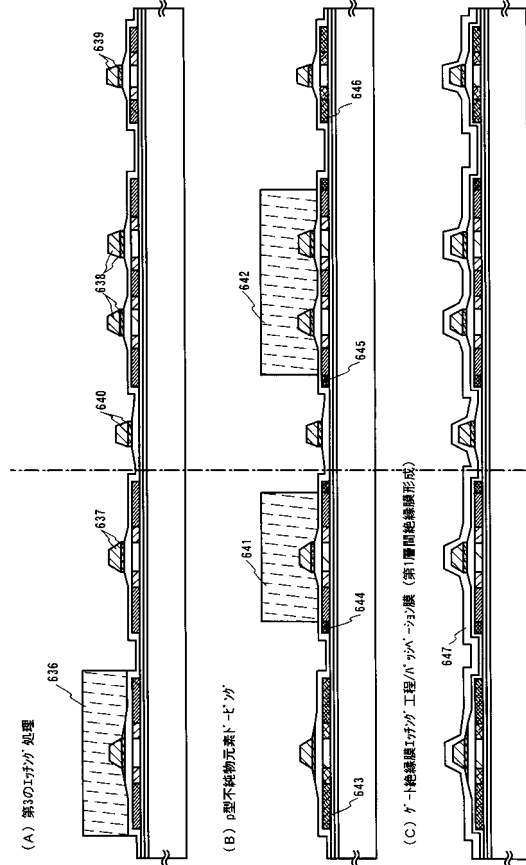
【図 22】



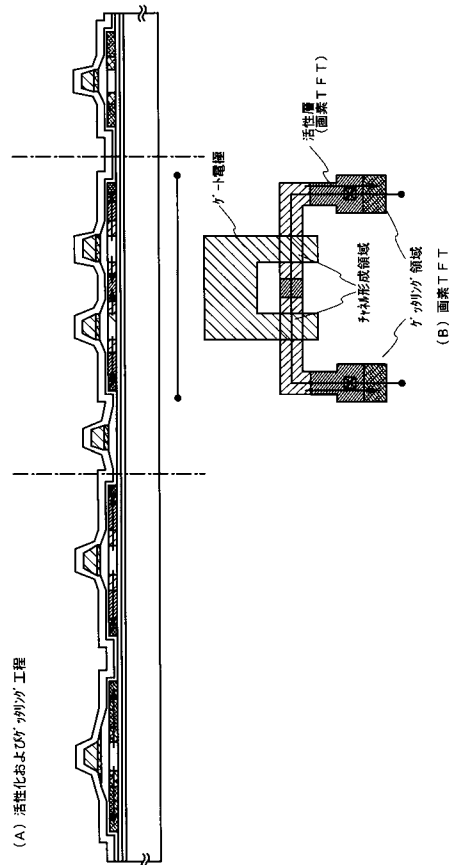
【図 23】



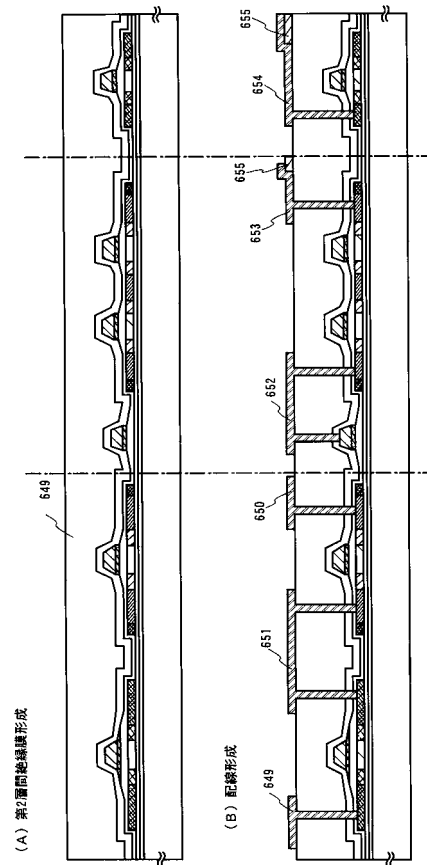
【図 24】



【図 25】



【図 26】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/20

H01L 21/322

H01L 21/336

H01L 29/786

H01L 21/265