

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6112871号
(P6112871)

(45) 発行日 平成29年4月12日 (2017. 4. 12)

(24) 登録日 平成29年3月24日 (2017. 3. 24)

(51) Int. Cl.

F I

H O 4 N 5/378 (2011. 01)

H O 4 N 5/335 7 8 0

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 0

請求項の数 4 (全 16 頁)

(21) 出願番号 特願2013-7193 (P2013-7193)
 (22) 出願日 平成25年1月18日 (2013. 1. 18)
 (65) 公開番号 特開2014-138364 (P2014-138364A)
 (43) 公開日 平成26年7月28日 (2014. 7. 28)
 審査請求日 平成28年1月8日 (2016. 1. 8)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 諏訪 剛史
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 撮像素子及び撮像装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された、光電変換素子を含む複数の画素と、
 前記複数の画素の列毎に配置され、前記複数の画素からの信号を列毎に出力する列信号線と、

時間の経過にともなって所定の傾きで電圧が変化する参照電圧を出力する参照電圧生成手段と、

前記列信号線を介して供給される前記画素からの信号と、前記参照電圧との比較を行ってデジタル信号に変換するアナログ・デジタル変換手段とを有し、

前記アナログ・デジタル変換手段は、上位ビットと下位ビットとに分けて前記画素からの信号のアナログ・デジタル変換を行うとともに、

前記上位ビットをアナログ・デジタル変換する第1のアナログ・デジタル変換の結果に応じて、前記下位ビットをアナログ・デジタル変換する第2のアナログ・デジタル変換を行うか否かを切り替え、

前記第1のアナログ・デジタル変換により得られた前記上位ビットの値が第1の閾値より大きい場合、または、前記第1のアナログ・デジタル変換により得られた前記上位ビットの値が第2の閾値以下である場合に、前記第2のアナログ・デジタル変換を行わないことを特徴とする撮像素子。

【請求項 2】

前記アナログ・デジタル変換手段は、

10

20

前記列信号線を介して供給される前記画素からの信号と、前記参照電圧との比較を行う比較手段を有し、

前記第2のアナログ・デジタル変換を行わない場合には、前記第1のアナログ・デジタル変換にて前記画素からの信号と前記参照電圧との大小関係が反転するのに応じて、前記比較手段への電源供給を停止させることを特徴とする請求項1に記載の撮像素子。

【請求項3】

前記第2のアナログ・デジタル変換を行う場合には、前記第2のアナログ・デジタル変換にて前記画素からの信号と前記参照電圧との大小関係が反転するのに応じて、前記比較手段への電源供給を停止させることを特徴とする請求項2に記載の撮像素子。

【請求項4】

請求項1～3の何れか1項に記載の撮像素子と、

前記撮像素子から出力される撮像信号に対して信号処理を行う信号処理手段を含む制御手段とを有することを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子、及びそれを有する撮像装置に関する。

【背景技術】

【0002】

デジタルビデオカメラ及びデジタルスチルカメラなどの撮像装置は、一般にバッテリーから電力が供給されており、撮像装置での長時間撮影を実現するために、撮像装置に搭載される電子部品は低消費電力であることが望まれている。撮像装置に搭載される主要な電子部品として、光を電気信号に変換する撮像素子が挙げられる。代表的な撮像素子として、CCD (Charge Coupled Device) 型撮像素子、及びCMOS (Complementary Metal-Oxide Semiconductor) 型撮像素子が知られている。この中で、従来のCMOS型撮像素子として、行列状に配置された複数の画素から読み出した電気信号を列毎に設けられたアナログ・デジタル (AD: Analog Digital) 変換回路にてAD変換する。そして、行単位でAD変換したデジタル信号を出力する撮像素子が提案されている (例えば、特許文献1参照)。

【0003】

図9は、従来の撮像素子の構成の一部を示す図である。従来のCMOS型撮像素子は、光信号を電気信号 (電圧) に変換する複数の単位画素を行列状に配置した画素アレイを有し、画素アレイの列毎に画素からの信号を出力する列信号線906が設けられている。画素から読み出した信号をデジタル信号に変換するAD変換部908は、画素列毎に設けられたAD変換回路901を有する。AD変換回路901は、コンパレータ909、パワーダウン制御部910、及びカウンタ911を有する。コンパレータ909は、列信号線906の電圧と参照電圧 (ランプ信号) RAMPとを比較する。パワーダウン制御部910は、コンパレータ909への電力供給を制御する。カウンタ911は、コンパレータ909の出力の論理が反転するまでの時間をカウントする。

【0004】

パワーダウン制御部910は、電圧の振幅を変換するバッファ902、及び電圧の揺れ戻しによって論理回路が不安定な動作をすることを防ぐためのフリップフロップ903を有する。また、カウンタ911は、論理和演算回路 (OR回路) 904及びカウンタ回路905を有する。OR回路904は、クロックADCLK及びフリップフロップ903の出力を基に、カウンタ回路905にクロックを供給する。カウンタ回路905は、OR回路904の出力を基に、コンパレータ909での比較時間をカウントする。

【0005】

従来のCMOS型撮像素子は、単位画素の列数分のAD変換回路901を備えており、これらを備えたAD変換部908の消費電流が大きいことが問題となっている。具体的には、各列のコンパレータ909のバイアス電流が10 μ A程度であり、列数が2500程

10

20

30

40

50

度の場合には、A D変換部 9 0 8 の消費電流は 2 5 m A となる。そこで、従来の撮像素子では、A D変換が終了した列のコンパレータへの電力供給を遮断することにより、消費電力の低減を図っている。

【 0 0 0 6 】

図 1 0 は、従来の C M O S 型撮像素子の動作の一部を示す図である。A D変換処理の開始時に、フリップフロップ 9 0 3 及びカウンタ回路 9 0 5 がリセットされるとともに、クロック A D C L K の供給が開始される。フリップフロップ 9 0 3 は、リセットされることでハイレベルの信号を出力する。フリップフロップ 9 0 3 の出力、すなわちパワーダウン制御部 9 1 0 の出力であるパワーダウン信号がハイレベルであるとき、コンパレータ 9 0 9 は動作状態である。時刻 t 0 より前では、参照電圧 R A M P が列信号線 9 0 6 の電圧より小さいので、コンパレータ 9 0 9 の出力はローレベルである。また、フリップフロップ 9 0 3 の出力がハイレベルであるので、カウンタ回路 9 0 5 にはクロック A D C L K が供給される。これにより、カウンタ回路 9 0 5 は、クロック A D C L K に応じたカウント動作を行う。

【 0 0 0 7 】

時刻 t 0 にて、列信号線 9 0 6 の電圧と参照電圧 R A M P とが一致すると、コンパレータ（比較器） 9 0 9 の出力は、ローレベルからハイレベルに変化する。フリップフロップ 9 0 3 は、コンパレータ 9 0 9 の出力の立ち上がりエッジではハイレベルを保持し、その後ローレベルを出力する。フリップフロップ 9 0 3 の出力がローレベルである期間は、カウンタ回路 9 0 5 にクロック A D C L K が供給されないので、カウンタ回路 9 0 5 は、時刻 t 0 におけるカウント値を保持する。また、パワーダウン制御部 9 1 0 の出力であるパワーダウン信号がローレベルであるので、コンパレータ 9 0 9 への電力の供給は停止状態になる。ここで、各列信号線 9 0 6 に出力される電圧は、画素に入射した光の量（輝度）に応じて異なるため、複数のコンパレータ 9 0 9 が停止状態となるタイミングはそれぞれ異なる。このように、従来においては、複数の A D変換回路 9 0 1 のうち、A D変換が終了した A D変換回路 9 0 1 から順次停止状態にすることで、A D変換部 9 0 8 の消費電流を低減している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 9 - 1 5 9 2 7 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかし、前述した方法は、画素からの信号を 1 回の A D変換でデジタル値に変換する撮像素子に適用できる技術である。画素からの信号を 2 回以上の複数回に分けて A D変換する撮像素子については、消費電力の低減に関して改善の余地がある。本発明の目的は、画素からの信号を複数回に分けて A D変換する撮像素子において、画質を劣化させることなく、消費電力を低減することにある。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明に係る撮像素子は、行列状に配置された、光電変換素子を含む複数の画素と、前記複数の画素の列毎に配置され、前記複数の画素からの信号を列毎に出力する列信号線と、時間の経過にともなって所定の傾きで電圧が変化する参照電圧を出力する参照電圧生成手段と、前記列信号線を介して供給される前記画素からの信号と、前記参照電圧との比較を行ってデジタル信号に変換するアナログ・デジタル変換手段とを有し、前記アナログ・デジタル変換手段は、上位ビットと下位ビットとに分けて前記画素からの信号のアナログ・デジタル変換を行うとともに、前記上位ビットをアナログ・デジタル変換する第 1 のアナログ・デジタル変換の結果に応じて、前記下位ビットをアナログ・デジタル変換する第 2 のアナログ・デジタル変換を行うか否かを切り替え、前記第 1 のアナログ・デジタル変

換により得られた前記上位ビットの値が第１の閾値より大きい場合、または、前記第１のアナログ・デジタル変換により得られた前記上位ビットの値が第２の閾値以下である場合に、前記第２のアナログ・デジタル変換を行わないことを特徴とする。

【発明の効果】

【００１１】

本発明によれば、画素からの信号を上位ビットと下位ビットに分けてＡＤ変換する撮像素子にて、上位ビットのＡＤ変換の結果に応じて、下位ビットのＡＤ変換を行うか否かを切り替えることで、画質を劣化させることなく、消費電力を低減することができる。

【図面の簡単な説明】

【００１２】

10

【図１】本発明の実施形態に係る撮像装置の構成例を示す図である。

【図２】本実施形態における撮像素子の構成例を示す図である。

【図３】本実施形態におけるＡＤ変換部の構成例を示す図である。

【図４】本実施形態におけるコンパレータの構成例を示す図である。

【図５】本実施形態におけるＡＤ変換部の通常出力領域の動作例を示すタイミングチャートである。

【図６】本実施形態におけるＡＤ変換部の低出力領域の動作例を示すタイミングチャートである。

【図７】本実施形態におけるＡＤ変換部の高出力領域の動作例を示すタイミングチャートである。

20

【図８】本実施形態に係るガンマカーブの一例を示す図である。

【図９】従来の撮像素子の構成の一部を示す図である。

【図１０】従来の撮像素子の動作の一部を示す図である。

【発明を実施するための形態】

【００１３】

以下、本発明の実施形態を図面に基づいて説明する。

【００１４】

図１は、本発明の一実施形態に係る撮像装置の構成例を示すブロック図である。図１において、光学系１０１は、ＣＭＯＳ型撮像素子の受光部に被写体像を結像させる。光学系１０１は、図示されていない鏡筒内に配置されたズームレンズや絞り機構等を含む。光学系１０１の各機構は、ＣＰＵ（Central Processing Unit）１０４の制御により、各部を機械的に駆動してオートフォーカス等の制御を行う。

30

【００１５】

撮像部１０２は、ＣＭＯＳ型撮像素子を用いて被写体の撮像を行う。撮像部１０２では、ＣＭＯＳ型撮像素子の出力信号に対して、ＡＧＣ（自動利得制御）、ＯＢ（オプティカルブラック）クランプ、アナログ・デジタル（ＡＤ：Analog Digital）変換といった処理を行い、デジタル撮像信号を生成して出力する。撮像部１０２は、システムコントロール部１０３に備えられた、ＤＳＰ（Digital Signal Processor）１０７に撮像信号を出力する。

【００１６】

40

システムコントロール部１０３は、ＣＰＵ１０４、ＲＯＭ（Read Only Memory）１０５、ＲＡＭ（Random Access Memory）１０６、ＤＳＰ１０７、及び外部インターフェース１０８等を備える。ＣＰＵ１０４は、ＲＯＭ１０５及びＲＡＭ１０６等を用いて、供給される処理プログラムを実行し、本撮像装置の各部に指示を送ることでシステム全体の制御を行う。ＲＯＭ１０５は、撮像装置を駆動するためのファームウェア等の情報を記憶するためのものであり、ＲＡＭ１０６は、撮像装置の制御情報を一時的に蓄えるためのものである。

【００１７】

ＤＳＰ１０７は、撮像部１０２からの撮像信号に対して各種の信号処理を行うことにより、所定のフォーマットによる静止画又は動画の映像信号（例えばＹＵＶ信号等）を生成

50

する。外部インターフェース１０８には、各種エンコーダやデジタル・アナログ（ＤＡ：Digital Analog）変換器が設けられる。システムコントロール部１０３と、それに接続される外部要素（本例では、ディスプレイ１１２、メモリ媒体１０９、操作パネル１１１など）との間での各種制御信号やデータのやり取りは、外部インターフェース１０８を介して行われる。

【００１８】

ディスプレイ１１２は、撮像装置に組み込まれた、撮像した画像を表示する表示装置である。なお、撮像装置に組み込まれた表示装置に加えて、外部の表示装置に画像データを伝送し、表示できる構成とすることも勿論可能である。メモリ媒体コントローラ１１０は、各種メモリカード等に撮影された画像を適宜保存可能なメモリ媒体１０９に係る制御を行う。メモリ媒体１０９は、交換可能なメモリ媒体であり、例えば各種メモリカードの他に、磁気や光を用いたディスク媒体等を用いることができる。操作パネル１１１は、撮像装置で撮影作業等を行うに際して、ユーザが各種の指示を行うための入力キーが設けられている。ＣＰＵ１０４は、この操作パネル１１１からの入力信号を監視して、その入力内容に基づいて各種の動作制御を実行する。

10

【００１９】

図２は、本実施形態における撮像部１０２の撮像素子の構成例を示すブロック図である。図２に示す撮像素子は、ＣＭＯＳ型撮像素子であり、画素アレイ２０１、行走査部（垂直走査部）２０２、ＡＤ変換部２０３、参照電圧生成部２０４、列走査部（水平走査部）２０５、出力部２０６、及びタイミング制御部２０７を有する。画素アレイ２０１は、行列状に配置された複数の単位画素２０８を有する。単位画素２０８は、画素列毎に配置された列信号線２１３及び画素行毎に配置された行制御線２１４に接続されている。単位画素２０８は、光電変換素子を含み、受光した光を信号電圧に変換する。単位画素２０８での光電変換により得られた信号電圧は、列信号線２１３を介してＡＤ変換部２０３に出力される。

20

【００２０】

行走査部２０２は、画素アレイ２０１における画素行を順次選択する行走査を行う。ＡＤ変換部２０３は、列信号線２１３毎に設けられた複数のＡＤ変換回路３０１を有し、複数の列信号線２１３に出力された画素２０８からの信号電圧を並列してデジタル信号に変換する。参照電圧生成部２０４は、時間の経過にともなって所定の傾きで電圧が変化する参照電圧ＲＡＭＰを生成する。参照電圧ＲＡＭＰとして、上位ビットのＡＤ変換に用いる上位ビット変換参照電圧（コースＤＡＣ）、及び下位ビットのＡＤ変換に用いる下位ビット変換参照電圧（ファインＤＡＣ）が、参照電圧生成部２０４から各列に備えられたコンパレータ２０９へ供給される。列走査部２０５は、画素列を順次選択する列走査を行う。出力部２０６は、ＡＤ変換部２０３でのＡＤ変換により得られたデジタル信号を外部に出力する。タイミング制御部２０７は、行走査部２０２、ＡＤ変換部２０３、参照電圧生成部２０４、及び列走査部２０５の動作タイミングを制御する。タイミング制御部２０７には、ＣＰＵ１０４よりタイミング制御用のクロックＭＣＬＫが供給される。

30

【００２１】

ＡＤ変換回路３０１は、コンパレータ２０９、パワーダウン制御部２１０、及びアップダウンカウンタ２１１を有する。コンパレータ２０９は、列信号線２１３の電圧と参照電圧（ランプ信号）ＲＡＭＰとのうち何れが大きいかの比較を行う。パワーダウン制御部２１０は、コンパレータ２０９への電力供給を制御する。パワーダウン制御部２１０は、コンパレータ２０９の電力供給制御に係る制御信号（パワーダウン信号）を、コンパレータ２０９に出力する。アップダウンカウンタ２１１は、クロックＡＤＣＬＫを用いてカウント値をカウントする。メモリ２１２は、アップダウンカウンタ２１１のカウント値を保持するメモリである。なお、コンパレータ２０９には、アナログ回路系の電源電圧が供給され、アップダウンカウンタ２１１にはデジタル回路系の電源電圧が供給される。

40

【００２２】

図３は、本実施形態におけるＡＤ変換部２０３の構成例を示す図である。ＡＤ変換部２

50

03は、列信号線213毎に設けられたAD変換回路301を有する。AD変換回路301の各々は、コンパレータ209、パワーダウン制御部210、及びアップダウンカウンタ211を有し、対応する列信号線213に出力された画素からの電圧をデジタル信号に変換する。コンパレータ209は、列信号線213の電圧と参照電圧(ランプ信号)RAMPとを比較して比較結果を出力する。コンパレータ209は、パワーダウン制御部210から供給されるパワーダウン信号SPDにより電力供給が制御される。

【0023】

パワーダウン制御部210は、バッファ302、フリップフロップ303、論理和演算回路(OR回路)308、310、314、論理積演算回路(AND回路)311、316、及び反転回路(NOT回路)315を有する。また、アップダウンカウンタ211は、AND回路304、312、上位ビットカウンタ回路305、及び下位ビットカウンタ回路313を有する。

10

【0024】

パワーダウン制御部210において、バッファ302は、アナログ回路系の電源電圧(例えば、3.3V)の振幅のコンパレータ209の出力を、デジタル回路系の電源電圧(例えば、1.2V)の振幅の信号に変換して出力する。フリップフロップ303は、クロック入力端子にバッファ302の出力端子が接続され、データ入力端子に電源電圧VDDが接続される。フリップフロップ303の出力は、NOT回路315、AND回路316、及びアップダウンカウンタ211のAND回路304、312に供給される。

20

【0025】

AND回路316には、フリップフロップ303の出力及び自身の出力が入力される。OR回路308には、NOT回路315を介してフリップフロップ303の出力が入力されるとともに、AND回路316の出力が入力される。NOT回路315は、入力される信号を、1クロック分遅延させるとともに論理を反転して出力する。OR回路310には、信号SUP及びAND回路316の出力が入力され、OR回路314には、信号SLOW及びAND回路316の出力が入力される。信号SUP、SLOWは、アップダウンカウンタ211の上位ビットカウンタ回路305より出力される信号である。

【0026】

ここで、OR回路308、310、314の各々は、コンパレータ209の電源供給の停止条件について判定を行うものであり、電源供給の停止条件に合った場合にそのOR回路308、310、314の出力がローレベルとなる。OR回路308は、フリップフロップ303の出力が2度目に反転した際に、コンパレータ209への電源供給を停止させるための出力を発生する。OR回路310は、上位ビットカウンタ回路305のカウント値が任意の上限値(第1の閾値)を上回っている状態で、フリップフロップ303の出力が1度目の反転をした場合に、コンパレータ209への電源供給を停止させるための出力を発生する。OR回路314は、上位ビットカウンタ回路305のカウント値が任意の下限値(第2の閾値)を下回っている状態で、フリップフロップ303の出力が1度目の反転をした場合に、コンパレータ209への電源供給を停止させるための出力を発生する。

30

【0027】

AND回路311は、OR回路308、310、314の出力及び自身の出力が入力され、出力をパワーダウン制御部210の出力であるパワーダウン信号として出力する。つまり、コンパレータ209の電源供給の停止条件に合った場合に、AND回路311にはローレベルが入力され、パワーダウン信号SPDがローレベルとなる。また、AND回路311は、自身の出力が入力され、コンパレータ209の電源供給が停止になった場合、1つの画素の読み出しが終わるまで、その状態を維持するようになっている。

40

【0028】

アップダウンカウンタ211において、AND回路304は、クロックADCLK及びフリップフロップ303の出力が入力され、出力が上位ビットカウンタ回路305のクロック入力端子に接続される。また、AND回路312は、クロックADCLKが入力されるとともに、フリップフロップ303の出力が反転入力され、出力が下位ビットカウンタ

50

回路 3 1 3 のクロック入力端子に接続される。すなわち、AND 回路 3 0 4 は、上位ビットカウンタ回路 3 0 5 にカウント用のクロックを与え、AND 回路 3 1 2 は、下位ビットカウンタ回路 3 1 3 にカウント用のクロックを与える。

【 0 0 2 9 】

上位ビットカウンタ回路 3 0 5 は、AD 変換により上位ビットの値を得る第 1 のアナログ・デジタル変換を行う。上位ビットカウンタ回路 3 0 5 は、コンパレータ 2 0 9 の出力における最初の反転までの期間（上位ビットについての比較動作の開始からコンパレータ 2 0 9 の出力が反転するまでの期間）をカウントする。下位ビットカウンタ回路 3 1 3 は、AD 変換により下位ビットの値を得る第 2 のアナログ・デジタル変換を行う。下位ビットカウンタ回路 3 1 3 は、コンパレータ 2 0 9 の出力における 2 度目の反転までの期間（下位ビットについての比較動作の開始からコンパレータ 2 0 9 の出力が反転するまでの期間）をカウントする。

10

【 0 0 3 0 】

また、上位ビットカウンタ回路 3 0 5 は、カウント値に応じたレベルの信号 SUP、SLOW を出力する。信号 SUP は、通常はローレベルであり、カウント値がある上限値より大きくなる（第 1 の閾値より大きくなる）ことでハイレベルとなる信号である。信号 SUP は、例えば 2 進数で各桁を表すビットのうち第 1 の任意の桁以上のビットの AND 演算をとることで容易に実現可能である。また、信号 SLOW は、通常はローレベルであり、カウント値がある下限値より大きくなる（第 2 の閾値より大きくなる）ことでハイレベルとなる信号である。信号 SLOW は、例えば 2 進数で各桁を表すビットのうち第 2 の任意の桁以上のビットの AND 演算をとることで容易に実現可能である。なお、第 1 の任意の桁よりも、第 2 の任意の桁のほうが小さい桁である。

20

【 0 0 3 1 】

図 4 は、本実施形態におけるコンパレータ 2 0 9 の構成例を示す図である。複数のコンパレータ 2 0 9 は、1 つの駆動電流供給回路 4 0 1 に接続され、駆動電流の供給を受ける。出力バッファ 4 0 2 の出力が、パワーダウン制御部のバッファ 3 0 2 に入力されるとともに、上位ビット AD 変換と下位ビット AD 変換の参照電圧切り替え制御用のメモリ 4 0 3 に入力される。メモリ 4 0 3 の出力が、参照電圧 RAMP の上位ビット変換参照電圧（コース DAC）をスイッチするためのトランジスタ 4 0 5 のゲートに供給される。トランジスタ 4 0 6 は、オートゼロ動作制御に係るトランジスタであり、ゲートに供給されるオートゼロパルス PSET によりオン/オフ制御される。

30

【 0 0 3 2 】

トランジスタ 4 0 7 は、参照電圧（RAMP）側の入力トランジスタであり、トランジスタ 4 0 8 は、列信号線 2 1 3 側の入力トランジスタである。トランジスタ 4 0 7 は、ゲートにトランジスタ 4 0 5 を介して参照電圧 RAMP の上位ビット変換参照電圧（コース DAC）が供給可能になっている。また、トランジスタ 4 0 7 のゲートは、一方の電極に参照電圧 RAMP の下位ビット変換参照電圧（ファイン DAC）が供給されるキャパシタ 4 1 2 の他方の電極に接続される。トランジスタ 4 0 8 のゲートは、一方の電極が列信号線 2 1 3 に接続され列信号線 2 1 3 の出力を受けるキャパシタ 4 1 5 の他方の電極に接続される。

40

【 0 0 3 3 】

トランジスタ 4 0 9 は、入力トランジスタ 4 0 7、4 0 8 に流れる電流を制限するためのものである。トランジスタ 4 1 6 は、駆動電流供給回路 4 0 1 とカレントミラーを構成する。トランジスタ 4 1 0、4 1 1 は、パワーダウン制御部からのパワーダウン信号 SPD を受けて、駆動電流供給回路 4 0 1 からコンパレータへの電流供給を断つためのトランジスタである。なお、コンパレータ 2 0 9 は、図 4 に示す構成に限定されるものではなく、同様の機能を有する構成であればよい。例えば、トランジスタ 4 1 1 は、駆動電流供給回路 4 0 1 とカレントミラーを構成する P 型トランジスタ 4 1 6 のドレイン側に直列に接続されているが、ソース側に直列に接続されてもよい。

【 0 0 3 4 】

50

次に、本実施形態における撮像素子において、行走査部 202 により選択された画素行の画素 208 から列信号線 213 を介して出力される信号電圧の A/D 変換に係る A/D 変換部 203 の動作について説明する。

【0035】

図 5 は、本実施形態における A/D 変換部 203 の通常出力領域の動作例を示すタイミングチャートである。ここで、A/D 変換後の信号にて上位ビットの信号値が、0 レベルから所定の下限値以下（第 2 の閾値以下）の範囲を領域 A とする。また、その下限値より大きく所定の上限値以下（第 1 の閾値以下）の範囲を領域 B とする。また、その上限値より大きく上位ビットの取り得る最大値までの範囲を領域 C とする。例えば、A/D 変換部 203 の通常出力領域が領域 B に対応し、低出力領域が領域 A に対応し、高出力領域が領域 C に対応している。また、下限値とは、遮光状態での暗電流成分のみの信号値である黒レベルに相当し、上限値とは、後述の J P E G 信号における飽和付近の信号値に相当する。領域 A、B、C の各領域を、上位ビットの A/D 変換の時刻で述べると、図示したタイミングチャートにおいて時刻 $t_3 \sim t_4$ が領域 A に相当し、時刻 $t_4 \sim t_6$ が領域 B に相当し、時刻 $t_6 \sim t_7$ が領域 C に相当する。

10

【0036】

以下では、A/D 変換の処理内容について説明した後、本実施形態において、どのように消費電力を削減するかについて説明する。まず、図 5 を参照して、コンパレータ 209 の出力が領域 B で反転した場合について説明する。なお、本実施形態では、A/D 変換後のデジタル信号における上位ビットのビット数を K ビットとし、下位ビットのビット数を L ビットとする。

20

【0037】

はじめに、時刻 $t_1 \sim t_2$ のオートゼロ期間 P H 0 にオートゼロ動作を行う。時刻 t_1 にて、コンパレータ 209 のオフセット電圧除去及びコンパレータ反転電圧を設定する。このためコンパレータ 209 において、メモリ 403 をハイレベルにセットする。これにより、下位ビット変換参照電圧（ファイン D A C）に接続されたキャパシタ 412 と入力トランジスタ 407 のゲートとの間に一方の端子が接続され、他方の端子が上位ビット変換参照電圧（コース D A C）に接続されたトランジスタ 405 をオン状態にする。

【0038】

また、オートゼロパルス P S E T をハイレベルにする。これにより、列信号線 213 に接続されたキャパシタ 415 と入力トランジスタ 408 のゲートとの間に一方の端子が接続され、他方の端子がコンパレータ 209 の出力に接続されたトランジスタ 406 をオン状態とする。参照電圧であるコース D A C 及びファイン D A C は、それぞれオートゼロレベルとした状態、画素出力はリセットレベルを列信号線 213 に出力した状態で、オートゼロパルス P S E T をローレベルにしてトランジスタ 406 のみをオフ状態にする。このオートゼロ動作により、時刻 t_2 にて、コンパレータ 209 のオフセット電圧がキャパシタ 412 にゼロレベルとして保持される。

30

【0039】

次に、時刻 $t_3 \sim t_7$ の上位ビット変換期間 P H 1 に上位ビットに係る A/D 変換（第 1 のアナログ・デジタル変換）を行う。時刻 t_3 にて、上位ビットの A/D 変換を行うために、アップダウンカウンタ 211 の上位ビットカウンタ回路 305 のカウント値をリセットする。上位ビット変換期間 P H 1 にて、参照電圧 R A M P の上位ビット変換参照電圧（コース D A C）の電圧波形は、コンパレータ 209 の反転電圧よりも高い電位から始まって低下していく、上位ビット数分である 2 の K 乗個のレベルを有する階段波形を発生する。そして、コンパレータ 209 は、列信号線 213 の出力レベルと上位ビット変換参照電圧（コース D A C）との比較を行う。上位ビットカウンタ回路 305 は、上位ビット変換期間 P H 1 において、上位ビット変換参照電圧（コース D A C）の電圧が列信号線 213 の電圧より高い間、上位ビットをアップカウントする。

40

【0040】

そして、図 5 の時刻 t_5 に示すように、上位ビット変換参照電圧（コース D A C）の電

50

圧が列信号線 2 1 3 の電圧よりも低くなった場合には、コンパレータ 2 0 9 の出力が反転して、フリップフロップ 3 0 3 の出力がハイレベルからローレベルに変化する。フリップフロップ 3 0 3 の出力がローレベルになることで、AND 回路 3 0 4 を介した、上位ビットカウンタ回路 3 0 5 へのクロック A D C L K の供給が停止される。これにより、上位ビットのカウント動作が停止し、期間 C N T U にて行った上位ビットアップカウントでのカウント値が、上位ビットについての A D 変換結果として上位ビットカウンタ回路 3 0 5 に保持される。また、このとき、コンパレータ 2 0 9 の出力反転がバッファ 4 0 2 を通ってメモリ 4 0 3 に保存され、トランジスタ 4 0 5 をオフ状態にする。トランジスタ 4 0 5 がオフ状態になると、下位ビット変換参照電圧（ファイン D A C）と上位ビット変換参照電圧（コース D A C）との電位差が、入力トランジスタ 4 0 7 に接続されるキャパシタ 4 1 2 に保持される。

10

【 0 0 4 1 】

上位ビットの A D 変換が領域 B で完了する場合には、後述する理由により下位ビットの A D 変換を行う必要がある。そこで、時刻 $t_8 \sim t_{10}$ の下位ビット変換期間 P H 2 に下位ビットに係る A D 変換（第 2 のアナログ・デジタル変換）を行う。時刻 t_8 の時点では、キャパシタ 4 1 2 には既に上位ビット分の電位差がオフセットとして保持されている。そのため、コンパレータ 2 0 9 には最初に行ったオートゼロの反転電位から、保持されている下位ビット変換参照電圧（ファイン D A C）と上位ビット変換参照電圧（コース D A C）との電位差に応じたオフセット電圧 V o f 分だけシフトしているように見える。

【 0 0 4 2 】

20

時刻 t_8 にて、下位ビットの A D 変換を行うために、アップダウンカウンタ 2 1 1 の下位ビットカウンタ回路 3 1 3 のカウント値をリセットする。その後、下位ビット変換参照電圧（ファイン D A C）の電圧値を段階的に変化させ、コンパレータ 2 0 9 が、列信号線 2 1 3 の出力電圧と下位ビット変換参照電圧（ファイン D A C）の電圧との比較を行う。ここで、下位ビット変換参照電圧（ファイン D A C）は、上位ビット変換参照電圧（コース D A C）の 1 ステップ分の電圧振幅をフルスケールとし、下位ビット分のカウント数の間に段階的に電圧を変化させる。下位ビットカウンタ回路 3 1 3 による下位ビットについてのカウント動作は、上位ビットカウンタの停止値を起点としたダウンカウントを行う。

【 0 0 4 3 】

そして、図 5 の時刻 t_9 に示すように、下位ビット変換参照電圧（ファイン D A C）の電圧が列信号線 2 1 3 の電圧よりも高くなった場合には、コンパレータ 2 0 9 の出力が反転して、フリップフロップ 3 0 3 の出力がローレベルからハイレベルに変化する。フリップフロップ 3 0 3 の出力がハイレベルになることで、AND 回路 3 1 2 を介した、下位ビットカウンタ回路 3 1 3 へのクロック A D C L K の供給が停止される。これにより、下位ビットのカウント動作が停止し、期間 C N T D にて行った下位ビットダウンカウントでのカウント値が、下位ビットについての A D 変換結果として下位ビットカウンタ回路 3 1 3 に保持される。時刻 t_{10} 以降に、上位ビットカウンタ回路 3 0 5 及び下位ビットカウンタ回路 3 1 3 に保持された信号値をメモリ 2 1 2 に読み出すことで、1 行の画素からの出力の A D 変換が完了する。アップダウンカウンタ 2 1 1 でカウントされた値は、読み出されてメモリ 2 1 2 に保存された後、行出力線 2 0 6 を介して撮像部 1 0 2 より外部へ出力される。

30

40

【 0 0 4 4 】

次に、コンパレータ 2 0 9 への電源供給の制御について説明する。

前述のように、時刻 $t_3 \sim t_7$ の上位ビット変換期間 P H 1 では、列信号線 2 1 3 の電圧と、その列信号線 2 1 3 の電圧と比較するための参照電圧 R A M P とをコンパレータ 2 0 9 に入力する。コンパレータ 2 0 9 は、列信号線 2 1 3 の電圧と参照電圧 R A M P とを比較して比較結果を出力する。具体的には、コンパレータ 2 0 9 は、列信号線 2 1 3 の電圧が参照電圧 R A M P の上位ビット変換参照電圧（コース D A C）より大きい場合には、ローレベルを出力する。一方、コンパレータ 2 0 9 は、列信号線 2 1 3 の電圧が参照電圧 R A M P の上位ビット変換参照電圧（コース D A C）より小さい場合には、ハイレベルを

50

出力する。

【 0 0 4 5 】

アップダウンカウンタ 2 1 1 の上位ビットカウンタ回路 3 0 5 のカウント値が所定の下
限値を超える（領域 A を超えて領域 B に入る）時刻 t_4 で、上位ビットカウンタ回路 3 0
5 から出力される信号 S L O W がローレベルからハイレベルに遷移する。信号 S L O W が
ハイレベルになることによって、O R 回路 3 1 4 の出力が常にハイレベルになる。したが
って、コンパレータ 2 0 9 の出力反転に伴ってフリップフロップ 3 0 3 の出力が反転して
ローレベルになっても、O R 回路 3 0 8、3 1 0、3 1 4 の出力はハイレベルを維持する
。これにより、パワーダウン制御部 2 1 0 から出力されるパワーダウン信号 S P D がロー
レベルになることがなくなる。このように、時刻 $t_4 \sim t_6$ の領域 B の期間では、上位ビ
ットの A D 変換が終了しても、コンパレータ 2 0 9 への電源供給を停止させない。

10

【 0 0 4 6 】

次に、時刻 t_7 にて上位ビットの A D 変換を行うための動作が完了した後、時刻 t_8 に
て下位ビットの A D 変換が始まる。時刻 t_8 における、コンパレータ 2 0 9 の初期状態は
、列信号線 2 1 3 の電圧が参照電圧 R A M P より大きく、コンパレータ 2 0 9 はローレ
ベルを出力している。ここから、列信号線 2 1 3 の電圧と参照電圧 R A M P との大小関係が
反転するまでの期間、アップダウンカウンタ 2 1 1 の下位ビットカウンタ回路 3 1 3 はダ
ウンカウントを行う。時刻 t_9 にて、コンパレータ 2 0 9 の出力が反転してハイレベルに
なると、フリップフロップ 3 0 3 の出力がハイレベルとなり、O R 回路 3 0 8 への入力
が、すべてローレベルとなる。このため、パワーダウン制御部 2 1 0 から出力されるパワ
ーダウン信号 S P D にあたる、A N D 回路 3 1 1 の出力が、ローレベルになり、コンパレ
ータ 2 0 9 への電源供給が停止される。

20

【 0 0 4 7 】

以上が、コンパレータ 2 0 9 への電源供給の制御に関する説明である。このように、領
域 B では、下位ビットの A D 変換が終了した直後にコンパレータ 2 0 9 への電力供給を停
止することで、消費電力を削減することができる。また、領域 B では、A D 変換の分解能
を J ビットとしたとき、1 回で A D 変換する場合には 2 の J 乗回の電圧比較が必要となる
が、本実施形態のように 2 回に分けた A D 変換では、（2 の K 乗）+（2 の L 乗）回の電
圧比較（ $J = K + L$ ）で得ることができる。したがって、A D 変換に要する時間を短縮す
ることができ、消費電力も削減することができる。

30

【 0 0 4 8 】

次に、上位ビットの A D 変換時に、領域 A、領域 C でコンパレータ 2 0 9 の出力が反転
する場合について説明する。この場合には、上位ビットの A D 変換のみで信号値が確定し
、A D 変換部 2 0 3 が使用されない期間においては、パワーダウン制御部 2 1 0 によりコ
ンパレータ 2 0 9 への電力供給が停止されるため、その期間は電力消費を抑えることがで
きる。

【 0 0 4 9 】

図 6 は、本実施形態における A D 変換部 2 0 3 の低出力領域の動作例を示すタイミング
チャートである。図 6 を参照して、コンパレータ 2 0 9 の出力が、時刻 $t_3 \sim t_4$ の間に
当たる領域 A の範囲で反転する場合について説明する。

40

【 0 0 5 0 】

領域 A では、アップダウンカウンタ 2 1 1 の上位ビットカウンタ回路 3 0 5 のカウント
値が、所定の下限值以下（第 2 の閾値以下）であるので、上位ビットカウンタ回路 3 0 5
から出力される信号 S L O W はローレベルである。図 6 の時刻 t_4 に示すように、上位ビ
ット変換参照電圧（コース D A C）の電圧が列信号線 2 1 3 の電圧よりも低くなり、コン
パレータ 2 0 9 の出力がハイレベルからローレベルに反転すると、フリップフロップ 3 0
3 の出力がローレベルに反転する。このとき、フリップフロップ 3 0 3 の出力反転を受け
て、A N D 回路 3 1 6 の出力がローレベルに反転することにより、O R 回路 3 1 4 への入
力がすべてローレベルになる。このため、A N D 回路 3 1 1 の出力がローレベルに反転し
、パワーダウン制御部 2 1 0 から出力されるパワーダウン信号 S P D がローレベルになり

50

、コンパレータ 209 への電力供給が停止される。

【0051】

また、AND 回路 311 は、自身の出力を入力されているため、AND 回路 311 のその他の 3 つの入力がハイレベルとなっても、AND 回路 311 の出力はローレベルを維持し続ける。パワーダウン制御部 210 の出力を受けた後の動作は、図 5 で説明したので省略する。このようにコンパレータ 209 の出力が領域 A で反転した場合には、下位ビットの AD 変換を行わずに、下位ビットの AD 変換の期間はコンパレータ 209 への電力供給を停止させることにより、消費電力の削減が可能となる。なお、AD 変換を行わなかった下位ビットは、例えばすべて 0 にしておけばよい。

【0052】

図 7 は、本実施形態における AD 変換部 203 の高出力領域の動作例を示すタイミングチャートである。図 7 を参照して、コンパレータ 209 の出力が、時刻 $t_6 \sim t_7$ の間に当たる領域 C の範囲で反転する場合について説明する。

【0053】

領域 C では、アップダウンカウンタ 211 の上位ビットカウンタ回路 305 のカウント値が、所定の上限値を超えている（第 1 の閾値より大きい）ので、上位ビットカウンタ回路 305 から出力される信号 SUP はハイレベルである。信号 SUP は、OR 回路 310 に反転入力されローレベルになっている。図 7 の時刻 t_6 に示すように、上位ビット変換参照電圧（コース DAC）の電圧が列信号線 213 の電圧よりも低くなり、コンパレータ 209 の出力がハイレベルからローレベルに反転すると、フリップフロップ 303 の出力がローレベルに反転する。このとき、フリップフロップ 303 の出力反転を受けて、AND 回路 316 の出力がローレベルに反転することにより、OR 回路 310 への入力がすべてローレベルになる。このため、AND 回路 311 の出力がローレベルに反転し、パワーダウン制御部 210 から出力されるパワーダウン信号 SPD がローレベルになり、コンパレータ 209 への電力供給が停止される。

【0054】

また、AND 回路 311 は、自身の出力を入力されているため、AND 回路 311 のその他の 3 つの入力がハイレベルとなっても、AND 回路 311 の出力はローレベルを維持し続ける。パワーダウン制御部 210 の出力を受けた後の動作は、図 5 で説明したので省略する。このようにコンパレータ 209 の出力が領域 C で反転した場合には、下位ビットの AD 変換を行わずに、下位ビットの AD 変換の期間はコンパレータ 209 への電力供給を停止させることにより、消費電力の削減が可能となる。なお、AD 変換を行わなかった下位ビットは、例えばすべて 0 にしておけばよい。

【0055】

次に、コンパレータ 209 の出力が領域 A とあるいは領域 C で反転した場合には、下位ビットの AD 変換を行わなくても画質劣化がほとんど起きない理由について説明する。図 8 は、本実施形態に係るガンマカーブの一例を示す図である。図 8 において、信号値の幅 81 が上位ビットの信号精度であり、信号値の幅 82 が下位ビットの信号精度である。撮像部 102 の出力を JPEG などの画像に変換する際、通常はガンマカーブを使用して短いビット長で、広いダイナミックレンジを得ようとする。ここでは、領域 A は、黒レベル以下の入力信号領域とした。また、領域 B は、入力信号に対して JPEG 出力がリニアに変化する領域から、二特性を持ち始めた領域である。また、領域 C は、入力信号の変化に対して JPEG 出力がほとんど変化しない、飽和近傍の領域である。

【0056】

まず、領域 A について説明する。CMOS 型撮像素子では、画素毎に暗電流成分にばらつきが出ることで、黒レベルの信号値にばらつきが出る。そこで、RAW 信号を扱う場合、黒レベルを 0 とせず、ダイナミックレンジに対して数パーセント程度浮かせる。例えばフルレンジで 0 ~ 16385 の出力値に対して、1024 を黒レベルとするなどしている。入力信号が黒レベル以下の場合での JPEG 出力は、黒つぶれしてしまい有効ビット長が短くとも画質に影響を与えない。このため、領域 A では、電力消費を抑えるため下位ビ

10

20

30

40

50

ットのAD変換を行わなくとも画質を劣化させない。領域Bでは、入力信号の変化量に対してJPEG出力の変化量が大きい領域であるため、有効ビット長が長くとも画質低下を招く。領域Cでは、入力信号の変化量に対してJPEG出力がほとんど変化しないため、有効ビット長が短くとも画質に影響を与えない。このため、領域Cでは、電力消費を抑えるため下位ビットのAD変換を行わなくとも画質を劣化させない。

【0057】

なお、上位ビットのAD変換結果が、領域Aあるいは領域Cに有る場合に、下位ビットのAD変換を完全に止めるのではなく、下位ビットのAD変換の変換条件を領域Bとは異なるように切り替えて下位ビットのAD変換を行うようにしても良い。例えば、上位ビットのAD変換結果が領域Aあるいは領域Cに有る場合に、下位ビット変換参照電圧（ファインDAC）の傾きを2倍、4倍などと急峻にして、下位ビットのAD変換を行ってもよい。この場合には、下位ビットのAD変換期間を、それぞれ1/2、1/4に短縮することによって消費電力の削減が可能となる。なお、このように参照電圧の傾きを変えたと、下位ビットのAD変換結果が傾きを変えなかった場合と相違するが、傾きを2倍にしたときは上位側に1ビットシフトし、4倍にしたときは上位側に2ビットシフトすることで、同等の出力を得ることができる。この場合、ビットシフトによって空いた下位ビットには、例えば0を入れておけばよい。任意の値を入れてよい理由は、図8での説明と同様、領域Aと領域Cでは、JPEG出力に対して下位ビットの出力結果がほとんど依存しないためである。

【0058】

なお、特殊なガンマカーブを用いてJPEG出力を得る場合には、領域Aと領域Cのどちらかのみ下位ビットのAD変換を行わないなどの方法を用いてもよい。また、領域Aと領域Cのどちらかのみ下位ビット変換参照電圧（ファインDAC）の傾きを2倍、4倍などと急峻にするように変換条件を制御して下位ビットのAD変換を行うようにしてもよい。前述のように、どちらの方法を用いても、2回に分けてAD変換を行う方式で、電力の消費を抑えることができる。

【0059】

なお、前述した構成において、システムの構成要素となる単位デバイスや単位モジュールの組み合わせ方、セットの規模等については、製品化の実情等に基づいて適宜選択可能であり、本実施形態に係る撮像装置は、種々の変形を幅広く含むものとする。

【0060】

なお、前述した本実施形態におけるAD変換部は、以下の第1～第4のステップを実行するAD変換方法を含んでいる。第1のステップは、画素からのアナログ信号が変換されるデジタル信号の上位ビットのための上位ビット変換参照電圧を生成し出力するステップである。第2のステップは、アナログ信号と上位ビット変換参照電圧とを比較器により比較し、アナログ信号と上位ビット変換参照電圧との大小関係が入れ替わるまでの時間量からデジタル信号の上位ビットのデジタル値を求めるステップである。第3のステップは、デジタル信号の下位ビットのための下位ビット変換参照電圧を生成し出力するステップである。第4のステップは、アナログ信号と下位ビット変換参照電圧とを比較器により比較して大小関係が入れ替わるまでの時間量から求めたデジタル信号の下位ビットのデジタル値を基に、アナログ信号をAD変換したときのデジタル値を決定するステップである。

【0061】

また、本実施形態におけるAD変換部は、下位ビット変換参照電圧が、アナログ信号と上位ビット変換参照電圧との大小関係が入れ替わるまでの時間量から求めた上位ビットのデジタル値に対応した電圧を基準にした信号であるとするAD変換方法を含む。さらに、本実施形態におけるAD変換部は、以下の第1要素及び第2要素を有するAD変換方法を含む。第1要素は、上位ビット変換参照電圧及び下位ビット変換参照電圧が段階的に値が変化する信号であることである。第2要素は、下位ビット変換参照電圧が、上位ビット変換参照電圧の単位ステップ分の振幅をフルスケールとする下位ビット分のカウント数の間に段階的に値が変化する信号であることである。

【 0 0 6 2 】

本実施形態によれば、1画素からの出力を2回に分けてA/D変換を行うA/D変換部において、上位ビットのA/D変換の結果が、領域Aや領域Cといった所定の領域にある場合、下位ビットのA/D変換を中止して、コンパレータへの電力供給を停止する。これにより、画質を劣化させることなく、消費電力を低減することが可能となる。

【 0 0 6 3 】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

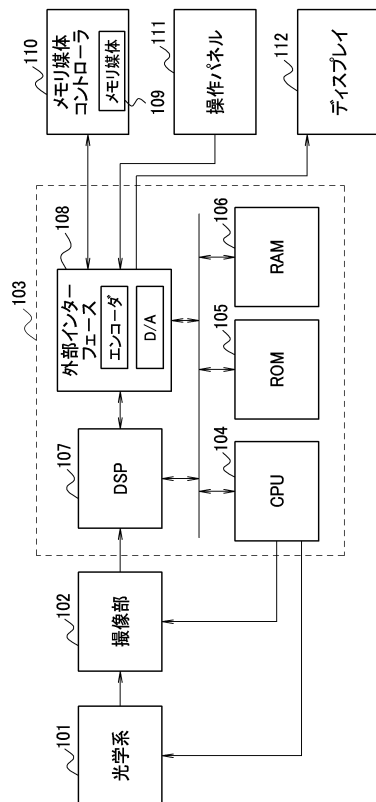
【 符号の説明 】

【 0 0 6 4 】

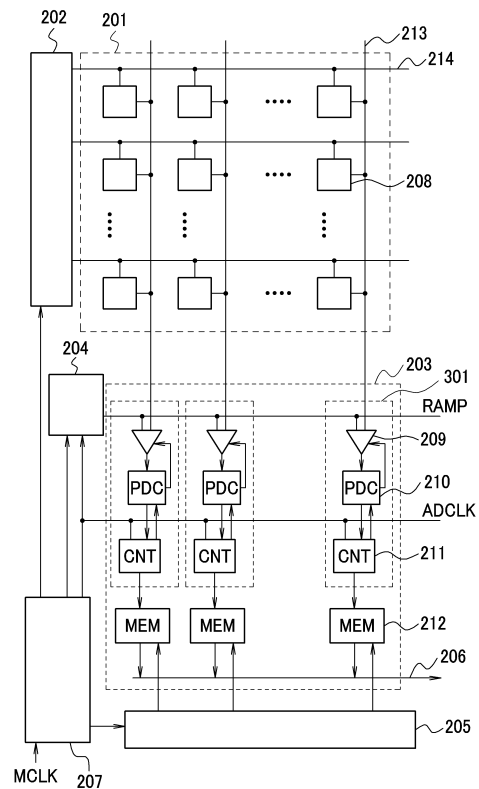
102：撮像部 103：システムコントロール部 104：CPU (Central Processing Unit) 107：DSP (Digital Signal Processor) 201：画素アレイ 203：A/D変換部 208：画素 209：コンパレータ 210：パワーダウン制御部 211：アップダウンカウンタ 212：メモリ 213：列信号線 301：A/D変換回路

10

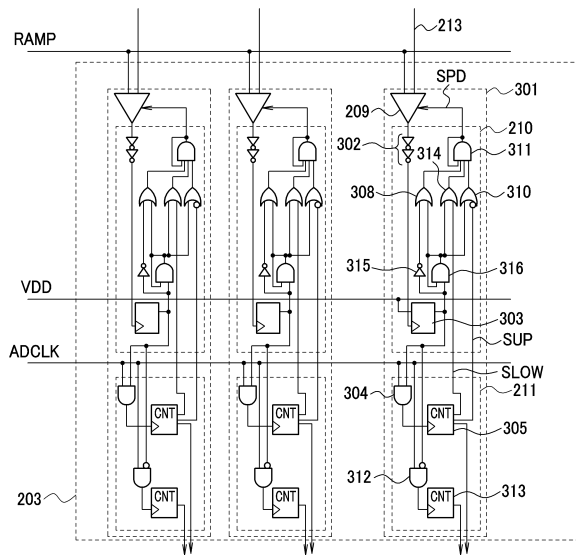
【 図 1 】



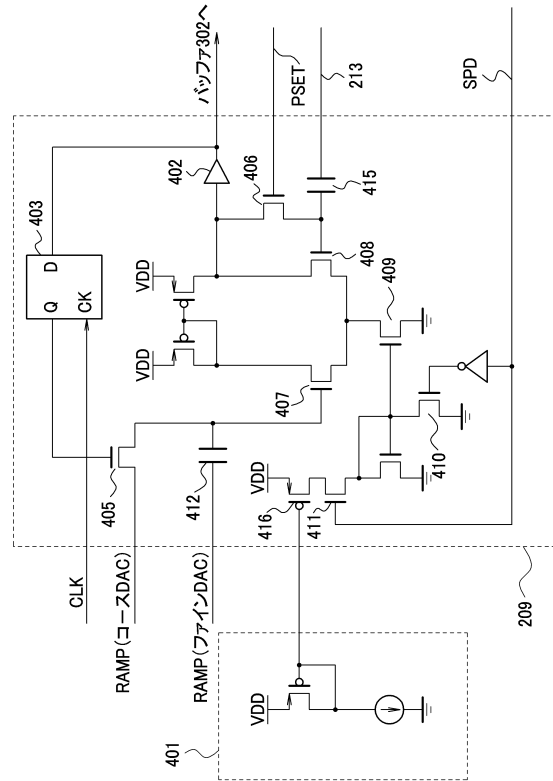
【 図 2 】



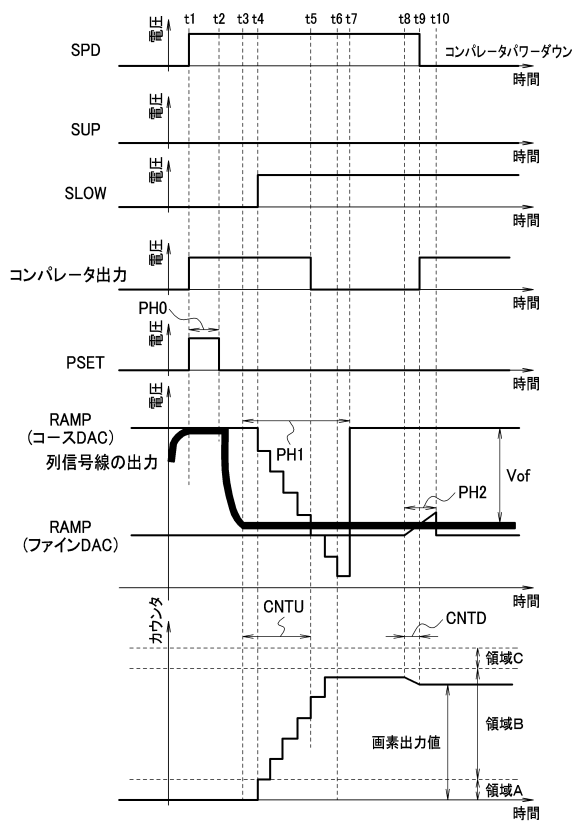
【図 3】



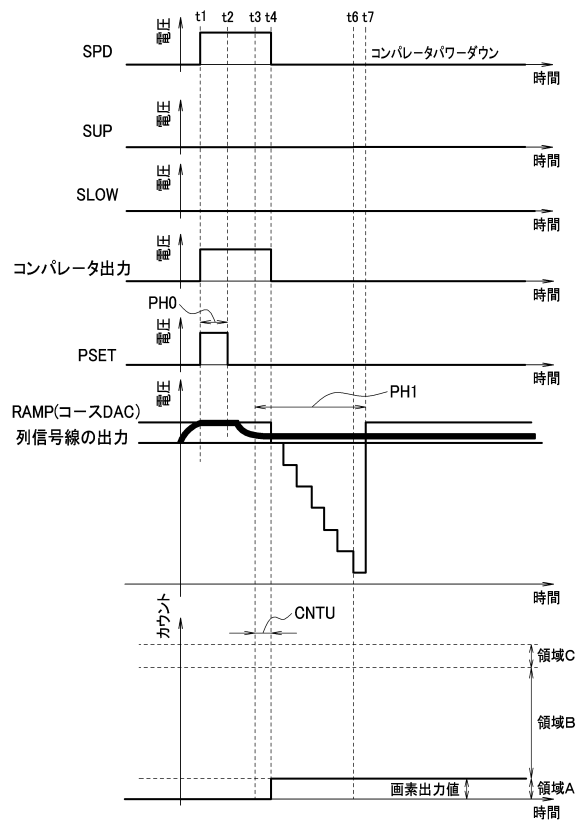
【図 4】



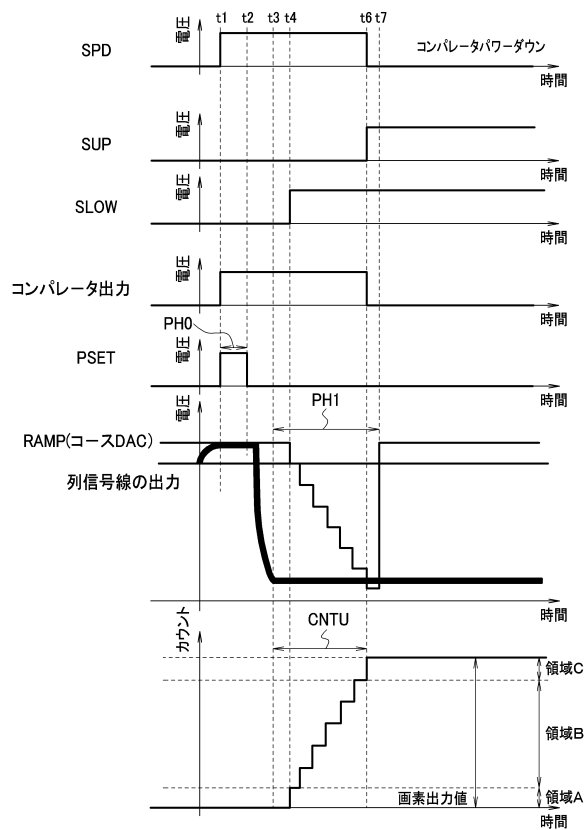
【図 5】



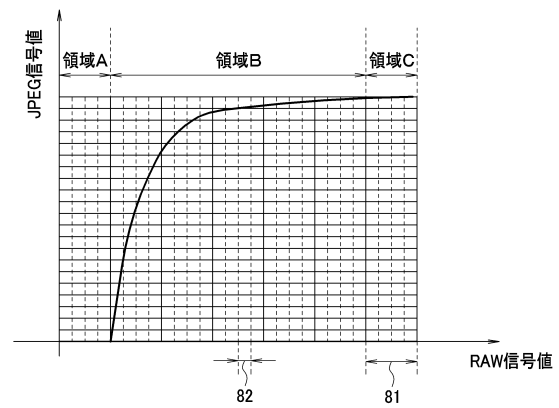
【図 6】



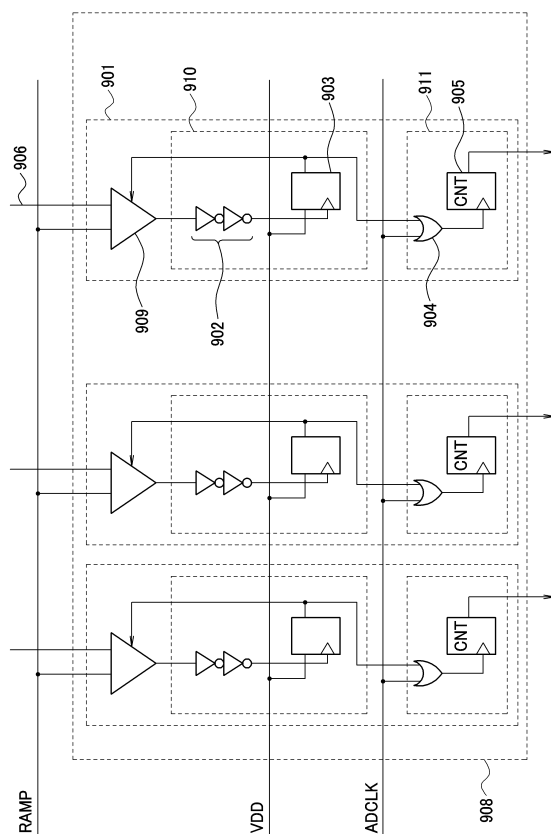
【圖 7】



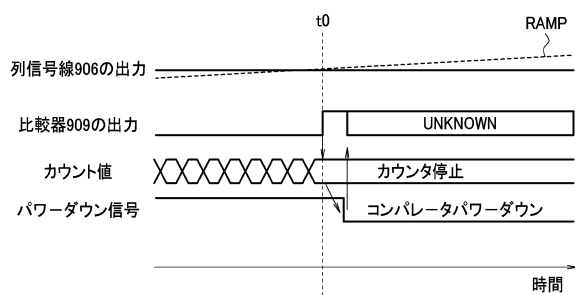
【 図 8 】



【圖 9】



【 図 1 0 】



フロントページの続き

(56)参考文献 特開 2 0 0 8 - 1 7 7 6 8 1 (J P , A)
特開 2 0 1 2 - 1 9 1 3 5 9 (J P , A)
特開 2 0 0 9 - 1 5 9 2 7 1 (J P , A)
特開 2 0 1 1 - 0 6 6 7 7 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N	5 / 3 0	-	5 / 3 7 8
H 0 4 N	9 / 0 4	-	9 / 1 1
H 0 1 L	2 1 / 3 3 9		
H 0 1 L	2 7 / 1 4	-	2 7 / 1 4 8
H 0 1 L	2 9 / 7 6 2		