(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 18 日(18.12.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/199970 A1

(51) 国際特許分類:
H02M 1/08 (2006.01) *H03K 17/08* (2006.01)
H02M 1/00 (2007.01) *H03K 17/687* (2006.01)

(21) 国際出願番号: PCT/JP2014/065304

(22) 国際出願日: 2014 年 6 月 10 日(10.06.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-122794 2013 年 6 月 11 日(11.06.2013) JP

(71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 林口 匡司(HAYASHIGUCHI, Masashi); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 伊野 和英(INO, Kazuhide); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町２丁目６番１２号 サンマリオンＮＢＦタワー２１階 あい特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

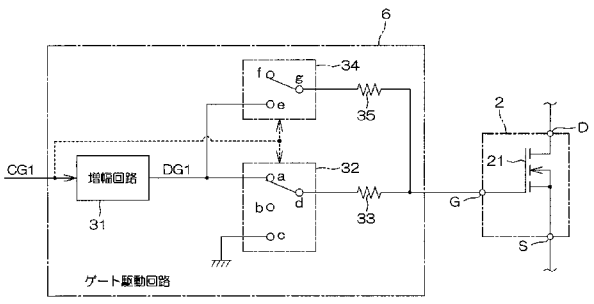
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ELECTRONIC CIRCUIT

(54) 発明の名称 : 電子回路

[図3]



6... GATE DRIVE CIRCUIT
31... AMPLIFYING CIRCUIT

(57) **Abstract**: Provided is an electronic circuit capable of preventing a switching device from breaking when a short-circuit is generated. When a gate control signal (CG1) level is inverted from an L level to an H level, a first switching circuit (32) selects a first input terminal (a), and connects an output terminal (d) to the first input terminal (a), thereby turning on an MOSFET (21). When a predetermined time (Ts) elapses after the output terminal (d) of the first switching circuit (32) is connected to the first input terminal (a), a second switching circuit (34) selects a first input terminal (e), and connects an output terminal (g) to the first input terminal (e). Furthermore, immediately after the connection, the first switching circuit (32) selects a second input terminal (b), and connects the output terminal (d) to the second input terminal (b). Consequently, immediately after the MOSFET (21) is turned on, a gate resistor is switched from a first gate resistor (33) having a small resistance value to a second gate resistor (35) having a large resistance value.

(57) 要約:

[続葉有]

WO 2014/199970 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

短絡発生時にスイッチングデバイスが破損するのを防止できる電子回路を提供する。 ゲート制御信号ＣＧ１がＬレベルからＨレベルに反転すると、第１の切替回路３２は、第１入力端子ａを選択して、出力端子ｄを第１入力端子ａに接続する。これにより、ＭＯＳＦＥＴ２１がターンオンする。第１の切替回路３２の出力端子ｄが第１入力端子ａに接続されてから、所定時間Ｔｓが経過すると、第２の切替回路３４は、第１入力端子ｅを選択して、出力端子ｇを第１入力端子ｅに接続する。また、この直後に、第１の切替回路３２は、第２入力端子ｂを選択して、出力端子ｄを第２入力端子ｂに接続する。これにより、ＭＯＳＦＥＴ２１がターンオンした直後に、抵抗値の小さな第１のゲート抵抗３３から、抵抗値の大きな第２のゲート抵抗３５に、ゲート抵抗が切替られる。

明　細　書

発明の名称 ： 電子回路

技術分野

[0001] この発明は、インバータ回路、コンバータ回路等の電子回路に関する。

背景技術

[0002] インバータ回路、コンバータ回路等の電子回路に用いられるスイッチングデバイスは、１つのスイッチング素子または並列に接続された複数のスイッチング素子から構成されている。スイッチング素子として、Ｓｉ（珪素）を主成分とするＳｉスイッチング素子の他、ＳｉＣ（炭化珪素）を主成分とするＳｉＣスイッチング素子が開発されている。ＳｉＣスイッチング素子には、ＳｉＣ－ＭＯＳＦＥＴ（Metal-Oxide-Semiconductor Field Effect Transistor）、ＳｉＣ－バイポーラトランジスタ（Bipolar Transistor）、ＳｉＣ－ＪＦＥＴ（Junction Field Effect Transistor）、ＳｉＣ－ＩＧＢＴ（Insulated Gate Bipolar Transistor）等がある。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-137072号公報

発明の概要

発明が解決しようとする課題

[0004] 電圧制御型スイッチングデバイスが用いられた電子回路において、電圧制御型スイッチングデバイスに電源電圧が直接印加されるような短絡が発生すると、電圧制御型スイッチングデバイスに短絡電流が流れる。電圧制御型スイッチングデバイスに短絡電流が流れると、電圧制御型スイッチングデバイスの温度が上昇し、トンネル効果によって電圧制御型スイッチングデバイスのゲート酸化膜にリーク電流（ゲート電流）が流れる。このリーク電流は、電圧制御型スイッチングデバイスの温度上昇に伴って増加する。そして、ゲート酸化膜を通過する電荷量がゲート酸化膜のゲート酸化膜の破壊電荷量を

超えると、ゲート酸化膜が破壊される。つまり、電圧制御型スイッチングデバイスが破壊される。

[0005] 図８は、複数のＳｉＣ－ＭＯＳＦＥＴから構成された電圧制御型スイッチングデバイスを通常のゲート駆動回路に接続して短絡試験を行ったときの、ゲート電流およびゲート－ソース間電圧の経時的変化を示すグラフである。短絡試験は、電圧制御型スイッチングデバイスがオン状態であるときに、その電圧制御型スイッチングデバイスのドレイン－ソース間に電源電圧を直接印可させることによって行った。

電圧制御型スイッチングデバイスに電源電圧が直接印可されると、ゲート電流Ｉｇ（リーク電流）が増加していく。一方、ゲート－ソース間電圧Ｖｇｓは低下していく。そして、ゲート電流Ｉｇの積算値が所定値に達すると、電圧制御型スイッチングデバイスが破壊される。

この発明の目的は、短絡発生時に電圧制御型スイッチングデバイスが破壊されにくくなる電子回路を提供することである。

課題を解決するための手段

[0006] この発明の第１の電子回路は、電圧制御型スイッチングデバイスと、前記電圧制御型スイッチングデバイスのゲート端子に一端が接続された第１のゲート抵抗と、前記電圧制御型スイッチングデバイスのゲート端子に一端が接続され、前記第１のゲート抵抗より抵抗値が大きな第２のゲート抵抗と、前記電圧制御型スイッチングデバイスをターンオンさせるときには、前記電圧制御型スイッチングデバイスのゲート端子に前記第１のゲート抵抗を介してゲート電圧を所定時間だけ印可した後、前記第２のゲート抵抗を介して前記ゲート端子にゲート電圧が印可されるようにゲート抵抗を切替える切替回路とを含む。

この発明では、電圧制御型スイッチングデバイスがターンオンした後に、第１のゲート抵抗の抵抗値より大きな第２のゲート抵抗にゲート抵抗を切替えることができる。これにより、電圧制御型スイッチングデバイスに電源電圧が直接印可されるような短絡が発生したときに、電圧制御型スイッチング

デバイスのゲート電流が増加するのを抑制することができる。これにより、短絡発生時に、電圧制御型スイッチングデバイスが破壊されにくくなる。

[0007] この発明の一実施形態では、前記切替回路は、前記電圧制御型スイッチングデバイスをターンオフさせるときには、前記第２のゲート抵抗の他端をハイインピーダンス状態にするとともに、前記第１のゲート抵抗の他端を接地するように構成されている。

[0008] この発明の一実施形態では、第１のゲート抵抗の抵抗値が１Ω以上５Ω以下であり、前記第２のゲート抵抗の抵抗値が１ｋΩ以上である。

[0009] この発明の一実施形態では、ゲート抵抗の抵抗値が前記第１のゲート抵抗の抵抗値に固定されていると仮定した場合に、前記電圧制御型スイッチングデバイスに短絡電流が流れ始めてから前記電圧制御型スイッチングデバイスが破壊されるまでの時間の推定値をＴとすると、前記所定時間は、前記推定値Ｔの１／１０以上１／５以下に設定されている。

[0010] この発明の第２の電子回路は、電圧制御型スイッチングデバイスと、前記電圧制御型スイッチングデバイスのゲート電流を検出する電流検出手段と、前記電流検出手段によって検出されるゲート電流が所定値より大きくなったときに、前記電圧制御型スイッチングデバイスのゲート端子を接地させるゲート端子接地手段とを含む。

[0011] この発明によれば、電圧制御型スイッチングデバイスに電源電圧が直接印可されるような短絡が発生したときに、短絡電流を遮断することができるようになる。

[0012] この発明の第３の電子回路は、電圧制御型スイッチングデバイスと、前記電圧制御型スイッチングデバイスのゲート電流を検出する電流検出手段と、前記電流検出手段によって検出されるゲート電流の積算値を積算する電流積算値演算手段と、前記電流積算値演算手段によって演算されたゲート電流積算値が所定値を超えたときに、警報信号を出力する警報信号出力手段とを含む。

電流積算値演算手段によって演算されるゲート電流積算値が大きいほど、

電圧制御型スイッチングデバイスの残寿命は短いと考えられる。この発明では、電圧制御型スイッチングデバイスの残寿命が短くなったときには警報信号が出力されるので、電圧制御型スイッチングデバイスの残寿命が短くなったことを、電子回路の使用者に報知することが可能となる。これにより、電圧制御型スイッチングデバイスの交換時期の把握が容易となる。

この発明の一実施形態では、前記電圧制御型スイッチングデバイスが、１つの電圧制御型スイッチング素子または並列接続された複数の電圧制御型スイッチング素子から構成されている。

この発明の一実施形態では、前記電圧制御型スイッチング素子が、ＳｉＣを主成分とする電圧制御型スイッチング素子である。

[0013] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0014] [図1]図１は、本発明の第１実施形態に係るインバータ回路を示す電気回路図である。

[図2]図２は、第１のモジュールの電気的構成を示す図解的な平面図である。

[図3]図３は、第１のゲート駆動回路の電気的構成を示す電気回路図である。

[図4]図４は、第１の切替回路および第２の切替回路の動作を示すタイムチャートである。

[図5]図５は、短絡が発生したときのＭＯＳＦＥＴのゲート電流の変化を概略的に示すグラフである。

[図6]図６は、本発明の第２実施形態に係るインバータ回路を示す電気回路図である。

[図7]図７は、第１のゲート駆動回路の電気的構成を示す電気回路図である。

[図8]図８は、複数のＳｉＣ－ＭＯＳＦＥＴから構成された電圧制御型スイッチングデバイスを通常のゲート駆動回路に接続して短絡試験を行ったときの、ゲート電流およびゲート－ソース間電圧の経時的変化を示すグラフである。

発明を実施するための形態

[0015] 以下では、この発明の実施形態を、添付図面を参照して詳細に説明する。

[0016] 図１は、本発明の第１実施形態に係るインバータ回路を示す電気回路図である。

[0017] インバータ回路１は、第１～第４のモジュール（電圧制御型スイッチングデバイス）２～５と、第１～第４のゲート駆動回路６～９と、制御部１０とを含む。

[0018] 図２は、第１のモジュール２の電気的構成を示す電気回路図である。

[0019] 第１のモジュール２は、複数の電圧制御型スイッチング素子Ｔｒ（チップ）を含んでいる。電圧制御型スイッチング素子Ｔｒは、Ｎチャンネル型のＭＯＳＦＥＴから構成されている。特に、この実施形態では、電圧制御型スイッチング素子は、ＳｉＣ（炭化珪素）を主成分とするＳｉＣ－ＭＯＳＦＥＴである。また、第１のモジュール２は、ドレイン端子Ｄとソース端子Ｓとゲート端子Ｇとを含んでいる。複数の電圧制御型スイッチング素子Ｔｒは、ドレイン端子Ｄとソース端子Ｓとの間に並列に接続されている。ＳｉＣ－ＭＯＳＦＥＴ等のＳｉＣスイッチング素子はＳｉスイッチング素子に比べてチップサイズを大きくすることが難しいため、複数のＳｉＣスイッチング素子から構成されるモジュールでは、複数のＳｉスイッチング素子から構成されるモジュールに比べて、スイッチング素子の並列接続数が多くなることが多い。

[0020] 複数の電圧制御型スイッチング素子Ｔｒのドレインは、ドレイン端子Ｄに接続されている。複数の電圧制御型スイッチング素子Ｔｒのソースは、ソース端子Ｓに接続されている。複数の電圧制御型スイッチング素子Ｔｒのゲートは、ゲート端子Ｇに接続されている。第２、第３および第４のモジュール３～５も、第１のモジュール２と同じ構成である。

[0021] 図１においては、第１のモジュール２内の複数の電圧制御型スイッチング素子Ｔｒの並列回路を、簡易的に１つのＭＯＳＦＥＴ２１（以下、「第１のＭＯＳＦＥＴ２１」という。）で表している。同様に、第２のモジュール３

内の複数の電圧制御型スイッチング素子Ｔｒの並列回路を、簡易的に１つのＭＯＳＦＥＴ２２（以下、「第２のＭＯＳＦＥＴ２２」という。）で表している。同様に、第３のモジュール４内の複数の電圧制御型スイッチング素子Ｔｒの並列回路を、簡易的に１つのＭＯＳＦＥＴ２３（以下、「第３のＭＯＳＦＥＴ２３」という。）で表している。同様に、第４のモジュール５内の複数の電圧制御型スイッチング素子Ｔｒの並列回路を、簡易的に１つのＭＯＳＦＥＴ２４（以下、「第４のＭＯＳＦＥＴ２４」という。）で表している。

[0022] 第１のＭＯＳＦＥＴ２１のドレイン端子Ｄは、電源１１の正極端子に接続されている。第１のＭＯＳＦＥＴ２１のソース端子Ｓは、第２のＭＯＳＦＥＴ２２のドレイン端子Ｄに接続されている。第１のＭＯＳＦＥＴ２１のゲート端子Ｇは、第１のゲート駆動回路６に接続されている。

[0023] 第２のＭＯＳＦＥＴ２２のソース端子Ｓは、電源１１の負極端子に接続されている。第２のＭＯＳＦＥＴ２２のゲート端子Ｇは、第２のゲート駆動回路７に接続されている。

[0024] 第３のＭＯＳＦＥＴ２３のドレイン端子Ｄは、電源１１の正極端子に接続されている。第３のＭＯＳＦＥＴ２３のソース端子Ｓは、第４のＭＯＳＦＥＴ２４のドレイン端子Ｄに接続されている。第３のＭＯＳＦＥＴ２３のゲート端子Ｇは、第３のゲート駆動回路８に接続されている。

[0025] 第４のＭＯＳＦＥＴ２４のソース端子Ｓは、電源１１の負極端子に接続されている。第４のＭＯＳＦＥＴ２４のゲート端子Ｇは、第４のゲート駆動回路９に接続されている。第１のモジュール２と第２のモジュール３との接続点と、第３のモジュール４と第４のモジュール５との接続点との間には、負荷１２が接続されている。

[0026] 制御部１０は、ＣＰＵとそのプログラム等を記憶したメモリ（ＲＯＭ、ＲＡＭ等）を含むマイクロコンピュータからなる。制御部１０は、第１のＭＯＳＦＥＴ２１に対する第１のゲート制御信号ＣＧ１、第２のＭＯＳＦＥＴ２２に対する第２のゲート制御信号ＣＧ２、第３のＭＯＳＦＥＴ２３に対する

第３のゲート制御信号ＣＧ３および第４のＭＯＳＦＥＴ２４に対する第４のゲート制御信号ＣＧ４を生成して、第１、第２、第３および第４のゲート駆動回路６，７，８，９にそれぞれ与える。

[0027] 各ゲート駆動回路６，７，８，９は、それぞれ、制御部１０から与えられたゲート制御信号ＣＧ１，ＣＧ２，ＣＧ３，ＣＧ４に基づいて、第１のＭＯＳＦＥＴ２１、第２のＭＯＳＦＥＴ２２、第３のＭＯＳＦＥＴ２３および第４のＭＯＳＦＥＴ２４に対するゲート駆動信号ＤＧ１，ＤＧ２，ＤＧ３，ＤＧ４をそれぞれ生成して出力する。この実施形態では、各ゲート駆動信号ＤＧ１，ＤＧ２，ＤＧ３，ＤＧ４は、それに対応するゲート制御信号ＣＧ１，ＣＧ２，ＣＧ３，ＣＧ４がＬレベルであればＬレベルとなり、それに対応するゲート制御信号ＣＧ１，ＣＧ２，ＣＧ３，ＣＧ４がＨレベルであればＨレベルとなる。

ゲート駆動信号ＤＧ１，ＤＧ２，ＤＧ３，ＤＧ４は、それぞれ第１のＭＯＳＦＥＴ２１、第２のＭＯＳＦＥＴ２２、第３のＭＯＳＦＥＴ２３および第４のＭＯＳＦＥＴ２４のゲート端子Ｇに与えられる。各ＭＯＳＦＥＴ２１，２２，２３，２４は、それに与えられるゲート駆動信号がＨレベルになるとオンとなり、それに与えられるゲート駆動信号がＬレベルになるとオフとなる。

[0028] このようなインバータ回路１では、たとえば、第１のＭＯＳＦＥＴ２１と第４のＭＯＳＦＥＴ２４とがオンされる。この後、これらのＭＯＳＦＥＴ２１，２２がオフされることにより、全てのＭＯＳＦＥＴ２１～２４がオフ状態とされる。所定のデットタイム期間が経過すると、今度は、第２のＭＯＳＦＥＴ２２と第３のＭＯＳＦＥＴ２３とがオンされる。この後、これらのＭＯＳＦＥＴ２２，２３がオフされることにより、全てのＭＯＳＦＥＴ２１～２４がオフ状態とされる。所定のデットタイム期間が経過すると、再び第１のＭＯＳＦＥＴ２１と第４のＭＯＳＦＥＴ２４とがオンされる。このような動作が繰り返されることにより、負荷１２が交流駆動される。

[0029] 前述したように、ＭＯＳＦＥＴに電源電圧が直接印加されるような短絡が

発生したときには、ゲート電流が増加することによって、ゲート酸化膜が破壊される。そこで、各ゲート駆動回路６，７，８，９は、対応するＭＯＳＦＥＴ２１，２２，２３，２４に電源電圧が直接印加されるような短絡が発生したときに、対応するＭＯＳＦＥＴ２１，２２，２３，２４のゲート電流の増加を抑制する機能を備えている。

[0030] なお、ＭＯＳＦＥＴ２１，２２，２３，２４に電源電圧が直接印加されるような短絡が発生する場合には、たとえば、負荷１２が短絡した場合、電源１１の正極端子と負極端子との間に直列に接続された２つのＭＯＳＦＥＴ（２１，２２；２３，２４）が同時にオンした場合、電源１１の正極端子と負極端子との間に直列に接続された２つのＭＯＳＦＥＴ（２１，２２；２３，２４）のいずれか一方が短絡故障した場合等がある。各ゲート駆動回路６，７，８，９の構成は同じなので、以下、第１のゲート駆動回路６の構成について詳しく説明する。

[0031] 図３は、第１のゲート駆動回路６の電気的構成を示す電気回路図である。

[0032] 第１のゲート駆動回路６は、増幅回路３１と、第１の切替回路３２と、第１のゲート抵抗３３と、第２の切替回路３４と、第２のゲート抵抗３５とを含んでいる。第２のゲート抵抗３５の抵抗値ｒ２は、第１のゲート抵抗３３の抵抗値ｒ１より大きい。第１のゲート抵抗３３の抵抗値ｒ１は、１Ω以上５Ω以下の値に設定されている。この実施形態では、第１のゲート抵抗３３の抵抗値ｒ１は、例えば、３．９Ωである。第２のゲート抵抗３５の抵抗値ｒ２は、１ｋΩ以上の値に設定されている。この実施形態では、第２のゲート抵抗３５の抵抗値ｒ２は、例えば、１８ｋΩである。

第１の増幅回路３１の入力端子には、制御部１０からのゲート制御信号ＣＧ１が入力する。増幅回路３１は、ゲート制御信号ＣＧ１を増幅してゲート駆動信号ＤＧ１を生成する。

第１の切替回路３２は、３つの入力端子ａ，ｂ，ｃと１つの出力端子ｄとを有しており、いずれか１つの入力端子ａ，ｂ，ｃを選択して、出力端子ｄを選択した入力端子に接続する。以下において、入力端子ａを第１入力端子

ａといい、入力端子ｂを第２入力端子ｂといい、入力端子ｃを第３入力端子ｃという。第１入力端子ａには、ゲート駆動信号ＤＧ１が入力されている。第２入力端子ｂは、オープン状態とされている。第３入力端子ｂは、接地されている。第１の切替回路３２の出力端子ｄには、第１のゲート抵抗３３の一端が接続されている。第１のゲート抵抗３３の他端はＭＯＳＦＥＴ２１のゲート端子Ｇに接続されている。

第２の切替回路３４は、２つの入力端子ｅ，ｆと１つの出力端子ｇとを有しており、いずれか１つの入力端子ｅ，ｆを選択して、出力端子ｇを選択した入力端子に接続する。以下において、入力端子ｅを第１入力端子ｅといい、入力端子ｆを第２入力端子ｆという。第１入力端子ｅには、ゲート駆動信号ＤＧ１が入力されている。第２入力端子ｆは、オープン状態とされている。出力端子ｇには、第２のゲート抵抗３５の一端が接続されている。第２のゲート抵抗３５の他端は、第１のＭＯＳＦＥＴ２１のゲート端子Ｇに接続されている。第１の切替回路３２および第２の切替回路３４は、制御部１０からのゲート制御信号ＣＧ１によって制御される。

[0033] 図４は、第１の切替回路３２および第２の切替回路３４の動作を示すタイムチャートである。

ゲート制御信号ＣＧ１がＬレベルであるときには、第２の切替回路３４は、第２入力端子ｆを選択して、出力端子ｇを第２入力端子ｆに接続している。したがって、第２の切替回路３４の出力端子ｇはハイインピーダンス状態となっている。また、ゲート制御信号ＣＧ１がＬレベルであるときには、第１の切替回路３２は、第３入力端子ｃを選択して、出力端子ｄを第３入力端子ｃに接続している。したがって、第１の切替回路３２の出力端子ｄは接地されている。つまり、ゲート制御信号ＣＧ１がＬレベルであるときには、第１のＭＯＳＦＥＴ２１のゲート端子Ｇは、第１の切替回路３２を介して接地されている。

ゲート制御信号ＣＧ１がＬレベルからＨレベルに反転すると（時点ｔ１）、第１の切替回路３２は、第１入力端子ａを選択して、出力端子ｄを第１入

力端子ａに接続する。これにより、増幅回路３１から出力されるゲート駆動信号ＤＧ１が、第１の切替回路３２および第１のゲート抵抗３３を介して、第１のＭＯＳＦＥＴ２１のゲート端子Ｇに与えられる。これにより、第１のＭＯＳＦＥＴ２１のゲート端子Ｇにゲート電圧が印可されるので、第１のＭＯＳＦＥＴ２１がターンオンする。

なお、第１のＭＯＳＦＥＴ２１のゲートには容量（コンデンサ成分）があるため、第１のＭＯＳＦＥＴ２１のゲート端子Ｇにゲート電圧を印可しようとすると、コンデンサが充電されるまで電荷を与える必要がある。そこで、コンデンサを充電するための電荷をゲート端子Ｇに供給するために、第１のゲート抵抗３３の抵抗値ｒ１は小さい値に設定されている。

第１の切替回路３２の出力端子ｄが第１入力端子ａに接続されてから、所定時間Ｔｘが経過すると（時点ｔ２）、第２の切替回路３４は、第１入力端子ｅを選択して、出力端子ｇを第１入力端子ｅに接続する。これにより、第２の切替回路３４の出力端子ｇに増幅回路３１から出力されるゲート駆動信号ＤＧ１が与えられる。また、この直後に、第１の切替回路３２は、第２入力端子ｂを選択して、出力端子ｄを第２入力端子ｂに接続する（時点ｔ３）。これにより、第１の切替回路３２の出力端子ｄがハイインピーダンス状態になるので、ゲート駆動信号ＤＧ１が第２の切替回路３４および第２のゲート抵抗３５を介して、第１のＭＯＳＦＥＴ２１のゲート端子Ｇに与えられる。つまり、第１のＭＯＳＦＥＴ２１がターンオンした直後に、抵抗値の小さな第１のゲート抵抗３３から、抵抗値の大きな第２のゲート抵抗３５に、ゲート抵抗が切替られる。このようにゲート抵抗が抵抗値のより大きなものに切替えられても、第１のＭＯＳＦＥＴ２１のゲート端子Ｇへのゲート電圧の印可は継続されるため、第１のＭＯＳＦＥＴ２１はオン状態を維持する。

[0034] ゲート抵抗の抵抗値が前記第１のゲート抵抗３３の抵抗値ｒ１に固定されていると仮定した場合に、ＭＯＳＦＥＴ２１に短絡電流が流れ始めてからＭＯＳＦＥＴ２１が破壊されるまでの時間の推定値をＴとすると、前記所定時間Ｔｘは、例えば、前記推定値Ｔの１／１０以上１／５以下の値に設定され

る。

[0035] この実施形態では、前記推定値Ｔを次のようにして求めた。ＭＯＳＦＥＴ２１と同じ構造のサンプルを用意する。第１のゲート抵抗３３の抵抗値ｒ１と同じ抵抗値を有するゲート抵抗のみを備えたゲート駆動回路（以下、「比較例のゲート駆動回路」という。）にサンプルを接続し、短絡試験を行った。短絡試験は、サンプルがオン状態であるときに、そのサンプルのドレインーソース間に電源電圧を直接印可させることによって行った。そして、短絡開始からサンプルが破壊されるまでの時間を計測し、その計測値を推定値Ｔとした。短絡開始からサンプルが破壊されるまでの時間は、７［μｓｅｃ］程度であった。この実施形態では、所定時間Ｔｘは、１［μｓｅｃ］に設定した。

その後、ゲート制御信号ＣＧ１がＨレベルからＬレベルに反転すると（時点ｔ４）、第２の切替回路３４は、第２入力端子ｆを選択して、出力端子ｇを第２入力端子ｆに接続する。これにより、第２の切替回路３４の出力端子ｇは、ハイインピーダンス状態となる。また、第１の切替回路３２は、第３入力端子ｃを選択して、出力端子ｄを第３入力端子ｃに接続する。これにより、第１の切替回路３２の出力端子ｄが接地される。つまり、ＭＯＳＦＥＴ２１のゲート端子Ｇが、第１の切替回路３２を介して接地される。これにより、ＭＯＳＦＥＴ２１がターンオフする。

その後、ゲート制御信号ＣＧ１がＬレベルからＨレベルに反転すると（時点ｔ５）、前述と同様な動作が行われることにより、ＭＯＳＦＥＴ２１がターンオンする。この場合にも、ＭＯＳＦＥＴ２１がターンオンした直後に、ゲート抵抗の切替が行われる。

この実施形態では、第１のＭＯＳＦＥＴ２１がターンオンした直後に、第１のゲート抵抗３３の抵抗値より大きな第２のゲート抵抗３５にゲート抵抗を切替えることができる。このため、第１のＭＯＳＦＥＴ２１に電源電圧が直接印可されるような短絡が発生したときに、第１のＭＯＳＦＥＴ２１のゲート電流が増加するのを抑制することができる。これにより、短絡発生時に

第１のＭＯＳＦＥＴ２１が破壊されるまでの時間が長くなる。この結果、短絡発生時に、第１のＭＯＳＦＥＴ２１が破壊されにくくなる。第２～第４のＭＯＳＦＥＴ２２～２４についても、同様である。

図５は、短絡が発生したときのＭＯＳＦＥＴ２１のゲート電流Ｉｇの変化を概略的に示すグラフである。ただし、縦軸はゲート電流Ｉｇの対数を表している。図５において、直線Ａは、ゲート駆動回路６の代わりに比較例のゲート駆動回路を用いた場合のＭＯＳＦＥＴのゲート電流の変化を示している。図５において、折線Ｂは、本実施形態での短絡発生時のＭＯＳＦＥＴ２１のゲート電流の変化を示している。

比較例のゲート駆動回路を用いた場合には、直線Ａに示すように、ＭＯＳＦＥＴのゲート電流Ｉｇが時間の経過とともに増加していき、ゲート電流Ｉｇの積算値が所定値に達するとＭＯＳＦＥＴが破壊される。これに対して、本実施形態では、折線Ｂに示すように、ＭＯＳＦＥＴ２１のゲート電流は、最初は増加していくが、ある値に達するとそれ以上は増加しなくなる。つまり、本実施形態では、短絡発生時に、第１のＭＯＳＦＥＴ２１のゲート電流の増加が抑制される。

図６は、本発明の第２実施形態に係るインバータ回路を示す電気回路図である。図６において、前述の図１の各部に対応する部分には図１と同じ符号を付して示す。

図６のインバータ回路１Ａは、第１～第４のモジュール（電圧制御型スイッチングデバイス）２～５と、第１～第４のゲート駆動回路６Ａ～９Ａと、制御部１０Ａとを含む。

各モジュール２～５は、図１のモジュール２～５と同様に、並列に接続された複数の電圧制御型スイッチング素子Ｔｒから構成されている。この実施形態においても、電圧制御型スイッチング素子Ｔｒは、ＳｉＣ－ＭＯＳＦＥＴである。図６では、図１と同様に、第１のモジュール２、第２のモジュール３、第３のモジュール４および第４のモジュール５を、それぞれ簡易的に第１のＭＯＳＦＥＴ２１、第２のＭＯＳＦＥＴ２２、第３のＭＯＳＦＥＴ２

３および第４のＭＯＳＦＥＴ２４で表している。

図６のインバータ回路１Ａでは、各ゲート駆動回路６Ａ～９Ａと、それに対応するＭＯＳＦＥＴ２１～２４のゲート端子Ｇとを接続する接続線に、それぞれゲート電流Ｉｇを検出するための電流センサ４１～４４が設けられている。各電流センサ４１～４４の検出信号は、対応するゲート駆動回路６Ａ～９Ａに入力している。

制御部１０Ａは、第１のＭＯＳＦＥＴ２１に対する第１のゲート制御信号ＣＧ１、第２のＭＯＳＦＥＴ２２に対する第２のゲート制御信号ＣＧ２、第３のＭＯＳＦＥＴ２３に対する第３のゲート制御信号ＣＧ３および第４のＭＯＳＦＥＴ２４に対する第４のゲート制御信号ＣＧ４を生成して、第１、第２、第３および第４のゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａにそれぞれ与える。

制御部１０Ａには、警報装置１３が接続されている。警報装置１３は、例えば、警告音を発生する警告音発生装置である。警報装置１３は、音声で警報メッセージを出力する音声出力装置であってもよく、警報メッセージを表示する表示装置であってもよい。また、警報装置１３は、警告音発生装置、音声出力装置および表示装置のうちから選択された、２以上の任意の組み合わせから構成されていもよい。

[0036] 各ゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａは、それぞれ、制御部１０Ａから与えられたゲート制御信号ＣＧ１，ＣＧ２，ＣＧ３，ＣＧ４に基づいて、第１のＭＯＳＦＥＴ２１、第２のＭＯＳＦＥＴ２２、第３のＭＯＳＦＥＴ２３および第４のＭＯＳＦＥＴ２４に対するゲート駆動信号ＤＧ１，ＤＧ２，ＤＧ３，ＤＧ４をそれぞれ生成して出力する。

ゲート駆動信号ＤＧ１，ＤＧ２，ＤＧ３，ＤＧ４は、それぞれ第１のＭＯＳＦＥＴ２１、第２のＭＯＳＦＥＴ２２、第３のＭＯＳＦＥＴ２３および第４のＭＯＳＦＥＴ２４のゲート端子Ｇに与えられる。各ＭＯＳＦＥＴ２１，２２，２３，２４は、それに与えられるゲート駆動信号がＨレベルになるとオンとなり、それに与えられるゲート駆動信号がＬレベルになるとオフとな

る。

各ゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａは、第１実施形態と同様に、対応するＭＯＳＦＥＴ２１，２２，２３，２４に電源電圧が直接印加されるような短絡が発生したときに、対応するＭＯＳＦＥＴ２１，２２，２３，２４のゲート電流の増加を抑制する機能を備えている。

また、各ゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａは、対応するＭＯＳＦＥＴ２１，２２，２３，２４のゲート電流に基づいて、対応するＭＯＳＦＥＴ２１，２２，２３，２４に電源電圧が直接印加されるような短絡が発生したか否かを判別し、短絡が発生していると判別したときに短絡電流を遮断させる機能を備えている。

さらに、各ゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａは、対応するＭＯＳＦＥＴ２１，２２，２３，２４のゲート電流に基づいて、対応するＭＯＳＦＥＴ２１，２２，２３，２４の残寿命を予測し、残寿命が短くなったときに警報信号を出力する機能を備えている。

各ゲート駆動回路６Ａ，７Ａ，８Ａ，９Ａの構成は同じなので、以下、第１のゲート駆動回路６Ａの構成について詳しく説明する。

図７は、第１のゲート駆動回路６Ａの電気的構成を示す電気回路図である。図７において、前述の図３の各部に対応する部分には図３と同じ符号を付して示す。

[0037] 第１のゲート駆動回路６Ａは、増幅回路３１と、第１の切替回路３２と、第１のゲート抵抗３３と、第２の切替回路３４と、第２のゲート抵抗３５と、短絡検知回路３６と、残寿命予測回路３７とを含んでいる。

増幅回路３１、第１のゲート抵抗３３および第２のゲート抵抗３５は、それぞれ図３の、増幅回路３１、第１のゲート抵抗３３および第２のゲート抵抗３５と同じであるので、その説明を省略する。

第１の切替回路３２および第２の切替回路３４の構成は、それぞれ図３の第１の切替回路３２および第２の切替回路３４の構成と同じである。ただし、第１の切替回路３２および第２の切替回路３４は、ゲート制御信号ＣＧ１

によって制御される他、短絡検知回路３６から出力される短絡電流検知信号によっても制御される点において、第１実施形態と異なっている。

ゲート制御信号ＣＧ１がＬレベルからＨレベルに反転したときの両切替回路３２，３４の動作およびゲート制御信号ＣＧ１がＨレベルからＬレベルに反転したときの両切替回路３２，３４の動作は、第１実施形態と同じである。したがって、前述した短絡発生時に第１のＭＯＳＦＥＴ２１のゲート電流の増加を抑制する機能は、第２実施形態においても達成される。

短絡検知回路３６は、電流センサ４１によって検出される第１のＭＯＳＦＥＴ２１のゲート電流が所定値より大きくなったときに、短絡が発生していると判別して、短絡検知信号を出力するものである。これは、第１のＭＯＳＦＥＴ２１に電源電圧が直接印可されるような短絡が発生したときには、第１のＭＯＳＦＥＴ２１のゲート電流が増加することに着目したものである。具体的には、短絡電流検知回路３６は、電流センサ４１の出力電圧が所定の基準電圧より大きくなったときに、第１の切替回路３２および第２の切替回路３４に短絡検知信号を出力する。

第２の切替回路３４に短絡検知信号が入力されると、第２の切替回路３４は、第２入力端子ｆを選択して、出力端子ｇを第２入力端子ｆに接続する。これにより、第２の切替回路３４の出力端子ｇはハイインピーダンス状態となる。また、第１の切替回路３２に短絡検知信号が入力されると、第１の切替回路３２は、第３入力端子ｃを選択して、出力端子ｄを第３入力端子ｃに接続する。これにより、第１の切替回路３２の出力端子ｄが接地される。したがって、短絡検知回路３６から短絡検知信号が出力されたときには、第１のＭＯＳＦＥＴ２１のゲート端子Ｇが第１のゲート抵抗３３を介して接地される。これにより、第１のＭＯＳＦＥＴ２１のゲート－ソース間電圧Ｖｇｓが低減されるので、第１のＭＯＳＦＥＴ２１に流れるドレイン電流（短絡電流）が遮断される。

つまり、第２実施形態では、第１のＭＯＳＦＥＴ２１に電源電圧が直接印加されるような短絡が発生したときには、第１のＭＯＳＦＥＴ２１に流れる

ドレイン電流（短絡電流）を遮断することができるようになる。

残寿命予測回路３７は、電流センサ４１によって検出される第１のＭＯＳＦＥＴ２１のゲート電流Ｉｇに基づいて、第１のＭＯＳＦＥＴ２１の残寿命を予測し、予測した残寿命が短いときに、警報信号を出力するものである。具体的には、残寿命予測回路３７は、電流積算値演算回路３８と比較回路３９とを含む。電流積算値演算回路３８は、電流センサ４１によって検出される第１のＭＯＳＦＥＴ２１のゲート電流Ｉｇの積算値を演算する。ゲート電流積算値が大きくなるほど、第１のＭＯＳＦＥＴ２１の残寿命は短くなる。比較回路３９は、電流積算値演算回路３８によって演算されたゲート電流積算値が所定値より大きくなったときに、警報信号を出力する。

この実施形態では、前記所定値を次のようにして設定した。第１のＭＯＳＦＥＴ２１と同じ構造の複数のサンプルを用意した。第１のゲート抵抗３３の抵抗値ｒ１と同じ抵抗値を有するゲート抵抗のみを備えたゲート駆動回路にサンプルを接続し、短絡試験を行った。短絡試験は、サンプルがオン状態であるときに、そのサンプルのドレイン－ソース間に電源電圧を直接印可させることによって行った。そして、短絡開始からサンプルが破壊されるまでの間のゲート電流を計測し、その間のゲート電流積算値を演算した。このような、短絡試験を複数のサンプルに対して行うことにより、複数のサンプルに対するゲート電流積算値を求めた。そして、複数のサンプルに対するゲート電流積算値のうちの最小値の９０％に相当する値を前記所定値として設定した。

比較回路３９から出力された警報信号は、制御部１０Ａ（図６参照）に送られる。制御部１０Ａは、警報信号を受信したときには、警報装置１３から警報を出力させる。この際、制御部１０Ａは、ゲート駆動回路６Ａ～９Ａのうちのいずれから警報信号が送られてきたかを識別して、ＭＯＳＦＥＴ２１～２４のうち残寿命が短くなっているＭＯＳＦＥＴを特定できるような警報を警報装置１３から出力させるようにしてもよい。この警報により、インバータ回路１Ａの使用者は、ＭＯＳＦＥＴの残寿命が短くなっていることを知

ることができる。つまり、第２実施形態では、ＭＯＳＦＥＴの交換時期の把握が容易となる。

[0038] 以上、本発明の第１および第２実施形態について説明したが、本発明は、さらに他の形態で実ることもできる。たとえば、前述の第１実施形態および第２実施形態では、各モジュール２～５は、並列に接続された複数の電圧制御型スイッチング素子Ｔｒから構成されているが、各モジュール２～５は１つの電圧制御型スイッチング素子Ｔｒから構成されていてもよい。

また、前述の第１実施形態および第２実施形態では、各モジュール２～５を構成する電圧制御型スイッチング素子ＴｒがＳｉＣ－ＭＯＳＦＥＴである例を示したが、各モジュール２～５を構成する電圧制御型スイッチング素子Ｔｒは、ＳｉＣ－ＭＯＳＦＥＴ以外の素子であってもよい。たとえば、各モジュール２～５を構成する電圧制御型スイッチング素子Ｔｒは、ＳｉＣ－ＩＧＢＴであってもよい。電圧制御型スイッチング素子ＴｒがＳｉＣ－ＩＧＢＴの場合には、ＳｉＣ－ＩＧＢＴのコレクタが前記ＳｉＣ－ＭＯＳＦＥＴのドレインに対応し、ＳｉＣ－ＩＧＢＴのエミッタが前記ＳｉＣ－ＭＯＳＦＥＴのソースに対応する。

[0039] また、前記実施形態では、この発明をインバータ回路に適用した場合について説明したが、コンバータ回路等のインバータ回路以外の電子回路にもこの発明を適用することができる。

[0040] 本発明の実施形態について詳細に説明したが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

[0041] 本出願は、２０１３年６月１１日に日本国特許庁に提出された特願２０１３－１２２７９４号に対応しており、その出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0042] １，１Ａ インバータ回路

２～５　モジュール（電圧制御型スイッチングデバイス）

６～９，６Ａ～９Ａ　ゲート駆動回路

１０，１０Ａ　制御部

１１　電源

１２　負荷

２１～２４　ＭＯＳＦＥＴ

３１　増幅回路

３２　第１の切替回路

３３　第１のゲート抵抗

３４　第２の切替回路

３５　第２のゲート抵抗

３６　短絡検知回路

３７　残寿命予測回路

３８　電流積算値演算回路

３９　比較回路

Ｔｒ　電圧制御型スイッチング素子

請求の範囲

[請求項1] 電圧制御型スイッチングデバイスと、

前記電圧制御型スイッチングデバイスのゲート端子に一端が接続された第１のゲート抵抗と、

前記電圧制御型スイッチングデバイスのゲート端子に一端が接続され、前記第１のゲート抵抗より抵抗値が大きな第２のゲート抵抗と、

前記電圧制御型スイッチングデバイスをターンオンさせるときには、前記電圧制御型スイッチングデバイスのゲート端子に前記第１のゲート抵抗を介してゲート電圧を所定時間だけ印可した後、前記第２のゲート抵抗を介して前記ゲート端子にゲート電圧が印可されるようにゲート抵抗を切替える切替回路とを含む、電子回路。

[請求項2] 前記切替回路は、前記電圧制御型スイッチングデバイスをターンオフさせるときには、前記第２のゲート抵抗の他端をハイインピーダンス状態にするとともに、前記第１のゲート抵抗の他端を接地するように構成されている、請求項１に記載の電子回路。

[請求項3] 第１のゲート抵抗の抵抗値が１Ω以上５Ω以下であり、前記第２のゲート抵抗の抵抗値が１ｋΩ以上である、請求項１または２に記載の電子回路。

[請求項4] ゲート抵抗の抵抗値が前記第１のゲート抵抗の抵抗値に固定されていると仮定した場合に、前記電圧制御型スイッチングデバイスに短絡電流が流れ始めてから前記電圧制御型スイッチングデバイスが破壊されるまでの時間の推定値をＴとすると、前記所定時間は、前記推定値Ｔの１／１０以上１／５以下に設定されている、請求項１～３のいずれか一項に記載の電子回路。

[請求項5] 電圧制御型スイッチングデバイスと、

前記電圧制御型スイッチングデバイスのゲート電流を検出する電流検出手段と、

前記電流検出手段によって検出されるゲート電流が所定値より大き

くなったときに、前記電圧制御型スイッチングデバイスのゲート端子を接地させるゲート端子接地手段と、を含む電子回路。

[請求項6] 電圧制御型スイッチングデバイスと、

前記電圧制御型スイッチングデバイスのゲート電流を検出する電流検出手段と、

前記電流検出手段によって検出されるゲート電流の積算値を積算する電流積算値演算手段と、

前記電流積算値演算手段によって演算されたゲート電流積算値が所定値を超えたときに、警報信号を出力する警報信号出力手段とを含む、電子回路。

[請求項7] 前記電圧制御型スイッチングデバイスが、１つの電圧制御型スイッチング素子または並列接続された複数の電圧制御型スイッチング素子から構成されている請求項１～６のいずれか一項に記載の電子回路。

[請求項8] 前記電圧制御型スイッチング素子が、ＳｉＣを主成分とする電圧制御型スイッチング素子である、請求項７に記載の電子回路。

[図1]

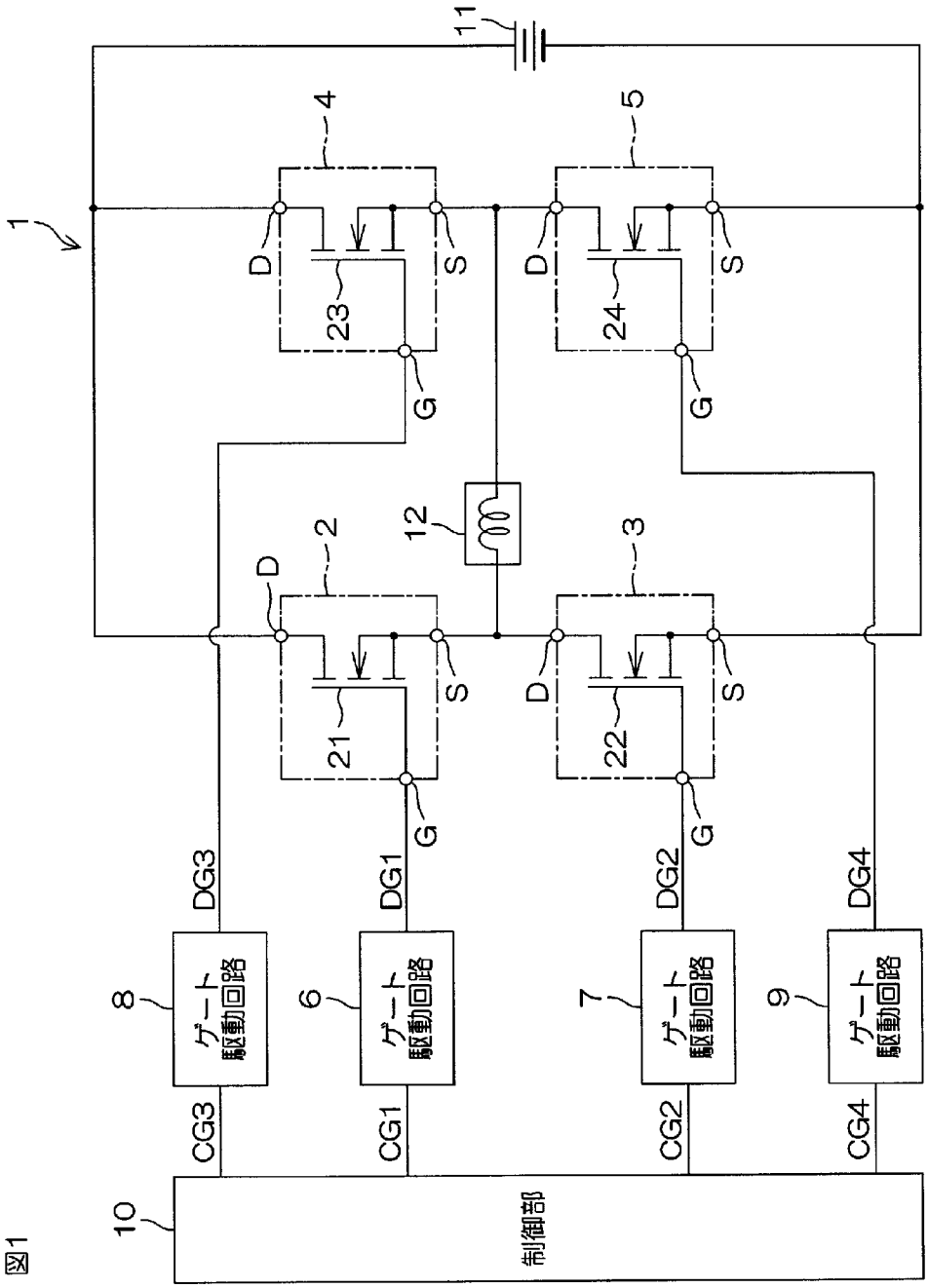

11
4
5
1
D
S
23
24
G
12
2
3
21
22
DG3
DG1
DG2
DG4
8
6
7
9
ゲート駆動回路
CG3
CG1
CG2
CG4
10
制御部

図1

[図2]

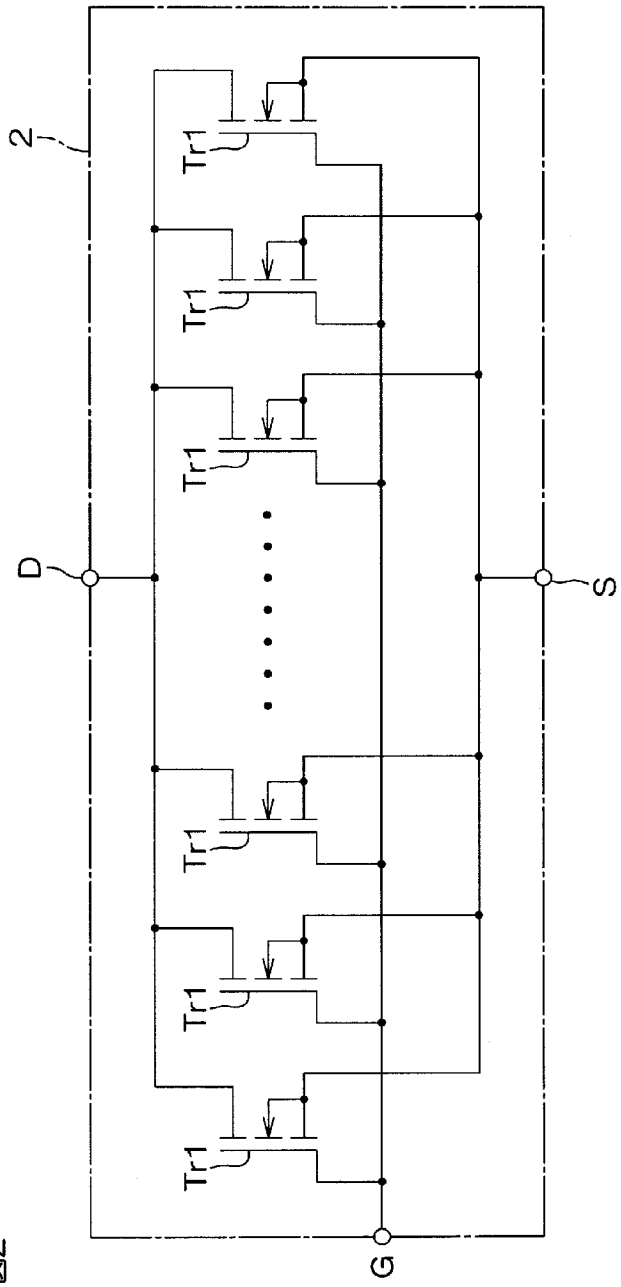


図2

[図3]

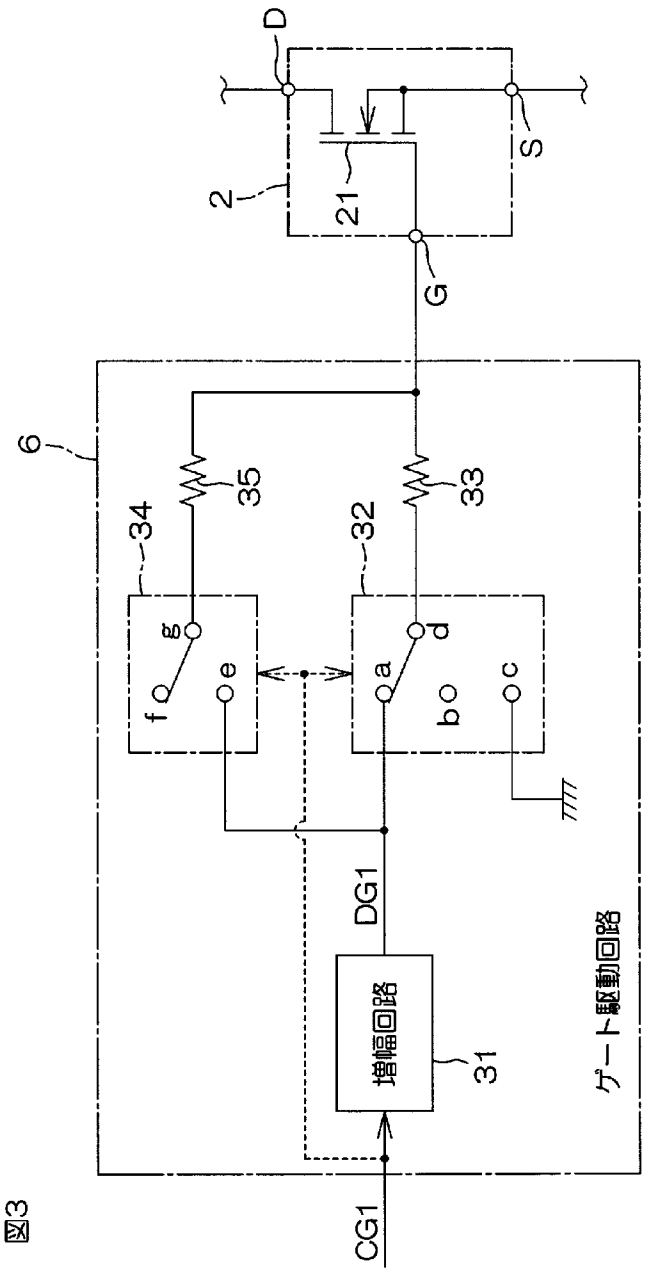
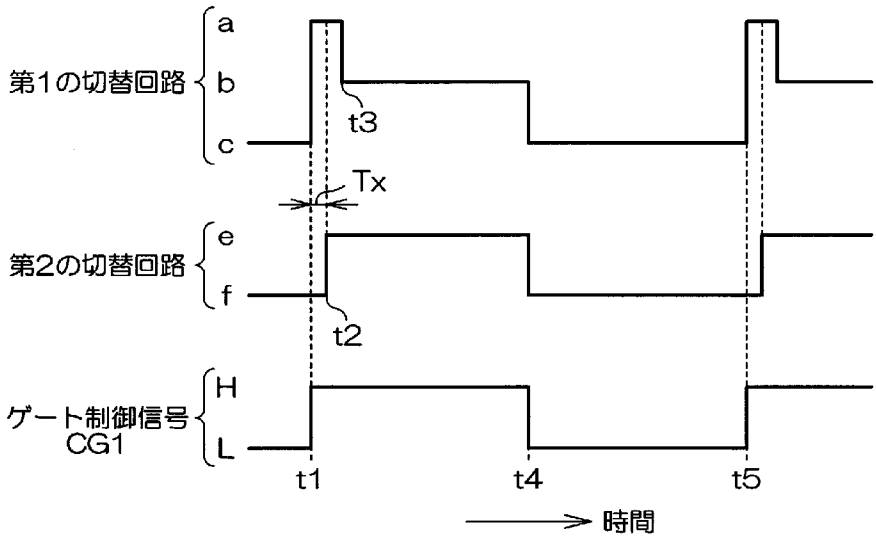


図3

[図4]

図4



[図5]

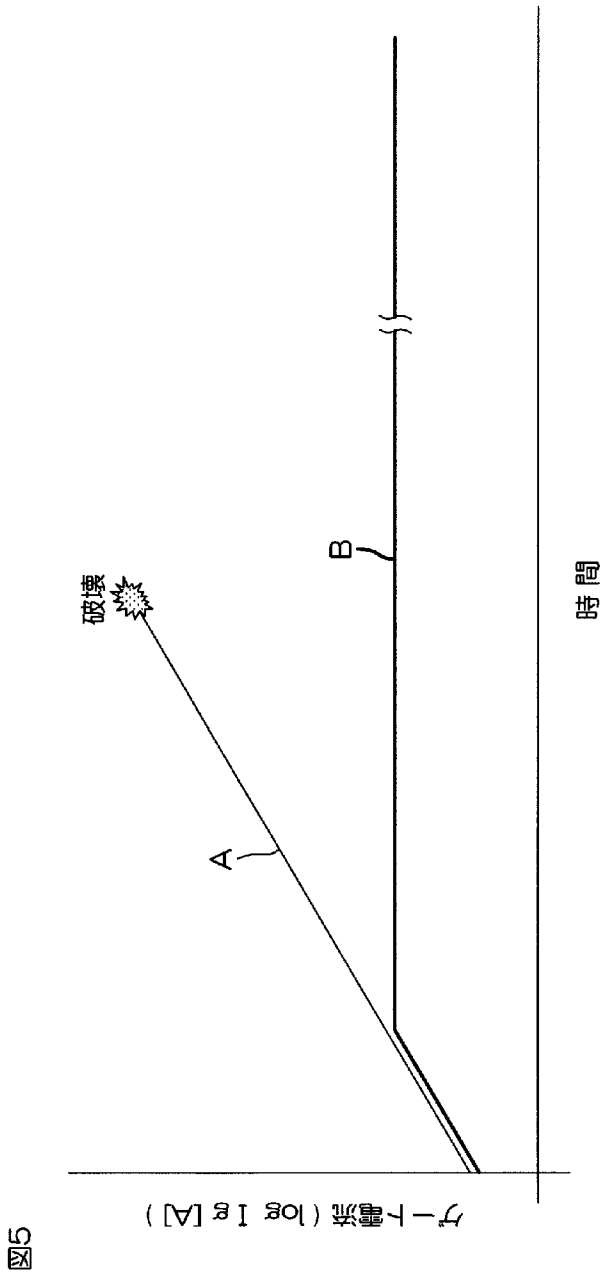


図5

[図6]

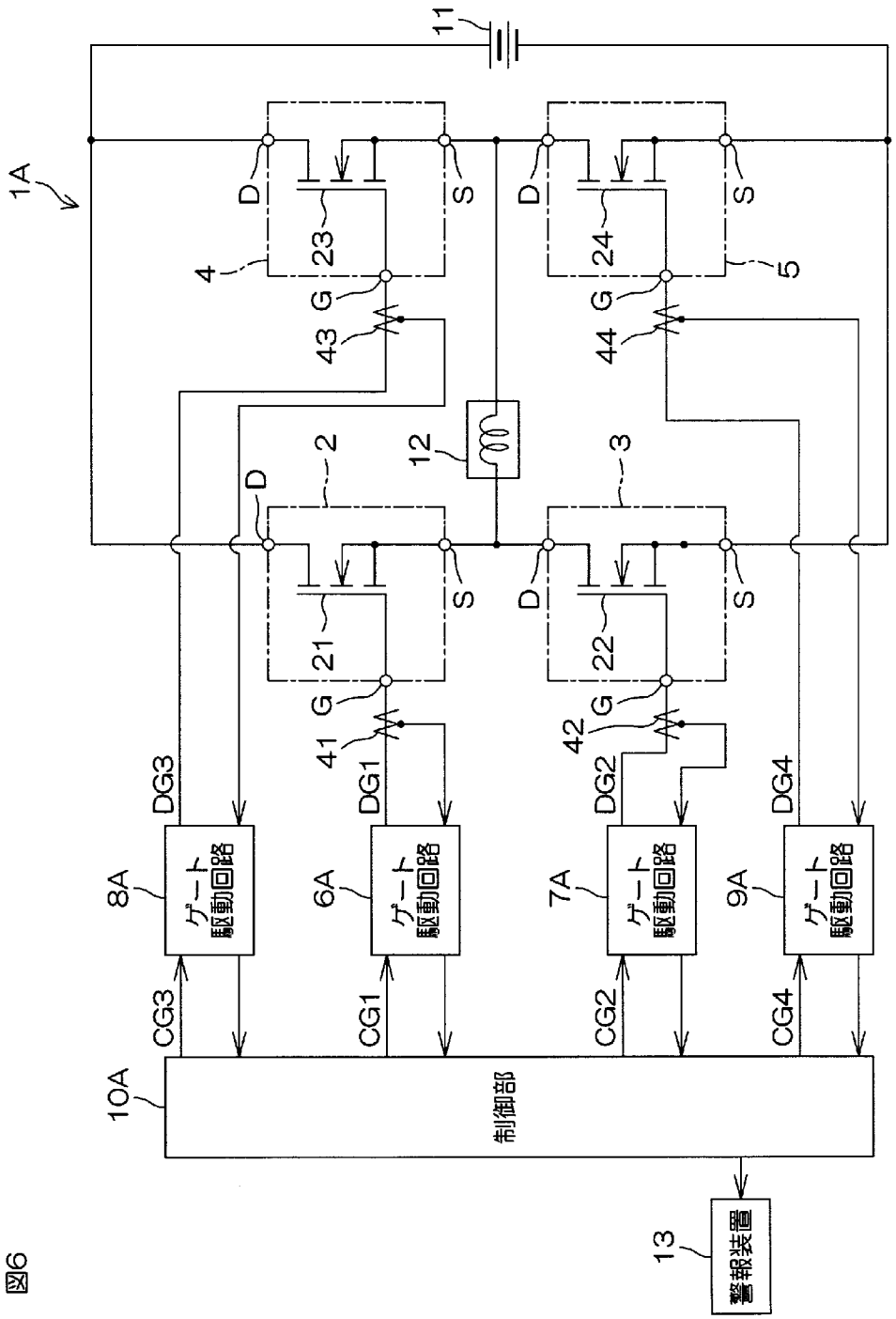

11
1A
D
S
23
24
4
5
G
43
44
2
12
3
21
22
41
42
DG3
DG1
DG2
DG4
8A
6A
7A
9A
ゲート駆動回路
CG3
CG1
CG2
CG4
10A
制御部
13
警報装置

図6

[図7]

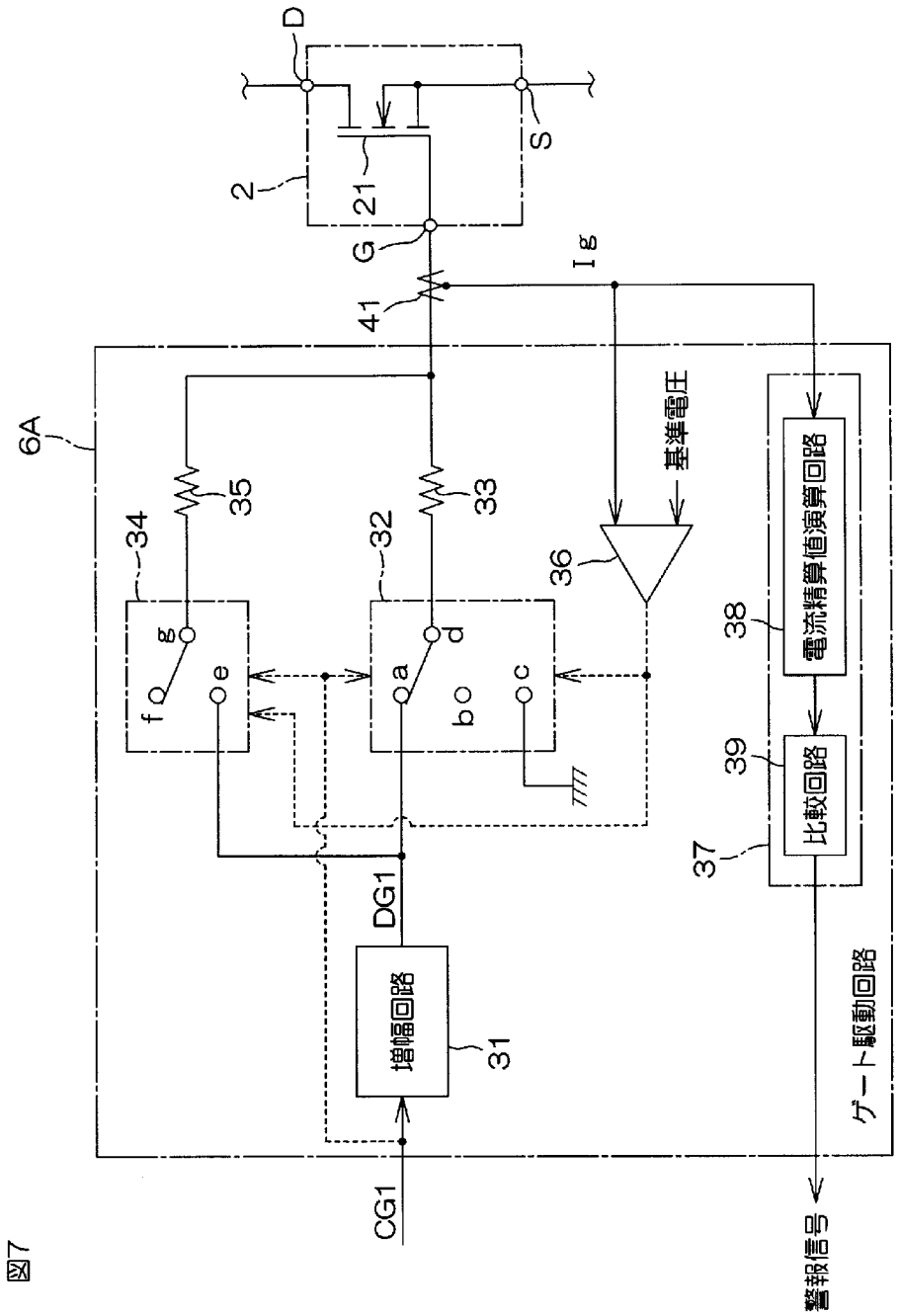
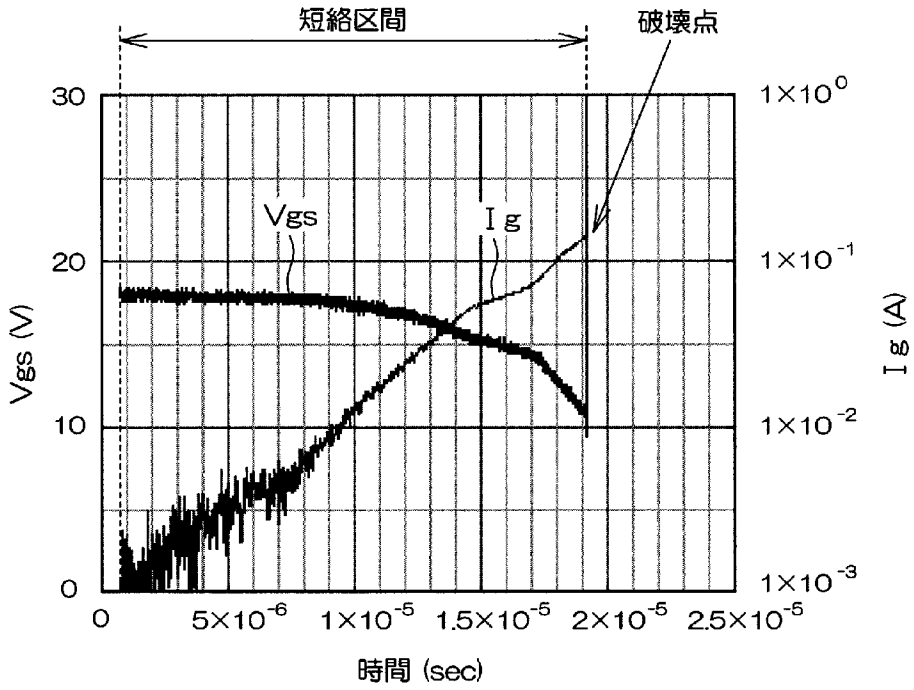

D
S
2
21
G
41
Ig
6A
35
33
34
32
36
基準電圧
38
電流精算値演算回路
39
比較回路
37
g
e
f
d
a
b
c
DG1
増幅回路
31
CG1
ゲート駆動回路
警報信号

図7

[図8]

図8


短絡区間
破壊点
Vgs
Ig
30
20
10
0
Vgs (V)
1×10^0
1×10^-1
1×10^-2
1×10^-3
Ig (A)
0
5×10^-6
1×10^-5
1.5×10^-5
2×10^-5
2.5×10^-5
時間 (sec)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065304

A. CLASSIFICATION OF SUBJECT MATTER
H02M1/08(2006.01)i, *H02M1/00*(2007.01)i, *H03K17/08*(2006.01)i, *H03K17/687*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M1/08, H02M1/00, H03K17/08, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-230166 A (Denso Corp.), 31 August 2006 (31.08.2006), paragraphs [0002] to [0005] & US 2006/0186933 A1	1-3,7-8 4
X A	JP 2005-39988 A (Denso Corp.), 10 February 2005 (10.02.2005), paragraphs [0008] to [0009] & US 2005/0001659 A1 & DE 102004031369 A & FR 2857177 A	1-3,7-8 4
X A	JP 2012-55125 A (Fuji Electric Co., Ltd.), 15 March 2012 (15.03.2012), paragraphs [0009] to [0010] & US 2012/0063180 A1 & EP 2426803 A2 & CN 102386612 A	5,7-8 4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 September, 2014 (08.09.14)	16 September, 2014 (16.09.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065304

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-45963 A (The Kansai Electric Power Co., Inc.), 17 February 2005 (17.02.2005), claim 1 (Family: none)	6-8 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/065304

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Claim 1 and claim 6 have a common technical feature of an electronic circuit including a voltage-controlled switching device.

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art without necessity for presentation of any documents.

Further, there is no other same or corresponding special technical feature between these inventions.

Accordingly, claims are classified into two inventions each of which has a special technical feature indicated below.

(Invention 1) claims 1-5 and 7-8

An electronic circuit that includes: a voltage-controlled switching device; a first gate resistor having one end thereof connected to a gate terminal of the voltage-controlled switching device; a second gate resistor, which has one end thereof connected to the gate terminal of the voltage-controlled switching device, and which has a larger resistance value than the first gate resistor; and a switching circuit which, at the time of turning on the voltage-controlled switching device, applies a gate voltage for a predetermined time to the gate terminal of the voltage-controlled switching device via the first gate resistor, then, switches the gate resistor such that the gate voltage is applied to the gate terminal via the second gate resistor.

(Invention 2) claim 6

An electronic circuit that includes: a voltage-controlled switching device; a current detection means that detects a gate current of the voltage-controlled switching device; a current integration value calculating means that calculates an integrated value of the gate current detected by means of the current detection means; and an alarm signal output means that outputs alarm signals when the gate current integrated value calculated by means of the current integrated value calculating means exceeds a predetermined value.

Claim 6 is not relevant to an invention which involves all of the matters to define the invention in claim 1 and which has a same category.

Further, as a result of the search which has been carried out with respect to claims classified into Invention 1, claim 6 is not relevant to an invention on which it is substantially possible to carry out a search without an additional prior-art search and judgment, and there is no other reason for that it can be considered that it is efficient to carry out a search on claim 6 together with claims 1-5 and 7-8, and consequently, it is impossible to classify claim 6 into Invention 1.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６５３０４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M1/08(2006.01)i, H02M1/00(2007.01)i, H03K17/08(2006.01)i, H03K17/687(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M1/08, H02M1/00, H03K17/08, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2006－230166 A（株式会社デンソー）2006.08.31, 段落【0002】－【0005】＆ US 2006／0186933 A1	1－3, 7－8 4
X A	JP 2005－39988 A（株式会社デンソー）2005.02.10, 段落【0008】－【0009】＆ US 2005／0001659 A1 ＆ DE 102004031369 A ＆ FR 2857177 A	1－3, 7－8 4

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０８．０９．２０１４	１６．０９．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　９３３５
尾家　英樹
電話番号　０３－３５８１－１１０１　内線　３３５７

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2012－55125 A（富士電機株式会社）2012.03.15,	5, 7－8
A	段落【0009】－【0010】 & US 2012／0063180 A1 & EP 2426803 A2 & CN 102386612 A	4
X	JP 2005－45963 A（関西電力株式会社）2005.02.17,	6－8
A	【請求項1】（ファミリーなし）	4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０６５３０４

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 ＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 ＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 ＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

別紙参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項1、請求項6は、電圧制御型スイッチングデバイスを含む電子回路という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献名を挙げるまでもなく、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。そして、請求の範囲は、各々下記の特別な技術的特徴を有する2の発明に区分される。

（発明1）請求項１－５，７－８

電圧制御型スイッチングデバイスと、

前記電圧制御型スイッチングデバイスのゲート端子に一端が接続された第1のゲート抵抗と、

前記電圧制御型スイッチングデバイスのゲート端子に一端が接続され、前記第1のゲート抵抗より抵抗値が大きな第2のゲート抵抗と、

前記電圧制御型スイッチングデバイスをターンオンさせるときには、前記電圧制御型スイッチングデバイスのゲート端子に前記第1のゲート抵抗を介してゲート電圧を所定時間だけ印可した後、前記第2のゲート抵抗を介して前記ゲート端子にゲート電圧が印可されるようにゲート抵抗を切替える切替回路とを含む、電子回路。

（発明2）請求項6

電圧制御型スイッチングデバイスと、

前記電圧制御型スイッチングデバイスのゲート電流を検出する電流検出手段と、

前記電流検出手段によって検出されるゲート電流の積算値を積算する電流積算値演算手段と、

前記電流積算値演算手段によって演算されたゲート電流積算値が所定値を超えたときに、警報信号を出力する警報信号出力手段とを含む、電子回路。

請求項6は、請求項1の発明特定事項を全て含む同一カテゴリーの発明ではない。そして、請求項6は、発明1に区分された請求項について調査した結果、実質的に追加的な先行技術調査や判断を必要とすることなく調査を行うことが可能である発明ではなく、請求項１－５，７－８とまとめて調査を行うことが効率的であるといえる他の事情もないから、請求項6を発明1に区分することはできない。