

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7403457号
(P7403457)

(45)発行日 令和5年12月22日(2023.12.22)

(24)登録日 令和5年12月14日(2023.12.14)

(51)国際特許分類		F I		
G 0 6 F	12/00 (2006.01)	G 0 6 F	12/00	5 6 0 F
G 0 6 F	3/06 (2006.01)	G 0 6 F	12/00	5 5 0 K
G 0 6 F	3/08 (2006.01)	G 0 6 F	3/06	3 0 2 A
		G 0 6 F	3/08	H
請求項の数 17 (全14頁)				
(21)出願番号	特願2020-536026(P2020-536026)	(73)特許権者	591016172	
(86)(22)出願日	平成30年12月21日(2018.12.21)		アドバンスト・マイクロ・ディバイス ・インコーポレイテッド	
(65)公表番号	特表2021-510863(P2021-510863 A)		ADVANCED MICRO DEVI CES INCORPORATED	
(43)公表日	令和3年4月30日(2021.4.30)		アメリカ合衆国 9 5 0 5 4 カリフォル ニア州、 サンタ クララ、オーガスティ ン ドライブ 2 4 8 5	
(86)国際出願番号	PCT/US2018/067067	(74)代理人	100108833	
(87)国際公開番号	WO2019/143442		弁理士 早川 裕司	
(87)国際公開日	令和1年7月25日(2019.7.25)	(74)代理人	100111615	
審査請求日	令和3年12月9日(2021.12.9)		弁理士 佐野 良太	
(31)優先権主張番号	15/872,943	(74)代理人	100162156	
(32)優先日	平成30年1月16日(2018.1.16)		弁理士 村雨 圭介	
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	ヌワン ジャヤセーナ	
最終頁に続く				

(54)【発明の名称】 構成可能コンピューティング基板についてのニアメモリのハード化された計算ブロック

(57)【特許請求の範囲】

【請求項1】

構成可能コンピューティング基板と、
前記構成可能コンピューティング基板に接続されたメモリモジュールであって、前記メモリモジュールは、メモリダイ及びベースダイを含む、前記メモリモジュールと、を備え、
前記ベースダイは、
構成可能コンピューティング基板インタフェースと通信可能に接続されたオンダイメモリと、
前記構成可能コンピューティング基板と通信可能に接続された構成可能コンピューティング基板インタフェースと、
前記メモリダイ及び前記構成可能コンピューティング基板インタフェースと通信可能に接続されたメモリインタフェースと、
前記オンダイメモリ及び前記メモリインタフェースと通信可能に接続された、ハード化されたロジックブロックと、を備え、
前記ハード化されたロジックブロックは、
前記構成可能コンピューティング基板インタフェースによって送信されたデータに基づいて計算結果を生成することと、
前記計算結果を前記メモリダイ又は前記オンダイメモリに選択的に記憶することと、
を行うように構成されている、
構成可能コンピューティングプラットフォーム。

【請求項 2】

前記ハード化されたロジックブロックは、中央処理装置（CPU）、CPUコア、グラフィックプロセッシングユニット（GPU）、GPUコア、ハードコードアクセラレータ、特定用途向け集積回路ブロック、実行エンジン、又は、データ並列浮動小数点对応実行エンジンのうちの少なくとも1つである、請求項1に記載の構成可能コンピューティングプラットフォーム。

【請求項 3】

前記オンダイメモリは、前記メモリインタフェースと通信するように構成され、前記メモリダイに対するキャッシュとして機能する、請求項1に記載の構成可能コンピューティングプラットフォーム。

10

【請求項 4】

前記オンダイメモリは、前記メモリモジュールのアドレス範囲に含まれる、請求項1に記載の構成可能コンピューティングプラットフォーム。

【請求項 5】

前記構成可能コンピューティング基板からの前記データは、前記データのサイズが前記オンダイメモリの容量と一致するときに前記オンダイメモリに書き込まれる、請求項1に記載の構成可能コンピューティングプラットフォーム。

【請求項 6】

前記計算結果は、前記計算結果のデータサイズが前記オンダイメモリの容量と一致するときに前記オンダイメモリに書き込まれる、請求項1に記載の構成可能コンピューティングプラットフォーム。

20

【請求項 7】

前記ベースダイは、前記構成可能コンピューティング基板インタフェース及び前記ハード化されたロジックブロックと通信可能に接続された構成可能コンピューティング基板ファブリックを含む、請求項1に記載の構成可能コンピューティングプラットフォーム。

【請求項 8】

前記構成可能コンピューティング基板は、計算のタイプに基づいて、前記構成可能コンピューティング基板ファブリックを介して前記ハード化されたロジックブロックに前記データを送信する、請求項7に記載の構成可能コンピューティングプラットフォーム。

【請求項 9】

前記ベースダイは、ロジックダイである、請求項1に記載の構成可能コンピューティングプラットフォーム。

30

【請求項 10】

前記ベースダイ及び前記メモリダイは、垂直に積層されている、請求項1に記載の構成可能コンピューティングプラットフォーム。

【請求項 11】

構成可能コンピューティングプラットフォームを使用して計算する方法であって、メモリダイ及びベースダイを含むメモリモジュールが、構成可能コンピューティング基板からデータを受信することと、

前記ベースダイのハード化されたロジックブロックが、前記ベースダイのメモリインタフェースを介して前記データにアクセスすることと、

前記ハード化されたロジックブロックが、前記データに基づいて計算結果を生成することと、

前記ハード化されたロジックブロックが、前記計算結果を前記メモリダイ又は前記ベースダイのオンダイメモリに選択的に記憶することと、を含む、

方法。

【請求項 12】

前記データのサイズが前記オンダイメモリの容量と一致するときに、前記オンダイメモリに前記データを書き込むことを更に含む、請求項11に記載の方法。

40

【請求項 13】

50

前記計算結果は、前記計算結果のデータサイズが前記オンダイメモリの容量と一致するとき、前記オンダイメモリに書き込まれる、請求項 1 1 に記載の方法。

【請求項 1 4】

前記データが前記メモリダイに書き込まれるとき、前記オンダイメモリに前記データの一部を書き込むことと、

前記データの前記一部に後続の読み出しをサービスすることと、

を更に含む、請求項 1 2 に記載の方法。

【請求項 1 5】

前記オンダイメモリは、前記メモリモジュールのアドレス範囲に含まれる、請求項 1 2 に記載の方法。

【請求項 1 6】

計算のタイプに基づいて、構成可能コンピューティング基板ファブリック及び構成可能コンピューティング基板インタフェースを介して、前記構成可能コンピューティング基板と前記ハード化されたロジックブロックとの間で前記データを通信することを更に含み、前記構成可能コンピューティング基板ファブリックは、前記ベースダイ上に設けられる、請求項 1 1 に記載の方法。

【請求項 1 7】

前記データのサイズが前記オンダイメモリの容量と一致するとき、前記構成可能コンピューティング基板インタフェースを介して前記オンダイメモリに前記データを書き込むことを更に含み、前記オンダイメモリは、前記ベースダイ上に設けられる、請求項 1 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、参照によって本明細書で完全に示されるようにその内容が以下に組み込まれる、2018年1月16日に提出された米国特許出願第15/872,943号の利益を主張する。

【背景技術】

【0002】

構成可能プラットフォームがデータセンタに配置されており、特定のクラスの作業負荷を加速させるための有望な候補のアーキテクチャである。しかしながら、それらの構成可能プラットフォームは典型的には、グラフィックプロセッシングユニット（GPU）、特定のタイプの演算（不規則なデータフロー、標準的でないビット幅のデータタイプに対する計算など）のための他のタイプの計算密度の高いプロセッシングユニットを凌ぐにすぎない。この欠点に対処するために、フィールドプログラマブルゲートアレイ（FPGA）ベンダは、中央処理装置（CPU）、浮動小数点（FP）装置、及びFPGAにおける同様のものを含むいくつかの計算要素タイプについてのハード化されたロジック、ハードコードロジックブロック、またはハード化された計算ブロック（集合的に「ハード化されたロジックブロック」）を組み込むことを開始している。しかしながら、これは、FPGAベンダが様々な市場区分に対してハードコードロジックブロックを様々な組み合わせで多種多様なデバイスを製造することを必要とする。そのようなハードコードロジックブロックでさえ、構成可能プラットフォームの効率性は、GPUなどの密度の高い計算エンジンから利点を得ることができるコードの区分を有する用途に対して次善的なものである。従来の技術は、ボードレベル（例えば、FPGAと共にCPU及びGPU）においてシステムに各々の種類の複数の個別デバイスを組み込む。この技術は、複数の個別デバイスが組み込まれ、調整される必要があるため、システムレベルのコスト及び複雑度を増大させる。別の従来の技術は、FPGAデバイス上でハード化されたロジックブロックを組み込む。この技術は、ハード化されたロジックブロックの種類を様々な組み合わせで多くの異なるデバイスを製造する必要があるため、いずれかの特定の作業負荷に対して最適でないリスクをな

10

20

30

40

50

おも抱える。

【発明の概要】

【0003】

添付図面と共に例として与えられる以下の説明から更なる詳細な理解を得ることができる。

【図面の簡単な説明】

【0004】

【図1】いくつかの実施形態に従った、ニアメモリのハード化されたロジックを有する構成可能コンピューティング基板の実施例の高レベルブロック図である。

【図2】いくつかの実施形態に従った、メモリスタックと統合されたベースダイの実施例の詳細なブロック図である。

10

【図3】いくつかの実施形態に従った、ニアメモリのハード化されたロジックを有する構成可能コンピューティング基板の別の実施例のブロック図である。

【図4】いくつかの実施形態に従った、ニアメモリのハード化されたロジックを有する構成可能コンピューティング基板の更なる別の実施例のブロック図である。

【図5】いくつかの実施形態に従った、ニアメモリのハード化されたロジックを有する構成可能コンピューティング基板を使用する実施例のフローチャートである。

【図6】1つ以上の開示される実施形態を実装することができる実施例のデバイスのブロック図である。

【発明を実施するための形態】

20

【0005】

構成可能コンピューティング基板または構成可能ロジックデバイス（集合的に「構成可能コンピューティング基板」）は、データセンタ配置及び機械学習の加速化のために最近では相当な注目を集めている。構成可能コンピューティング基板は、フィールドプログラマブルゲートアレイ（FPGA）、複合プログラマブル論理デバイス（CPLD）、粗粒度再構成可能アレイ（CGRA）、ゲートアレイ、及び他の同様のプラットフォームまたはデバイスを指すことができる。しかしながら、そのような構成可能コンピューティング基板は、密度の高い算術的または複雑な制御フローにより計算の効率的なサポートのためにハード化されたロジックブロックにより拡張されることがある。すなわち、構成可能コンピューティング基板は典型的には、構成可能ロジックブロックを使用して効率的に実装することができない機能性に対してハード化されたロジックブロックを組み込む。

30

【0006】

本明細書で説明されるのは、追加の個別構成要素がFPGAデバイスなどの構成可能コンピューティング基板に追加されることを必要とすることなく、構成可能コンピューティング基板の能力を高めるためにニアメモリ及びインメモリのハード化されたロジックブロックを使用する構成可能コンピューティングシステムである。それらのハード化されたロジックブロックは、中央処理装置（CPU）、CPUコア、グラフィックプロセッシングユニット（GPU）、GPUコア、ハードコードアクセラレータ、特定用途向け集積回路（ASIC）ブロック、実行エンジン、データ並列浮動小数点对応実行エンジン、及び他の同様のデバイスまたはロジック、並びにそれらの組み合わせを含むことができるが、それらに限定されない。ハード化されたロジックブロックは、メモリモジュールに組み込まれる。特に、ハード化されたロジックブロックは、メモリモジュールのベースもしくはロジックダイ、またはメモリダイ上にある。実装態様では、別個のダイは、ハード化されたロジックブロックを実装するためのメモリモジュールの一部として追加及び含まれてもよい。

40

【0007】

メモリモジュールは、構成可能コンピューティング基板とメモリモジュールとの間で通信するインタフェースまたは通信ロジックを含む。実装態様では、構成可能コンピューティング基板とメモリモジュールとの間のインタフェースは、インタフェースに互換性があり組み合わせて使用できるという条件で独自のものであり得る。実装態様では、インタフェースは、コモディティメモリモジュールの使用を可能にするジョイントエレクトロニクス

50

バイスエンジニアリングカウンスル（JEDEC）高帯域幅メモリ（HBM）などの標準であってもよい。インタフェースの標準化は、第三者メモリモジュールの使用を可能にすることによって柔軟性を高める。実装態様では、メモリモジュールは、様々な動作のためのより効率的な処理を可能にするために、スタティックランダムアクセスメモリ（SRAM）などのオンダイメモリまたは他の形式の非構成可能ロジックを含むことができる。別の実装態様では、メモリモジュールは、様々な動作のためのより効率的な処理を可能にするために、構成可能コンピューティング基板ロジックファブリックの一部を含むことができる。別の実装態様では、メモリモジュールは、様々な動作のためのより効率的な処理を可能にするために、SRAM及び構成可能コンピューティング基板ロジックファブリックの一部を含むことができる。

10

【0008】

メモリモジュールへのハード化されたロジックブロックの組み込みは、複数の市場区分に対してコア構成可能コンピューティング基板を再設計する必要性を回避し、メモリモジュールにおいて使用されるベースダイタイプの組み合わせを単に変えることによって、単一の構成可能コンピューティング基板が多くの市場に標的とされることを可能にする。

【0009】

本明細書で説明されるのは、メモリモジュールを構成し、メモリモジュールにおける構成可能コンピューティング基板とハード化されたロジックブロックとの間でデータを移動して戻すための例示的な実装態様である。本明細書で説明される明細書及び請求項の範囲から逸脱することなく、更なる組み合わせが想定される。

20

【0010】

図1は、特定の実装態様に従った、構成可能プラットフォーム100の実施例の高レベルブロック図を示す。構成可能プラットフォーム100は、メモリモジュール（複数可）120に接続され、または通信する（集合的に「接続された」）構成可能コンピューティング基板110を含む。メモリモジュール（複数可）120は、メモリダイ140と共に積層されたベースまたはロジックダイ130を有する3D積層メモリモジュールであってもよい。

【0011】

図2は、特定の実装態様に従った、図1のメモリモジュール120のベースダイ130の拡大図を示す。ベースダイ130は、構成可能コンピューティング基板110と通信するための構成可能コンピューティング基板インタフェース200（図2ではCCSインタフェース200として示される）を含む。構成可能コンピューティング基板インタフェース200は、メモリインタフェース210に接続され、メモリインタフェース210は次いで、積層メモリ、例えば、メモリダイ140に接続される。メモリインタフェース210は更に、ハード化されたロジックブロック220に接続される。結果として、ハード化されたロジックブロック220は、構成可能コンピューティング基板110に対するニアメモリまたはインメモリ構造である。ハード化されたロジックブロック220は、1つ以上のロジックブロックを含むことができるが、説明を容易にするため、1つのロジックブロックのみが本明細書で言及される。

30

【0012】

動作的に、構成可能コンピューティング基板110は、構成可能コンピューティング基板インタフェース200及びメモリインタフェース210を介して、メモリダイ140にデータを書き込む。ハード化されたロジックブロック220は、メモリインタフェース210を介してメモリダイ140からデータを読み出す。ハード化されたロジックブロック220からの結果は、メモリインタフェース210を介してメモリダイ140に書き込まれる。構成可能コンピューティング基板110は次いで、構成可能コンピューティング基板インタフェース200及びメモリインタフェース210を介して、メモリダイ140から結果を読み出す。実装態様では、構成可能コンピューティング基板110及びハード化されたロジックブロック220は、メモリに／からデータを書き込み／読み出し、それに対して動作するために、またはその逆のために、メモリストア及び負荷動作を使用するこ

40

50

とができる。構成可能コンピューティング基板 110 とメモリモジュール 120 との間の構成可能コンピューティング基板インタフェース 200 は、産業標準メモリインタフェース（メモリモジュール 120 の外側で負荷／ストアのみが必要とされるような）または独自のものであってもよい。

【0013】

図 3 は、特定の実装態様に従った、構成可能プラットフォーム 300 の実施例の高レベルブロック図を示す。構成可能プラットフォーム 300 は、メモリモジュール 320 に接続され、または通信する（集合的に「接続された」）構成可能コンピューティング基板 310 を含む。メモリモジュール 320 は、積層メモリ 340 に接続されたベースダイ 330 を有する 3D 積層メモリモジュールであってもよい。ベースダイ 330 は、構成可能コンピューティング基板 310 と通信するための構成可能コンピューティング基板インタフェース 350（図 3 では CCS インタフェース 350 として示される）を含む。構成可能コンピューティング基板インタフェース 350 は、メモリインタフェース 360 に接続され、メモリインタフェース 360 は次いで、積層メモリ 340 に接続される。メモリインタフェース 360 は更に、ハード化されたロジックブロック 370 に接続される。ハード化されたロジックブロック 370 は、1 つ以上のロジックブロックを含むことができるが、説明を容易にするため、1 つのロジックブロックのみが本明細書で言及される。構成可能コンピューティング基板インタフェース 350 は更に、メモリモジュール 320 のアドレス空間または範囲に含まれるベースダイ 330 内でオンダイメモリ 380 に接続される。非限定的な実施例では、オンダイメモリ 380 は、SRAM であってもよい。オンダイメモリ 380 は、積層メモリ 340 への読み出し及び書き込みを回避することができるので、データがオンダイメモリ 380 の容量と互換性を有するときにデータの効率的な処理をもたらす。実装態様では、オンダイメモリ 380 は、構成可能コンピューティング基板 310 上でプロビジョニングされてもよい。この実装態様では、構成可能コンピューティング基板インタフェース 350 は、メモリモジュール 320 において ハード化されたロジックブロック 370 からのオンダイメモリ 380 のアドレス指定を可能にする。

【0014】

動作的に、構成可能コンピューティング基板 310 は、構成可能コンピューティング基板インタフェース 350 を介してデータを書き込む。ハード化されたロジックブロック と通信されることになるデータの量は、データが記憶される場所を決定する。データの量がオンダイメモリ 380 の容量と互換性を有する場合、構成可能コンピューティング基板 310 は次いで、構成可能コンピューティング基板インタフェース 350 を介して、オンダイメモリ 380 にデータを書き込む（オンダイメモリ 380 と関連付けられたアドレス空間を使用して）。データの量がオンダイメモリ 380 の容量と互換性を有しない場合、構成可能コンピューティング基板 310 は次いで、構成可能コンピューティング基板インタフェース 350 及びメモリインタフェース 360 を介して、積層メモリ 340 にデータを書き込む（積層メモリ 340 と関連付けられたアドレス空間を使用して）。ハード化されたロジックブロック 370 は、メモリインタフェース 360 を介して積層メモリ 340 から、またはオンダイメモリ 380 からのいずれかでデータを読み出す。ハード化されたロジックブロック 220 からの結果は、結果と関連付けられたデータの量に応じて、及び適切なアドレス空間を使用して、メモリインタフェース 360 を介して積層メモリ 340 に、またはオンダイメモリ 380 に書き込まれる。構成可能コンピューティング基板 310 は次いで、適切なアドレス空間を使用して、構成可能コンピューティング基板インタフェース 350 及びメモリインタフェース 360 を介して積層メモリ 340 から、または構成可能コンピューティング基板インタフェース 350 を介してオンダイメモリ 380 から結果を読み出す。いくつかの実装態様では、オンダイメモリ 380 は、積層メモリ 340 に対するキャッシュとして動作してもよく、積層メモリ 340 に書き込まれるデータのサブセットを自動で捕捉してもよく、そのデータへの後続の読み出しをサービスしてもよく、それによって、積層メモリ 340 へのアクセスを減少させる。

【0015】

図4は、特定の実装態様に従った、構成可能プラットフォーム400の実施例の高レベルブロック図を示す。構成可能プラットフォーム400は、メモリモジュール420に接続され、または通信する（集合的に「接続された」）構成可能コンピューティング基板410を含む。メモリモジュール420は、積層メモリ440に接続されたベースダイ430を有する3D積層メモリモジュールであってもよい。ベースダイ430は、構成可能コンピューティング基板410と通信するための構成可能コンピューティング基板インタフェース450（図4ではCCSインタフェース450として示される）を含む。構成可能コンピューティング基板インタフェース450は、メモリインタフェース460に接続され、メモリインタフェース460は次いで、積層メモリ440に接続される。メモリインタフェース460は更に、ハード化されたロジックブロック470に接続される。ハード化されたロジックブロック470は、1つ以上のロジックブロックを含むことができるが、説明を容易にするため、1つのロジックブロックのみが本明細書で言及される。構成可能コンピューティング基板インタフェース450は更に、構成可能コンピューティング基板ファブリック480に接続される。構成可能コンピューティング基板ファブリック480は、ベースダイ430上で構成可能コンピューティング基板410の一部として作動し、または構成可能コンピューティング基板410の一部として見え、ハード化されたロジックブロック470が、例えば、レジスタを使用することを可能にし、したがって、積層メモリ440に対して負荷及びストアを行う必要があることを回避する。これは、2つのデバイスの間のインタフェースにわたって構成可能コンピューティング基板の内部ファブリックを拡張することによって、構成可能コンピューティング基板410とメモリモジュール420との間のシームレスな通信を可能にする。この実装態様では、メモリモジュール420におけるハード化されたロジックブロック470は、ハード化されたロジックブロック470が構成可能コンピューティング基板410自体の上に直接あるかのように、いずれかの方式において構成可能コンピューティング基板410の残りとの設計的にインタフェース接続されてもよい。

【0016】

動作的に、構成可能コンピューティング基板410は、構成可能コンピューティング基板インタフェース450を介して、ハード化されたロジックブロック470と通信する。計算の性質またはタイプは、データが構成可能コンピューティング基板410からハード化されたロジックブロック470にどのように通信されるかを決定する。非限定的な例示的な実施例では、計算の性質は、構成可能コンピューティング基板ファブリック480が計算のいくつかのステップ（複数可）を実行し、ハード化されたロジックブロック470が次のステップ（複数可）を実行する（または、その逆）、ストリーミング計算を指すことができる。この例では、各々のデバイス上で行われるステップの間で収集される多くのデータは存在せず、データが利用可能になるにつれて、データは単純に1つのデバイスから他のデバイスに渡される。結果として、構成可能コンピューティング基板ファブリック480をハード化されたロジックブロック470のすぐ隣にさせることは、それらのタイプの計算におけるハンドオフを支援する。

【0017】

メモリモジュール420上の構成可能コンピューティング基板ファブリック480をハード化されたロジックブロック470とインタフェース接続するために使用することができるような計算である場合、データは、構成可能コンピューティング基板インタフェース450を介して構成可能コンピューティング基板410からハード化されたロジックブロック470に渡され、メモリモジュール420上の構成可能コンピューティング基板ファブリック480によって媒介される。メモリモジュール420上の構成可能コンピューティング基板ファブリック480をハード化されたロジックブロック470とインタフェース接続するために使用することができないような計算の性質である場合、データは次いで、構成可能コンピューティング基板インタフェース450及びメモリインタフェース460を介して、積層メモリ440に記憶される。ハード化されたロジックブロック470は、メモリモジュール420上の構成可能コンピューティング基板ファブリック480を通

じてデータを受信し、またはメモリインタフェース460を介して積層メモリ440からデータにアクセスする。ハード化されたロジックブロック470からの結果は、計算の性質に応じて、メモリインタフェース460を介して積層メモリ440に書き込まれ、または構成可能コンピューティング基板インタフェース450を介して構成可能コンピューティング基板410に通信され、メモリモジュール420上の構成可能コンピューティング基板ファブリック480によって媒介される。構成可能コンピューティング基板410は次いで、必要に応じて、構成可能コンピューティング基板インタフェース450及びメモリインタフェース460を介して、積層メモリ440から結果を読み出し、または構成可能コンピューティング基板インタフェース450を介して直接、及びメモリモジュール420上の構成可能コンピューティング基板ファブリック480によって媒介されたそれらに対して動作する。

10

【0018】

実装態様では、構成可能プラットフォームは、メモリモジュールに接続された構成可能コンピューティング基板を含むことができ、メモリモジュールは、図3に説明されたオンダイメモリ及び図4に説明された構成可能コンピューティング基板ファブリックの両方を含む。そのような実装態様は、データサイズと計算の決定要因の性質との間の優先考慮事項を決定するために、データサイズ及び追加のロジックによる計算の性質の両方を考慮することができる。

【0019】

メモリモジュールのベースダイ上で実装されるとして本明細書で説明されるが、ハード化されたロジックブロック（複数可）は、メモリダイ上で、またはメモリモジュールに接続された別個のダイ上で実装されてもよい。

20

【0020】

1つのロジックダイ及び1つ以上のメモリダイから構成されたメモリ構成において採用されるとして本明細書で説明されるが、例えば、複数のロジックダイを含む他の物理的な明示が存在する。1つ以上のメモリダイを有するロジックダイの垂直なスタックとして説明されるが、別の実施形態は、ロジックのいくつかまたは全てをインタポーザ上で水平に別個のチップ上に置いてよく、またはマルチチップモジュール（MCM）において共にパッケージ化してもよい。1つよりも多いロジックダイは、全体的なスタックまたはシステムに含まれてもよい。

30

【0021】

構成可能コンピューティング基板に対して実装されるとして本明細書で説明されるが、ニアメモリのハード化されたロジックブロックアーキテクチャは、本明細書で提供される説明または請求項の範囲から逸脱することなく、他のプラットフォームまたはデバイスと共に使用されてもよい。

【0022】

図5は、メモリモジュール（複数可）上で実装されたハード化されたロジックブロック（複数可）と通信する構成可能コンピューティング基板を有する構成可能プラットフォームを使用したデータ処理のための実施例の高レベルフローチャート500である。構成可能コンピューティング基板は、メモリモジュールにデータを書き込む（ステップ510）。実装態様では、データは、メモリダイまたはメモリスタックに記憶される。別の実装態様では、データがオンダイメモリの容量と互換性を有するとき、データは、ハード化されたロジックブロック（複数可）と関連付けられたオンダイメモリに記憶される。別の実装態様では、データは、メモリモジュールにおける構成可能ロジックファブリックの拡張内のロジックまたは記憶素子に記憶される。ハード化されたロジックブロック（複数可）は、メモリモジュールからデータにアクセスする（ステップ520）。実装態様では、データは、メモリダイまたはメモリスタックから読み出される。別の実装態様では、データがオンダイメモリの容量と互換性を有するとき、データは、ハード化されたロジックブロックと関連付けられたオンダイメモリから読み出される。別の実装態様では、データは、メモリモジュールにおける構成可能ロジックファブリックの拡張内から通信される。ハード

40

50

化されたロジックブロックからの結果は、メモリモジュールに書き込まれる（ステップ 530）。実装態様では、結果は、メモリダイまたはメモリスタックに記憶される。別の実装態様では、結果と関連付けられたデータのサイズがオンダイメモリの容量と互換性を有するとき、結果は、ハード化されたロジックブロックと関連付けられたオンダイメモリに記憶される。別の実装態様では、結果は、メモリモジュールにおける構成可能ロジックファブリックの拡張内のロジックまたは記憶素子に記憶される。構成可能コンピューティング基板は、メモリモジュールから結果にアクセスする（ステップ 540）。実装態様では、結果は、メモリダイまたはメモリスタックから読み出される。別の実装態様では、結果と関連付けられたデータのサイズがオンダイメモリの容量と互換性を有するとき、結果は、ハード化されたロジックブロック（複数可）と関連付けられたオンダイメモリから読み出される。別の実装態様では、結果は、メモリモジュールにおける構成可能ロジックファブリックの拡張内のロジックまたは記憶素子からアクセスされる。

【0023】

図6は、開示の1つ以上の特徴を実装することができる実施例のデバイス600のブロック図である。デバイス600は、例えば、コンピュータ、ゲーミングデバイス、ハンドヘルドデバイス、セットトップボックス、テレビ、携帯電話、またはタブレットコンピュータを含むことができる。デバイス600は、プロセッサ602、メモリ604、記憶装置606、1つ以上の入力デバイス608、及び1つ以上の出力デバイス610を含む。デバイス600はまた任意選択で、入力ドライバ612及び出力ドライバ614を含むことができる。デバイス600が、図6に示されない追加の構成要素を含むことができることを理解されよう。

【0024】

様々な代替手段では、プロセッサ602は、中央処理装置（CPU）、グラフィックプロセッシングユニット（GPU）、同一のダイ上に位置するCPU及びGPU、または1つ以上のプロセッサコアを含み、各々のプロセッサコアは、CPUまたはGPUであってもよい。様々な代替手段では、メモリ604は、プロセッサ602と同一のダイ上に位置してもよく、またはプロセッサ602とは別個に位置する。メモリ604は、揮発性または不揮発性メモリ、例えば、ランダムアクセスメモリ（RAM）、動的RAM、またはキャッシュを含む。

【0025】

記憶装置606は、固定または着脱可能記憶装置、例えば、ハードディスクドライブ、ソリッドステートドライブ、光ディスク、またはフラッシュドライブを含む。入力デバイス608は、限定することなく、キーボード、キーパッド、タッチスクリーン、タッチパッド、検出器、マイクロフォン、加速度計、ジャイロスコープ、生体スキャナ、またはネットワーク接続（例えば、無線IEEE802信号の送信及び／もしくは受信のための無線ローカルエリアネットワークカード）を含む。出力デバイス610は、限定することなく、構成可能コンピューティング基板、ディスプレイ、スピーカ、プリンタ、触覚フィードバックデバイス、1つ以上の照明、アンテナ、またはネットワーク接続（例えば、無線IEEE802信号の送信及び／もしくは受信のための無線ローカルエリアネットワークカード）を含む。

【0026】

入力ドライバ612は、プロセッサ602及び入力デバイス608と通信し、プロセッサ602が入力デバイス608から入力を受信することを可能にする。出力ドライバ614は、プロセッサ602及び出力デバイス610と通信し、プロセッサ602が出力デバイス610に出力を送信することを可能にする。入力ドライバ612及び出力ドライバ614は、任意選択の構成要素であること、並びにデバイス600は、入力ドライバ612及び出力ドライバ614が存在しない場合に同一の方式において動作することに留意されよう。

【0027】

概して、構成可能コンピューティングプラットフォームは、構成可能コンピューティン

10

20

30

40

50

グ基板及び構成可能コンピューティング基板に接続されたメモリモジュールを含む。メモリモジュールは、メモリダイ及び別のダイを含む。別のダイは、構成可能コンピューティング基板によって送信されたデータに対して動作するように構成されたハード化されたロジックブロック、構成可能コンピューティング基板と通信するように構成された構成可能コンピューティング基板インタフェース、並びにメモリダイ、構成可能コンピューティング基板インタフェース、及びハード化されたロジックブロックと通信するように構成されたメモリインタフェースを含む。実装態様では、ハード化されたロジックブロックは、中央処理装置（CPU）、CPUコア、グラフィックプロセッシングユニット（GPU）、GPUコア、ハードコードアクセラレータ、特定用途向け集積回路ブロック、実行エンジン、及びデータ並列浮動小数点对応実行エンジンのうちの少なくとも1つである。実装態様では、別のダイは更に、構成可能コンピューティング基板インタフェース及びハード化されたロジックブロックと通信するように構成されたオンダイメモリを含む。実装態様では、オンダイメモリは更に、メモリインタフェースと通信するように構成され、メモリダイに対するキャッシュとして機能する。実装態様では、オンダイメモリは、メモリモジュールのアドレス範囲に含まれる。実装態様では、構成可能コンピューティング基板からのデータは、データのサイズがオンダイメモリの容量と実質的に一致するときにオンダイメモリに書き込まれる。実装態様では、ハード化されたロジックブロックからの結果は、結果のデータサイズがオンダイメモリの容量と実質的に一致するときにオンダイメモリに書き込まれる。実装態様では、ダイは更に、構成可能コンピューティング基板インタフェース及びハード化されたロジックブロックと通信するように構成された構成可能コンピューティング基板ファブリックを含む。実装態様では、構成可能コンピューティング基板は、計算のタイプに基づいて、構成可能コンピューティング基板ファブリックを介して、ハード化されたロジックブロックにデータを送信する。実装態様では、ダイは更に、構成可能コンピューティング基板インタフェース及びハード化されたロジックブロックと通信するように構成されたオンダイメモリ、並びに構成可能コンピューティング基板インタフェース及びハード化されたロジックブロックと通信するように構成された構成可能コンピューティング基板ファブリックを含む。実装態様では、ダイは、ロジックダイである。実装態様では、ダイは、メモリダイである。

【0028】

概して、構成可能コンピューティングプラットフォームを使用して計算する方法は、構成可能コンピューティング基板をメモリモジュールと接続することを含む。構成可能コンピューティング基板は、構成可能コンピューティング基板インタフェース及びメモリインタフェースを介して、メモリモジュールに含まれるメモリダイにデータを書き込み、構成可能コンピューティング基板インタフェース及びメモリインタフェースは、メモリモジュールに含まれるダイ上に設けられる。メモリダイからのデータは、メモリインタフェースを介して、ハード化されたロジックブロックによってアクセスされ、ハード化されたロジックブロックは、ダイ上に設けられる。実装態様では、結果は、メモリインタフェースを介して、ハード化されたロジックブロックによってメモリダイに書き込まれる。実装態様では、データは、データのサイズがオンダイメモリの容量と実質的に一致するときに構成可能コンピューティング基板インタフェースを介してオンダイメモリに書き込まれ、オンダイメモリは、ダイ上に設けられる。実装態様では、結果は、結果のデータサイズがオンダイメモリの容量と実質的に一致するときにハード化されたロジックブロックによってオンダイメモリに書き込まれる。実装態様では、データの一部は、データがメモリダイに書き込まれるときにオンダイメモリに書き込まれ、後続の読み出しは、データの一部にサービスされる。実装態様では、オンダイメモリは、メモリモジュールのアドレス範囲に含まれる。実装態様では、構成可能コンピューティング基板とハード化されたロジックブロックとの間のデータは、計算のタイプに基づいて、構成可能コンピューティング基板ファブリック及び構成可能コンピューティング基板インタフェースを介して通信され、構成可能コンピューティング基板ファブリックは、ダイ上に設けられる。実装態様では、データは、データのサイズがオンダイメモリの容量と実質的に一致するときに構成可能コンピュー

10

20

30

40

50

ティング基板インタフェースを介してオンダイメモリに書き込まれ、オンダイメモリは、ダイ上に設けられる。実装態様では、結果は、結果のデータサイズがオンダイメモリの容量と実質的に一致するときにハード化されたロジックブロックによってメモリダイに書き込まれる。

【0029】

本明細書における開示に基づいて多くの変形が可能であることを理解すべきである。上記のとおり特徴及び要素が特定の組み合わせで説明されたが、各々の特徴または要素は、他の特徴及び要素なしに単独で、または他の特徴及び要素との様々な組み合わせで、もしくは他の特徴及び要素なしに使用されてもよい。

【0030】

提供される方法は、汎用コンピュータ、プロセッサ、またはプロセッサコアにおいて実装されてもよい。適切なプロセッサは、例として、汎用プロセッサ、特殊目的プロセッサ、従来型プロセッサ、デジタルシグナルプロセッサ（DSP）、複数のマイクロプロセッサ、DSPコアと関連した1つ以上のマイクロプロセッサ、コントローラ、マイクロコントローラ、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）回路、いずれかの他のタイプの集積回路（IC）、及び／または状態機械を含む。そのようなプロセッサは、処理されたハードウェア記述言語（HDL）命令の結果及びネットリストを含む他の中間データ（コンピュータ可読媒体に記憶されることが可能なそのような命令）を使用して製造工程を構成することによって製造されてもよい。そのような処理の結果は、マスクワークであってもよく、マスクワークは次いで、実施形態の態様を実装するプロセッサを製造する半導体製造工程において使用される。

【0031】

本明細書で提供される方法またはフローチャートは、適用可能な範囲で、汎用コンピュータまたはプロセッサによる実行のためにコンピュータ可読記憶媒体に組み込まれたコンピュータプログラム、ソフトウェア、またはファームウェアにおいて実装されてもよい。コンピュータ可読記憶媒体の例は、リードオンリメモリ（ROM）、ランダムアクセスメモリ（RAM）、レジスタ、キャッシュメモリ、半導体メモリデバイス、内蔵ハードディスク及び着脱可能ディスクなどの磁気媒体、磁気光学媒体、並びにCD-ROMディスク及びデジタル多用途ディスク（DVD）などの光学媒体を含む。

10

20

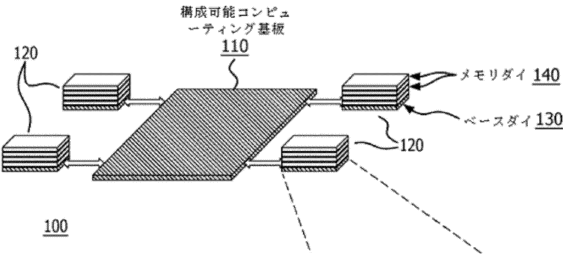
30

40

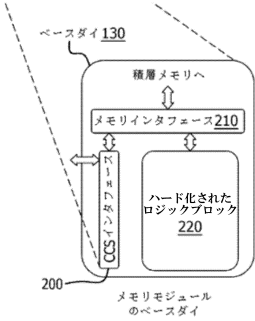
50

【図面】

【図 1】

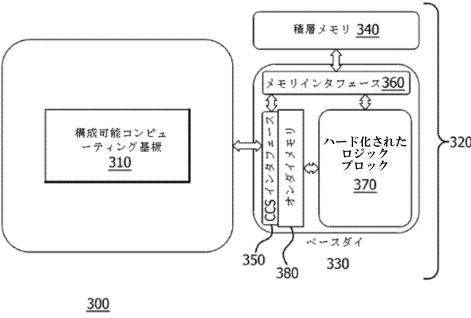


【図 2】

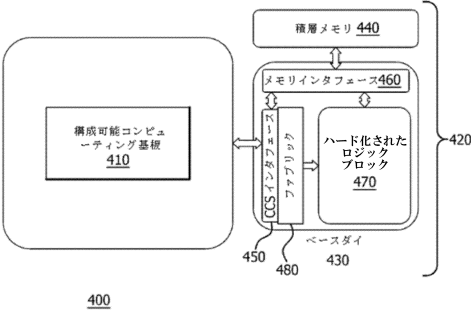


10

【図 3】



【図 4】



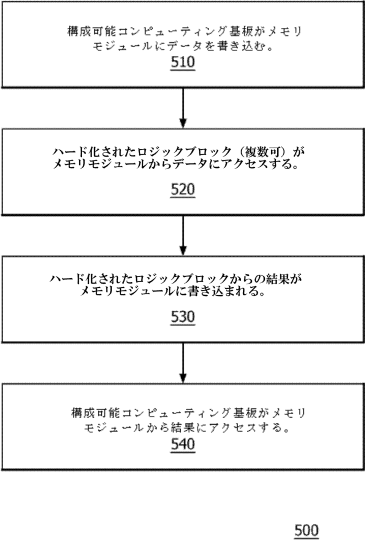
20

30

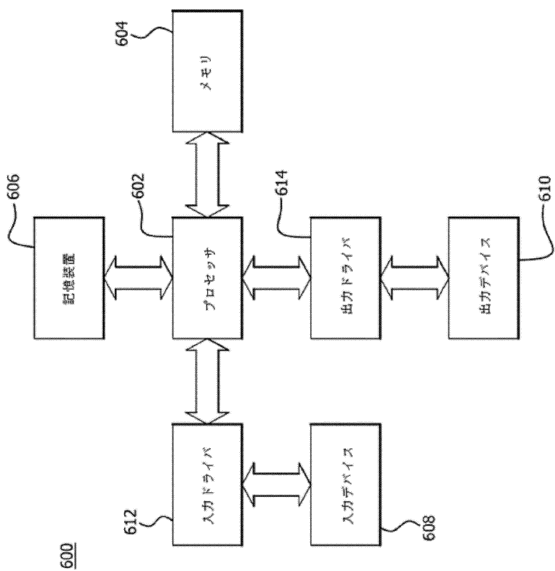
40

50

【図 5】



【図 6】



10

20

30

40

50

フロントページの続き

アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4
8 5、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド内

(72)発明者 マイケル イグナトウスキー

アメリカ合衆国 7 8 7 3 5 テキサス州、オースティン、サウスウェスト パークウェイ 7 1 7
1、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド内

審査官 田名網 忠雄

(56)参考文献 米国特許出願公開第 2 0 1 7 / 0 2 5 5 3 9 7 (US, A 1)

米国特許出願公開第 2 0 1 7 / 0 1 2 3 9 8 7 (US, A 1)

米国特許出願公開第 2 0 1 7 / 0 3 4 4 3 0 1 (US, A 1)

米国特許出願公開第 2 0 1 5 / 0 0 8 8 9 4 8 (US, A 1)

米国特許出願公開第 2 0 1 4 / 0 1 7 6 1 8 7 (US, A 1)

米国特許出願公開第 2 0 1 6 / 0 3 8 0 6 3 5 (US, A 1)

(58)調査した分野 (Int.Cl., DB名)

G 0 6 F 1 2 / 0 0

G 0 6 F 3 / 0 6

G 0 6 F 3 / 0 8