

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5748976号  
(P5748976)

(45) 発行日 平成27年7月15日(2015.7.15)

(24) 登録日 平成27年5月22日(2015.5.22)

(51) Int.Cl.

F 1

G02F 1/1368 (2006.01)  
H01L 29/786 (2006.01)G02F 1/1368  
H01L 29/78 612B  
H01L 29/78 618B  
H01L 29/78 623A

請求項の数 13 (全 55 頁)

(21) 出願番号 特願2010-211630 (P2010-211630)  
 (22) 出願日 平成22年9月22日 (2010.9.22)  
 (65) 公開番号 特開2011-90293 (P2011-90293A)  
 (43) 公開日 平成23年5月6日 (2011.5.6)  
 審査請求日 平成25年8月21日 (2013.8.21)  
 (31) 優先権主張番号 特願2009-218998 (P2009-218998)  
 (32) 優先日 平成21年9月24日 (2009.9.24)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮戸 英明  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 弓指 洋平

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

同一基板上に、第1のトランジスタを含む駆動回路部と、第2のトランジスタを含む画素部とを有し、

前記第1のトランジスタは、第1のゲート電極層と、前記第1のゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の第1の酸化物半導体層と、前記第1の酸化物半導体層上の第1のソース電極層と、前記第1の酸化物半導体層上の第1のドレイン電極層と、を有し、

前記第2のトランジスタは、第2のゲート電極層と、前記第2のゲート電極層上の前記ゲート絶縁層と、前記ゲート絶縁層上の第2の酸化物半導体層と、前記第2の酸化物半導体層上の第2のソース電極層と、前記第2の酸化物半導体層上の第2のドレイン電極層と、を有し、

前記第1及び前記第2の酸化物半導体層上、前記第1及び前記第2のソース電極層上、及び前記第1及び前記第2のドレイン電極層上に、前記第1の酸化物半導体層の一部及び前記第2の酸化物半導体層の一部と接する酸化物絶縁層を有し、

前記第2のソース電極層又は前記第2のドレイン電極層と電気的に接続された画素電極層を有し、

前記酸化物絶縁層上に、前記第1のゲート電極層及び前記第1の酸化物半導体層と重なる導電層を有し、

前記画素電極層上及び前記導電層上に、液晶層を有し、

10

20

前記液晶層上に、前記駆動回路部及び前記画素部と重なる領域を有する対向電極層を有し、

前記駆動回路部において、前記対向電極層は櫛歯状であることを特徴とする半導体装置。

【請求項 2】

請求項 1において、

前記画素部において、前記対向電極層は平板状であることを特徴とする半導体装置。

【請求項 3】

請求項 1又は 2において、

前記駆動回路部において、前記対向電極層は、前記導電層と前記液晶層を介して重なることを特徴とする半導体装置。 10

【請求項 4】

請求項 1乃至 3 のいずれか一項において、

前記対向電極層は固定電位であることを特徴とする半導体装置。

【請求項 5】

請求項 1乃至 4 のいずれか一項において、

前記第 1 の酸化物半導体層のチャネル長方向において、前記第 1 の開口を有する対向電極層の幅の方が前記導電層の幅より大きいことを特徴とする半導体装置。 10

【請求項 6】

請求項 1乃至 4 のいずれか一項において、

前記第 1 の酸化物半導体層のチャネル長方向において、前記第 1 の開口を有する対向電極層の幅の方が前記第 1 の酸化物半導体層の幅より大きいことを特徴とする半導体装置。 20

【請求項 7】

請求項 1乃至 6 のいずれか一項において、

前記対向電極層は、駆動回路部と画素部との間において、開口を有することを特徴とする半導体装置。

【請求項 8】

同一基板上に、第 1 のトランジスタを含む駆動回路部と、第 2 のトランジスタを含む画素部とを有し、

前記第 1 のトランジスタは、第 1 のゲート電極層と、前記第 1 のゲート電極層上のゲート絶縁層と、前記ゲート絶縁層上の第 1 の酸化物半導体層と、前記第 1 の酸化物半導体層上の第 1 のソース電極層と、前記第 1 の酸化物半導体層上の第 1 のドレイン電極層と、を有し。 30

前記第 2 のトランジスタは、第 2 のゲート電極層と、前記第 2 のゲート電極層上の前記ゲート絶縁層と、前記ゲート絶縁層上の第 2 の酸化物半導体層と、前記第 2 の酸化物半導体層上の第 2 のソース電極層と、前記第 2 の酸化物半導体層上の第 2 のドレイン電極層と、を有し。

前記第 1 及び前記第 2 の酸化物半導体層上、前記第 1 及び前記第 2 のソース電極層上、及び前記第 1 及び前記第 2 のドレイン電極層上に、前記酸化物半導体層の一部及び前記第 2 の酸化物半導体層の一部と接する酸化物絶縁層を有し。 40

前記第 2 のソース電極層又は前記第 2 のドレイン電極層と電気的に接続された画素電極層を有し、

前記酸化物絶縁層上に、前記第 1 のゲート電極層及び前記第 1 の酸化物半導体層と重なる導電層を有し、

前記画素電極層上及び前記導電層上に、液晶層を有し、

前記画素部において、前記液晶層上に第 1 の対向電極層を有し、

前記駆動回路部において、前記液晶層上に前記第 1 の対向電極層と同電位の第 2 の対向電極層を有し、

前記第 2 の対向電極層は、櫛歯状であることを特徴とする半導体装置。

【請求項 9】

請求項 8 において、

前記第 1 の対向電極層は平板状であることを特徴とする半導体装置。

**【請求項 10】**

請求項 8 又は 9 において、

前記第 2 の対向電極層は、前記導電層と前記液晶層を介して重なることを特徴とする半導体装置。

**【請求項 11】**

請求項 8 乃至 10 のいずれか一項において、

前記第 1 の対向電極層及び前記第 2 の対向電極層は固定電位であることを特徴とする半導体装置。

10

**【請求項 12】**

請求項 8 乃至 11 のいずれか一項において、

前記第 1 の酸化物半導体層のチャネル長方向において、前記第 2 の対向電極層の幅の方が前記導電層の幅より大きいことを特徴とする半導体装置。

**【請求項 13】**

請求項 8 乃至 12 のいずれか一項において、

前記第 1 の酸化物半導体層のチャネル長方向において、前記第 2 の対向電極層の幅の方が前記第 1 の酸化物半導体層の幅より大きいことを特徴とする半導体装置。

20

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

酸化物半導体を用いる半導体装置及びその作製方法に関する。

**【0002】**

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

**【背景技術】**

**【0003】**

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは集積回路（Integrated Circuit、略号 IC）や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

30

**【0004】**

半導体特性を示す材料の一つとして、金属酸化物が挙げられる。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 及び特許文献 2 参照。）。

**【0005】**

薄膜トランジスタなどの半導体装置において、外部からの静電気放電による半導体装置の破壊（静電気破壊）問題は、半導体装置の作製工程時より、検査、製品としての使用に至るまで信頼性や生産性の低下を招く重要な問題である。

40

**【0006】**

また、薄膜トランジスタを用いた電気デバイスには、携帯電話、ノート型のパーソナルコンピュータなどのモバイル機器などが挙げられるが、このような携帯用の電子デバイスにとって連続動作時間に影響する消費電力の問題は大きい。また大型化が進むテレビジョン装置などにとっても大型化に伴う消費電力の増大を抑制することは重要である。

**【先行技術文献】**

**【特許文献】**

**【0007】**

【特許文献 1】特開 2007 - 123861 号公報

50

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、低消費電力の半導体装置を提供することを課題の一つとする。

【0009】

酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、静電気放電に耐性を有する信頼性の高い半導体装置を提供することを課題の一つとする。

【課題を解決するための手段】

10

【0010】

本発明の一形態は、画素電極層を有する画素部及び駆動回路部が同一基板上に設けられた半導体装置であり、液晶層を介して前記画素電極層と対向する対向電極層が画素部および駆動回路部上に設けられている。対向電極層の画素部上の領域と駆動回路部上の領域は連続した導電膜で形成されてもよいし、分断されてそれぞれ同じ電位を印加される構造でもよい。

【0011】

画素部には酸化物半導体層を有する画素用薄膜トランジスタが、駆動回路部には酸化物半導体層を有する駆動回路用薄膜トランジスタが同一基板上にそれぞれ設けられている。

【0012】

20

駆動回路部では駆動回路用薄膜トランジスタ上に導電層を設け、酸化物半導体層をゲート電極層と導電層で挟み込む構成とする。これにより、駆動回路用薄膜トランジスタのしきい値ばらつきを低減させることができ、安定した電気特性を有する駆動回路用薄膜トランジスタを備えた半導体装置を提供することができる。該導電層は、ゲート電極層と同電位としても良いし、フローティング電位でも良いし、固定電位、例えばGND電位や0Vでもよい。また、該導電層に任意の電位を与えることで、薄膜トランジスタのしきい値を制御することができる。

【0013】

該導電層はゲート電極層及び酸化物半導体層と重なった領域に設けられるため、駆動回路部上の領域では、対向電極層を前記導電層と概略同形状で、かつ該導電層と重なって設けられるようにパターニングすることが好ましい。

30

【0014】

対向電極層を駆動回路部上にも設けることによって、対向電極層は静電気放電により印加される静電気を拡散して電荷の局部的な存在（局在化）を防ぐ（局部的な電位差が発生しないようにする）ため、半導体装置の静電気破壊を防ぐことができる。

【0015】

対向電極層は、駆動回路部と画素部との間に開口部を有しても良い。これにより、駆動回路部に設けられる前記導電層や酸化物半導体層との間に形成される寄生容量を軽減することができる。よって、半導体装置の低消費電力化を実現できる。

【0016】

40

駆動回路部においては、対向電極層は櫛歯状でも良い。

【0017】

すなわち本明細書で開示する発明の構成の一形態は、同一基板上に駆動回路用薄膜トランジスタを含む駆動回路部と、画素用薄膜トランジスタを含む画素部とを有し、駆動回路用薄膜トランジスタ及び画素用薄膜トランジスタはゲート電極層と、ゲート電極層上のゲート絶縁層と、ゲート絶縁層上の酸化物半導体層と、酸化物半導体層上のソース電極層及びドレイン電極層を有し、さらに酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化物絶縁層を有し、画素部においてはソース電極層又はドレイン電極層と電気的に接続する画素電極層が設けられ、駆動回路部において酸化物絶縁層上にゲート電極層及び酸化物半導体層と重なる導電層が設けられ、画素部及び駆動回路

50

部において画素電極層及び前記導電層上に液晶層と、液晶層上に画素部と駆動回路部と重なる対向電極層とが設けられている半導体装置である。

【0018】

本明細書で開示する発明の構成の他の一形態は、同一基板上に駆動回路用薄膜トランジスタを含む駆動回路部と、画素用薄膜トランジスタを含む画素部とを有し、駆動回路用薄膜トランジスタ及び画素用薄膜トランジスタはゲート電極層と、ゲート電極層上のゲート絶縁層と、ゲート絶縁層上の酸化物半導体層と、酸化物半導体層上のソース電極層及びドレイン電極層を有し、さらに酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化物絶縁層を有し、画素部においてソース電極層又はドレイン電極層と電気的に接続する画素電極層が設けられ、駆動回路部において酸化物絶縁層上にゲート電極層及び酸化物半導体層と重なる導電層が設けられ、画素部及び駆動回路部において画素電極層及び導電層上に液晶層が設けられ、画素部において液晶層上に第1の対向電極層が設けられ、駆動回路部において液晶層上に第1の対向電極層と同電位の第2の対向電極層が設けられている半導体装置である。第2の対向電極層は開口部を有していても良い。

10

【0019】

上記構成において、画素部に設けられる対向電極層は平板状であってもよいし、さらに第3の対向電極層が設けられていてもよい。本明細書では、画素部に設けられる対向電極層を第1の対向電極層、駆動回路部に設けられる対向電極層を第2の対向電極層ともいう。

20

【0020】

また、対向電極層（第1の対向電極層、第2の対向電極層）は、固定電位とすればよい。また、第1の対向電極層と第2の対向電極層は電気的に接続されていても良い。

【0021】

駆動回路部において、酸化物半導体層のチャネル方向に関し、第2の対向電極層の幅は、導電層、又は酸化物半導体層の幅よりも大きい方が静電破壊の防止効果としては好ましい。

【0022】

上記各構成は、上記課題の少なくとも一つを解決する。

【0023】

なお、酸化物半導体層は、 $InMO_3 (ZnO)_m$  ( $m > 0$ ) で表記される薄膜であり、本発明の実施形態ではこれを酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることの他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3 (ZnO)_m$  ( $m > 0$ ) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

30

【0024】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

40

【0025】

また、本発明の実施形態では、酸化物半導体層を脱水化または脱水素化することが好ましい。脱水化または脱水素化とは、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下で酸化物半導体層を400以上750以下、好ましくは425以上基板の歪み点未満において加熱処理することを示し、これにより酸化物半導体層の含有水

50

分などの不純物を低減する。また、その後の水 ( $H_2O$ ) の再含浸を防ぐことができる。

**【0026】**

脱水化または脱水素化の熱処理は、 $H_2O$  が 20 ppm 以下の窒素雰囲気で行うことが好ましい。また、 $H_2O$  が 20 ppm 以下の超乾燥空气中で行っても良い。

**【0027】**

脱水化または脱水素化のための加熱処理では、電気炉を用いた加熱方法、加熱した気体を用いる GRTA (Gas Rapid Thermal Anneal) 法またはランプ光を用いる LRTA (Lamp Rapid Thermal Anneal) 法などの瞬間加熱方法などを用いることができる。

**【0028】**

脱水化または脱水素化は、脱水化または脱水素化後の酸化物半導体層に対して TDS で 450 まで測定を行っても水に由来する 2 つのピーク、少なくとも 300 付近に現れる 1 つのピークが検出されない程度の熱処理条件とするのが好ましい。この条件下で脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対して 450 まで TDS 測定を行っても、少なくとも 300 付近に現れる水のピークは検出されない。

10

**【0029】**

加熱後の冷却は、脱水化または脱水素化を行った同じ炉を用いて酸化物半導体層を大気に触れさせることなく行い、酸化物半導体層が水または水素に接触することを防ぐことが重要である。そして脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ち N 型化 ( $N^-$ 、 $N^+$  など) させた後、高抵抗化させて I 型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が 0 V にできるだけ近い正のしきい値電圧でチャネルが形成されることが表示装置には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が 0 V でもソース電極とドレイン電極層の間に電流が流れる、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧 ( $V_{th}$ ) が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では TFT としてのスイッチング機能を果たすことができず、負荷となる恐れがある。n チャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

20

**【0030】**

また、加熱後の冷却は、昇温時のガスを異なるガスに切り替えてから行ってもよい。例えば、脱水化または脱水素化を行った同じ炉で酸化物半導体膜を大気に触れさせることなく、炉の中を高純度の酸素ガスまたは  $N_2O$  ガス、超乾燥エア（露点が -40 以下、好ましくは -60 以下）で満たして冷却を行ってもよい。

30

**【0031】**

脱水化または脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気（露点が -40 以下、好ましくは -60 以下）下で徐冷（または冷却）した酸化物半導体層を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

40

**【0032】**

上述したように本明細書では、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下で酸化物半導体層への加熱処理を脱水化または脱水素化と呼ぶ。本明細書では、この加熱処理によって  $H_2$  として脱離させていることのみを脱水素化と呼んでいるわ

50

けではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

#### 【0033】

上述したように、脱水化または脱水素化のための加熱処理を行った場合、酸化物半導体層は酸素欠乏型となって低抵抗化、即ちN型化(N<sup>-</sup>化など)する。

#### 【0034】

従って、低抵抗化した酸化物半導体層上にドレイン電極層を形成することで、ドレイン電極層が重なる領域を酸素欠乏型である高抵抗ドレイン領域(HRD(High Resistance Drain)領域とも呼ぶ)として形成することができる。また、低抵抗化した酸化物半導体層上にソース電極層を形成することで、ソース電極層が重なる領域を酸素欠乏型である高抵抗ソース領域(HRS(High Resistance Source)領域とも呼ぶ)として形成することができる。10

#### 【0035】

高抵抗ドレイン領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上の範囲内であり、少なくともチャネル形成領域のキャリア濃度( $1 \times 10^{18} / \text{cm}^3$ 未満)よりも高い領域である。なお、本明細書のキャリア濃度は、室温にてHall効果測定から求めたキャリア濃度の値を指す。

#### 【0036】

この後、脱水化または脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、高抵抗化、即ちI型化させてチャネル形成領域を形成する。なお、脱水化または脱水素化した酸化物半導体層の一部を酸素過剰な状態とする処理としては、以下の方法のいずれかによって行う。脱水化または脱水素化した酸化物半導体層に接する酸化物絶縁膜をスパッタ法で成膜する、または脱水化または脱水素化した酸化物半導体層に接するように酸化物絶縁膜を成膜し、さらに加熱処理を行う、または脱水化または脱水素化した酸化物半導体層に接するように酸化物絶縁膜を成膜し、さらに酸素を含む雰囲気で加熱処理を行う、または脱水化または脱水素化した酸化物半導体層に接するように酸化物絶縁膜を成膜した後に不活性ガス雰囲気下で加熱し、さらに酸素雰囲気下で冷却処理を行う、または脱水化または脱水素化した酸化物半導体層に接するように酸化物絶縁膜を成膜した後に不活性ガス雰囲気下で加熱し、さらに超乾燥エア(露点が-40以下、好ましくは-60以下)で冷却処理を行う。20

#### 【0037】

また、脱水化または脱水素化した酸化物半導体層の少なくとも一部(ゲート電極層と重なる部分)を選択的に酸素過剰な状態とすることで、高抵抗化、即ちI型化させることもできる。これにより、チャネル形成領域を形成することができる。例えば、脱水化または脱水素化した酸化物半導体層上に接してTiなどの金属電極からなるソース電極層やドレイン電極層を形成し、ソース電極層やドレイン電極層に重ならない露出領域を選択的に酸素過剰な状態としてチャネル形成領域を形成することができる。選択的に酸素過剰な状態とする場合、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域とが形成され、高抵抗ソース領域と高抵抗ドレイン領域との間の領域がチャネル形成領域となる。即ち、チャネル形成領域がソース電極層及びドレイン電極層の間に自己整合的に形成される。40

#### 【0038】

これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

#### 【0039】

なお、ドレイン電極層と重畠した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層から高抵抗ドレイン領域、チャネル形成領域にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、ドレイン電極層に高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層と50

ドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、薄膜トランジスタの耐圧を向上させた構成とすることができる。

#### 【 0 0 4 0 】

また、ドレイン電極層及びソース電極層と重畳した酸化物半導体層において、高抵抗ドレイン領域及び高抵抗ソース領域を形成することにより、駆動回路を形成した際のチャネル形成領域でのリーク電流の低減を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャネル形成領域、ソース電極層側の高抵抗ソース領域、ソース電極層の順となる。このときチャネル形成領域では、ドレイン電極層側の高抵抗ドレイン領域よりチャネル形成領域に流れるリーク電流を、トランジスタがオフ時に高抵抗となるゲート絶縁層とチャネル形成領域の界面近傍に集中させることができ、バックチャネル部（ゲート電極層から離れているチャネル形成領域の表面の一部）でのリーク電流を低減することができる。10

#### 【 0 0 4 1 】

また、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域をゲート電極層の一部と重なるように形成することで、より効果的にドレイン電極層の端部近傍の電界強度を緩和させることができる。

#### 【 0 0 4 2 】

なお、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層は、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。例えば、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを用いることができる。酸化物導電層は、低抵抗ドレイン領域（L R N（Low Resistance N-type conductivity）領域、L R D（Low Resistance Drain）領域とも呼ぶ）としても機能する。具体的には、低抵抗ドレイン領域のキャリア濃度は、高抵抗ドレイン領域（H R D領域）よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層の間に設けることで、接触抵抗を低減でき、トランジスタの高速動作を実現することができるため、周辺回路（駆動回路）の周波数特性を向上させることができる。2030

#### 【 0 0 4 3 】

酸化物導電層と、ソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。

#### 【 0 0 4 4 】

また、前述したソース電極層及びドレイン電極層を、L R NもしくはL R Dとして機能する酸化物導電層と同じ材料と、金属材料によって構成された積層配線としてもよい。金属と酸化物導電層の積層とすることで配線抵抗を下げることができ、また下層配線の乗り越えや開口などの段差に対する被覆性が改善し、配線の切断を防ぐことができる。また、マイグレーションなどによる配線の局所的な高抵抗化を防ぐ効果も期待できるため、信頼性の高い半導体装置を提供することができる。40

#### 【 0 0 4 5 】

また、前述した酸化物半導体層とソース電極層及びドレイン電極層の接続に際しても、酸化物導電層を間に挟んで接続することにより、接続部（コンタクト部）の金属表面に絶縁性酸化物が形成されることによる接触抵抗（コンタクト抵抗）の増大を防ぐことが期待でき、信頼性の高い半導体装置を提供することができる。

#### 【 0 0 4 6 】

また、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けても良い。保護回路は、酸化物半導体層を用いた非線形要素を用いて構成することが好ましい。50

**【0047】**

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

**【発明の効果】****【0048】**

酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

**【0049】**

酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。 10

**【図面の簡単な説明】****【0050】**

【図1】半導体装置を説明する図。

【図2】半導体装置を説明する図。

【図3】半導体装置を説明する図。

【図4】半導体装置の作製方法を説明する図。

【図5】半導体装置の作製方法を説明する図。

【図6】半導体装置の作製方法を説明する図。

【図7】半導体装置を説明する図。

20

【図8】半導体装置を説明する図。

【図9】半導体装置を説明する図。

【図10】半導体装置の作製方法を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置を説明する図。

【図15】半導体装置の画素等価回路を説明する図。

【図16】電子機器を示す図。

30

【図17】電子機器を示す図。

【図18】電子機器を示す図。

【図19】電子機器を示す図。

【図20】多階調マスクを説明する図。

**【発明を実施するための形態】****【0051】**

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

**【0052】**

40

(実施の形態1)

本実施の形態の半導体装置について図1、及び図2を用いて説明する。本実施の形態の半導体装置は液晶表示装置である。

**【0053】**

図1(A)に、本発明の半導体装置の上面図を示す。図1(A)は、第1の基板1210にFPC(Flexible printed circuit)を貼り付ける前の液晶表示装置の上面図であり、図1(B)は、導電粒子と接続配線の接続領域を示す図1(A)のG-Hの断面図を示し、図1(C)は画素部と接続配線の接続領域を示す図1(A)のE-Fの断面図を示す。

**【0054】**

50

画素電極層が形成されたアクティブマトリクス基板となる第1の基板1210と第1の対向電極層1291、第2の対向電極層1292が形成された第2の基板1204がシール材1205により貼り合わされており、シール材1205の内部に液晶1280が充填されている。第1の基板1210上には信号線駆動回路部1200、走査線駆動回路部1201、及び画素電極層がマトリクス状に形成された画素部1202が形成されている。

#### 【0055】

駆動回路部の上に設けられる第2の対向電極層1292は、第1の対向電極層1291と同電位である。画素部1202の上に設けられる第1の対向電極層1291と駆動回路部の上に設けられる第2の対向電極層1292とは一枚の連続した導電膜でもよいし、あるいは独立した対向電極層として設け、それぞれ同じ電位を印加して、同電位とする構造でもよい。10

#### 【0056】

同一基板上（すなわち、第2の基板1204）に設けられた第1の対向電極層1291及び第2の対向電極層1292は、接続領域（共通接続部）において、第1の基板1210と第2の基板1204間に配置される導電粒子1270を介して接続配線1208（共通電位線）と電気的に接続される。

#### 【0057】

画素電極層に印加される電位（電圧）は、画素用薄膜トランジスタを介して印加されるため、画素電極層の電圧は、実際に画素用薄膜トランジスタを介して印加する電圧より数ボルト低い可能性がある。よって、第1の対向電極層1291及び第2の対向電極層1292に印加する電位（電圧）もその差分を考慮して印加する電圧値を設定することが好ましい。20

#### 【0058】

第1の基板1210上に設けられた信号線駆動回路部1200は駆動回路用薄膜トランジスタ1223を有する回路を備えている。

#### 【0059】

画素部1202は、画素用薄膜トランジスタ1211を有する。また、絶縁層1214上及び絶縁層1214に形成された開口内には画素用薄膜トランジスタ1211に接続する画素電極層1250が形成される。

#### 【0060】

画素用薄膜トランジスタ1211、駆動回路用薄膜トランジスタ1223は、酸化物半導体層、ゲート絶縁層、並びにゲート電極層で構成され、駆動回路用薄膜トランジスタ1223は、絶縁層1214を介してゲート電極層及び酸化物半導体層と重なる導電層1293を上方に配置している。30

#### 【0061】

駆動回路用薄膜トランジスタ1223において、酸化物半導体層をゲート電極層と導電層1293で挟み込む構成とすることにより、駆動回路用薄膜トランジスタ1223のしきい値ばらつきを低減させることができ、安定した電気特性を有する駆動回路用薄膜トランジスタ1223を備えた半導体装置を提供することができる。導電層1293は、ゲート電極層と同電位としても良いし、フローティング電位でも良いし、固定電位、例えばGND電位や0Vでもよい。また、導電層1293に任意の電位を与えることで、駆動回路用薄膜トランジスタ1223のしきい値を制御することができる。40

#### 【0062】

該導電層1293は、ゲート電極層及び半導体層と重なった領域に選択的に設けられる。

#### 【0063】

駆動回路部のより詳細な平面図を図2に示す。図2は、駆動回路部の平面図であり、薄膜トランジスタ1505a、1505b、1505c、1505d、1505e、1505f、ゲート電極層1501、ソース配線層1502、導電層1503、半導体層1504が示されている。図2において、導電層1503が図1(C)における導電層1293と対応している。導電層1503は、薄膜トランジスタ1505a、1505b、150550

c、1505d、1505e、1505fにおいて少なくとも半導体層1504のチャネル形成領域を覆うように形成されており、ゲート電極層1501及びソース配線層1502の多くの部分は導電層1503と重なっていない。

#### 【0064】

駆動回路部上に設けられる第2の対向電極層1292は、駆動回路用薄膜トランジスタ1223の半導体層と重なって設けられる導電層1293と概略同形状に重なって設けられることが好ましい。よって、第2の対向電極層1292も導電層1293と同様な形状を有する形態となる。

#### 【0065】

第2の対向電極層1292を駆動回路部上に設けることによって、第2の対向電極層1292は静電気放電により印加される静電気を拡散する、または電荷の局部的な存在（局在化）を防ぐ（局部的な電位差が発生しないようにする）ため、半導体装置の静電気破壊を防ぐことができる。10

#### 【0066】

また、駆動回路部上に設けられる第2の対向電極層1292は、駆動回路部に設けられる薄膜トランジスタを構成する導電層、及び半導体層との間に形成される寄生容量を軽減することができる。よって、半導体装置の低消費電力化を実現できる。

#### 【0067】

本明細書において、駆動回路部上における第2の対向電極層1292は枝分かれした櫛歯状でも良い。20

#### 【0068】

第1の基板1210及び第2の基板1204としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板（「無アルカリガラス基板」とも呼ばれる）、石英基板、セラミック基板、プラスチック基板等を適宜用いることができる。第1の基板1210及び第2の基板1204として、可撓性を有するプラスチック基板を用いることで、可撓性を有する半導体装置を作製することができる。

#### 【0069】

シール材1205は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて第1基板1210または第2基板1204上に塗布する。シール材1205は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。例えば、ビスフェノールA型液状樹脂、ビスフェノールA型固形樹脂、含ブロムエポキシ樹脂、ビスフェノールF型樹脂、ビスフェノールAD型樹脂、フェノール型エポキシ樹脂、クレゾール型エポキシ樹脂、ノボラック型エポキシ樹脂、環状脂肪族エポキシ樹脂、エピビス型エポキシ樹脂、グリシジルエステル樹脂、グリジシルアミン樹脂、複素環式エポキシ樹脂、変性エポキシ樹脂等のエポキシ樹脂を用いることができる。シール材1205としては粘度40～400Pa·sのものを硬化して用いる。また、フィラー（直径1μm～24μm）を含んでもよい。なお、シール材としては、後に接する液晶に溶解しないシール材料を選択することができる。30

#### 【0070】

導電粒子1270として、絶縁性球体に金属薄膜が被覆された導電粒子を用いることができる。絶縁性球体は、シリカガラス、硬質樹脂等で形成される。金属薄膜は、金、銀、パラジウム、ニッケル、酸化インジウムスズ(ITO)、及び酸化インジウム亜鉛(IZO)の単層または積層構造とすることができます。例えば、金属薄膜として金薄膜や、ニッケル薄膜及び金薄膜の積層等を用いることができる。導電粒子1270を用いることで、弾性が高まり、外部からの圧力に対する破壊の可能性を低減することができる。40

#### 【0071】

画素電極層1250の材料は、透過型の液晶表示装置の場合と反射型の液晶表示装置で異なる。透過型液晶表示装置の場合、画素電極層1250は透光性を有する材料を用いて形成する。透光性を有する材料とは、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)50

、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）等がある。

#### 【0072】

また、画素電極層1250として、導電性高分子材料（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極層は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子材料の抵抗率が0.1 · cm以下であることが好ましい。

#### 【0073】

導電性高分子材料としては、いわゆる 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。10

#### 【0074】

一方、反射型の液晶表示装置の場合、画素電極層1250は反射率の高い金属電極が用いられる。具体的には、アルミニウム、銀等が用いられる。また、画素電極層1250の表面を凹凸状にすることで、反射率が高まる。このため、画素電極層1250の下の絶縁膜1214を凹凸とすればよい。

#### 【0075】

また、半透過型の液晶表示装置の場合には、画素電極層は透過型の材料と反射型の材料が用いられる。

#### 【0076】

また、第1の基板1210の端部には、端子部1240が形成される。端子部1240には、接続配線1208上に接続端子1241が形成される。20

#### 【0077】

図1(B)は、導電粒子1270と接続端子1241とが接続される領域の断面図である。第1の基板1210上に接続配線1208が形成される。接続配線1208上には画素電極層1250と同時に形成される接続端子1241が形成される。接続端子1241は、接続配線1208及び導電粒子1270を介して、第2の対向電極層1292と電気的に接続される。また、接続端子1241はFPC(図示せず)と接続される。なお、図1(B)において、導電粒子1270は樹脂層1235(図示せず)によって固定されている。樹脂層1235としては、シール材1205で用いるような有機樹脂材料を用いることができる。30

#### 【0078】

図1(C)は、画素電極層1250と接続端子1243とが接続される領域の断面図である。第1の基板1210上に画素用薄膜トランジスタ1211ならびに駆動回路用薄膜トランジスタ1223のソース電極層及びドレイン電極層と同時に形成される接続配線1242が形成される。接続配線1242上には画素電極層1250と同時に形成される接続端子1243が形成される。接続端子1243は、接続配線1242を介して、画素電極層1250と電気的に接続される。なお、本実施の形態では、アクティブマトリクス型の液晶表示装置の形態を用いているため、画素電極層1250と接続配線1242は直接接続せず、画素用薄膜トランジスタ1211、または信号線駆動回路部1200中の薄膜トランジスタを介して接続する。40

#### 【0079】

そして、画素電極層1250上に配向膜1206が設けられ、ラビング処理が施される。この配向膜1206およびラビング処理は、使用する液晶のモードにより必要な場合と不必要な場合がある。

#### 【0080】

対向基板となる第2の基板1204には、信号線駆動回路部1200と重なる位置にブラックマトリクス、画素部1202と重なる位置にカラーフィルタ、さらに保護層などを設けてもよい。カラー表示をフィールドシーケンシャルと言われる色順次方式で表示する場合にはカラーフィルタは設けなくともよい。また、第1の対向電極層1291が形成され50

、第1の対向電極層1291上に配向膜1207が設けられ、ラビング処理が施される。この第2の基板1204も第1の基板1210と同様に、使用する液晶のモードにより配向膜およびラビング処理が必要な場合と不必要的場合がある。

#### 【0081】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶1280に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

10

#### 【0082】

第1の対向電極層1291、第2の対向電極層1292が形成された第2の基板1204または画素電極層1250が形成された第1の基板1210に、柱状スペーサー1255が設けられる。柱状スペーサー1255は第1の基板1210と第2の基板1204とのギャップを保持するためのものであり、本実施の形態では、第2の基板1204側に設ける例を示す。この柱状スペーサー1255はフォトリソスペーサー、ポストスペーサー、貝柱スペーサー、カラムスペーサーとも呼ばれている。なお球状のスペーサーを用いていても良い。本実施の形態では、柱状スペーサーを用いる。柱状スペーサー1255の作製方法としては、感光性アクリルなどの有機絶縁材料を基板の全面にスピンドル法により塗布し、これを一連のフォトリソグラフィの工程を行うことにより、基板上に残った感光性アクリルがスペーサーとしての役割を果たす。当該方法により、露光時のマスクパターン次第でスペーサーの配置したい場所を露光できるため、液晶が駆動しない部分にこの柱状スペーサー1255を配置することにより、上下基板間のギャップを維持するだけでなく、液晶の光漏れも防ぐことができる。また、柱状スペーサー1255は、インクジェット法により有機絶縁材料を含む組成物を吐出し焼成して形成することができる。

20

#### 【0083】

導電粒子1270の周囲には樹脂層1235として導電性ポリマーが充填されてもよい。導電性ポリマーの代表例としては、導電性ポリアニリン、導電性ポリピロール、導電性ポリチオフェン、ポリエチレンジオキシチオフェン(PEDOT)とポリスチレンスルホン酸(PSS)の混合物も用いることができる。また、画素電極層1250に用いることが可能な導電性ポリマーに列举したものを適宜用いることができる。導電性ポリマーは、インクジェット装置、ディスペンサ装置等で導電性ポリマーを塗布して形成する。第2の対向電極層1292または接続配線1208に導電性ポリマーが接していることにより、導電粒子1270と導電性ポリマーが接し、第2の対向電極層1292及び接続配線1208の接続抵抗を低減することが可能である。

30

#### 【0084】

なお、接続配線1208と、第2の基板1204上に形成される第2の対向電極層1292が導電粒子1270を介して導通する。

#### 【0085】

また、導電粒子1270として、有機薄膜で被覆された導電性材料よりなるナノ粒子を用いてもよい。ナノ粒子は、第1の基板1210及び第2の基板1204を貼りあわせた後、シール材の硬化及び液晶の再配向のための加熱工程により有機薄膜が分解され、導電性材料よりなるナノ粒子同士が接触し融着することで、導電粒子を形成することができる。

40

#### 【0086】

ナノ粒子は、液滴吐出法を用いて吐出される。液滴吐出法とは所定の物質を含む液滴を細孔から吐出してパターンを形成する方法であり、ここでは溶媒に有機薄膜で被覆された導電性材料よりなるナノ粒子が分散された組成物を液滴として吐出(噴出)し、乾燥することで該溶媒を気化する。

#### 【0087】

ナノ粒子を形成する導電性材料には、金(Au)、銀(Ag)、白金(Pt)、ニッケル

50

(N i)、銅(C u)、パラジウム(P d)、タンタル(T a)、イリジウム(I r)、ロジウム(R h)、タングステン(W)、アルミニウム(A l)等から選択された金属元素又はこれらの元素を主成分とする合金材料が用いられる。また、カドミウム(C d)、亜鉛(Z n)の金属硫化物、鉄(F e)、チタン(T i)、ゲルマニウム(G e)、ケイ素(S i)、ジルコニウム(Z r)、バリウム(B a)などの酸化物、ハロゲン化銀の一種又は複数種が混合されていてもよい。なお、導電性材料に2種以上の元素もしくは化合物が用いられる場合、その混合状態については特に限定されず、例えばこれらの各々が均一に存在しても、コア部にいずれか一が偏在していても良い。

#### 【0088】

ナノ粒子の粒径は、1 nm以上200 nm以下、好ましくは1 nm以上100 nm以下が良く、吐出材料に含まれるナノ粒子の粒径は均一であるほうが好ましい。10

#### 【0089】

なお、ナノ粒子を構成する導電性材料によっては電圧を印加した際、粒子間にボイドが発生することがある。これは、導電性材料の結晶成長が非常に速く進行したためであり、液晶表示装置への印加電圧を低く設定することやナノ粒子に合金材料を用いることでこのようなボイドの発生を抑制することができる。よって、より信頼性の高い液晶表示装置を得ることができる。

#### 【0090】

ナノ粒子を被覆する有機薄膜は、溶媒中においてナノ粒子の凝集を防ぎ、粒子を安定に分散させる機能を有する分散剤に相当する。そのため、有機薄膜を形成する化合物は、導電性材料が有する金属元素と配位結合を形成することが可能な物質や界面活性剤等により構成されている。ここで、金属元素と配位結合を形成する物質としては、アミノ基、チオール基(-SH)、スルフィド基(-S-)、ヒドロキシ基(-OH)、エーテル基(-O-)、カルボキシル基(-COOH)、シアノ基(-CN)等の窒素、硫黄、酸素原子などが有する孤立電子対を有する物質が挙げられる。例えば、エタノールアミン等のヒドロキシアミン類、ポリエチレンイミン等のアミン化合物、ポリビニルピロリドン等のアミド化合物、ポリビニルアルコール等のアルコール類、アルカンチオール類、ジチオール類、エチレングリコール、ジエチレングリコール等のグリコール類、ポリエチレングリコール等のエーテル類、ポリアクリル酸やカルボキシメチルセルロース等を用いることができる。また、界面活性剤としては、例えば、ビス(2-エチルヘキシル)スルホコハク酸ナトリウムやドデシルベンゼンスルホン酸ナトリウム等のアニオン性界面活性剤、ポリアルキルグルコールのアルキルエステルやアルキルフェニルエーテル等の非イオン性界面活性剤、フッ素界面活性剤、エチレンイミンとエチレンオキサイドとの共重合体等を用いることができる。なお、分散剤はナノ粒子に対し30 wt%以上とした場合には吐出材料の粘度が高くなるため、1.0 wt%以上30 wt%以下が好ましい。20

#### 【0091】

上記のような有機薄膜で被覆された導電性材料によるナノ粒子は溶媒に分散されて吐出される。溶媒には、水または有機溶媒を用いることができ、有機溶媒は水溶性有機溶媒であっても、非水溶性有機溶媒であっても良い。例えば、水溶性有機溶剤にはメタノール、エタノール、プロパノール、ブチルアルコール、グリセリン、ジプロピレングリコール、エチレングレコール等のアルコール、アセトン、メチルエチルケトン等のケトン、エチレングリコールモノメチルエーテル、エチレングリコールモノエチルエーテル、エチレングリコールモノブチルエーテル、ジエチレングリコールモノブチルエーテル等のグリコールエーテル、2-ピロリドン、N-メチルピロリドン等の水溶性含窒素有機化合物等が挙げられる。また、非水溶性有機溶媒には、酢酸エチル等のエステル類、オクタン、ノナン、デカン等の直鎖アルカン、あるいはシクロヘキサンなどのシクロアルカン、トルエン、キシレン、ベンゼン、ジクロロベンゼン等の芳香族化合物等がある。もちろん、これら溶媒は必ずしも一種で使用する必要はなく、溶媒同士において相分離が生じなければ複数種を混合して用いることも可能である。40

#### 【0092】

50

シール材 1205 及び導電粒子 1270 を、第 1 の基板 1210 上または第 2 の基板 1204 上に吐出し、その後、シール材 1205 の内側に液晶を吐出する。この後、第 1 の基板 1210 及び第 2 の基板 1204 を減圧雰囲気で貼り合せ、UV 光を照射してシール材 1205 を硬化した後、加熱してシール材 1205 を更に硬化して第 1 の基板 1210 及び第 2 の基板 1204 を固着する。また、当該加熱により、液晶の配向を均一にする。

#### 【0093】

この結果、第 1 の基板 1210 と第 2 の基板 1204 が貼り合わせることができる。

#### 【0094】

そして、第 1 の基板 1210 と、第 2 の基板 1204 がパネルの形に分断される。さらに、コントラストを高めるために第 1 の基板 1210 の外側に第 1 偏光板 1290 と、第 2 の基板 1204 の外側に第 2 偏光板 1295 が設けられている。なお、反射型の表示装置の場合には第 1 偏光板 1290 が必要ない場合がある。10

#### 【0095】

また、本実施の形態では図示しないが、ブラックマトリクス（遮光層）、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

#### 【0096】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。20

#### 【0097】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を 1 フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

#### 【0098】

また、垂直同期周波数を通常の 1.5 倍、好ましくは 2 倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。30

#### 【0099】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数の LED（発光ダイオード）光源または複数の EL 光源などを用いて面光源を構成し、面光源を構成している各光源を独立して 1 フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3 種類以上の LED を用いてもよいし、白色発光の LED を用いてもよい。独立して複数の LED を制御できるため、液晶層の光学変調の切り替えタイミングに合わせて LED の発光タイミングを同期させることもできる。この駆動技術は、LED を部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合は、消費電力の低減効果が図れる。40

#### 【0100】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

#### 【0101】

本発明の一実施形態では、駆動回路部上に対向電極層を設けることにより、薄膜トランジスタの静電破壊を防ぐことができるが、さらに保護回路を設けてもよい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

#### 【0102】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。50

**【0103】**

(実施の形態2)

実施の形態1で示す、第1の基板と第2の基板の間に液晶層を封入する半導体装置において、第2の基板に設けられた対向電極層(第1の対向電極層及び第2の対向電極層)と接続配線を電気的に接続するための接続領域に共通接続部を第1の基板上に形成する他の例を示す。なお、第1の基板にはスイッチング素子として薄膜トランジスタが形成されており、共通接続部の作製工程を画素部のスイッチング素子の作製工程と共に通化させることで工程を複雑にすることなく形成する。

**【0104】**

本実施の形態では、共通接続部は、第1の基板と第2の基板とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電粒子を介して対向電極層と電気的な接続が行われる例を示す。或いは、画素部の外側であり、かつシール材と重ならない箇所に共通接続部を設け、共通接続部に重なるように導電粒子を含むペーストをシール材とは別途設けて、対向電極層と電気的な接続が行われる。

10

**【0105】**

図3(A)は薄膜トランジスタと共に通接続部とを同一基板(第1の基板300)上に作製する半導体装置の断面構造図を示す図である。

**【0106】**

図3(A)において、画素電極層327と電気的に接続する薄膜トランジスタ320は、画素部に設けられるチャネルエッチ型の薄膜トランジスタである。

20

**【0107】**

また、図3(B)は共通接続部の上面図の一例を示す図であり、図中の鎖線A1-A2が図3(A)の共通接続部の断面に相当する。なお、図3(B)において図3(A)と同一の部分には同じ符号を用いて説明する。

**【0108】**

共通電位線310は、ゲート絶縁層302上に設けられ、薄膜トランジスタ320のソース電極層及びドレイン電極層と同じ材料及び同じ工程で作製される。

**【0109】**

また、共通電位線310は、保護絶縁層303で覆われ、保護絶縁層303は、共通電位線310と重なる位置に複数の開口部を有している。この開口部は、薄膜トランジスタ320のドレイン電極層と画素電極層327とを接続するコンタクトホールと同じ工程で作製される。

30

**【0110】**

なお、ここでは面積が大きく異なるため、画素部におけるコンタクトホールと、共通接続部の開口部と使い分けて呼ぶこととする。また、図3(A)では、画素部と共に通接続部とで同じ縮尺で図示しておらず、例えば共通接続部の鎖線A1-A2の長さが500μm程度であるのに対して、薄膜トランジスタの幅は50μm未満であり、実際には10倍以上面積が大きいが、分かりやすくするために、図3(A)に画素部と共に通接続部の縮尺をそれぞれ変えて図示している。

**【0111】**

40

また、共通電極層306は、保護絶縁層303上に設けられ、画素部の画素電極層327と同じ材料及び同じ工程で作製される。

**【0112】**

このように、画素部のスイッチング素子の作製工程と共に通させて共通接続部の作製工程を行う。

**【0113】**

そして画素部と共に通接続部が設けられた第1の基板と、対向電極層を有する第2の基板とをシール材を用いて固定する。

**【0114】**

シール材に導電粒子を含ませる場合は、シール材と共に通接続部が重なるように第1の基板

50

と第2の基板の位置合わせが行われる。例えば、小型の液晶パネルにおいては、画素部の対角に2個の共通接続部がシール材と重ねて配置される。また、大型の液晶パネルにおいては、4個以上の共通接続部がシール材と重ねて配置される。

#### 【0115】

なお、共通電極層306は、シール材に含まれる導電粒子と接触する電極であり、第2の基板の対向電極層と電気的に接続が行われる。

#### 【0116】

液晶注入法を用いる場合は、シール材で第1の基板と第2の基板を固定した後、液晶を第1の基板と第2の基板の間に注入する。また、液晶滴下法を用いる場合は、第2の基板あるいは第1の基板上にシール材を描画し、液晶を滴下させた後、減圧下で第1の基板と第2の基板を貼り合わせる。10

#### 【0117】

なお、本実施の形態では、対向電極層と電気的に接続する共通接続部の例を示したが、この構造は対向電極層と共通接続部の接続に限定されず、対向電極層を他の配線や外部接続端子などと接続する接続部に用いることができる。

#### 【0118】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【0119】

##### (実施の形態3)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ410、420は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。20

#### 【0120】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を図4及び図11を用いて説明する。

#### 【0121】

図4(A)乃至(E)に半導体装置の断面構造を示す。図4(A)乃至(E)に示す薄膜トランジスタ410、420は、チャネルエッチ型と呼ばれるボトムゲート構造の一つであり、逆スタガ型薄膜トランジスタともいう。図4(A)乃至(E)において、薄膜トランジスタ410は駆動回路用薄膜トランジスタであり、薄膜トランジスタ420は画素用薄膜トランジスタである。30

#### 【0122】

また、薄膜トランジスタ410、420はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

#### 【0123】

以下、図4(A)乃至(E)を用い、基板400上に薄膜トランジスタ410、420を作製する工程を説明する。

#### 【0124】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層411、ゲート電極層421を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。40

#### 【0125】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミニウムホウケイ酸ガラスなどのガラス基板を用いることができる。

#### 【0126】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上50

のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、ホウ酸と比較して酸化バリウム(  $BaO$  )を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、  $B_2O_3$  より  $BaO$  を多く含むガラス基板を用いることが好ましい。

#### 【0127】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

#### 【0128】

下地膜となる絶縁膜を基板400とゲート電極層411、及びゲート電極層421との間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

#### 【0129】

また、ゲート電極層411、及びゲート電極層421の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

#### 【0130】

例えば、ゲート電極層411、及びゲート電極層421の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層することが好ましい。

#### 【0131】

次いで、ゲート電極層411、及びゲート電極層421上にゲート絶縁層402を形成する。

#### 【0132】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 $SiH_4$ 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

#### 【0133】

本実施の形態では、ゲート絶縁層402としてプラズマCVD法により膜厚100nmの酸化窒化珪素層を形成する。

#### 【0134】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体層430を形成する。酸化物半導体層430に脱水化または脱水素化のための加熱処理を行っても酸化物半導体層430を非晶質な状態とするため、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体層430の膜厚を薄くすることで酸化物半導体層430を加熱処理しても結晶化してしまうのを抑制することができる。

#### 【0135】

なお、酸化物半導体層430をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層402の表面に付着しているゴミを除去することが好ましい。逆スパッタリングとは、アルゴン雰囲気下で基

10

20

30

40

50

板側に R F 電源を用いて電圧を印加することによって、基板表面をプラズマに曝して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

#### 【 0 1 3 6 】

酸化物半導体層 4 3 0 は、 In - Ga - Zn - O 系非単結晶膜、 In - Sn - Zn - O 系、 In - Al - Zn - O 系、 Sn - Ga - Zn - O 系、 Al - Ga - Zn - O 系、 Sn - Al - Zn - O 系、 In - Zn - O 系、 Sn - Zn - O 系、 Al - Zn - O 系、 In - O 系、 Sn - O 系、 Zn - O 系の酸化物半導体層を用いる。本実施の形態では、酸化物半導体層 4 3 0 として In - Ga - Zn - O 系金属酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図 4 ( A ) に相当する。また、酸化物半導体層 4 3 0 は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 SiO<sub>2</sub> を 2 重量 % 以上 10 重量 % 以下含むターゲットを用いて成膜を行い、酸化物半導体層 4 3 0 に結晶化を阻害する SiO<sub>X</sub> ( X > 0 ) を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。10

#### 【 0 1 3 7 】

ここでは、 In 、 Ga 、及び Zn を含む金属酸化物ターゲット ( In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [ mol % ] 、 In : Ga : Zn = 1 : 1 : 0 . 5 [ atom % ] ) を用いて、基板 4 0 0 とターゲットの間との距離を 1 0 0 mm 、圧力 0 . 2 Pa 、直流 ( DC ) 電源 0 . 5 kW 、アルゴン及び酸素(アルゴン : 酸素 = 30 sccm : 20 sccm 、酸素流量比率 40 % ) 雰囲気下で成膜する。なお、パルス直流 ( DC ) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。 In - Ga - Zn - O 系非単結晶膜の膜厚は、 5 nm 以上 2 0 0 nm 以下とする。本実施の形態では、酸化物半導体層として、 In - Ga - Zn - O 系金属酸化物ターゲットを用いてスパッタリング法により膜厚 2 0 nm の In - Ga - Zn - O 系非単結晶膜を成膜する。また、 In 、 Ga 、及び Zn を含む金属酸化物ターゲットとして、 In : Ga : Zn = 1 : 1 : 1 [ atom % ] 、又は In : Ga : Zn = 1 : 1 : 2 [ atom % ] の組成比を有するターゲットを用いることもできる。20

#### 【 0 1 3 8 】

スパッタリング法にはスパッタリング用電源に高周波電源を用いる R F スパッタリング法と、 DC スパッタリング法があり、さらにパルス的にバイアスを与えるパルス DC スパッタリング法もある。 R F スパッタリング法は主に絶縁膜を成膜する場合に用いられ、 DC スパッタリング法は主に金属膜を成膜する場合に用いられる。30

#### 【 0 1 3 9 】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

#### 【 0 1 4 0 】

また、チャンバー内部に磁石機構を備えたマグネットロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタリング装置がある。40

#### 【 0 1 4 1 】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

#### 【 0 1 4 2 】

次いで、酸化物半導体層 4 3 0 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマ50

スクを使用しないため、製造コストを低減できる。

**【0143】**

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432を得る（図4（B）参照。）。

**【0144】**

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A（G a s R a p i d T h e r m a l A n n e a l）装置、L R T A（L a m p R a p i d T h e r m a l A n n e a l）装置等のR T A（R a p i d T h e r m a l A n n e a l）装置を用いることができる。L R T A装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

**【0145】**

例えば、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を加熱した不活性ガスから出すG R T Aを行ってもよい。G R T Aを用いると短時間での高温加熱処理が可能となる。

**【0146】**

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.9999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

**【0147】**

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体の中に微結晶部（粒径1nm以上20nm以下（代表的には2nm以上4nm以下））が混在する酸化物半導体層となる場合もある。また、R T A（G R T A、L R T A）を用いて高温の加熱処理を行うと、酸化物半導体層の表面側に縦方向（膜厚方向）の針状結晶が生じる場合もある。

**【0148】**

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層430に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

**【0149】**

酸化物半導体層に対する脱水化、脱水素化の加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれで行っても良い。

**【0150】**

また、ゲート絶縁層402にコンタクトホールを形成する場合、その工程は酸化物半導体層430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

**【0151】**

10

20

30

40

50

なお、ここで酸化物半導体層のエッティングは、ウェットエッティングに限定されずドライエッティングを用いててもよい。

#### 【0152】

ドライエッティングに用いるエッティングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（Cl<sub>2</sub>）、塩化硼素（BCl<sub>3</sub>）、塩化珪素（SiCl<sub>4</sub>）、四塩化炭素（CCl<sub>4</sub>）など）が好ましい。

#### 【0153】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF<sub>4</sub>）、弗化硫黄（SF<sub>6</sub>）、弗化窒素（NF<sub>3</sub>）、トリフルオロメタン（CHF<sub>3</sub>）など）、臭化水素（HBr）、酸素（O<sub>2</sub>）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いることができる。

10

#### 【0154】

ドライエッティング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

#### 【0155】

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITOON（関東化学社製）を用いてもよい。

20

#### 【0156】

また、ウェットエッティング後のエッティング液はエッティングされた材料とともに洗浄によって除去される。その除去された材料を含むエッティング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

#### 【0157】

所望の加工形状にエッティングできるように、材料に合わせてエッティング条件（エッティング液、エッティング時間、温度等）を適宜調節する。

#### 【0158】

30

次いで、ゲート絶縁層402、及び酸化物半導体層431、432上に、金属導電膜を形成する。金属導電膜をスパッタリング法や真空蒸着法で形成すればよい。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）、Sc（スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

40

#### 【0159】

金属導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

#### 【0160】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッティングを行ってソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成した後、レジストマスクを除去する（図4（C）参照。）。

50

**【0161】**

なお、金属導電膜のエッティングの際に、酸化物半導体層431、432は除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

**【0162】**

本実施の形態では、金属導電膜としてTi膜を用いて、酸化物半導体層431、432にはIn-Ga-Zn-O系酸化物を用いて、エッティング液として、アンモニア過水(31重量%過酸化水素水：28重量%アンモニア水：水=5:2:2)を用いる。

**【0163】**

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431、432は一部がエッティングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層415a、ドレイン電極層415b、ソース電極層425a、及びドレイン電極層425bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。10

**【0164】**

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッティングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。20

**【0165】**

次いで、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

**【0166】**

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層431、432の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。30

**【0167】**

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層431、432への侵入、又は水素が酸化物半導体層中の酸素を引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層416はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

**【0168】**

本実施の形態では、酸化物絶縁層416として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層416は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。4050

## 【0169】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層431、432の一部（チャネル形成領域）が酸化物絶縁層416と接した状態で加熱される。

## 【0170】

以上の工程を経ることによって、酸化物半導体層431、432は脱水化または脱水素化のための加熱処理によって低抵抗化され、さらに酸化物半導体層431、432の一部は選択的に酸素過剰な状態となる。その結果、ゲート電極層411と重なるチャネル形成領域413はI型となり、ソース電極層415aに重なる高抵抗ソース領域414aと、ドレイン電極層415bに重なる高抵抗ドレイン領域414bとが自己整合的に形成される。以上の工程で薄膜トランジスタ410が形成される。同様に、ゲート電極層421と重なるチャネル形成領域423はI型となり、ソース電極層425aに重なる高抵抗ソース領域424aと、ドレイン電極層425bに重なる高抵抗ドレイン領域424bとが自己整合的に形成される。以上の工程で薄膜トランジスタ420が形成される。

10

## 【0171】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200への昇温と、室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層416の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理よって、酸化物半導体層431、432から酸化物絶縁層416中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

20

## 【0172】

なお、ドレイン電極層415b、425b（及びソース電極層415a、425a）と重畠した酸化物半導体層431、432において高抵抗ドレイン領域414b、424b（又は高抵抗ソース領域414a、424a）を形成することにより、薄膜トランジスタ410、420の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域414b、424bを形成することで、ドレイン電極層415b、425bから高抵抗ドレイン領域414b、424b、チャネル形成領域413、423にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、ドレイン電極層415b、425bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層411、421とドレイン電極層415b、425bとの間に高電界が印加されても高抵抗ドレイン領域415b、425bがバッファとなり局所的な高電界が印加されず、薄膜トランジスタの耐圧を向上させた構成とすることができる。

30

## 【0173】

また、酸化物半導体層431、432における高抵抗ソース領域414a、424a又は高抵抗ドレイン領域415b、425bは、酸化物半導体層431、432の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層431、432の一部、すなわちソース電極層415a、425a又はドレイン電極層415b、425bと接する領域及びその近傍が低抵抗化し高抵抗ソース領域414a、424a又は高抵抗ドレイン領域414b、424bが形成され、酸化物半導体層431、432においてゲート絶縁層402に近い領域はI型とすることもできる。

40

## 【0174】

酸化物絶縁層416上にさらに保護絶縁層403を形成してもよい。例えば、RFスパッタリング法を用いて窒化珪素膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH<sup>-</sup>

50

などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウムなどを用いる。本実施の形態では、保護絶縁層403を窒化珪素膜を用いて形成する（図4（D）参照。）。

#### 【0175】

保護絶縁層403上に平坦化のための平坦化絶縁層を設けてもよい。図4（E）に示すように平坦化絶縁層404を形成する。

#### 【0176】

平坦化絶縁層404としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層404を形成してもよい。10

#### 【0177】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

#### 【0178】

平坦化絶縁層404の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。20

#### 【0179】

また、図11のように平坦化絶縁層を設けずに、酸化物絶縁層416ならびに保護絶縁膜層403上に導電層417、画素電極層427を形成してもよい。

#### 【0180】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層416、保護絶縁層403、平坦化絶縁層404の一部を除去して、ドレン電極層425bに達する開口を形成する。30

#### 【0181】

次いで、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（In<sub>2</sub>O<sub>3</sub>）や酸化インジウム酸化スズ混合酸化物（In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>、ITOと略記する）などをスパッタリング法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜や、窒素を含ませたZn-O系非単結晶膜や、窒素を含ませたSn-Zn-O系非単結晶膜を用いてもよい。なお、Al-Zn-O-N系非単結晶膜の亜鉛の組成比（原子%）は、47原子%以下とし、非単結晶膜中のアルミニウムの組成比（原子%）より大きく、非単結晶膜中のアルミニウムの組成比（原子%）は、非単結晶膜中の窒素の組成比（原子%）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（In<sub>2</sub>O<sub>3</sub>-ZnO）を用いても良い。40

#### 【0182】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザ（EPMA：Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

#### 【0183】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより透光性を有する導電膜の不要な部分を除去して画素電極層427、導電層417を形成50

し、レジストマスクを除去する（図4（E）参照。）。

【0184】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行つても別工程で行つてもよく、別工程で行う場合、フォトリソグラフィ工程が6工程となる。

【0185】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0186】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

10

【0187】

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。

【0188】

（実施の形態4）

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ450、460は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。

20

【0189】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図5を用いて説明する。

【0190】

図5（A）乃至（E）に半導体装置および断面構造を示す。図5（A）乃至（E）に示す薄膜トランジスタ450、460は、チャネル保護型（チャネルトップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0191】

また、薄膜トランジスタ450、460はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

30

【0192】

以下、図5（A）乃至（E）を用い、基板400上に薄膜トランジスタ450、460を作製する工程を説明する。

【0193】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層451、ゲート電極層461を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0194】

40

また、ゲート電極層451、ゲート電極層461の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0195】

次いで、ゲート電極層451、ゲート電極層461上にゲート絶縁層402を形成する。

【0196】

本実施の形態では、ゲート絶縁層402としてプラズマCVD法により膜厚100nmの酸化窒化珪素層を形成する。

【0197】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体層を形

50

成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

#### 【0198】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432を得る(図5(A)参照。)。

10

#### 【0199】

次いで、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

#### 【0200】

次いで、ゲート絶縁層402、及び酸化物半導体層431、432上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層456、酸化物絶縁層466を形成した後、レジストマスクを除去する。

20

#### 【0201】

本実施の形態では、酸化物絶縁層456、酸化物絶縁層466として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素雰囲気下でスパッタリング法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層431、432に接して形成する酸化物絶縁層456および466は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

30

#### 【0202】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層456、466と接した状態で加熱される。

#### 【0203】

本実施の形態は、さらに酸化物絶縁層456、466が設けられ一部が露出している酸化物半導体層431、432を、窒素のような不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層456、466によって覆われていない露出された酸化物半導体層431、432の領域は、窒素のような不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、低抵抗化することができる。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

40

#### 【0204】

酸化物絶縁層456、466が設けられた酸化物半導体層431、432に対する窒素雰囲気下の加熱処理によって、酸化物半導体層431、432の露出領域は低抵抗化し、抵抗の異なる領域(図5(B)においては斜線領域及び白地領域で示す)を有する酸化物半導体層452、462となる。

#### 【0205】

50

次いで、ゲート絶縁層402、酸化物半導体層452、462、及び酸化物絶縁層456、466上に、金属導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層455a、465a、ドレイン電極層455b、465bを形成した後、レジストマスクを除去する(図5(C)参照。)。ソース電極層455aとドレイン電極層455bは酸化物絶縁層456の一部と接し、かつ酸化物半導体層452の一部と接している。同様に、ソース電極層465aとドレイン電極層465bは酸化物絶縁層466の一部と接しつつ酸化物半導体層462の一部と接している。

#### 【0206】

ソース電極層455a、466a、ドレイン電極層455b、466bの材料としては、  
A1、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を  
成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。  
10

#### 【0207】

以上の工程を経ることによって、酸化物半導体層431、432は脱水化または脱水素化のための加熱処理によって低抵抗化され、さらに酸化物半導体層431、432の一部は選択的に酸素過剰な状態となる。その結果、ゲート電極層451、461と重なるチャネル形成領域453、463は、I型となり、ソース電極層455a、465aに重なる高抵抗ソース領域454a、464aと、ドレイン電極層455b、465bに重なる高抵抗ドレイン領域454b、464bとが自己整合的に形成される。以上の工程で薄膜トランジスタ450、460が形成される。  
20

#### 【0208】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200への昇温と、室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層456、466の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層452、462から酸化物絶縁層456、466中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。  
30

#### 【0209】

なお、ドレイン電極層455b、465b(及びソース電極層455a、465a)と重畠した酸化物半導体層452、462において高抵抗ドレイン領域454b、464b(又は高抵抗ソース領域454a、464a)を形成することにより、薄膜トランジスタ450、460の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域454b、464bを形成することで、ドレイン電極層455b、465bから高抵抗ドレイン領域454b、464b、チャネル形成領域453、463にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、ドレイン電極層455b、465bを高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層451、461とドレイン電極層455b、465bとの間に高電界が印加されても高抵抗ドレイン領域454b、464bがバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができます。  
40

#### 【0210】

ソース電極層455a、465a、ドレイン電極層455b、465b、酸化物絶縁層456、酸化物絶縁層466上に保護絶縁層403を形成する。本実施の形態では、保護絶縁層403を、窒化珪素膜を用いて形成する(図5(D)参照。)。

#### 【0211】

なお、ソース電極層455a、465a、ドレイン電極層455b、465b、酸化物絶縁層456、酸化物絶縁層466上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層403を積層してもよい。本実施の形態では、保護絶縁層403上に平坦化絶縁層404を形成する。  
50

縁層 404 を形成する。

【0212】

次いで、第5のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層404及び保護絶縁層403の一部を除去して、ドレン電極層465bに達する開口を形成する。

【0213】

次に、透光性を有する導電膜を成膜し、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層467、導電層457を形成し、レジストマスクを除去する(図5(E)参照。)。

【0214】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行つても別工程で行つてもよく、別工程で行う場合、フォトリソグラフィ工程が7工程となる。

【0215】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0216】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

【0217】

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。

【0218】

(実施の形態5)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ240、260は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。

【0219】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図6を用いて説明する。

【0220】

また、薄膜トランジスタ240、260はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0221】

以下、図6(A)乃至(E)を用い、基板200上に薄膜トランジスタ240、260を作製する工程を説明する。

【0222】

まず、絶縁表面を有する基板200上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層241、ゲート電極層261を形成する。本実施の形態では、ゲート電極層241、ゲート電極層261として、膜厚150nmのタンゲステン膜を、スパッタリング法を用いて形成する。

【0223】

次いで、ゲート電極層241、ゲート電極層261上にゲート絶縁層292を形成する。本実施の形態では、ゲート絶縁層292としてプラズマCVD法により膜厚100nmの酸化窒化珪素層を形成する。

【0224】

次いで、ゲート絶縁層292に、金属導電膜を形成し、第2のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層

10

20

30

40

50

245a、265a、ドレイン電極層245b、265bを形成した後、レジストマスクを除去する(図6(A)参照。)。

#### 【0225】

次に酸化物半導体層295を形成する(図6(B)参照。)。本実施の形態では、酸化物半導体層295としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。酸化物半導体層295を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

#### 【0226】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層296、297を得る(図6(C)参照。)。

#### 【0227】

また、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

#### 【0228】

酸化物半導体層296、297に接する保護絶縁膜となる酸化物絶縁層246を形成する。

#### 【0229】

酸化物絶縁層246は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層246に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層246に水素が含まれると、その水素が酸化物半導体層296、297への侵入、又は水素が酸化物半導体層296、297中の酸素を引き抜き、酸化物半導体層296、297のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成される。よって、酸化物絶縁層246はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

#### 【0230】

本実施の形態では、酸化物絶縁層246として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層246は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

#### 【0231】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層246と接した状態で加熱される。

#### 【0232】

以上の工程を経ることによって、酸化物半導体層296、297は脱水化または脱水素化のための加熱処理によって低抵抗化され、さらに酸化物半導体層296、297は酸素過

10

20

30

40

50

剥な状態となる。その結果、I型の酸化物半導体層242、262が形成される。以上の工程で薄膜トランジスタ240、260が形成される。

#### 【0233】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理よって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。10

#### 【0234】

酸化物絶縁層246上にさらに保護絶縁層293を形成してもよい。例えば、RFスパッタリング法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層293を、窒化珪素膜を用いて形成する(図6(D)参照。)。

#### 【0235】

保護絶縁層293上に平坦化のための平坦化絶縁層294を設けてもよい。本実施の形態では、保護絶縁層293上に平坦化絶縁層294を形成する。

#### 【0236】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層294、保護絶縁層293、及び酸化物絶縁層246の一部を除去して、ドレイン電極層265bに達する開口を形成する。20

#### 【0237】

次に、透光性を有する導電膜を成膜し、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層267、導電層247を形成し、レジストマスクを除去する(図6(E)参照。)。

#### 【0238】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行つても、別工程で行ってもよく、別工程で行う場合、フォトリソグラフィ工程が6工程となる。30

#### 【0239】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【0240】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

#### 【0241】

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。

#### 【0242】

##### (実施の形態6)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ210、220は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。

#### 【0243】

本実施の形態では、薄膜トランジスタを有する半導体装置の作製工程の一部が実施の形態3と異なる例を図10に示す。図10は、図4と工程が一部異なる点以外は同じであるため、同じ箇所の詳細な説明は省略する。本実施の形態では、フォトリソグラフィ工程において、多階調マスクによって形成したマスク層を用いる。4050

## 【0244】

多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、マスク層に対してエッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

## 【0245】

実施の形態1に従って、基板200上に第1のフォトリソグラフィ工程によってゲート電極層211、ゲート電極層221を形成し、ゲート絶縁層202を積層する。ゲート絶縁層202上に酸化物半導体層を形成する。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

10

## 【0246】

脱水化または脱水素化として、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層230を得る。

## 【0247】

次いで、酸化物半導体層230上に、金属導電膜237をスパッタリング法や真空蒸着法で形成する(図10(A)参照。)。

20

## 【0248】

金属導電膜237はソース電極層及びドレイン電極層となる導電膜である。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。

## 【0249】

第2のフォトリソグラフィ工程を行い、酸化物半導体層230、及び金属導電膜237上にレジストマスク231a、231bを形成する。

## 【0250】

30

本実施の形態では、レジストマスク231a、231bを形成するために多階調(高階調)マスクを用いた露光を行う例を示す。まず、レジストマスク231a、231bを形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。レジストはスピンドルコート法で形成してもよいし、インクジェット法で選択的に形成してもよい。レジストをインクジェット法で選択的に形成すると、不要箇所へのレジスト形成を削減することができるので、材料の無駄を軽減することができる。

## 【0251】

次に、露光マスクとして多階調マスク81を用いて、レジストに光を照射して、レジストを露光する。

40

## 【0252】

ここで、多階調マスク81を用いた露光について、図20を用いて説明する。

## 【0253】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数(代表的には二種類)の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することができる。

## 【0254】

多階調マスクの代表例としては、図20(A)に示すようなグレートーンマスク81a、

50

図20(C)に示すようなハーフトーンマスク81bがある。

【0255】

図20(A)に示すように、グレートーンマスク81aは、透光性基板83及びその上に形成される遮光部84並びに回折格子85で構成される。遮光部84においては、光の透過率が0%である。一方、回折格子85はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子85は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0256】

透光性基板83としては、石英等の透光性基板を用いることができる。遮光部84及び回折格子85は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

10

【0257】

グレートーンマスク81aに露光光を照射した場合、図20(B)に示すように、遮光部84においては、光透過率86は0%であり、遮光部84及び回折格子85が設けられていない領域では光透過率86は100%である。また、回折格子85においては、10~70%の範囲で調整可能である。回折格子85における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0258】

図20(C)に示すように、ハーフトーンマスク81bは、透光性基板83及びその上に形成される半透過部87並びに遮光部88で構成される。半透過部87は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部88は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

20

【0259】

ハーフトーンマスク81bに露光光を照射した場合、図20(D)に示すように、遮光部88においては、光透過率89は0%であり、遮光部88及び半透過部87が設けられていない領域では光透過率89は100%である。また、半透過部87においては、10~70%の範囲で調整可能である。半透過部87に於ける光の透過率は、半透過部87の材料により調整可能である。

【0260】

30

多階調マスクを用いて露光した後、現像することで、図10(B)に示すように膜厚の異なる領域を有するレジストマスク231a、231bを形成することができる。

【0261】

次に、レジストマスク231a、231bを用いて第1のエッティング工程を行い、酸化物半導体層230、金属導電膜237をエッティングし島状に加工する。この結果、酸化物半導体層233、235、金属導電層232、234を形成することができる(図10(B)参照。)。

【0262】

次に、レジストマスク231a、231bをアッシングする。この結果、レジストマスクの面積(3次元的に見ると体積)が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジストマスクのレジスト(ゲート電極層211、221の一部と重畠する領域)は除去され、分離されたレジストマスク236a、236b、236c、236dを形成することができる。

40

【0263】

レジストマスク236a、236b、236c、236dを用いて、エッティングにより不要な部分を除去してソース電極層215a、225a、ドレイン電極層215b、225bを形成する(図10(C)参照。)。

【0264】

なお、金属導電層232、234のエッティングの際に、酸化物半導体層233、235も除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

50

**【0265】**

本実施の形態では、金属導電層232、234としてTi膜を用いて、酸化物半導体層233、235にはIn-Ga-Zn-O系酸化物を用いて、エッティング液として、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)を用いる。

**【0266】**

なお、ここでの金属導電層、及び酸化物半導体層のエッティングは、ウェットエッティングに限定されずドライエッティングを用いてもよい。

**【0267】**

ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl<sub>2</sub>)、塩化硼素(BCl<sub>3</sub>)、塩化珪素(SiCl<sub>4</sub>)、四塩化炭素(CCl<sub>4</sub>)など)が好ましい。10

**【0268】**

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF<sub>4</sub>)、弗化硫黄(SF<sub>6</sub>)、弗化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)など)、臭化水素(HBr)、酸素(O<sub>2</sub>)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

**【0269】**

ドライエッティング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の加工形状にエッティングできるように、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。20

**【0270】**

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

**【0271】**

また、ウェットエッティング後のエッティング液はエッティングされた材料とともに洗浄によって除去される。その除去された材料を含むエッティング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッティング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。30

**【0272】**

所望の加工形状にエッティングできるように、材料に合わせてエッティング条件(エッティング液、エッティング時間、温度等)を適宜調節する。

**【0273】**

次に、レジストマスク236a、236b、236d、236eを除去し、酸化物半導体層233、235に接する保護絶縁膜となる酸化物絶縁層216を形成する。本実施の形態では、酸化物絶縁層216として膜厚200nmの酸化珪素膜をスパッタリング法を用いて成膜する。40

**【0274】**

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層216と接した状態で加熱される。

**【0275】**

以上の工程を経ることによって、酸化物半導体層233、235は脱水化または脱水素化のための加熱処理によって低抵抗化され、さらに酸化物半導体層233、235の一部は選択的に酸素過剰な状態となる。その結果、ゲート電極層211と重なるチャネル形成領域213は、I型となり、ソース電極層215aに重なる高抵抗ソース領域214aと、50

ドレイン電極層 215b に重なる高抵抗ドレイン領域 214b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 210 が形成される。同様に、ゲート電極層 221 と重なるチャネル形成領域 223 は、I 型となり、ソース電極層 225a に重なる高抵抗ソース領域 224a と、ドレイン電極層 225b に重なる高抵抗ドレイン領域 224b とが自己整合的に形成される。以上の工程で薄膜トランジスタ 220 が形成される。

#### 【0276】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 への昇温と、室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層 216 の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理よって、酸化物半導体層 233、235 から酸化物絶縁層 216 中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

10

#### 【0277】

酸化物絶縁層 216 上に保護絶縁層 203 を形成する。本実施の形態では、保護絶縁層 203 を、窒化珪素膜を用いて形成する（図 10（D）参照。）。

#### 【0278】

保護絶縁層 203 上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、保護絶縁層 203 上に平坦化絶縁層 204 を形成する。

20

#### 【0279】

次いで、第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層 204、保護絶縁層 203、及び酸化物絶縁層 216 の一部を除去して、ドレイン電極層 225b に達する開口を形成する。

#### 【0280】

次に、透光性を有する導電膜を成膜し、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 227、導電層 217 を形成し、レジストマスクを除去する（図 10（E）参照。）。

#### 【0281】

本実施の形態では、ゲート絶縁層の開口工程は図面においては、例示していないが、ゲート絶縁層の開口は酸化物絶縁層、保護絶縁層の開口と同じフォトリソグラフィ工程で行っても、別工程で行ってもよく、別工程で行う場合、フォトリソグラフィ工程が 4 工程となる。

30

#### 【0282】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【0283】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

#### 【0284】

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。

40

#### 【0285】

##### （実施の形態 7）

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ 270、280 は、実施の形態 1 の駆動回路用薄膜トランジスタ 1223、画素用薄膜トランジスタ 1211、実施の形態 2 の薄膜トランジスタ 320 として用いることができる。

#### 【0286】

本実施の形態では、ゲート電極層、ソース電極層及びドレイン電極層に透光性を有する導電材料を用いる例を図 7 に示す。従って、他は上記実施の形態と同様に行うことができ、

50

上記実施の形態と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

**【0287】**

図7に示す薄膜トランジスタ270、280はチャネルエッチ型の薄膜トランジスタであり、絶縁表面を有する基板250上に、ゲート電極層271、281、ゲート絶縁層252、チャネル形成領域273、高抵抗ソース領域274a、及び高抵抗ドレイン領域274bを有する酸化物半導体層272、チャネル形成領域283、高抵抗ソース領域284a、及び高抵抗ドレイン領域284bを有する酸化物半導体層282、ソース電極層又はドレイン電極層275a、275b、285a、285bを含む。また、薄膜トランジスタ270、280を覆い、チャネル形成領域273、283に接する酸化物絶縁層256が設けられ、さらにその上に保護絶縁層253、平坦化絶縁層254が設けられている。  
10

**【0288】**

画素部において、酸化物絶縁層256、保護絶縁層253、及び平坦化絶縁層254にはソース電極層又はドレイン電極層285bに達する開口(コンタクトホール)が形成され、開口には画素電極層287が形成されている。一方、駆動回路部においては、平坦化絶縁層254上にゲート電極層271、酸化物半導体層272と重なる導電層277が形成されている。

**【0289】**

また、図7において、薄膜トランジスタ270、280のゲート電極層271、281、ソース電極層又はドレイン電極層275a、275b、285a、285bに透光性を有する導電膜を用いる。  
20

**【0290】**

ゲート電極層271、281、ソース電極層又はドレイン電極層275a、275b、285a、285bの材料は、可視光に対して透光性を有する導電材料、例えばIn-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。ゲート電極層271、281、ソース電極層又はドレイン電極層275a、275b、285a、285bに用いる透光性を有する導電材料の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタリング法を用いる場合、SiO<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害するSiO<sub>X</sub>(X>0)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。  
30

**【0291】**

従って、薄膜トランジスタ270、280は透光性を有する薄膜トランジスタとすることができます。

**【0292】**

また、薄膜トランジスタ280が配置される画素には、画素電極層287、または他の電極層(容量電極層など)や、その他の配線層(容量配線層など)に可視光に対して透光性を有する導電膜を用い、高開口率を有する表示装置を実現する。勿論、ゲート絶縁層252、酸化物絶縁層256、保護絶縁層253、平坦化絶縁層254も可視光に対して透光性を有する膜を用いることが好ましい。  
40

**【0293】**

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75~100%である膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、または他の電極層や、その他の配線層に適用する材料として、可視光に対して半透明の導電膜を用いてよい。可視光に対して半透明とは可視光の透過率が50~75%であることを指す。  
50

**【0294】**

薄膜トランジスタ280が透光性を有するため、開口率を向上させることができる。特に10インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタ280の構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度に薄膜トランジスタを配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に2~4個のサブピクセルを有する場合でも、薄膜トランジスタが透光性を有するため、開口率を向上させることができる。また、薄膜トランジスタの構成部材と同工程で同材料を用いて保持容量を形成すると、保持容量も透光性とすることができますため、さらに開口率を向上させることができる。

10

**【0295】**

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

**【0296】****(実施の形態8)**

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ470、480は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。

20

**【0297】**

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態1と異なる例を図8に示す。図8は、図4と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

**【0298】**

実施の形態1に従って、基板400上にゲート電極層471、481を形成し、ゲート絶縁層402を積層する。

**【0299】**

次に酸化物半導体層の形成を行い、酸化物半導体層をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

30

**【0300】**

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは425以上とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度のN<sub>2</sub>Oガス、又は超乾燥エア（露点が-40以下、好ましくは-60以下）を導入して冷却を行う。酸素ガスまたはN<sub>2</sub>Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN<sub>2</sub>Oガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上、（即ち酸素ガスまたはN<sub>2</sub>Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

**【0301】**

なお、加熱処理装置は電気炉に限られず、例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のR T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、L R

50

T A 装置は、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。G R T A とは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。R T A 法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

#### 【0302】

また、脱水化または脱水素化を行う第1の加熱処理後に200 以上400 以下、好ましくは200 以上300 以下の温度で酸素ガスまたはN<sub>2</sub>O ガス雰囲気下での加熱処理を行ってもよい。

#### 【0303】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行うことでもできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

#### 【0304】

以上の工程を経ることによって酸化物半導体層全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層472、482を得る。

#### 【0305】

次いで、酸化物半導体層472、482上に金属導電膜を形成し、その後フォトリソグラフィ工程によりレジストマスクを形成し、選択的に金属導電膜をエッチングしてソース電極層475a、485a、ドレイン電極層475b、485bを形成する。その後スパッタリング法で酸化物絶縁層416を形成する。以上の工程で、薄膜トランジスタ470、480を形成することができる。

#### 【0306】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、例えば、窒素ガス雰囲気下で加熱処理（好ましくは150 以上350 未満）を行ってもよい。例えば、窒素雰囲気下で250 、1時間の加熱処理を行う。

#### 【0307】

また、大気中、100 以上200 以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150 で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 への昇温と、室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜416の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層472、482から酸化物絶縁層416中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

#### 【0308】

酸化物絶縁層416上に保護絶縁層403を形成する。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化珪素膜を用いて形成する。

#### 【0309】

保護絶縁層403上に平坦化のための平坦化絶縁層を設けてもよい。本実施の形態では、保護絶縁層403上に平坦化絶縁層404を形成する。

#### 【0310】

次いで、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って平坦化絶縁層404、保護絶縁層403、及び酸化物絶縁層416の一部を除去して、ドレイン電極層485bに達する開口を形成する。

#### 【0311】

次に、透光性を有する導電膜を成膜し、フォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層487、導電層477を形成し、レジストマスクを除去する（図8参照。）。

10

20

30

40

50

**【0312】**

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

**【0313】**

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。

**【0314】**

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

**【0315】**

(実施の形態9)

10

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ490、491は、実施の形態1の駆動回路用薄膜トランジスタ1223、画素用薄膜トランジスタ1211、実施の形態2の薄膜トランジスタ320として用いることができる。

**【0316】**

本実施の形態では、実施の形態3で示した薄膜トランジスタの酸化物半導体層とソース電極層又はドレイン電極層との間に、ソース領域及びドレイン領域として酸化物導電層をさらに設ける例を図9を用いて示す。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また、図9は、図4と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

20

**【0317】**

図9に示す薄膜トランジスタ490、491はチャネルエッチ型の薄膜トランジスタであり、絶縁表面を有する基板400上に、ゲート電極層411、421、ゲート絶縁層402、少なくともチャネル形成領域413、高抵抗ソース領域414a、及び高抵抗ドレイン領域414bを有する酸化物半導体層412、少なくともチャネル形成領域423、高抵抗ソース領域424a、及び高抵抗ドレイン領域424bを有する酸化物半導体層422、酸化物導電層418a、418b、428a、428b、ソース電極層415a、425a、及びドレイン電極層415b、425bを含む。また、薄膜トランジスタ490、491を覆い、チャネル形成領域413、423に接する酸化物絶縁層416が設けられ、さらにその上に保護絶縁層403、平坦化絶縁層404が積層されている。

30

**【0318】**

実施の形態3に従って、基板400上にゲート電極層411、ゲート電極層421を形成し、ゲート絶縁層402を積層する。ゲート絶縁層402上に酸化物半導体層を形成し、脱水化または脱水素化された酸化物半導体層を形成する。

**【0319】**

脱水化または脱水素化された酸化物半導体層上に酸化物導電層418a、418b、428a、428bを形成する。本実施の形態では酸化物導電層418a、418b、428a、428bを酸化物半導体層412、422と同じフォトリソグラフィ工程によって形状を加工する例を示すが、酸化物導電層418a、418b、428a、428bはソース電極層415a、425a及びドレイン電極層415b、425bと同じフォトリソグラフィ工程によって形状を加工してもよい。

40

**【0320】**

酸化物導電層418a、418b、428a、428bの成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層418a、418b、428a、428bの材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電層418a、418b、428a、428bとして、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。膜厚は50nm以上300nm以下の範囲内で適宜選択する。また

50

、スパッタリング法を用いる場合、 $\text{SiO}_2$ を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物導電層に結晶化を阻害する $\text{SiO}_x$ ( $X > 0$ )を含ませることが好ましい。

#### 【0321】

本実施の形態では酸化物導電層418a、418b、428a、428bを酸化物半導体層と同じフォトリソグラフィ工程によって形状を加工した後、ソース電極層415a、425a、ドレイン電極層415b、425bをマスクとして、さらに酸化物導電層をエッチングし、酸化物導電層418a、418b、428a、428bを形成する。酸化亜鉛を成分とする酸化物導電層418a、418b、428a、428bは、例えばレジストの剥離液のようなアルカリ性溶液を用いて容易にエッチングすることができる。

10

#### 【0322】

酸化物半導体層と酸化物導電層のエッチング速度の差を利用して、チャネル領域を形成するためには酸化物導電層を分割するためのエッチング処理を行う。酸化物導電層のエッチング速度が酸化物半導体層と比較して速いことを利用して、酸化物半導体層上の酸化物導電層を選択的にエッチングする。

#### 【0323】

よって、ソース電極層415a、425a、ドレイン電極層415b、425bの形成に用いるレジストマスクの除去は、アッシング工程によって除去することが好ましい。剥離液を用いたエッチングの場合は、酸化物導電層及び酸化物半導体層が過剰にエッチングされないように、エッチング条件(エッチャントの種類、濃度、エッチング時間)を適宜調整する。

20

#### 【0324】

酸化物半導体層412、422と金属材料からなるドレイン電極層415b、425bの間に設けられる酸化物導電層418b、428bは低抵抗ドレイン領域(LRN(Low Resistance N-type conductivity)領域、LRD(Low Resistance Drain)領域とも呼ぶ)としても機能する。同様に、酸化物半導体層412、422と金属材料からなるソース電極層415a、425aの間に設けられる酸化物導電層418a、428aは低抵抗ソース領域(LRN(Low Resistance N-type conductivity)領域、LRS(Low Resistance Source)領域とも呼ぶ)としても機能する。酸化物半導体層、低抵抗ドレイン領域、金属材料からなるドレイン電極層の構成とすることによって、よりトランジスタの耐圧を向上させることができる。具体的には、低抵抗ドレイン領域のキャリア濃度は、高抵抗ドレイン領域(HRD領域)よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

30

#### 【0325】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。ソース領域及びドレイン領域として酸化物導電層を用いることは、周辺回路(駆動回路)の周波数特性を向上させるために有効である。金属電極(Ti等)と酸化物半導体層との接触に比べ、金属電極(Ti等)と酸化物導電層との接触は、接触抵抗を下げることができるからである。

40

#### 【0326】

また、半導体装置で配線材料の一部として用いられているモリブデン(Mo)は(例えば、Mo/Al/Mo)、酸化物半導体層との接触抵抗が高くて課題であった。これは、Tiに比べMoは酸化しにくいため酸化物半導体層から酸素を引き抜く作用が弱く、Moと酸化物半導体層の接触界面がn型化しないためである。しかし、かかる場合でも、酸化物半導体層とソース電極層及びドレイン電極層との間に酸化物導電層を介在させることで接触抵抗を低減でき、周辺回路(駆動回路)の周波数特性を向上させることができる。

#### 【0327】

薄膜トランジスタのチャネル長が、酸化物導電層のエッチングの際に決められるため、よ

50

り短チャネル化ができる。例えば、チャネル長 L 0 . 1 μm 以上 2 μm 以下と短くして、動作速度を高速化することができる。

#### 【0328】

実施の形態 3 を例として説明したが、本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【0329】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、寄生容量を低減し、低消費電力の半導体装置を提供することができる。

#### 【0330】

また、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、信頼性の高い半導体装置を提供することができる。10

#### 【0331】

(実施の形態 10 )

本実施の形態は、本明細書で開示される半導体装置の一例として、液晶表示装置を示す。

#### 【0332】

本明細書に開示される半導体装置としては、特に限定されず、TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 型液晶、GH 液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。20

#### 【0333】

また、以下に VA 型の液晶表示装置の一例を示す。

#### 【0334】

VA 型とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に液晶分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。30

#### 【0335】

図 12 と図 13 は、基板 600 上に形成された VA 型液晶表示パネルの画素構造を示している。図 13 は基板 600 の平面図であり、図中に示す切断線 Y - Z に対応する断面構造を図 12 に表している。

#### 【0336】

この画素構造は、一つの画素に複数の画素電極層が有り、それぞれの画素電極層に TFT が接続されている。各 TFT は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極層に印加する信号を、独立して制御する構成を有している。40

#### 【0337】

画素電極層 624 はコンタクトホール 623 を介して TFT 628 のソース電極層又はドレイン電極層 618 と接続している。また、画素電極層 626 は絶縁層 620、絶縁層 620 を覆う絶縁層 621、絶縁層 621 を覆う絶縁層 622 に設けられたコンタクトホール 627 を介して TFT 629 のソース電極層又はドレイン電極層 619 と接続している。TFT 628 のゲート配線 602 と、TFT 629 のゲート配線 603 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層 616 は、TFT 628 と TFT 629 で共通に用いられている。TFT 628 と TFT 629 は実施の形態 3 乃至 9 のいずれか一の薄膜トランジスタを適宜用いることができる。50

**【 0 3 3 8 】**

また、容量配線 6 9 0 が設けられ、ゲート絶縁層 6 0 6 を誘電体とし、画素電極層または画素電極層と電気的に接続する容量電極と保持容量を形成する。

**【 0 3 3 9 】**

画素電極層 6 2 4 と画素電極層 6 2 6 の形状は異なっており、スリット 6 2 5 によって分離されている。V 字型に広がる画素電極層 6 2 4 の外側を囲むように画素電極層 6 2 6 が形成されている。画素電極層 6 2 4 と画素電極層 6 2 6 に印加する電圧のタイミングを、TFT 6 2 8 及び TFT 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 15 に示す。TFT 6 2 8 はゲート配線 6 0 2 と接続し、TFT 6 2 9 はゲート配線 6 0 3 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 は異なるゲート信号を与えることで、TFT 6 2 8 と TFT 6 2 9 の動作タイミングを異ならせることができる。10

**【 0 3 4 0 】**

対向基板 6 0 1 には、遮光膜 6 3 2 、着色膜 6 3 6 、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間にはオーバーコート膜とも呼ばれる平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。配向膜 6 4 8 が画素電極層 6 2 4 、6 2 6 上に設けられ、また、配向膜 6 4 6 が対向電極層 6 4 0 に設けられる。図 14 に対向基板側の構造を示す。対向電極層 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極層 6 2 4 及び画素電極層 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。20

**【 0 3 4 1 】**

対向電極層 6 4 0 は画素部に設けられる第 1 の対向電極層であり、駆動回路部に設けられる第 2 の対向電極層と同電位である。第 2 の対向電極層を駆動回路部上に設けることによつて、高信頼性及び低消費電力の半導体装置とすることができます。

**【 0 3 4 2 】**

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 1 の液晶素子 6 5 1 が形成されている。また、画素電極層 6 2 6 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 2 の液晶素子 6 5 2 が形成されている。また、画素構造は一画素に第 1 の液晶素子 6 5 1 と第 2 の液晶素子 6 5 2 が設けられたマルチドメイン構造である。30

**【 0 3 4 3 】**

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

**【 0 3 4 4 】****( 実施の形態 11 )**

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラなどのカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。40

**【 0 3 4 5 】**

図 16 ( A ) は、携帯電話機の一例を示している。携帯電話機 1 1 0 0 は、筐体 1 1 0 1 に組み込まれた表示部 1 1 0 2 の他、操作ボタン 1 1 0 3 、外部接続ポート 1 1 0 4 、スピーカー 1 1 0 5 、マイク 1 1 0 6 などを備えている。

**【 0 3 4 6 】**

図 16 ( A ) に示す携帯電話機 1 1 0 0 は、表示部 1 1 0 2 を指などで触ることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1 1 0 2 を指などで触れることにより行うことができる。50

**【 0 3 4 7 】**

表示部 1102 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

**【 0 3 4 8 】**

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1102 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1102 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好みしい。

**【 0 3 4 9 】**

また、携帯電話機 1100 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1100 の向き（縦か横か）を判断して、表示部 1102 の画面表示を自動的に切り替えるようにすることができる。

**【 0 3 5 0 】**

また、画面モードの切り替えは、表示部 1102 を触れること、又は筐体 1101 の操作ボタン 1103 の操作により行われる。また、表示部 1102 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

**【 0 3 5 1 】**

また、入力モードにおいて、表示部 1102 の光センサで検出される信号を検知し、表示部 1102 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

**【 0 3 5 2 】**

表示部 1102 は、イメージセンサとして機能させることもできる。例えば、表示部 1102 に掌や指を触ることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

**【 0 3 5 3 】**

表示部 1102 には、画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置する。

**【 0 3 5 4 】**

図 16 (B) も携帯電話機の一例である。図 16 (B) を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

**【 0 3 5 5 】**

図 16 (B) に示す携帯型情報端末は、筐体 1800 及び筐体 1801 の二つの筐体で構成されている。筐体 1801 には、表示パネル 1802、スピーカー 1803、マイクロフォン 1804、ポインティングデバイス 1806、カメラ用レンズ 1807、外部接続端子 1808 などを備え、筐体 1800 には、キーボード 1810、外部メモリスロット 1811などを備えている。また、アンテナは筐体 1801 内部に内蔵されている。

**【 0 3 5 6 】**

また、表示パネル 1802 はタッチパネルを備えており、図 16 (B) には映像表示されている複数の操作キー 1805 を点線で示している。

**【 0 3 5 7 】**

また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵していてもよい。

**【 0 3 5 8 】**

発光装置は、表示パネル 1802 に用いることができ、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 1802 と同一面上にカメラ用レンズ 1807 を備えているため、テレビ電話が可能である。スピーカー 1803 及びマイクロフォン 1804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 1800 と筐

10

20

30

40

50

体 1801 は、スライドし、図 16 (B) のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。

#### 【0359】

外部接続端子 1808 は A C アダプタ及び U S B ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 1811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

#### 【0360】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

10

#### 【0361】

図 17 (A) は、テレビジョン装置の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することができる。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

#### 【0362】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

20

#### 【0363】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

#### 【0364】

表示部 9603 には、画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置する。

#### 【0365】

30

図 17 (B) は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することができる、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

#### 【0366】

表示部 9703 には、画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置する。

#### 【0367】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（U S B 端子、U S B ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

40

#### 【0368】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

#### 【0369】

図 18 は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 988

50

2が組み込まれ、筐体9891には表示部9883が組み込まれている。

**【0370】**

表示部9883には、画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置する。

**【0371】**

また、図18に示す携帯型遊技機は、その他、スピーカー部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図18に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図18に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。10

**【0372】**

以上のように、実施の形態1乃至10のいずれかで示した半導体装置は、上記のような様々な電子機器の表示パネルに適用することができ、信頼性の高い電子機器を提供することができる。20

**【0373】**

（実施の形態12）

本明細書に開示する半導体装置は、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図19に示す。

**【0374】**

図19は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。30

**【0375】**

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図19では表示部2705）に文章を表示し、左側の表示部（図19では表示部2707）に画像を表示することができる。

**【0376】**

また、図19では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

**【0377】**

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

**【0378】**

50

20

30

40

50

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【0379】

8 1	多階調マスク	
8 1 a	グレートーンマスク	
8 1 b	ハーフトーンマスク	
8 3	透光性基板	
8 4	遮光部	
8 5	回折格子	
8 6	光透過率	10
8 7	半透過部	
8 8	遮光部	
8 9	光透過率	
2 0 0	基板	
2 0 2	ゲート絶縁層	
2 0 3	保護絶縁層	
2 0 4	平坦化絶縁層	
2 1 0	薄膜トランジスタ	
2 1 1	ゲート電極層	
2 1 3	チャネル形成領域	20
2 1 4 a	高抵抗ソース領域	
2 1 4 b	高抵抗ドレイン領域	
2 1 5 a	ソース電極層	
2 1 5 b	ドレイン電極層	
2 1 6	酸化物絶縁層	
2 1 7	導電層	
2 2 0	薄膜トランジスタ	
2 2 1	ゲート電極層	
2 2 3	チャネル形成領域	
2 2 4 a	高抵抗ソース領域	30
2 2 4 b	高抵抗ドレイン領域	
2 2 5 a	ソース電極層	
2 2 5 b	ドレイン電極層	
2 2 7	画素電極層	
2 3 0	酸化物半導体層	
2 3 1 a	レジストマスク	
2 3 1 b	レジストマスク	
2 3 2	金属導電層	
2 3 3	酸化物半導体層	
2 3 6 a	レジストマスク	40
2 3 6 b	レジストマスク	
2 3 6 d	レジストマスク	
2 3 6 e	レジストマスク	
2 3 7	金属導電膜	
2 4 0	薄膜トランジスタ	
2 4 1	ゲート電極層	
2 4 2	酸化物半導体層	
2 4 5 a	ソース電極層	
2 4 5 b	ドレイン電極層	
2 4 6	酸化物絶縁層	50

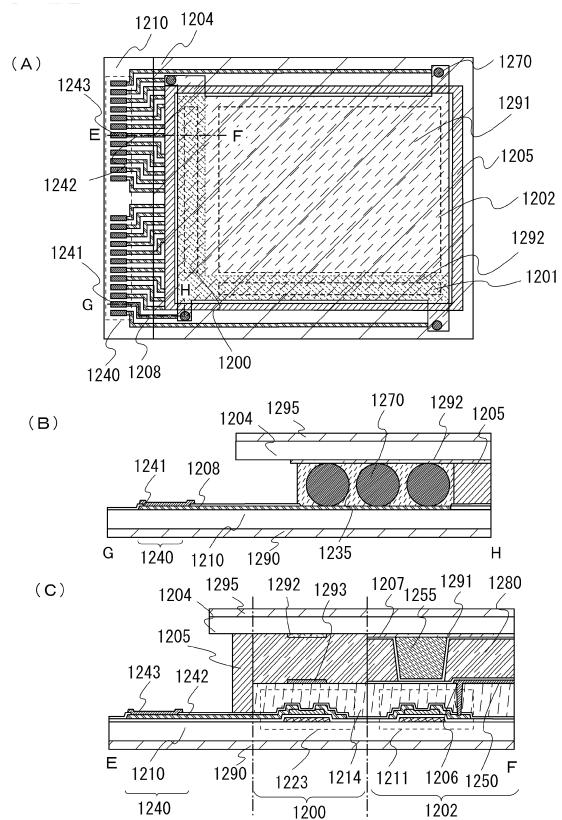
2 4 7	導電層	
2 5 0	基板	
2 5 2	ゲート絶縁層	
2 5 3	保護絶縁層	
2 5 4	平坦化絶縁層	
2 5 6	酸化物絶縁層	
2 6 1	ゲート電極層	
2 6 5 a	ソース電極層	
2 6 5 b	ドレイン電極層	
2 6 7	画素電極層	10
2 7 0	薄膜トランジスタ	
2 7 1	ゲート電極層	
2 7 2	酸化物半導体層	
2 7 3	チャネル形成領域	
2 7 4 a	高抵抗ソース領域	
2 7 4 b	高抵抗ドレイン領域	
2 7 5 a	ソース電極層	
2 7 5 b	ドレイン電極層	
2 8 4 a	高抵抗ソース領域	20
2 8 4 b	高抵抗ドレイン領域	
2 8 5 a	ソース電極層	
2 8 5 b	ドレイン電極層	
2 7 7	導電層	
2 8 0	薄膜トランジスタ	
2 8 2	酸化物半導体層	
2 8 3	チャネル形成領域	
2 8 7	画素電極層	
2 9 2	ゲート絶縁層	
2 9 3	保護絶縁層	
2 9 4	平坦化絶縁層	30
2 9 5	酸化物半導体層	
2 9 6	酸化物半導体層	
3 0 2	ゲート絶縁層	
3 0 3	保護絶縁層	
3 0 6	共通電極層	
3 1 0	共通電位線	
3 2 0	薄膜トランジスタ	
3 2 7	画素電極層	
4 0 0	基板	
4 0 2	ゲート絶縁層	40
4 0 3	保護絶縁層	
4 0 4	平坦化絶縁層	
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 2	酸化物半導体層	
4 1 3	チャネル形成領域	
4 1 4 a	高抵抗ソース領域	
4 1 4 b	高抵抗ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	50

4 1 8 a	酸化物導電層	
4 1 8 b	酸化物導電層	
4 2 4 a	高抵抗ソース領域	
4 2 4 b	高抵抗ドレイン領域	
4 2 5 a	ソース電極層	
4 2 5 b	ドレイン電極層	
4 2 8 a	酸化物導電層	
4 2 8 b	酸化物導電層	
4 5 4 a	高抵抗ソース領域	10
4 5 4 b	高抵抗ドレイン領域	
4 5 5 a	ソース電極層	
4 5 5 b	ドレイン電極層	
4 6 5 a	ソース電極層	
4 6 5 b	ドレイン電極層	
4 7 5 a	ソース電極層	
4 7 5 b	ドレイン電極層	
4 8 5 a	ソース電極層	
4 8 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 1 7	導電層	20
4 2 0	薄膜トランジスタ	
4 2 1	ゲート電極層	
4 2 2	酸化物半導体層	
4 2 3	チャネル形成領域	
4 2 7	画素電極層	
4 3 0	酸化物半導体層	
4 3 1	酸化物半導体層	
4 5 0	薄膜トランジスタ	
4 5 1	ゲート電極層	
4 5 2	酸化物半導体層	30
4 5 3	チャネル形成領域	
4 5 6	酸化物絶縁層	
4 5 7	導電層	
4 6 1	ゲート電極層	
4 6 6	酸化物絶縁層	
4 6 7	画素電極層	
4 7 0	薄膜トランジスタ	
4 7 1	ゲート電極層	
4 7 2	酸化物半導体層	
4 8 7	画素電極層	40
4 9 0	薄膜トランジスタ	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 6	ゲート絶縁層	
6 1 6	ドレイン電極層	
6 1 8	ドレイン電極層	
6 1 9	ドレイン電極層	
6 2 0	絶縁層	50

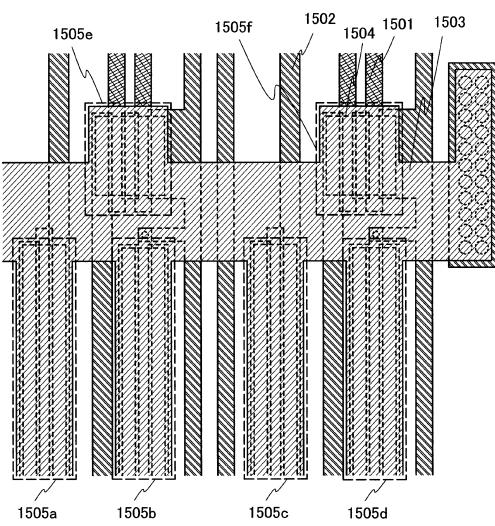
6 2 1	絶縁層	
6 2 2	絶縁層	
6 2 3	コンタクトホール	
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	TFT	
6 2 9	TFT	
6 3 2	遮光膜	10
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 5 0	液晶層	
6 9 0	容量配線	
1 1 0 0	携帯電話機	
1 1 0 1	筐体	
1 1 0 2	表示部	
1 1 0 3	操作ボタン	20
1 1 0 4	外部接続ポート	
1 1 0 5	スピーカー	
1 1 0 6	マイク	
1 2 0 0	信号線駆動回路	
1 2 0 1	走査線駆動回路	
1 2 0 2	画素部	
1 2 0 4	基板	
1 2 0 5	シール材	
1 2 0 6	配向膜	
1 2 0 7	配向膜	30
1 2 0 8	接続配線	
1 2 1 0	基板	
1 2 1 1	画素用薄膜トランジスタ	
1 2 1 4	絶縁層	
1 2 2 3	駆動回路用薄膜トランジスタ	
1 2 3 5	樹脂層	
1 2 4 0	端子部	
1 2 4 1	接続端子	
1 2 4 2	接続配線	
1 2 4 3	接続端子	40
1 2 5 0	画素電極層	
1 2 5 5	柱状スペーサー	
1 2 7 0	導電粒子	
1 2 8 0	液晶	
1 2 9 0	偏光板	
1 2 9 1	対向電極層	
1 2 9 2	対向電極層	
1 2 9 3	導電層	
1 2 9 5	偏光板	
1 5 0 1	ゲート電極層	50

1 5 0 2	ソース配線層	
1 5 0 3	導電層	
1 5 0 4	半導体層	
1 5 0 5 a	薄膜トランジスタ	
1 8 0 0	筐体	
1 8 0 1	筐体	
1 8 0 2	表示パネル	
1 8 0 3	スピーカー	
1 8 0 4	マイクロフォン	
1 8 0 5	操作キー	10
1 8 0 6	ポインティングデバイス	
1 8 0 7	カメラ用レンズ	
1 8 0 8	外部接続端子	
1 8 1 0	キーボード	
1 8 1 1	外部メモリスロット	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	20
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	30
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカー部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	40
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	

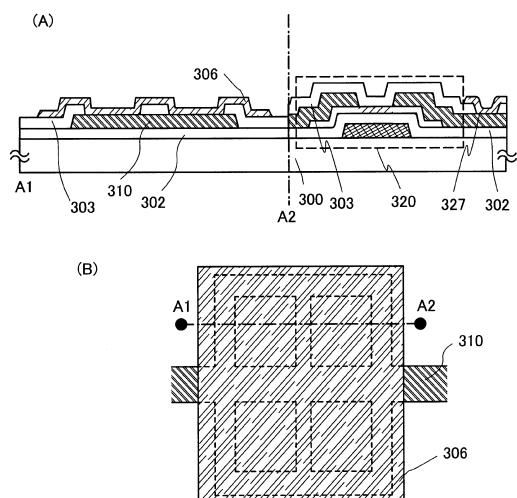
【図1】



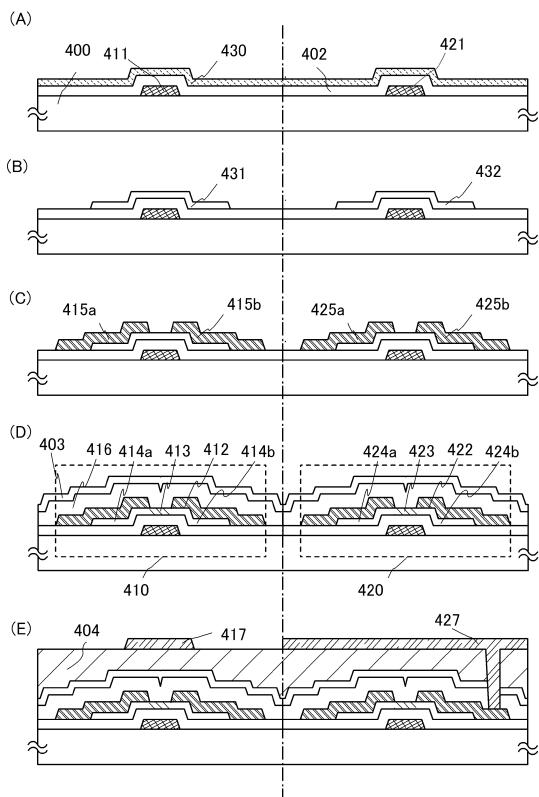
【図2】



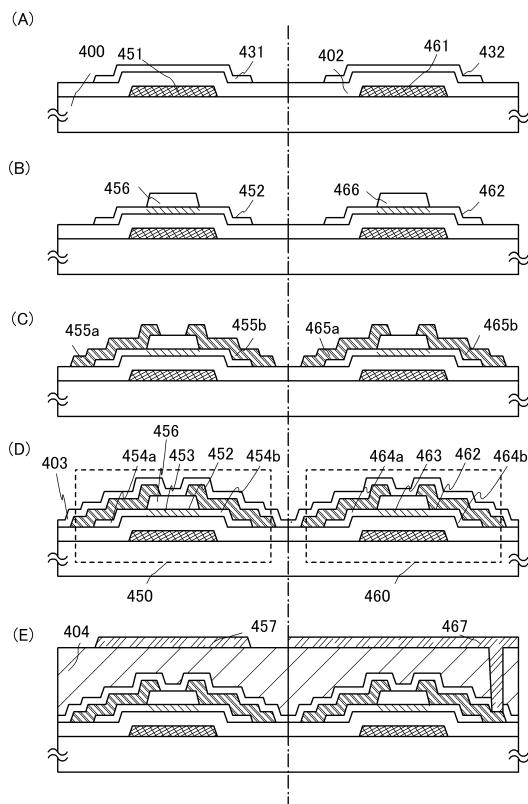
【図3】



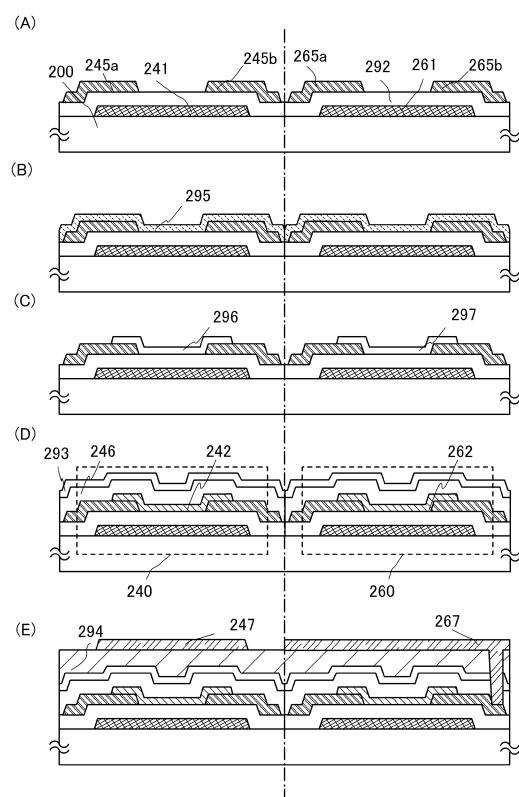
【図4】



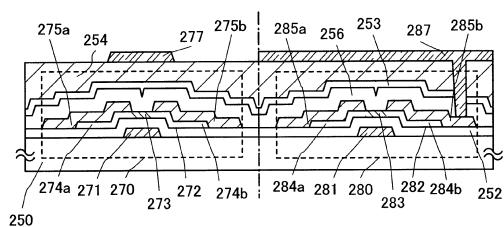
【図5】



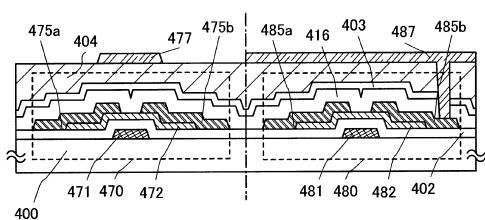
【図6】



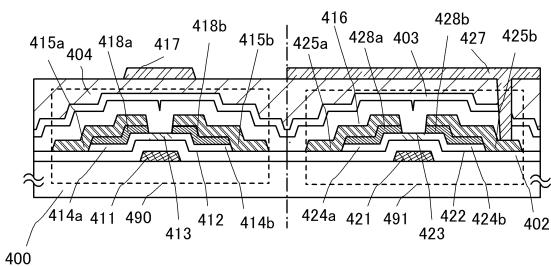
【図7】



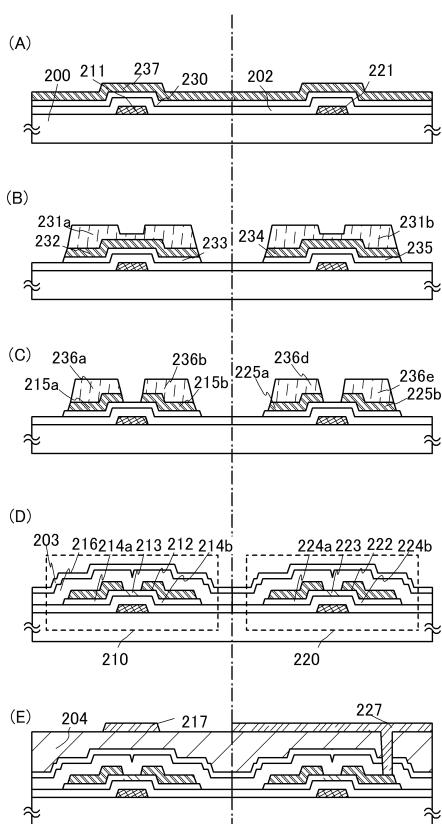
【図8】



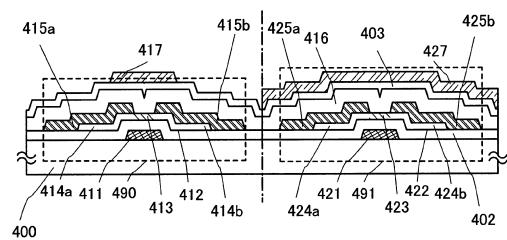
【図9】



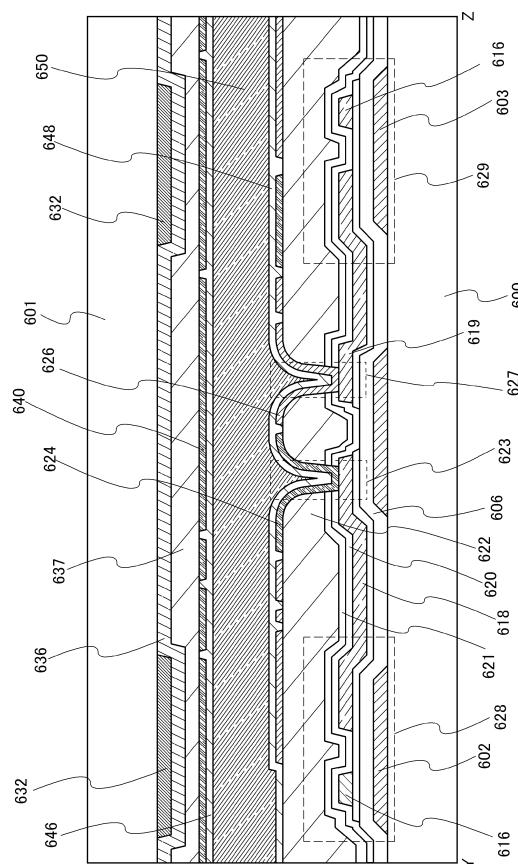
【図10】



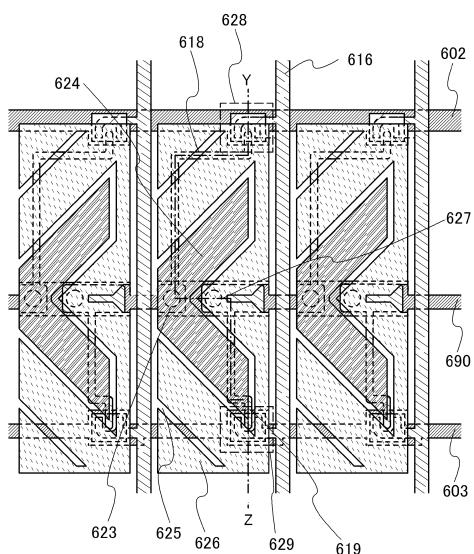
【図11】



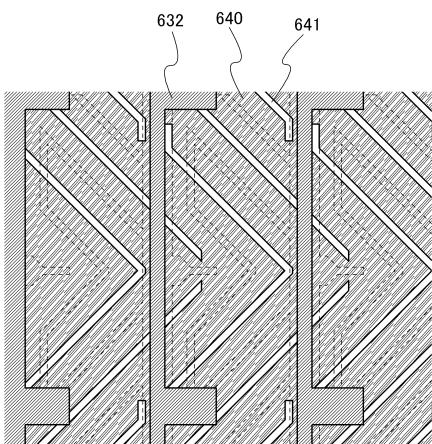
【図12】



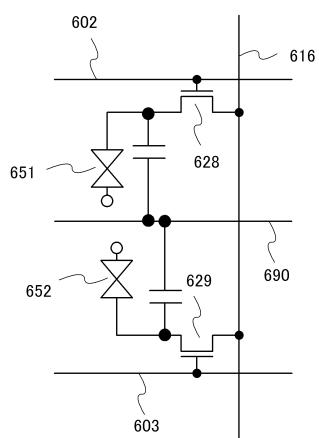
【図13】



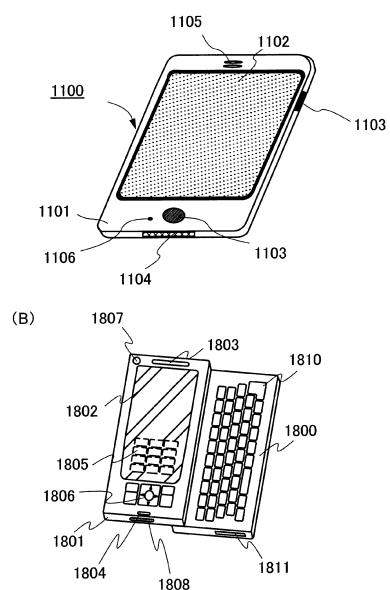
【図14】



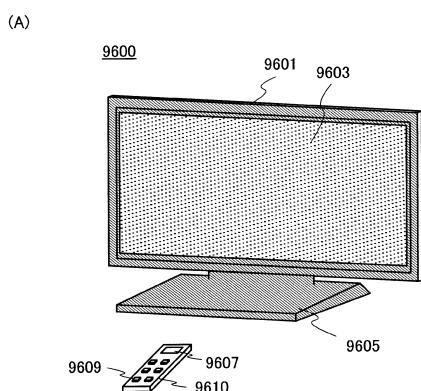
【図15】



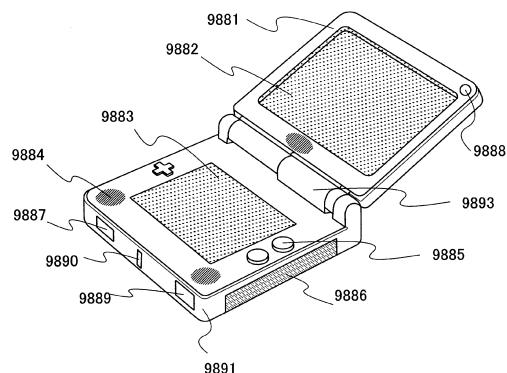
【図16】



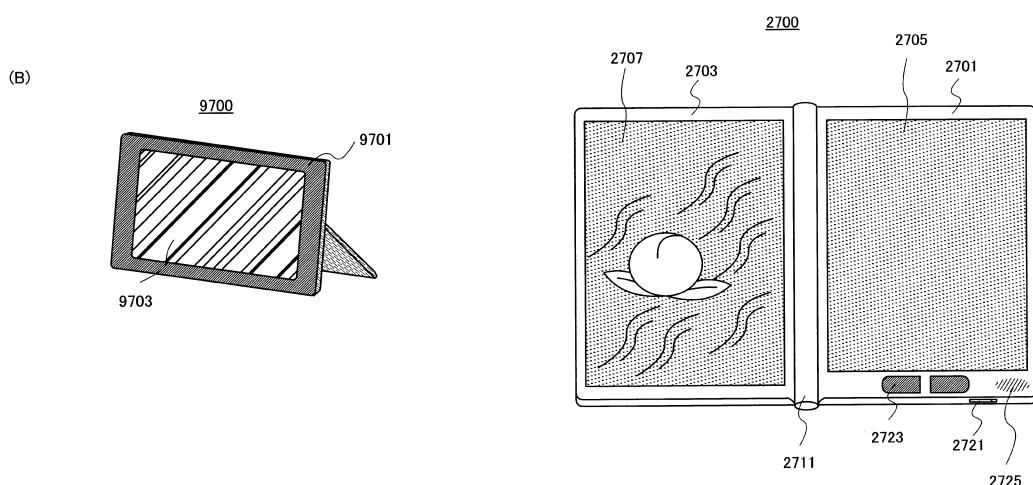
【図17】



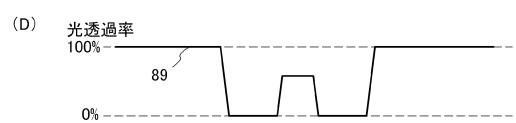
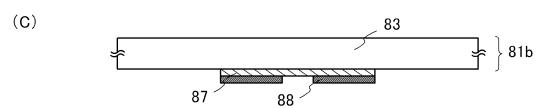
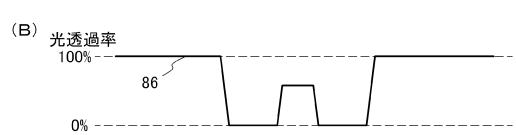
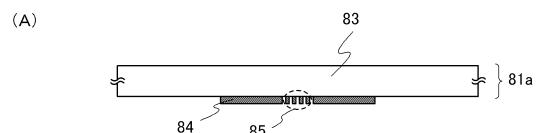
【図18】



【図19】



【図20】



---

フロントページの続き

(56)参考文献 特開2010-181668(JP,A)  
特開2010-181785(JP,A)  
特開2007-123861(JP,A)  
特開平06-258661(JP,A)  
特開平08-062635(JP,A)  
特開2002-229052(JP,A)  
特表2005-519344(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 F 1 / 1368  
G 02 F 1 / 1343  
H 01 L 29 / 78