



(21) 申請案號：112112559

(22) 申請日：中華民國 112 (2023) 年 03 月 31 日

(51) Int. Cl. : G06F9/46 (2006.01)

G06F9/22 (2006.01)

G06F17/16 (2006.01)

(30) 優先權：2022/04/13

英國

2205498.5

(71) 申請人：英商 A R M 股份有限公司 (英國) ARM LIMITED (GB)

英國

(72) 發明人：米拉諾維奇 伊蓮娜 MILANOVIC, JELENA (GB)；馬帝諾 克勞迪奧 MARTINO,

CLAUDIO (FR)；史蒂文斯 奈吉爾約翰 STEPHENS, NIGEL JOHN (GB)；格拉

塞 阿諾菲利普克勞德 GRASSET, ARNAUD PHILIPPE CLAUDE (FR)；桑卡拉納

拉亞南 賈亞斯帝 SANKARANARAYANAN, JAYASREE (IN)

(74) 代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：10 項 圖式數：14 共 68 頁

(54) 名稱

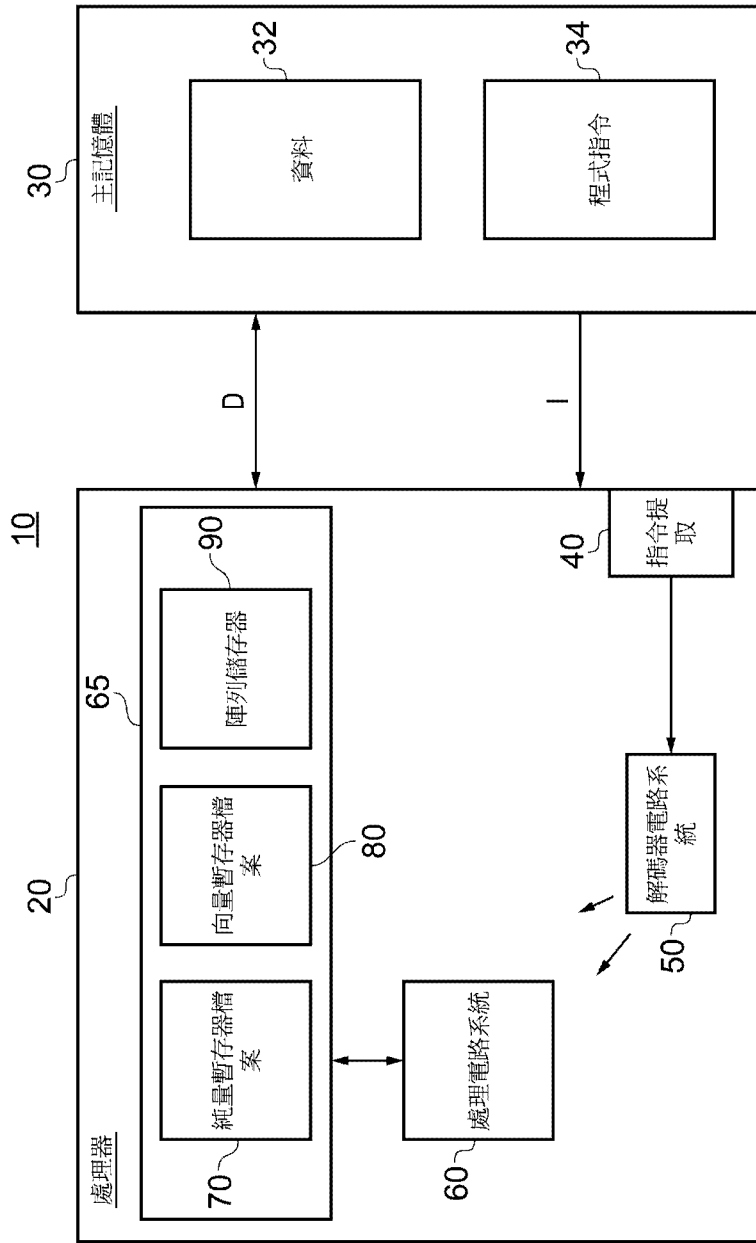
用於處置儲存在陣列儲存器中之資料元素之技術

(57) 摘要

提供一種設備，其包含：處理電路系統，其用以執行操作；指令解碼器電路系統，其用以解碼指令以控制該處理電路系統，以執行由該等指令指定的該等操作；及陣列儲存器，其包含用以儲存資料元素之儲存元件。該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維。該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

An apparatus is provided comprising processing circuitry to perform operations, instruction decoder circuitry to decode instructions to control the processing circuitry to perform the operations specified by the instructions, and array storage comprising storage elements to store data elements. The array storage is arranged to store at least one two dimensional array of data elements accessible to the processing circuitry when performing the operations, each two dimensional array of data elements comprising a plurality of vectors of data elements, where each vector is one dimensional. The instruction decoder circuitry is arranged, in response to decoding a zero vectors instruction that identifies multiple vectors of data elements of a given two dimensional array of data elements within the array storage, to also decode a subsequent accumulate instruction arranged to operate on the identified multiple vectors of data elements, and to control the processing circuitry to perform a non-accumulating variant of an accumulate operation specified by the accumulate instruction to produce result data elements for storing in the identified multiple vectors within the array storage.

指定代表圖：



符號簡單說明：

10:資料處理系統

20:處理器

30:記憶體

32:資料值

34:程式指令

40:指令提取單元

50:解碼器電路系統/指令解碼器電路系統/解碼器

60:處理電路系統

65:暫存器儲存器/架構暫存器

70:純量暫存器檔案/純量暫存器

80:向量暫存器檔案/向量暫存器

90:陣列儲存器

【圖1】



## 【發明摘要】

【中文發明名稱】 用於處置儲存在陣列儲存器中之資料元素之技術

【英文發明名稱】 TECHNIQUE FOR HANDLING DATA ELEMENTS

STORED IN AN ARRAY STORAGE

【中文】

提供一種設備，其包含：處理電路系統，其用以執行操作；指令解碼器電路系統，其用以解碼指令以控制該處理電路系統，以執行由該等指令指定的該等操作；及陣列儲存器，其包含用以儲存資料元素之儲存元件。該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維。該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

【英文】

An apparatus is provided comprising processing circuitry to perform operations, instruction decoder circuitry to decode instructions to control the processing circuitry to perform the operations specified by the instructions, and array storage comprising storage elements to store data elements. The array storage is arranged to store at least one two dimensional array of data elements accessible to the processing circuitry

when performing the operations, each two dimensional array of data elements comprising a plurality of vectors of data elements, where each vector is one dimensional. The instruction decoder circuitry is arranged, in response to decoding a zero vectors instruction that identifies multiple vectors of data elements of a given two dimensional array of data elements within the array storage, to also decode a subsequent accumulate instruction arranged to operate on the identified multiple vectors of data elements, and to control the processing circuitry to perform a non-accumulating variant of an accumulate operation specified by the accumulate instruction to produce result data elements for storing in the identified multiple vectors within the array storage.

【指定代表圖】圖1

【代表圖之符號簡單說明】

10:資料處理系統

20:處理器

30:記憶體

32:資料值

34:程式指令

40:指令提取單元

50:解碼器電路系統/指令解碼器電路系統/解碼器

60:處理電路系統

65:暫存器儲存器/架構暫存器

70:純量暫存器檔案/純量暫存器

80:向量暫存器檔案/向量暫存器

90:陣列儲存器

【特徵化學式】無

## 【發明說明書】

【中文發明名稱】 用於處置儲存在陣列儲存器中之資料元素之技術

【英文發明名稱】 TECHNIQUE FOR HANDLING DATA ELEMENTS

STORED IN AN ARRAY STORAGE

【技術領域】

【0001】 本技術係關於資料處理領域，且更具體地係關於處置儲存在陣列儲存器中之資料元素。

【先前技術】

【0002】 一些現代資料處理系統可提供用於儲存一或多個二維陣列資料元素之一陣列儲存器，當執行資料處理操作時可由該資料處理系統之處理電路系統存取該等資料元素。此可提供用於執行多種不同類型之操作的有效機制，例如包括累加函數的操作，其中該等累加輸出可維持在二維陣列資料元素內。

【0003】 然而，為了充分利用從使用此類陣列儲存器可能實現的效率增益，提供一種用以釋放該陣列儲存器之資源以供結合後續操作使用之有效機制係有益的。

【發明內容】

【0004】 根據一個實例配置，提供一種設備，其包含：處理電路系統，以執行操作；指令解碼器電路系統，以解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及陣列儲存器，其包含用以儲存資料元素之儲存元件，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操

作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；其中該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以接著執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【0005】** 在另一實例配置中，提供一種處置一設備之一陣列儲存器內的資料元素之方法，其包含：利用處理電路系統執行操作；利用指令解碼器電路系統解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；在該陣列儲存器中提供儲存元件以儲存資料元素，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；及利用該指令解碼器電路系統以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【0006】** 在一更進一步實例配置中，提供一種電腦程式，其用於控制一主機資料處理設備以提供一指令執行環境，該指令執行環境，其包含：處理程式邏輯，以執行操作；指令解碼程式邏輯，以解碼指令，以控制該處理程式邏輯執行由該等指令指定的該等操作；及陣列儲存器仿真程式邏輯，其用以仿真

包含用以儲存資料元素之儲存元件的一陣列儲存器，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理程式邏輯可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；其中該指令解碼程式邏輯經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理程式邏輯以接著執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【0007】** 在另一實例配置中，提供一種設備，其包含：處理電路系統，以執行操作；指令解碼器電路系統，以解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及陣列儲存器，其包含用以儲存資料元素之儲存元件，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；其中該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理電路系統，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【0008】** 在又另一實例配置中，提供一種處置一設備之一陣列儲存器內的資料元素之方法，其包含：利用處理電路系統執行操作；利用指令解碼器電路系統解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及在陣列儲存器中提供儲存元件以儲存資料元素，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料

元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；其中該指令解碼器電路系統回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理電路系統，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【0009】** 在一更進一步的實例配置中，提供一種用於控制一主機資料處理設備以提供一指令執行環境之電腦程式，其包含：處理程式邏輯，以執行操作；指令解碼程式邏輯，以解碼指令，以控制該處理程式邏輯執行由該等指令指定的該等操作；及陣列儲存器仿真程式邏輯，其用以仿真包含用以儲存資料元素之儲存元件的一陣列儲存器，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理程式邏輯可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；其中該指令解碼程式邏輯經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理程式邏輯，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

### **【圖式簡單說明】**

**【0010】** 本技術將僅藉由圖示、參照如隨附圖式中所繪示之其實例來進一步地描述，其中：

〔圖 1〕係根據一個實例實施方案之設備的方塊圖；

〔圖 2〕顯示可在設備內提供的架構暫存器的實例，其包括用於儲存向量運算元的向量暫存器及用於儲存 2D 陣列資料元素的陣列暫存器，其包括陣列暫存器之實體實施方案的實例；

〔圖 3A〕及〔圖 3B〕繪示其中給定 2D 陣列資料元素可係非方形或方形的實例；

〔圖 4A〕及〔圖 4B〕示意性地繪示根據一個實例實施方案之如何對陣列儲存器內之方形 2D 陣列執行存取；

〔圖 5A〕示意性地繪示根據一個實例實施方案之在移動及零指令內所提供之欄位，且〔圖 5B〕示意性地繪示可用於一個特定實例實施方案中以實施移動及零指令之向量識別欄位的子欄位；

〔圖 6〕係繪示根據一個實例實施方案之可如何處置移動及零指令的流程圖；

〔圖 7〕繪示可對在陣列儲存器內所提供之資料元素進行操作的一個實例指令序列，其中該指令序列包括本文中所描述的移動及零指令之數個例項；

〔圖 8〕示意性地繪示可執行的有限脈衝回應(finite impulse response, FIR)濾波操作；

〔圖 9A〕至〔圖 9D〕繪示根據一個實例實施方案之在執行 2D 影像濾波操作時可如何使用陣列儲存器；

〔圖 10〕繪示可對在陣列儲存器內所提供之資料元素進行操作的替代實例指令序列，其中該指令序列包括本文中所描述的移動及零指令之數個例項；

〔圖 11〕係繪示根據一個實例實施方案之可如何處置零向量指令的流程圖；

〔圖 12〕示意性地繪示根據一個實例實施方案之可在零向量指令內提供的欄位；

〔圖 13〕係繪示根據替代實例實施方案之可如何處置零向量指令的流程圖；及

〔圖 14〕繪示可使用的模擬器實施方案。

### 【實施方式】

【0011】 在一實例配置中，提供一種設備，其具有：處理電路系統，其用於執行操作；及指令解碼器電路系統，其用於解碼指令以控制該處理電路系統，以執行由該等指令指定的該等操作。亦提供一陣列儲存器，其包含用以儲存資料元素之儲存元件。該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維。

【0012】 如前述，使用陣列儲存器可提供用於執行某些類型之操作的非常有效之機制，例如累加運算。累加運算可僅執行累加函數，但替代地，除了累加函數以外，亦可併入額外處理（純粹舉實例而言，累加運算可執行形式 $A = A + B * C$ 之乘積累加函數）。為了產生最大的可實現的潛在效率優勢，可能需要具有用於在資料元素不再經受使用陣列儲存器執行的運算時將資料元素移出陣列儲存器的有效率機制，且亦需要釋放陣列儲存器的相關聯之儲存元件使其等可供與後續運算相關聯地使用的有效率機制。

**【0013】** 根據一個實例實施方案，提供可實現顯著改善此類程序之效率的一移動及零指令。具體而言，在一個實例實施方案中，該指令解碼器電路系統可經配置以回應於識別在該陣列儲存器內的一給定二維陣列資料元素之一或多個資料元素向量的一移動及零指令來控制該處理電路系統，以將該一或多個所識別向量的該等資料元素從該陣列儲存器移動至一目的地儲存器，及將用以儲存該一或多個所識別向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【0014】** 因此，根據上述技術，可指定一單一指令，當該單一指令執行時引起在一給定二維陣列內的一或多個所識別資料元素向量中之資料元素被移出該陣列儲存器，且額外引起用於儲存該等資料元素的該陣列儲存器之該等相關聯儲存元件被清除為一邏輯零值，從而準備該等儲存元件以供後續運算中使用。

**【0015】** 這可顯著改善效能。具體而言，將該等資料元素移出該陣列儲存器的動作、及準備該等相關聯之儲存元件以供再使用的動作本身不執行有用的運算，且因此可視為與該陣列儲存器之使用相關聯的負荷。藉由允許一單一指令引起該等資料元素兩者被移動，及將該等相關聯之儲存元件清除為一邏輯零值，此可顯著降低該負荷。

**【0016】** 具體而言，先前已知技術應該需要執行至少一個移動指令以將所需資料元素從該陣列儲存器移出至一指定目的地儲存器，且其後將需要一或多個額外移動指令以將邏輯零值之一或多個向量從一或多個來源向量暫存器移動至該陣列儲存器之相關儲存元件中。此因此建立必須逐一執行的一相依性指令序列。例如，僅考慮其中一第一移動指令用於將該一或多個資料元素向量從

該陣列儲存器移出、且接著使用一第二移動指令將邏輯零值之一向量從一指定來源向量暫存器移動至該陣列儲存器之該等相關儲存元件中的簡單情況，明確地存在需要逐一執行的兩個相依之移動指令，且此指令相依性透過使用新的移動及零指令而移除。

**【0017】** 進一步，已發現，在一些實施方案中，與執行經組合之移動及歸零操作相關聯的硬體成本可與僅進行一標準移動操作以將該資料元素向量從該陣列儲存器移出相關聯的硬體成本相同，且因此可有效地獲得該等相關儲存元件之歸零而無額外的硬體負荷。進一步，在一實例實施方案中，已發現經組合之移動及歸零操作之效能（執行速度）與僅執行單一移動操作相同。

**【0018】** 此外，本技術之使用避免在向量暫存器內儲存邏輯零值，否則將需要作為用以將該等邏輯零值移動至該陣列儲存器的移動指令之來源運算元，因此釋放該向量暫存器檔案內的一或多個向量暫存器。

**【0019】** 額外地，可以看到效能經改善，因為不需要分開之移動指令以執行歸零功能性。

**【0020】** 已發現，此類方法高度有益於陣列儲存器之許多實例使用案例。例如，陣列儲存器經常用以累加在執行累加運算之數次迭代時產生的結果，且當產生最終累加結果時，該等最終累加結果一般例如藉由移動至設備內所提供之一或多個向量暫存器而移出陣列儲存器。當陣列儲存器正在用於累加運算之執行時，僅若該等儲存元件首先被設定為邏輯零值時才可能再使用正在儲存該等最終累加結果的該等儲存元件以用於一系列新的累加運算，並且使用如本文中所描述之移動及零指令可使此能夠有效地達成。

**【0021】** 因此，在一實例實施方案中，該處理電路系統可經配置以執行累加運算之複數次迭代，且使用該給定二維陣列資料元素，以維持在執行該等累加運算時產生的累加結果，其中在該等累加運算之一給定迭代之後，在該給定二維陣列資料元素中之至少一個給定資料元素向量經配置以儲存最終累加結果，同時該給定二維陣列資料元素中之剩餘資料元素向量經配置以儲存中間累加結果。在此類實施方案中，該移動及零指令可經配置以識別該至少一個給定資料元素向量且可在該等累加運算之該給定迭代之後執行，以使該處理電路系統將該至少一個給定向量之該等最終累加結果從該陣列儲存器移動至該目的地儲存器，及清除用以儲存該至少一個給定向量之該等最終累加結果的該陣列儲存器之該等儲存元件，以釋放該等儲存元件以用於後續累加運算中。

**【0022】** 應注意，上文所提及之累加運算可僅執行累加函數（例如，形式 $A = A+B$ ），但更一般而言亦可涉及除了累加函數之外的一些額外的處理運算。因此，累加運算可包括一處理運算，該處理運算經執行以產生一處理運算結果值，然後，該處理運算結果值與在該陣列儲存器的一相關聯之儲存元件中的現有資料元素值累加，以建立待儲存在該陣列儲存器的該相關聯之儲存元件內的新資料元素值。純粹舉實例而言，上文所提及之累加運算可係乘積累加運算（例如，形式 $A = A + B*C$ ）。

**【0023】** 存在可使用上文所提及之累加功能性的各種類型之資料處理運算，且對於其使用陣列儲存器可提供有效的實施方案技術。在一個特定實例使用案例中，累加運算之該複數次迭代係用於對一陣列之輸入資料元素實施一有限脈衝回應(FIR)濾波操作的處理及累加運算，且該陣列儲存器內之該給定二維陣列資料元素可用以維持在該FIR濾波操作的執行期間產生的一陣列之輸出資

料元素。該處理電路系統可經配置以在該等累加運算之各迭代期間處理輸入資料元素之一單一向量，及產生用於在該陣列輸出資料元素之多個向量內累加的輸出資料元素。

**【0024】** 介於輸入資料元素與輸出資料元素之間的對應性可取決於實施方案而變化。例如，輸入資料元素之一個向量可與輸出資料元素之多個向量相關聯。額外地，輸出資料元素之該多個向量可經配置在該陣列儲存器內的水平及垂直方向中之任一者或兩者（以支援其中可在水平及垂直方向兩者存取該等向量的實施方案，該二維陣列資料元素一般將係二維方形陣列資料元素）。進一步，該等輸入資料元素及該等輸出資料元素的大小可不同。

**【0025】** 如上文所描述之此類技術可利用外積方法，以使用一方形陣列資料元素來運算藉由滑動窗技術所實施之FIR濾波。此類技術一般導致該方形陣列輸出資料元素之一些向量在其他輸出資料元素向量之前完成，且因此使用上文所描述之移動及零指令可實現該等經完成之輸出資料元素向量被移出該陣列儲存器，其中相關聯之儲存元件被釋放以供與其他輸出資料元素向量相關聯地使用。

**【0026】** 該陣列輸入資料元素可採取多種形式，但在一實例實施方案中可表示一陣列像素值。然而，本文中所描述之技術同樣適用於可例如不表示影像資料的其他陣列資料元素。

**【0027】** 在一些實例實施方案中，藉由處理一列輸入資料元素所產生的輸出資料元素之該多個向量可稱為多「列」之輸出資料元素。然而，如前文所提及，應注意，可依該陣列儲存器內之任何所欲定向儲存在輸出資料元素之一給定方形2D陣列資料元素（在本文中，此類方形2D陣列亦可稱為方形子陣

列)內的累加的該等列之輸出資料元素。例如，一列可經儲存作為在方形子陣列內之水平向量或作為在方形子陣列內之垂直向量，且因此在本文中，用語「列(row)」不應視為表示在陣列儲存器內之資料元素之任何特定定向。

**【0028】** 在一實例配置中，該給定二維陣列資料元素係一方形二維陣列資料元素，形成該方形二維陣列資料元素的該複數個向量包含經配置在一第一陣列方向的第一複數個向量及經配置在一第二陣列方向的第二複數個向量，該第二陣列方向正交於該第一陣列方向，且該移動及零指令之各例項配置以識別全部在該第一陣列方向延伸或全部在該第二陣列方向延伸的一或多個資料元素向量。因此，此提供如何識別待將各種資料元素向量移出該陣列儲存器的大幅靈活性。

**【0029】** 取決於實施方案，儲存在該陣列儲存器內之一或多個二維陣列資料元素可採取多種形式。在一個特定實例實施方案中，該處理電路系統經配置以對該方形二維陣列資料元素執行處理運算，在其期間該處理電路系統經啟用以在該第一陣列方向及該第二陣列方向兩者存取資料元素向量。

**【0030】** 在一實例實施方案中，該陣列儲存器可經組態以包含在一第一陣列方向中延伸的複數個陣列向量暫存器。該處理電路系統可經配置以執行一或多個累加運算，其中各累加運算經配置以產生用於在該陣列儲存器的一群組之多個陣列向量暫存器內累加的輸出資料。因此，在此類實施方案中，該陣列儲存器被視為包含在一單一方向內延伸的多個可分開定址之陣列向量暫存器，且前文所提及之給定二維陣列資料元素可被視為包含儲存在上述所提及之該群組之多個陣列向量暫存器內的資料元素。

**【0031】** 在此類實例實施方案中，該移動及零指令可經執行，當該一或多個累加運算之執行已導致最終結果資料存在於由該移動及零指令所識別的該一或多個所識別向量，就引起該處理電路系統將該一或多個所識別向量的該等資料元素從該陣列儲存器移動至該目的地儲存器，及將用以儲存該一或多個所識別向量之該等資料元素的該群組之多個陣列向量暫存器內的各陣列向量暫存器設定為一邏輯零值。

**【0032】** 在一個特定實例實施方案中，當該處理電路系統已完成該一或多個累加運算之執行時，最終結果資料存在於該群組之多個陣列向量暫存器中的各陣列向量暫存器中。接著，該移動及零指令之執行可引起將該最終結果資料從該群組之多個陣列向量暫存器移動至該目的地儲存器，且將該群組之多個陣列向量暫存器的各陣列向量暫存器清除為零。此接著使該處理電路系統能夠再使用來自該群組之陣列向量暫存器的一或多個陣列向量暫存器以用於任何所欲後續處理運算（因此例如使用任何或所有該等陣列向量暫存器來執行一後續累加指令將由於該等陣列向量暫存器的內容被清除為零而引起一非累加變體被執行）。

**【0033】** 用於該移動及零指令之目的地儲存器可採取多種形式。在一實例實施方案中，該設備可進一步提供包含複數個向量暫存器的一向量暫存器檔案，且該移動及零指令可經配置以指示在該向量暫存器檔案內的一或多個向量暫存器作為該目的地儲存器。存在其中該移動及零指令可經配置以識別該一或多個向量暫存器的各種方式。例如，在其中資料元素之一單一向量被移出該陣列儲存器的一單一向量暫存器情況下，該移動及零指令可提供用以判定該單個向量暫存器的一識別符。對於在其中資料元素之多個向量被移出該陣列儲存

器的多個向量暫存器情況下，可使用用於該等向量暫存器中之各者的分開之識別符資訊明確識別該多個向量暫存器，或替代地，可藉由該指令來識別一個向量暫存器，其中該多個向量暫存器中之其他向量暫存器係隱含的。例如，該多個向量暫存器可係以已明確識別之該向量暫存器開始的一序列之相鄰向量暫存器，或該多個向量暫存器可各藉由一恆定跨步值(constant stride value)分開。

**【0034】** 然而，在替代實施方案中，若需要，該移動及零指令可經配置以指示待儲存該一或多個所識別向量之該等資料元素的記憶體中之一或多個位置作為該目的地儲存器。在此情況下，該移動及零指令可替代地稱為儲存及零指令。

**【0035】** 存在其中該移動及零指令可經配置以識別該一或多個資料元素向量待移動至其的記憶體位置之各種方式。例如，考慮到其中僅一單一資料元素向量被移動至記憶體的單一向量情況，該移動及零指令可經配置以識別在記憶體中的一位置，其中該資料元素向量接著被寫入至由該位置所識別的一連續記憶體位址（在此情況下，該位置可例如係該第一資料元素的該記憶體位址）。若多個向量待被移動，則可藉由該指令來識別記憶體中之多個離散位置，其中該等資料元素向量中之各者被移動至由該等指定位置中之一者所識別的一序列之記憶體位址。替代地，一個位置可由該指令所指定，且其他位置可係隱含的（例如，識別在相距於該所識別位置之一固定跨步/偏移處的記憶體位址的該等位置）。

**【0036】** 取決於所存取之該陣列方向及保持在該陣列內之所存取向量之該等資料元素之本質，亦可能需要將一單一向量之個別元素儲存至離散記憶體位置。然而，在一單一向量內的個別資料元素需要被儲存至離散記憶體位置的

情況下，一般而言將是該資料元素向量在適當的時候被傳輸至記憶體之前首先被移動至一向量暫存器的情況。

**【0037】** 存在其中可藉由該移動及零指令來識別待移動之該一或多個資料元素向量的數種方法。在一實例實施方案中，該移動及零指令可包含用以識別在該陣列儲存器內的該給定二維陣列資料元素之該一或多個資料元素向量的一向量識別欄位。例如，當一單一資料元素向量被移動時，可提供足以識別該單一向量之一識別符。當多個資料元素向量待移動時，接著該向量識別欄位可用以提供足夠的資訊以明確識別該多個向量中之各者，或替代地，可明確識別一個資料元素向量，而其他向量接著係隱含的，例如相鄰向量或有規則間隔之向量（常稱為跨步存取(stride access)）。在此後一情況下，一數目可由該向量識別欄位提供以識別待移動的向量數目。

**【0038】** 在可在任一陣列方向進行存取的前文提及之方法中，接著該向量識別欄位亦可用以提供足夠資訊以識別正在進行存取之該陣列方向。例如，在一個實施方案中，該向量識別欄位可包含：一第一子欄位，其用以識別該方形二維陣列；及一第二子欄位，其提供用於識別該一或多個向量之一或多個行識別符及一陣列方向指示。

**【0039】** 在一實例實施方案中，該移動及零指令可包含用以識別述詞資訊的一述詞欄位，該述詞資訊用以識別該一或多個所識別向量之哪些資料元素待從該陣列儲存器移動至該目的地儲存器且將其等相關聯的儲存元件設定為該邏輯零值。此可藉由使功能性能夠限制於特定向量內之特定資料元素而提供額外靈活性。

**【0040】** 在使用述詞的一些實施方案中，該資料元素大小可能變化，且在此情況下，該移動及零指令可包含一大小欄位以識別在該一或多個所識別向量內之各資料元素之一大小。藉由使指令能夠提供此額外資訊，可能允許該指令被用於在該系統中所處理的各種不同資料元素大小，同時實現對該一或多個所識別向量內之總資料元素之一子集執行該移動及零操作。

**【0041】** 根據本文所描述之另一技術，提供一種額外新形式的指令，該指令亦可用將在該陣列儲存器內的資料元素向量歸零，及在執行使用此類陣列儲存器執行累加運算時提供效能改善。根據此技術，提供一種設備，其具有：處理電路系統，其用於執行操作；指令解碼器電路系統，其用於解碼指令以控制該處理電路系統，以執行由該等指令指定的該等操作；及陣列儲存器，其包含用以儲存資料元素之儲存元件。如同先前所描述之技術，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維。根據此額外技術，該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【0042】** 藉由使用上述方法，該零向量指令在由該指令解碼器電路系統解碼時可與一後續累加指令融合/合併以實際上建立該累加指令的一非累加變體，該後續累加指令指定與該零向量指令所指定相同的多個資料元素向量。已

發現，可係所欲的是因為指令編碼空間一般相當受限制，所以此類方法可係高度有益的，且同時提供數個不同的累加指令以供對該陣列儲存器內的多個向量執行累加運算，可係非所欲的是由於指令編碼空間量將藉由提供該等非累加變體而被耗用，所以尋求亦提供該等指令之非累加變體。藉由使用本技術，不需要提供該等指令之該等非累加變體，且替代地，其等可藉由組合該零向量指令與一後續累加指令以引起該處理電路系統執行該等非累加變體來模擬。

**【0043】** 在一實例實施方案中，該陣列儲存器可包含在一第一陣列方向延伸的複數個陣列向量暫存器，且在該陣列儲存器內之該所識別多個向量係由該陣列儲存器的一群組之多個陣列向量暫存器提供。在此類組態中，該給定二維陣列資料元素可包含儲存在該群組之多個陣列向量暫存器內的該等資料元素。進一步，該後續累加指令可指定一處理運算，該處理運算包括待對該所識別多個資料元素向量（亦即，對與由該零向量指令所指定相同的該群組之多個陣列向量）執行的一累加運算，且該零向量指令可與該後續累加指令組合地使用以實現藉由該處理電路系統執行該處理運算之一非累加變體。

**【0044】** 在一實例實施方案中，該零向量指令可包含用以識別在該陣列儲存器內的該給定二維陣列資料元素之該多個資料元素向量的一向量識別欄位。

**【0045】** 如同先前討論的移動及零指令，若需要，則該零向量指令可包含用以識別述詞資訊的一述詞欄位，該述詞資訊用以識別該多個所識別向量內之哪些處理元件待設定為該邏輯零值。此類方法可實際上允許一些資料元素經受一後續累加指令之一非累加變體，而其他資料元素經受真實累加變體。再

者，若需要，該零向量指令可包含一大小欄位，其用以識別在該多個所識別向量內之各資料元素之一大小。

**【0046】** 現將參照圖式討論特定的實例實施方案。

**【0047】** 圖1示意地繪示一資料處理系統10，該資料處理系統包含耦接至一記憶體30的一處理器20，該記憶體儲存資料值32及程式指令34。處理器20包括用於自記憶體30提取程式指令34並將該等經提取程式指令供應至一指令解碼器電路系統50的一指令提取單元40。解碼器電路系統50解碼該等經提取程式指令，並產生控制信號以控制處理電路系統60對暫存器儲存器65之儲存元件內所保持之資料值執行處理運算，如由該等經解碼向量指令所指定。如圖1所示，暫存器儲存器65可由多個不同區塊形成。例如，可提供一純量暫存器檔案70，該純量暫存器檔案包含可藉由指令指定的複數個純量暫存器，且類似地，可提供一向量暫存器檔案80，該向量暫存器檔案包含可藉由指令指定的複數個向量暫存器。

**【0048】** 如圖1所示，處理器20可存取一陣列儲存器90。在圖1所示的實例中，陣列儲存器90經提供作為處理器20之部分，但此非必要。在各種實例中，該陣列儲存器可實施為以下中之任一或多者：架構上可定址暫存器；非架構上可定址暫存器；一高速暫存記憶體；及一快取記憶體。

**【0049】** 在一實例實施方案中，處理電路系統60可包含向量處理電路系統及純量處理電路系統兩者。純量處理與向量處理之間的大致區別如下。向量處理可涉及施加一單一向量處理指令至一資料向量之資料元素，該資料向量在資料向量中之各別位置處具有複數個資料元素。根據本技術，該處理電路系統亦可執行向量處理以對儲存在陣列儲存器90內的二維陣列資料元素（其亦可稱

為一子陣列)內的複數個向量執行操作。純量處理有效地對單一資料元素進行操作，但非對資料向量。向量處理可用於其中對待處理之資料的許多不同例項實行處理操作的例項中。在向量處理配置中，單一指令可同時施加於(資料向量的)多個資料元素。相較於純量處理，此可改善資料處理之效率及產出量。

**【0050】** 處理器20可經配置以處理儲存在陣列儲存器90中的二維陣列資料元素。在至少一些實例中，該二維陣列可作為一維向量資料元素在多個方向存取。在一實例實施方案中，陣列儲存器90可經配置以儲存一或多個二維陣列資料元素，及各二維陣列資料元素可在記憶體中形成較大或甚至較高維陣列資料元素的方形陣列部分。

**【0051】** 圖2顯示在一實例實施方案中可提供的處理器20之架構暫存器65的實例。架構暫存器(如指令集架構(instruction set architecture, ISA)中所定義的)可包括一組純量整數暫存器100，該組純量整數暫存器作用為用於處理由處理電路系統60內之純量處理電路系統執行之操作的通用暫存器。例如，可存在一定數目個通用暫存器100，例如在此實例中提供31個暫存器X0至X30(純量暫存器欄位的第32個編碼可不對應於硬體中提供的暫存器，因為其依據預設可視為指示例如零之值，或可用以指示不是通用暫存器的專用類型之暫存器)。存取經映射至相同實體儲存器的不同大小之純量暫存器係可行的。例如，暫存器標籤X0至X30可係指64位元暫存器，但相同暫存器亦可作為32位元暫存器存取(例如，使用在硬體中提供之各64位元暫存器的下部32位元進行存取)，在此情況下，暫存器標籤W0至W30可用在組合程式碼(assembly code)中以參考相同暫存器。

**【0052】** 再者，可供由解碼器50支援之ISA中的程式指令選擇的架構暫存器可包括一定數目個向量暫存器105（在此實例中標記為Z0至Z31）。當然，提供圖2中所示之數個純量/向量暫存器不是必需的，且其他實例可提供可由程式指令指定的不同數目個暫存器。各向量暫存器可儲存包含可變數目個資料元素的向量運算元，其中各資料元素可表示獨立資料值。回應於向量處理(SIMD)指令，處理電路系統可對儲存在暫存器中的向量運算元執行向量處理以產生結果。例如，向量處理可包括逐通道運算，其中對應運算係對一或多個運算元向量中的各元素通道執行以產生結果向量之元素的對應結果。當執行向量或SIMD處理時，各向量暫存器可具有一定的向量長度VL，其中向量長度係指在給定向量暫存器中的位元數目。用於向量處理模式中的向量長度VL對於給定硬體實施方案可係固定的或可係可變的。由處理器20支援的ISA可支援可變向量長度，使得可選擇不同處理器實施方案以實施不同大小的向量暫存器，但ISA係向量長度無關的，使得指令經設計以使得程式碼可正確地作用而無論在執行該程式的給定CPU上實施的特定向量長度。

**【0053】** 向量暫存器Z0至Z31亦可作用為用於儲存向量運算元的運算元暫存器，其等提供輸入至由處理電路系統60對儲存在陣列儲存器90內之二維陣列資料元素執行的處理及累加運算。當向量暫存器用以提供輸入至此類運算時，則向量暫存器具有向量長度MVL，其可與用於向量運算的向量長度VL相同，或可係不同的向量長度。

**【0054】** 如圖2所示，架構暫存器亦包括形成前文提及之陣列儲存器90（ZA0至ZA(N<sub>A</sub>-1)）的一定數目N<sub>A</sub>個陣列暫存器110。可將各陣列暫存器視為用於儲存單一2D陣列資料元素（例如，處理及累加運算之結果）的一組暫存器

儲存器。然而，處理及累加運算可能不是唯一可使用陣列暫存器的運算。陣列暫存器亦可用於儲存方形陣列，同時執行記憶體中之一陣列結構之列/行方向的轉置。當程式指令參照陣列暫存器110中之一者時，將其參照為使用陣列識別符 $Z_{Ai}$ 的單一實體，但一些類型的指令（例如，資料傳輸指令）亦可藉由定義選擇陣列的一部分的索引值而選擇該陣列的子部分（例如，一個水平/垂直元素群組）。

**【0055】** 實際上，對應於該等陣列暫存器的暫存器儲存器的實體實施方案可包含一定數目 $N_R$ 個陣列向量暫存器 $ZAR_0$ 至 $ZAR_{(N_R-1)}$ ，如圖2所示。形成陣列暫存器儲存器110之陣列向量暫存器 $ZAR$ 可係與用於SIMD處理及至陣列處理之向量輸入的向量暫存器 $Z_0$ 至 $Z_{31}$ 不同的一組暫存器。陣列向量暫存器 $ZAR$ 的各者可具有向量長度 $MVL$ ，所以各陣列向量暫存器 $ZAR$ 可儲存長度 $MVL$ 的1D向量，該向量可邏輯地分割成可變數目的資料元素。例如，若 $MVL$ 係512個位元，則此可係一組64個8位元元素、32個16位元元素、16個32位元元素、8個64位元元素、或4個128位元元素。應理解，並非所有此等選項均需要在一給定實施方案中支援。藉由支援可變元件大小，此提供處置涉及不同精確度之資料結構之計算的靈活性。為了表示2D陣列資料，一群組之陣列向量暫存器 $ZAR_0$ 至 $ZAR_{(N_R-1)}$ 可邏輯上視為指派陣列暫存器識別符 $ZA_0$ 至 $ZA_{(N_A-1)}$ 之一給定者的單一實體，使得2D陣列經形成有在對應於陣列之一維的一單一向量暫存器內延伸之元件，及在條串跨接(*striped across*)多個向量暫存器的陣列之另一維度中的元件。

**【0056】** 配置陣列暫存器 $ZA$ 使得其等儲存方形陣列資料可係有用的（雖然非必需的），其中在水平方向上的元件數目等於垂直方向的元件數目。此可

有助於支援陣列的即時轉置，其中藉由對在水平方向或在垂直方向讀取/寫入陣列暫存器110提供支援，記憶體中的陣列結構的列/行維度可在陣列暫存器110與記憶體之間傳輸陣列結構時交換。藉由對在水平方向或垂直方向上對2D陣列暫存器寫入/讀取資料提供支援，此可允許在一個方向（例如，逐列）上從記憶體載入的資料在一相對方向（例如，逐行）寫回至記憶體，可能會比使用若干個收集/分散載入/儲存或置換運算(permute operation)以在記憶體與向量暫存器之間傳輸資料更快。

**【0057】** 如上文所提及，給定2D陣列資料元素可在一些實例實施方案中形成方形陣列，但此非必要。因此，如圖3A中所示，在一實例實施方案中，給定2D陣列資料元素115可形成非方形陣列。替代地，如圖3B所示，給定2D陣列資料元素120之可形成方形陣列。在圖3A及圖3B之各者中，個別方框表示資料元素，且在一些實施方案中，資料元素大小可變化。在任一實例中，可以多種方式指定二維陣列資料元素，但在一實例實施方案中，如圖3A及圖3B所示，可藉由一序列之陣列向量暫存器(ZAR)來指定給定的2D陣列資料元素。

**【0058】** 如上文所討論，處理電路系統60經配置以在由解碼器電路系統50所解碼的指令之控制下存取純量暫存器70、向量暫存器80、及/或陣列儲存器90。現將參考圖4A描述此後一配置的進一步細節，其僅提供如何可存取陣列儲存器的一個說明性實例，尤其考慮存取在陣列儲存器內的方形2D陣列。

**【0059】** 在所說明之實例中，陣列儲存器90內的方形2D陣列經配置為 $n \times n$ 個儲存元件/位置200之陣列205，其中 $n$ 係大於1的整數。在本實例中， $n$ 係16，其表示對於儲存位置200的存取之粒度在水平或垂直陣列方向任一者中係總儲存的第1/16。

**【0060】** 從處理電路系統的觀點而言， $n \times n$ 個位置的陣列係可存取為在第一方向（例如，如所繪示的水平方向）上的 $n$ 個線性（一維）向量以及在第二陣列方向（例如，如所繪示的垂直方向）上的 $n$ 個線性向量。因此，從處理電路系統60的觀點而言， $n \times n$ 個儲存位置經配置或至少可存取為 $2n$ 個線性向量，各具有 $n$ 個資料元素。

**【0061】** 在與至少處理電路系統60及可選地與解碼器電路系統50通訊的控制電路系統250之控制下，儲存位置200的陣列可由存取電路系統210、220、行選擇電路系統230、及列選擇電路系統240存取。

**【0062】** 參考圖4B，在指定為「A1」（請注意，如下文討論，在陣列儲存器90內可提供多於一個此類2D陣列，例如A0、A1、A2以此類推）的實例方形2D陣列的情況下，第一方向（如所繪示的水平或「H」方向）的 $n$ 個線性向量可各有16個資料元素0...F（以十六進位標記法表示），且可在此實例中提及為A1H0...A1H15。儲存在圖4B的陣列儲存器90 A1之256個項目（ $16 \times 16$ 個項目）中的相同基本資料可替代地在第二方向（如所繪示的垂直或「V」方向）上參照為A1V0...A1V15。應注意，例如，資料元素260係參照為A1H0的項F，而非A1V15的項0。應注意，「H」及「V」的使用並不表示關於組成陣列儲存器90的資料元素之儲存的任何空間或實體布局需求，亦不具有陣列儲存器內之2D陣列在任何實例應用中是否儲存列資料或行資料之任何相關性。

**【0063】** 如先前所討論，使用陣列儲存器90可顯著改善對某些類型之運算（例如累加運算）的效能，其中可對在陣列儲存器90內的給定二維陣列資料元素執行此類累加運算之複數次迭代，其中該二維陣列資料元素用以在執行該等累加運算時累加結果。然而，當該等累加運算完成，則用於將所得之該等資

料元素向量移出該陣列儲存器、及準備在陣列儲存器內的相關聯之該等儲存元件使得其等可用於後續累加運算的有效機制將係所欲的。

**【0064】** 如先前所討論，在一實例實施方案中，此係透過使用識別在陣列儲存器90內的一給定二維陣列資料元素之一或多個資料元素向量的一移動及零指令來達成。當此一移動及零指令經解碼時，接著處理電路系統60經控制以將該一或多個所識別向量的該等資料元素從該陣列儲存器移動至一目的地儲存器（其可係例如在向量暫存器檔案80內之一或多個向量暫存器），及亦將用於儲存該一或多個所識別向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【0065】** 圖5A示意性地繪示根據一個實例實施方案之可在該移動及零指令內提供的欄位。一作業碼欄位305用於將指令識別為移動及零指令。在一些實例實施方案中，可能存在經提供之移動及零指令的不同變體，且因此可能存在可識別移動及零指令之多於一個不同的作業碼。舉一個特定實例，當該移動及零指令用於將該陣列儲存器內的該等所識別向量移動至向量暫存器檔案80內的目標向量暫存器時，可存在針對該移動及零指令定義的一個變體，且當該陣列儲存器內的一或多個向量移動至記憶體時，可提供一不同的變數（在此後者情況下，該指令可例如稱為儲存及零指令）。

**【0066】** 亦提供用以識別陣列儲存器內的待經受移動操作之一或多個向量的一向量識別欄位310。在一些例項中，可識別僅一單一向量，但在其他例項中，可藉由此欄位識別多個向量。在後者情況下，在一實例實施方案中，可獨立地識別所有該多個向量，但在另一實例實施方案中，可例如從一第一向量之指示及待移動之向量數目之指示來推斷該多個向量。

**【0067】** 如圖5A所示，在移動及零指令內亦提供用以識別（該等）向量應移動至其之目的地儲存器的一目的地儲存器識別欄位315。在一個實例實施方案中，此欄位用以識別在向量暫存器檔案80中之一或多個向量暫存器，且在其中識別多個此類向量暫存器之實例中，其等可以與藉由該向量識別欄位識別多個向量的類似方式來識別（例如，可識別一第一向量暫存器，接著其他向量暫存器係基於形成目的地儲存器所需的向量暫存器數目之知識而係隱含的）。在一替代實施方案中，在該陣列儲存器內待移動至記憶體的一或多個向量，接著在目的地儲存器識別欄位315中所提供之資訊可經配置以識別該一或多個向量之資料元素待儲存至其的記憶體中之位置。此可例如涉及識別其內容用以識別記憶體中所需位置的一或多個暫存器。

**【0068】** 若需要，可在指令300內提供一或多個可選之額外欄位320。例如，一述詞欄位可用以識別述詞資訊，該述詞資訊用以控制該一或多個所識別向量之哪些資料元素待經受移動及零操作。此藉由允許對某些資料元素施加操作、但對其他資料元素不施加操作而提供靈活性。舉另一實例，一資料元素大小指示可提供在指令內，藉此允許對其資料元素大小不固定的向量施加指令。

**【0069】** 在一實例實施方案中，該移動及零指令可經配置以對在一第一陣列方向延伸的陣列向量暫存器進行操作，且在該等實施方案中，不需要使在水平及垂直方向皆能夠在向量識別欄位310內編碼。然而，在陣列儲存器90內的2D陣列可在水平或垂直方向上存取的實例中（在一個此類實施方案中，2D陣列係方形陣列），則向量識別欄位可採取圖5B中所示的形式。具體而言，此向量識別欄位310'可包括用以識別陣列儲存器90內待存取之給定方形2D陣列的一第一子欄位312，及由兩個部分313及314所形成的一第二子欄位。第一部分

313提供用以識別方形2D陣列內之一或多行資料元素的一或多個行識別符，且第二部分314提供一陣列方向指示，因此實現判定由該等行識別符所識別之資料元素行是否在水平方向或垂直方向延伸。應瞭解，第一部分313及第二部分314之組合實現識別方形2D陣列內之一或多個向量。

**【0070】** 圖6係繪示移動及零指令之操作的流程圖。在步驟350，當判定解碼器電路系統50已遇到移動及零指令時，接著在步驟355，從在該移動及零指令之向量識別欄位310中所提供的資訊來識別在該陣列儲存器內的一或多個資料元素向量。進一步，在步驟360，從該移動及零指令之目的地儲存器識別欄位315識別待使用的目的地儲存器。如前文所提及，此步驟一般可引起向量暫存器檔案80中之一或多個向量暫存器被識別為移出陣列儲存器之資料元素的目的地，但替代地，在一些實施方案中，這可係所識別之目的地儲存器採取在記憶體中之一或多個位置的形式的情況。在一實例實施方案中，步驟355及360可由解碼器電路系統50執行，但在替代實施方案中，處理電路系統60可基於由解碼器電路系統50所提供的資訊來執行該等判定步驟。

**【0071】** 在步驟365，處理電路系統60用以將各所識別之資料元素向量移動至目的地儲存器，且接著將該陣列儲存器之相關儲存元件（亦即，用以儲存現在已移動至目的地儲存器之資料元素的該等儲存元件）設定為零。

**【0072】** 圖7繪示可在一實例實施方案中之可對陣列儲存器90進行操作的實例指令序列。如圖7之實例中所示，可執行一系列資料處理指令（在此實例中，三個指令），以執行在陣列儲存器內提供之一給定2D陣列內的處理及累加運算。在此等多個指令之執行期間，該等結果係在給定2D陣列內累加。

【0073】 在此實例中，假設當第三資料處理指令已完成，接著在給定2D陣列內的第一垂直向量就儲存最終累加結果，而在此階段，給定2D陣列中的其他垂直向量僅儲存中間累加結果。鑑於第一垂直向量儲存最終累加結果，將該等結果移出陣列儲存器以釋放該第一垂直向量之該等儲存元件以供在後續處理及累加運算中使用將係有用的。

【0074】 如圖7所示，此藉由執行移動及零指令、識別垂直向量1、及定義該垂直向量之內容應移動至其的一目的地向量暫存器而達成，在此實例中，該向量暫存器稱為暫存器 $Z_i$ 。執行此指令引起在垂直向量1中的該等最終累加結果被移動至所識別向量暫存器中，且在給定2D陣列中之相關聯儲存元件（亦即，實施垂直向量1者）被清除為一邏輯零值。由於執行此單一指令，不僅該等最終累加結果已被移出該陣列儲存器，而基本儲存元件亦已經準備使得其等立即可供再使用在後續處理及累加運算中。具體而言，藉由將其等之內容清除為0，其等可立即開始被指定為由後續指令產生之新累加結果的目的地。

【0075】 因此，如圖7所示，當執行後續資料處理指令4時，此可累加至2D陣列中，且若需要可再使用垂直向量1。當已執行資料處理指令，則假設垂直向量2現在保持最終累加結果，且據此可執行額外的移動及零指令，以將給定2D陣列內之垂直向量2之內容移出陣列儲存器而至目的地向量暫存器（在此實例中，暫存器 $Z_{i+x}$ ）中。再次，此指令之執行引起所識別向量之內容被移出陣列儲存器，且對應之儲存元件被清除為邏輯零值，因此釋放該等儲存元件以供在後續處理及累加運算中使用。因此，如圖7所示，接著可執行資料處理指令之後續迭代，且若需要，可再使用垂直行2。

**【0076】** 存在可使用陣列儲存器90內之給定2D陣列執行的各種類型之運算類型以累加結果，其中並非在給定2D陣列內之所有向量均將必然同時保持最終累加結果。在此類情況下，採用在圖7中舉實例示意性地繪示之方法以釋放2D陣列中之資源以供再使用可係有用的。此類方法之一實例使用情況係在使用滑動窗方法執行2D有限脈衝回應(FIR)濾波時。圖8中示意性地顯示此類方法，其中考慮輸入影像400。具體而言，FIR濾波操作被施加於該輸入影像以產生對應的輸出影像430，其中輸出影像430中之各像素415、420係由於一對應之濾波操作407、412而產生。對於該等濾波操作中之各者，考慮多個輸入像素，且對該多個輸入像素施加濾波係數，以產生輸出像素之值。

**【0077】** 在圖8所示的實例中，假設各輸出像素係藉由考慮3x3陣列之輸入像素而產生。因此，第一3x3陣列之輸入像素405被提供至濾波操作407，其中使用對應陣列之濾波係數執行濾波以產生像素415的輸出值。類似地，第二3x3陣列之輸入像素410經受使用一組對應之濾波係數的濾波操作412，以產生用於輸出像素420的值。應瞭解，陣列410相對於陣列405被向右移位一個像素位置，且隨著重複上文所描述之程序，3x3個像素之滑動窗可經擷取以作用為至各濾波操作的輸入。當到達列之結尾時，程序可返回至輸入影像之左側，但從影像中下方之一列開始，且再次從影像之左至右進行。因此，應瞭解，在圖8所示的配置中，有效地存在一個滑動窗首先沿「水平」方向移動，其在輸入影像上移動而擷取3x3陣列之輸入影像像素以在運算各輸出影像像素時使用。

**【0078】** 圖9A至圖9D繪示如何使用陣列儲存器90內之方形2D陣列且藉由對在2D陣列中保持之資料執行外積累加運算來有效地執行此類2D影像濾波操作。注意，在圖9A至圖9D中所繪示之實例中，滑動窗將首先在「垂直」方

向上移動，亦即，在正交於圖8實例中所顯示之方向。因此，如圖9A至圖9D中所繪示之輸入影像440可視為在相對於其正常檢視方向的側面上。

**【0079】** 如圖9A至圖9D所示，一次處理輸入影像440的一行（或影像之一部分），且經受使用濾波係數向量進行濾波操作。濾波係數向量內的各區塊（參見例如圖9A中之區塊465）表示來自3x3陣列係數之三個濾波係數。填補元素（參見例如圖9A中之元素467）對應於零或未經定義之值，且僅係所繪示之實施方案的人工產物。具體而言，在所繪示之實施方案中，所使用之指令可執行每結果四個乘法及累加，但在所顯示之實例實施方案中僅需要執行三個乘法及累加。

**【0080】** 在實例中，繪示四組係數（參見例如圖9A中之四個區塊468，其取自四組3x3個係數中之一列）用作為一輸入，以對於所提供之輸入向量運算四個輸出向量（在用以產生四個輸出向量中的四個乘法運算中之各者產生一組(3+1)個係數）。額外地，圖9A至圖9D中所繪示之程序僅使用來自各3x3陣列係數的一行之三個係數，且因此，採用三個指令以在任何特定組之四個向量內產生最終累加結果。

**【0081】** 當該程序正在進行並處於穩定狀態時，接著如稍後將參考圖9C及圖9D討論，該程序同時對三組之四個輸出向量（參見例如圖9C中所示的三組輸出向量475、485、495）進行操作。

**【0082】** 如圖9A所示，當使用係數向量460處理第一行470之輸入影像440，此引起累加結果被儲存在四個向量475內。如圖9B所示，當使用係數向量482處理第二行480之輸入影像440，此將累加結果填入在四個向量475及四個向量485兩者內。接著，如圖9C所示，當使用係數向量492處理第三行490時，此

引起累加結果被填入在四個向量475、四個向量485及四個向量495內。從圖8之前文論述，應瞭解，在此點，在前三行之輸入影像內的所有像素將已被處理，且據此，四個水平向量475之內容將表示第一行群組之輸出影像的最終累加結果。據此，如圖9C所示，四個暫存器475之內容可經受前文描述之移動及零指令，以將該等內容移動至目的地儲存器（例如，向量暫存器檔案80內之四個向量暫存器），且清除形成2D陣列450內之四個向量475的儲存元件，使得其等可供後續累加運算使用。

**【0083】** 因此，舉實例而言，如圖9D所示，當使用係數向量460處理第四行500之輸入影像440時，此可引起累加結果被填入在四個向量485、四個向量495、及四個向量475內（現在可由於已藉由先前的移動及零指令而將該等向量內的儲存元件清除為邏輯零值而可再使用）。亦如圖9D所示，四個向量485現在將儲存最終累加結果，其表示第二行群組之輸出影像（因為在此點，將已經處理第二、第三及第四輸入行中之各者）。據此，儲存在四個水平向量485內的資料元素可被移出陣列而至向量暫存器檔案之向量暫存器中，且接著基本儲存元件被清除以允許其等在後續累加運算中再使用。

**【0084】** 雖然在圖9A至圖9D中，經由移動及零指令的任何向量皆立即被再使用（因為此可導致更容易地程式化），但是並未要求經清除之向量立即被再使用，且替代地處理可繼續耗用在群組之向量475、485、495下方的向量，若需要，則當到達陣列450之底部時僅返回至開頭。

**【0085】** 在一實例實施方案中，可在水平或垂直方向存取陣列儲存器90內的給定方形2D陣列。然而，在一些實施方案中，存在可使用在陣列儲存器90內的2D陣列執行的某些處理運算，其中僅在該等方向之一者存取向量。因此，

舉實例而言，返回參照先前討論的圖2，可存在具體識別在第一陣列方向延伸穿過陣列的陣列向量暫存器ZAR的一些處理指令。這些指令可藉由指定對其執行相關聯之處理及累加運算的多個ZAR暫存器而允許高效執行某些處理及累加運算。然而，當已執行一系列該等指令，則所有所識別之陣列向量暫存器ZAR一般將包括最終累加結果，但該等暫存器用於後續處理及累加運算將係不可行的，直到該等結果已被移出該陣列儲存器且形成該等陣列向量暫存器的儲存元件之目前內容已被清除為邏輯零值。

**【0086】** 圖10示意性地繪示可如何使用前文描述之移動及零指令以顯著增加此類情況中的效能。具體而言，如圖10所示，假設三個陣列向量暫存器ZAR2、ZAR3及ZAR4被初始化為0，且接著執行上述類型之一系列資料處理指令以執行處理及累加運算，其中該等累加結果維持在上述三個陣列向量暫存器內。當已完成所需的該系列資料處理指令（在此實例中，假設存在兩個此類資料處理指令被執行），則所有上述三個陣列向量暫存器將儲存最終累加結果。前文所提及之移動及零指令可因此用於指定該三個陣列向量暫存器作為其資料元素應移動至一目的地儲存器的向量，且亦可識別待用作為該目的地儲存器的儲存器，在此實例中，假設使用向量暫存器檔案80內的三個相鄰向量暫存器。因此，執行移動及零指令將引起所有該等累加結果被移出該陣列儲存器而至該向量暫存器檔案之該等所識別向量暫存器中，且亦引起形成該三個陣列向量暫存器的儲存元件被清除為邏輯零值。因此，如圖10所示，該程序可接著立即繼續以執行亦將累加至相同系列之陣列向量暫存器ZAR2、ZAR3及ZAR4中的一序列之後續資料處理指令。此提供高效率實施方案。

**【0087】** 根據本文中所描述之另一技術，提供額外之新形式的指令（在本文中稱為零向量指令），其亦可用以將在該陣列儲存器內的資料元素向量歸零，及在執行使用此類陣列儲存器時執行累加運算時提供效能改善（當與需要使用一移動指令將零從一或多個向量暫存器移動至陣列儲存器之所欲向量、且需要保留一或多個向量暫存器以保持該等零值的實施方案相比較時）。根據此額外技術，指令解碼器電路系統50經配置以回應於解碼此一零向量指令（其經配置以識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量），亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令。接著，引起該處理電路系統將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值，且接著執行由該累加指令指定之累加運算以產生用於儲存在該陣列儲存器內之該所識別多個向量中的結果資料元素。

**【0088】** 藉由使用上述方法，該零向量指令在由該指令解碼器電路系統解碼時可與一後續累加指令合併以實際上建立該累加指令的一非累加變體，該後續累加指令指定與該零向量指令所指定相同的多個資料元素向量。此可係高度有益的，因為指令編碼空間通常係高價的(high premium)，且指定可經定義以對在該陣列儲存器內之多個資料元素向量進行操作的各種累加指令之非累加變體可能不是可行的。

**【0089】** 圖11係繪示根據一個實例實施方案之此類零向量指令之處置的流程圖。當在步驟520，解碼器電路系統50遭遇到零向量指令時，接著在步驟525，參考零向量指令之向量識別欄位來識別陣列儲存器內的多個資料元素向量。例如，可在向量識別欄位中識別多個陣列向量暫存器ZAR。接著，在步驟

530，解碼器電路系統判定待解碼的下一指令是否係對與由該零向量指令所識別之相同向量進行操作的一累加指令。

**【0090】** 若否，則在步驟535，處理電路系統經控制以將在步驟525所判定的用於儲存該所識別多個向量之該等資料元素的該陣列儲存器之儲存元件設定為一邏輯零值，且其後處理僅繼續下一指令之執行。

**【0091】** 然而，在步驟530，若判定下一指令係對與由該零向量指令所識別之相同向量進行操作的一累加指令，則解碼器有效融合該兩個指令，且在步驟540，控制該處理電路系統執行由該累加指令所指定的該累加運算之一非累加變體（一般而言，此涉及一處理運算及一後續累加兩者），以產生用於儲存在所識別之多個向量之各者中的結果。如前文所提及，藉由此類方法，不需要具體編碼經配置以對陣列儲存器內之多個向量進行操作的任何累加指令之一非累加變體，因為此一非累加變體可透過使用一零向量指令、後續接著使用所需累加指令，藉由上述融合程序而有效地實施（藉此實施由該累加指令所定義之處理運算，但其中該累加函數有效地變成無效(nullified)）。

**【0092】** 圖12係示意性地繪示在一實例實施方案中之可在零向量指令內提供之欄位的圖式。具體而言，零向量指令550包括用以識別指令實際上係零向量指令的作業碼欄位555。進一步，提供用以識別陣列儲存器中之多個向量的一向量識別欄位560。此欄位中之資訊大致採用前文在描述圖5A之移動及零指令300之向量識別欄位310時所討論的形式，雖然在一實例實施方案中，後續累加指令係經配置以對在第一陣列方向延伸之陣列向量暫存器進行操作者，且因此一般不需要使水平及垂直方向皆在向量識別欄位560內編碼。

【0093】 如果需要，則如方框565所示，可提供特定可選之額外欄位，諸如如前文參考移動及零指令實例所論述的述詞資訊欄位及資料元素大小欄位。

【0094】 圖13係繪示根據另一實例實施方案之零向量指令之處置的流程圖。當在步驟570，解碼器電路系統50遭遇到零向量指令時，接著在步驟575，參考零向量指令之向量識別欄位來識別陣列儲存器內的多個資料元素向量。例如，可在向量識別欄位中識別多個陣列向量暫存器ZAR。

【0095】 接著在步驟580，處理電路系統經控制以將在步驟575所判定的用於儲存該所識別多個向量之該等資料元素的該陣列儲存器之儲存元件設定為一邏輯零值，且其後處理僅繼續下一指令之執行。

【0096】 甚至在此實施方案中，當未發生融合以組合零向量指令與後續累加指令時，仍可達成顯著的益處。具體而言，不需要執行多個移動指令，其中各移動指令將零向量從該向量暫存器檔案之一向量暫存器移動至該陣列儲存器之一所識別向量中。進一步，與必須實施（零）移動向量功能性相比，此類歸零功能性以硬體建構更簡單且更便宜。此外，因為不需要保留在向量暫存器檔案中之一或多個向量暫存器以保持邏輯零值（在基於所利用之移動指令的上述實施方案將需要），所以有額外節省。

【0097】 圖14繪示可使用的模擬器實施方案。雖然先前所述之實例以用於操作支援所關注技術的特定處理硬體之設備及方法來實施本發明，但亦可能根據本文所述之實例提供一指令執行環境，其係透過使用電腦程式實施。此類電腦程式常稱為模擬器，因為其等提供硬體架構之基於軟體的實施方案。模擬器電腦程式的種類包括仿真器、虛擬機、模型、及二進制轉譯器（包括動態二

進制轉譯器)。一般而言，模擬器實施方案可在可選地運行主機作業系統610、支援模擬器程式605的主機處理器615上運行。在一些配置中，在硬體與所提供的指令執行環境及/或相同的主機處理器上提供的多個相異指令執行環境之間可有多層模擬。歷史上，已需要強大的處理器來提供模擬器實施方案，其以合理速度執行，但此種方法在某些情況下可係有正當理由的，諸如當因為相容性或再使用原因此需要執行另一處理器原生的程式碼時。例如，模擬器實施方案可提供具有不為主機處理器硬體所支援之額外功能性的指令執行環境，或提供一般與不同的硬體架構相關聯的指令執行環境。模擬的綜述係於「Some Efficient Architecture Simulation Techniques」(Robert Bedichek, Winter 1990 USENIX Conference, 第53至63頁)中給出。

**【0098】** 在先前已參照特定硬體架構或特徵描述實施的情況下，在模擬實施方案中，等效功能性可藉由合適的軟體架構或特徵提供。例如，可在模擬實施方案中將特定電路系統提供作為電腦程式邏輯。類似地，記憶體硬體(諸如暫存器或快取)可在模擬實施方案中提供作為軟體資料結構。再者，可將用於存取硬體設備10中之記憶體30的實體位址空間仿真為藉由模擬器605映射至由主機作業系統610使用的虛擬位址空間的模擬位址空間。在先前描述的實例中提及的硬體元件的一或多者存在於主機硬體(例如主機處理器615)上的配置中，一些模擬實施方案可(在適當處)利用主機硬體。

**【0099】** 模擬器程式605可儲存在電腦可讀儲存媒體(其可係非暫時性媒體)上，並提供虛擬硬體介面(指令執行環境)給目標碼600(其可包括應用程式、作業系統、及超管理器)，該虛擬硬體介面與藉由模擬器程式605模型化之硬體架構的硬體介面相同。因此，目標碼600的程式指令可在指令執行

環境內使用模擬器程式605執行，使得實際上不具有上文所討論之設備10之硬體特徵的主機電腦615可仿真該等特徵。模擬器程式可包括：處理程式邏輯620，其仿真處理電路系統60的行為；指令解碼程式邏輯625，其仿真指令解碼器電路系統50的行為；及陣列儲存器仿真程式邏輯622，其維持資料結構以仿真陣列儲存器90。因此，本文所述之技術在圖14的實例中可藉由模擬器程式605以軟體執行。

**【0100】** 在本申請案中，用語「經組態以...(configured to...)」係用以意指一設備的一元件具有能夠實行該經定義作業的一組態。在此上下文中，「組態(configuration)」意指硬體或軟體之互連的配置或方式。例如，該設備可具有專用硬體，其提供經定義的作業，或者一處理器或其他處理裝置可經程式化以執行該功能。「經組態以(configured to)」並不意味著設備元件需要以任何方式改變以提供所定義的作業。

**【0101】** 雖然本文中已參照附圖詳細描述說明性實例，但應明白，本發明不限於該等精確實例，且所屬技術領域中具有通常知識者可實行各種變化、新增與修改於其中，而不脫離如隨附申請專利範圍所定義的本發明之範圍與精神。例如，可用獨立項的特徵在不脫離本發明之範疇的情況下作出與附屬項之特徵的各種組合。

### **【符號說明】**

#### **【0102】**

10:資料處理系統

20:處理器

- 30:記憶體
- 32:資料值
- 34:程式指令
- 40:指令提取單元
- 50:解碼器電路系統/指令解碼器電路系統/解碼器
- 60:處理電路系統
- 65:暫存器儲存器/架構暫存器
- 70:純量暫存器檔案/純量暫存器
- 80:向量暫存器檔案/向量暫存器
- 90:陣列儲存器
- 100:純量整數暫存器/通用暫存器
- 105:向量暫存器
- 110:陣列暫存器/陣列暫存器儲存器
- 115:2D 陣列資料元素
- 120:2D 陣列資料元素
- 200:儲存元件/位置
- 205:陣列
- 210:存取電路系統
- 220:存取電路系統
- 230:行選擇電路系統
- 240:列選擇電路系統
- 250:控制電路系統

260:資料元素  
300:指令  
305:作業碼欄位  
310:向量識別欄位  
310':向量識別欄位  
312:子欄位  
313:部分  
314:部分  
315:目的地儲存器識別欄位  
320:額外欄位  
350:步驟  
355:步驟  
360:步驟  
365:步驟  
400:輸入影像  
405:輸入像素/陣列  
407:濾波操作  
410:輸入像素/陣列  
412:濾波操作  
415:像素  
420:像素  
430:輸出影像

440:輸入影像

450:陣列

460:係數向量

465:區塊

467:元素

468:區塊

470:第一行

475:輸出向量/向量

480:第二行

482:係數向量

485:輸出向量/向量

490:第三行

492:係數向量

495:輸出向量/向量

500:第四行

520:步驟

525:步驟

530:步驟

535:步驟

540:步驟

550:零向量指令

555:作業碼欄位

560:向量識別欄位

565:方框

570:步驟

575:步驟

580:步驟

600:目標碼

605:模擬器程式/模擬器

610:主機作業系統

615:主機處理器/主機電腦

620:處理程式邏輯

622:陣列儲存器仿真程式邏輯

625:指令解碼程式邏輯

0...F:資料元素

A1:2D 陣列

A1H0...A1H15:資料元素

A1V0...A1V15:項目

MVL:向量長度

VL:向量長度

X0-X30:暫存器/暫存器標籤

Z0-Z31:向量暫存器

ZA0-ZA(N<sub>A</sub>-1):陣列儲存器識別符

ZAR:陣列向量暫存器

ZAR0-ZAR( $N_R-1$ ):陣列向量暫存器

## 【發明申請專利範圍】

【請求項1】 一種設備，其包含：

處理電路系統，以執行操作；

指令解碼器電路系統，以解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及

陣列儲存器，其包含用以儲存資料元素之儲存元件，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；

其中該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

【請求項2】 如請求項1之設備，其中：

該陣列儲存器包含在一第一陣列方向延伸的複數個陣列向量暫存器，且在該陣列儲存器內之該所識別多個向量係由該陣列儲存器的一群組之多個陣列向量暫存器提供；

該給定二維陣列資料元素包含儲存在該群組之多個陣列向量暫存器內的該等資料元素；

該後續積累指令指定一處理運算，其包括待對該所識別多個資料元素向量執行的一累加運算；及

該零向量指令與該後續累加指令組合使用以實現由該處理運算之一非累加變體的該處理電路系統之執行。

【請求項3】 如請求項1之設備，其中該零向量指令包含用以識別在該陣列儲存器內的該給定二維陣列資料元素之該多個資料元素向量的一向量識別欄位。

【請求項4】 如請求項1之設備，其中該零向量指令包含用以識別述詞資訊的一述詞欄位，該述詞資訊用以識別該多個所識別向量內之哪些儲存元件待設定為該邏輯零值。

【請求項5】 如請求項4之設備，其中該零向量指令進一步包含一大小欄位，其用以識別在該多個所識別向量內之各資料元素之一大小。

【請求項6】 一種處置一設備之一陣列儲存器內的資料元素之方法，其包含：

利用處理電路系統執行操作；

利用指令解碼器電路系統解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；

在該陣列儲存器中提供儲存元件以儲存資料元素，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；及

利用該指令解碼器電路系統以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理電路系統

以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【請求項7】** 一種電腦程式，其用於控制一主機資料處理設備以提供一指令執行環境，該電腦程式包含：

處理程式邏輯，以執行操作；

指令解碼程式邏輯，以解碼指令，以控制該處理程式邏輯執行由該等指令指定的該等操作；及

陣列儲存器仿真程式邏輯，其用以仿真包含用以儲存資料元素之儲存元件的一陣列儲存器，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理程式邏輯可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；

其中該指令解碼程式邏輯經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令，亦解碼經配置以對該所識別多個資料元素向量進行操作的一後續累加指令，及控制該處理程式邏輯以執行由該累加指令指定的一累加運算之一非累加變體，以產生用於儲存在該陣列儲存器內的該所識別多個向量中的結果資料元素。

**【請求項8】** 一種設備，其包含：

處理電路系統，以執行操作；

指令解碼器電路系統，以解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及

陣列儲存器，其包含用以儲存資料元素之儲存元件，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取

該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；

其中該指令解碼器電路系統經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理電路系統，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【請求項9】** 一種處置一設備之一陣列儲存器內的資料元素之方法，其包含：

利用處理電路系統執行操作；

利用指令解碼器電路系統解碼指令，以控制該處理電路系統執行由該等指令指定的該等操作；及

在陣列儲存器中提供儲存元件以儲存資料元素，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理電路系統可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；

其中該指令解碼器電路系統回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理電路系統，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

**【請求項10】** 一種電腦程式，其用於控制一主機資料處理設備以提供一指令執行環境，該電腦程式包含：

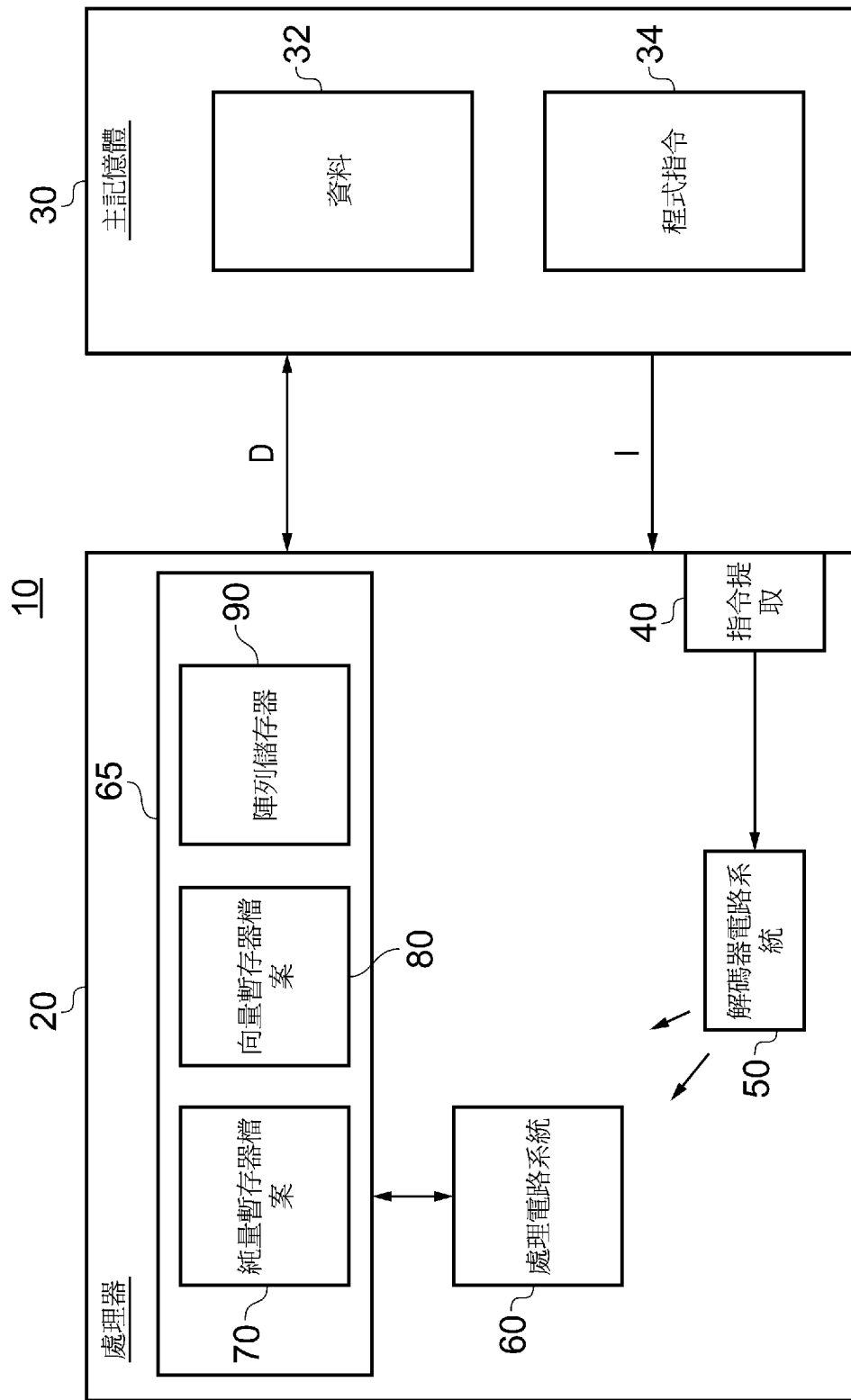
處理程式邏輯，以執行操作；

指令解碼程式邏輯，以解碼指令，以控制該處理程式邏輯執行由該等指令指定的該等操作；及

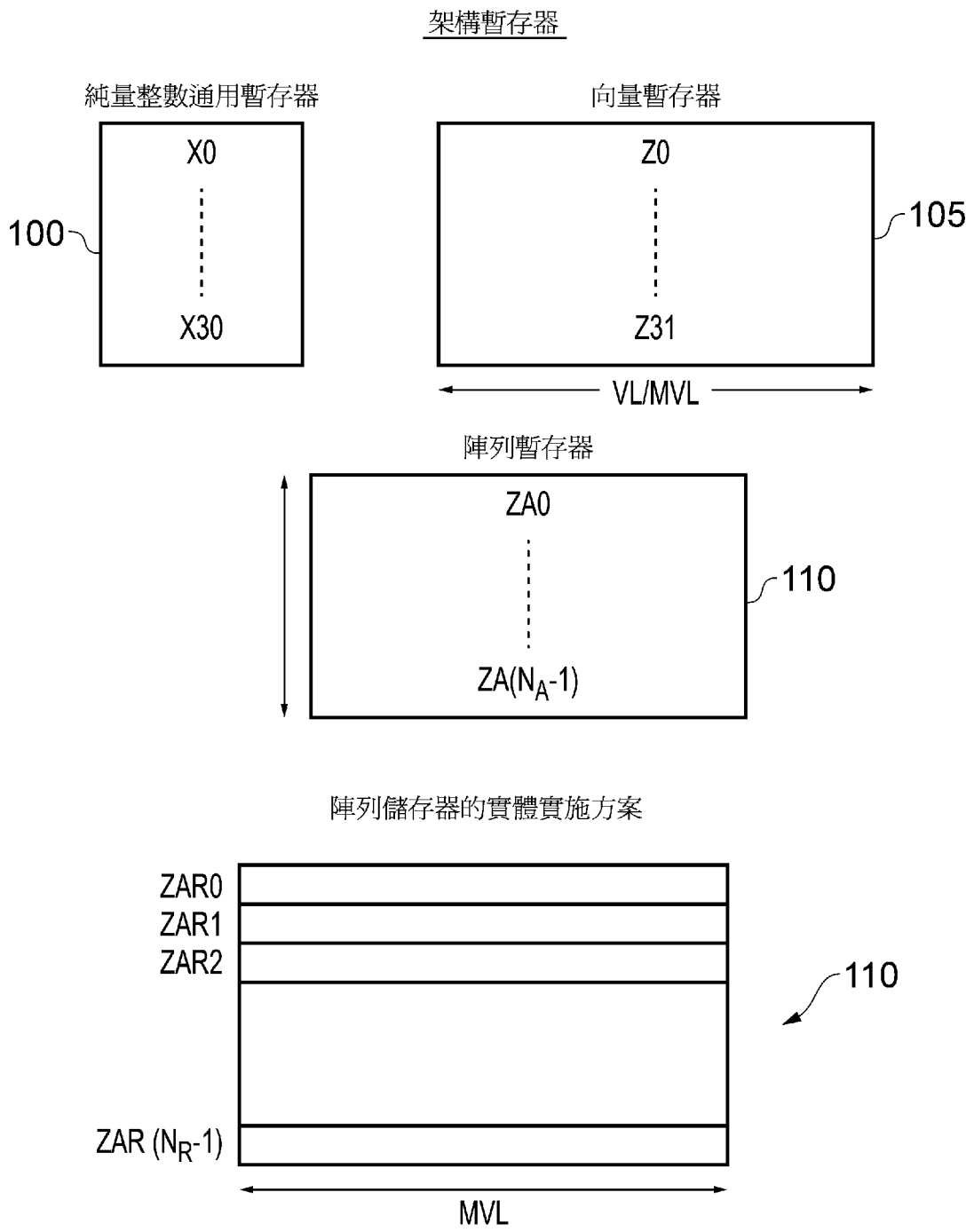
陣列儲存器仿真程式邏輯，其用以仿真包含用以儲存資料元素之儲存元件的一陣列儲存器，該陣列儲存器經配置以儲存至少一個二維陣列資料元素，當執行該等操作時該處理程式邏輯可存取該等資料元素，各二維陣列資料元素包含複數個資料元素向量，其中各向量係一維；

其中該指令解碼程式邏輯經配置以回應於解碼識別在該陣列儲存器內的一給定二維陣列資料元素之多個資料元素向量的一零向量指令來控制該處理程式邏輯，以將用以儲存該所識別多個向量之該等資料元素的該陣列儲存器之該等儲存元件設定為一邏輯零值。

【發明圖式】

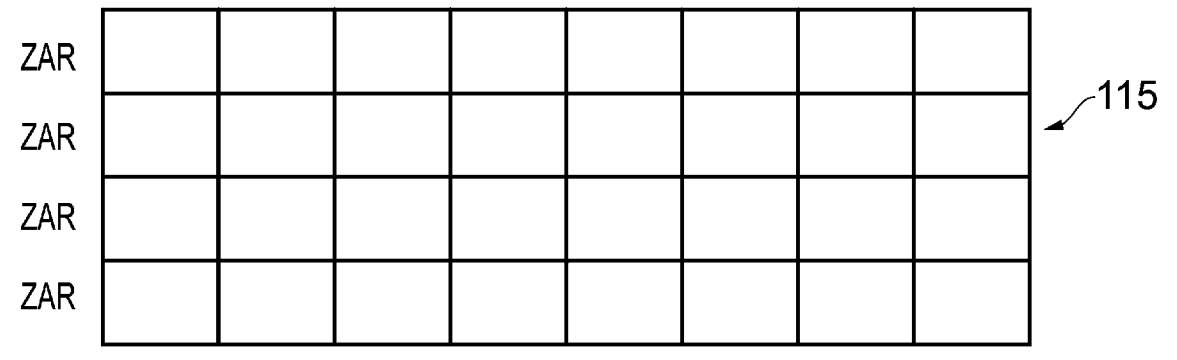


【圖1】



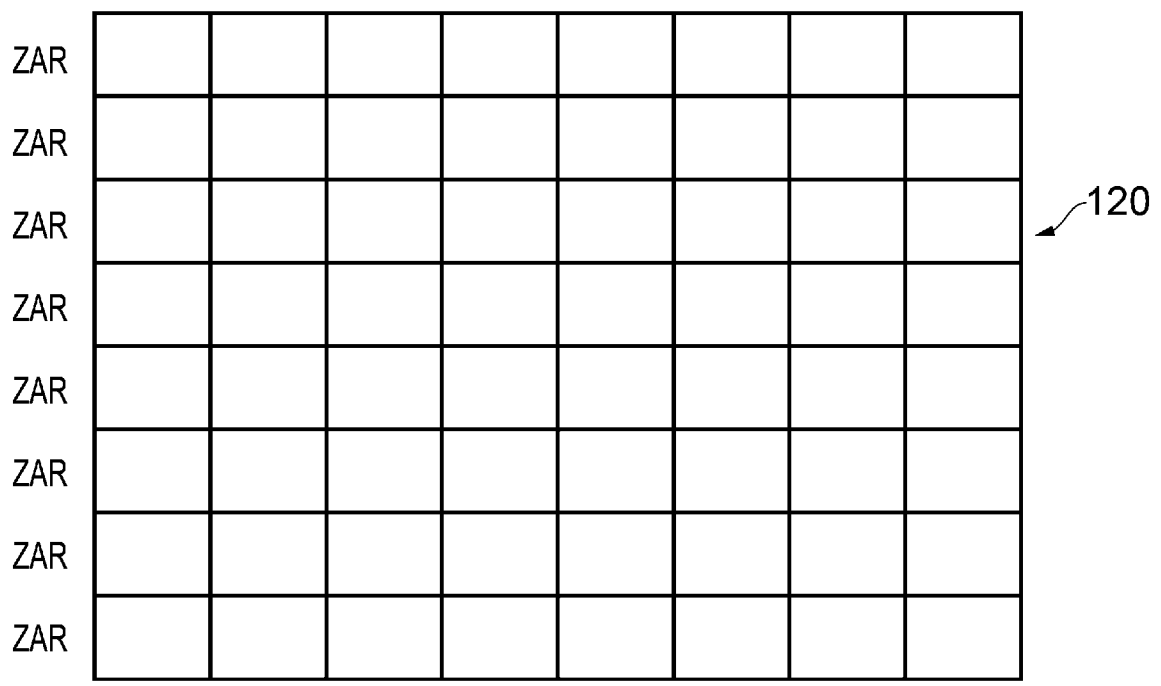
【圖2】

非方形2D陣列資料元素

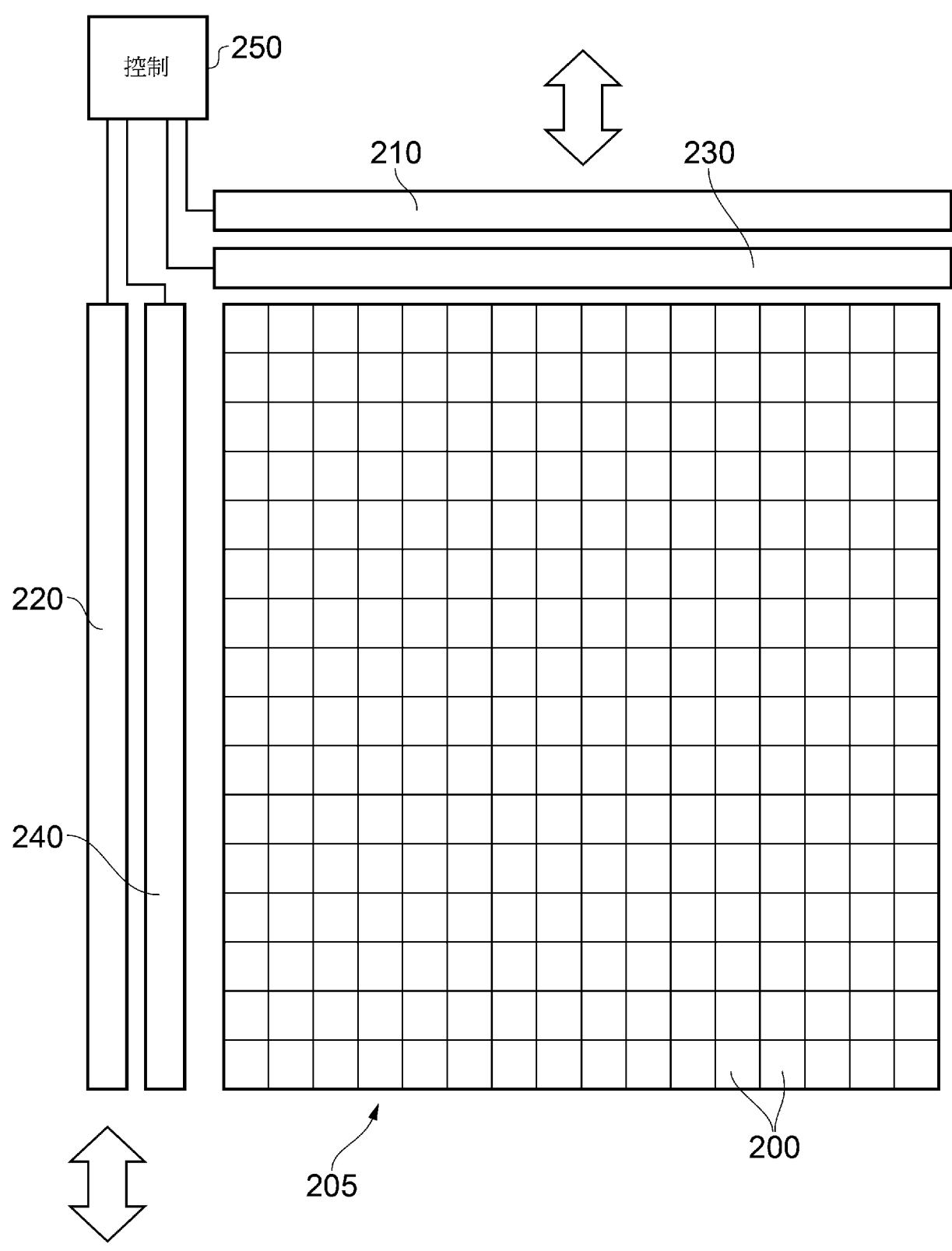


【圖3A】

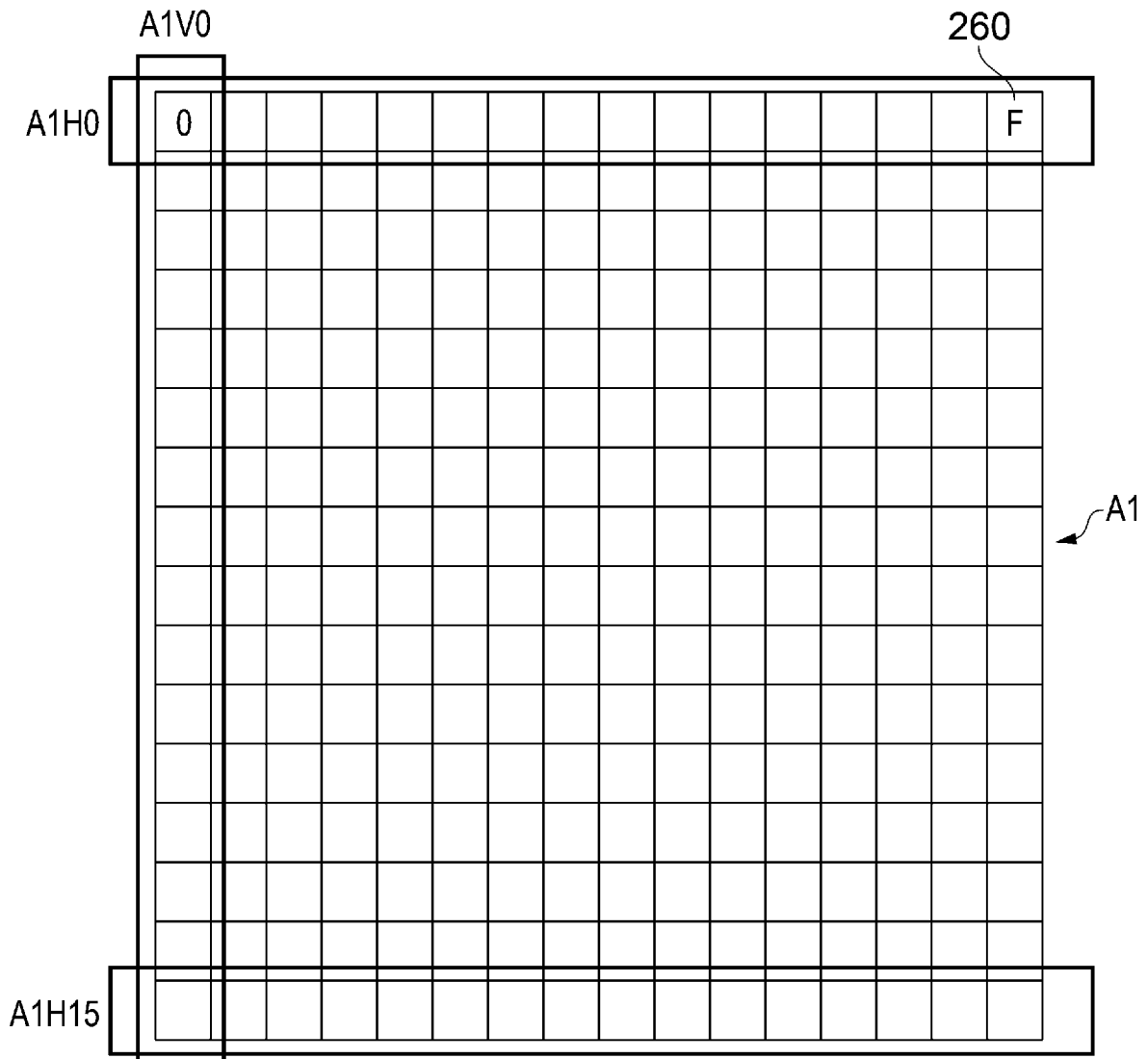
方形2D陣列資料元素



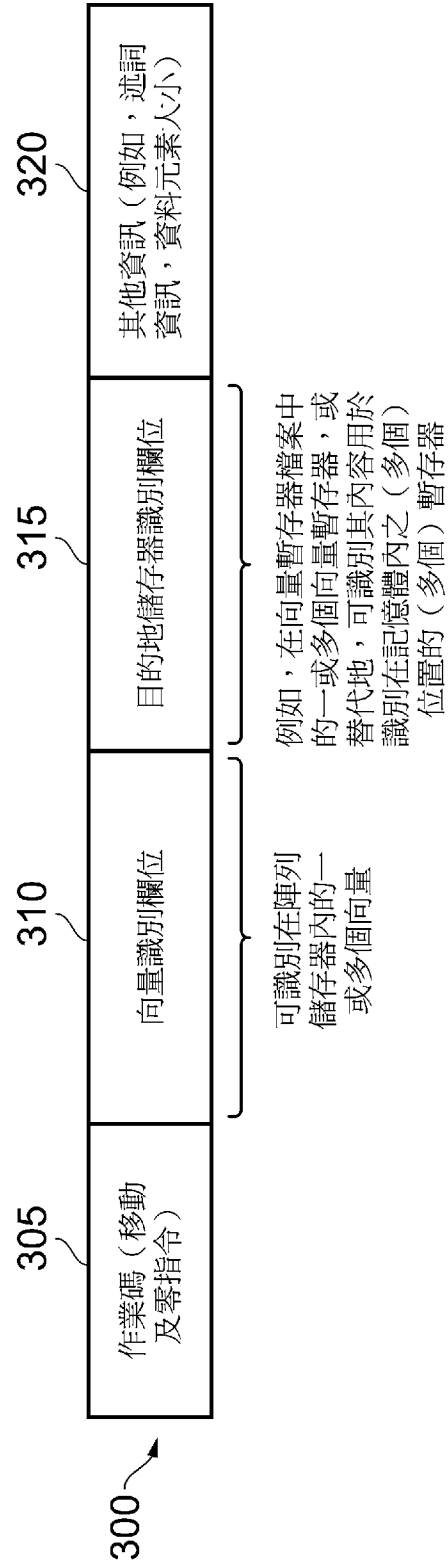
【圖3B】



【圖4A】

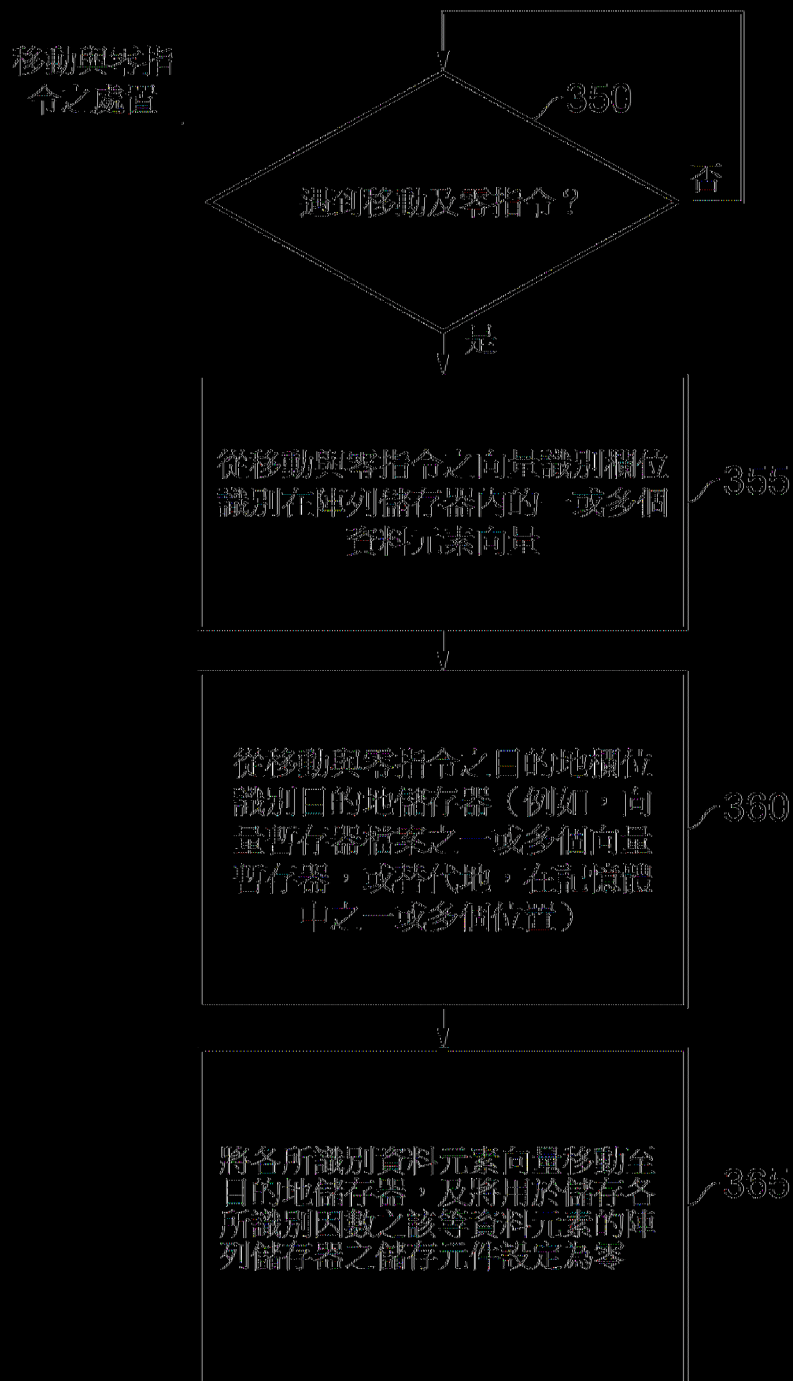


【圖4B】



【圖5A】





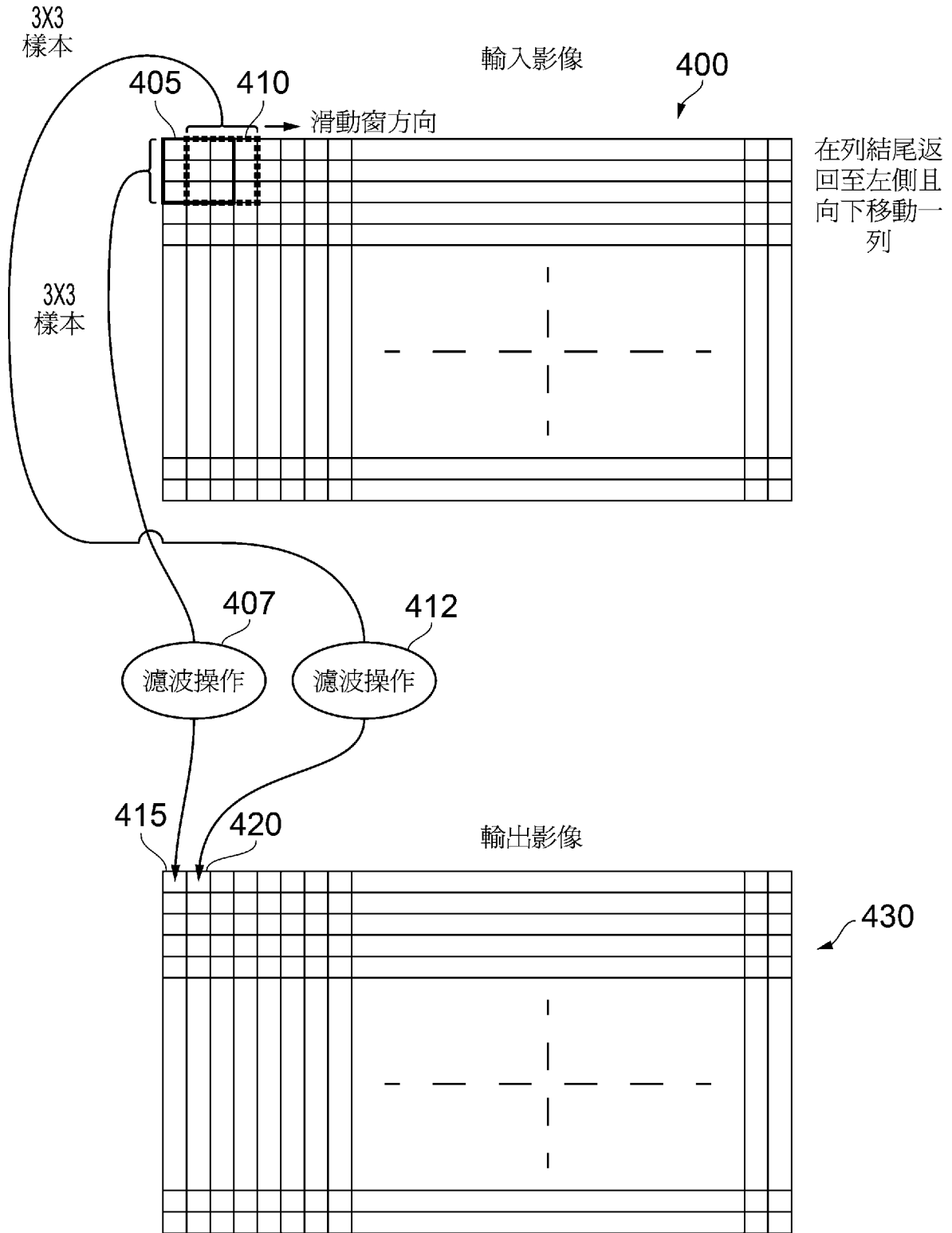
(圖6)

對陣列儲存器進行操作的實例指令序列

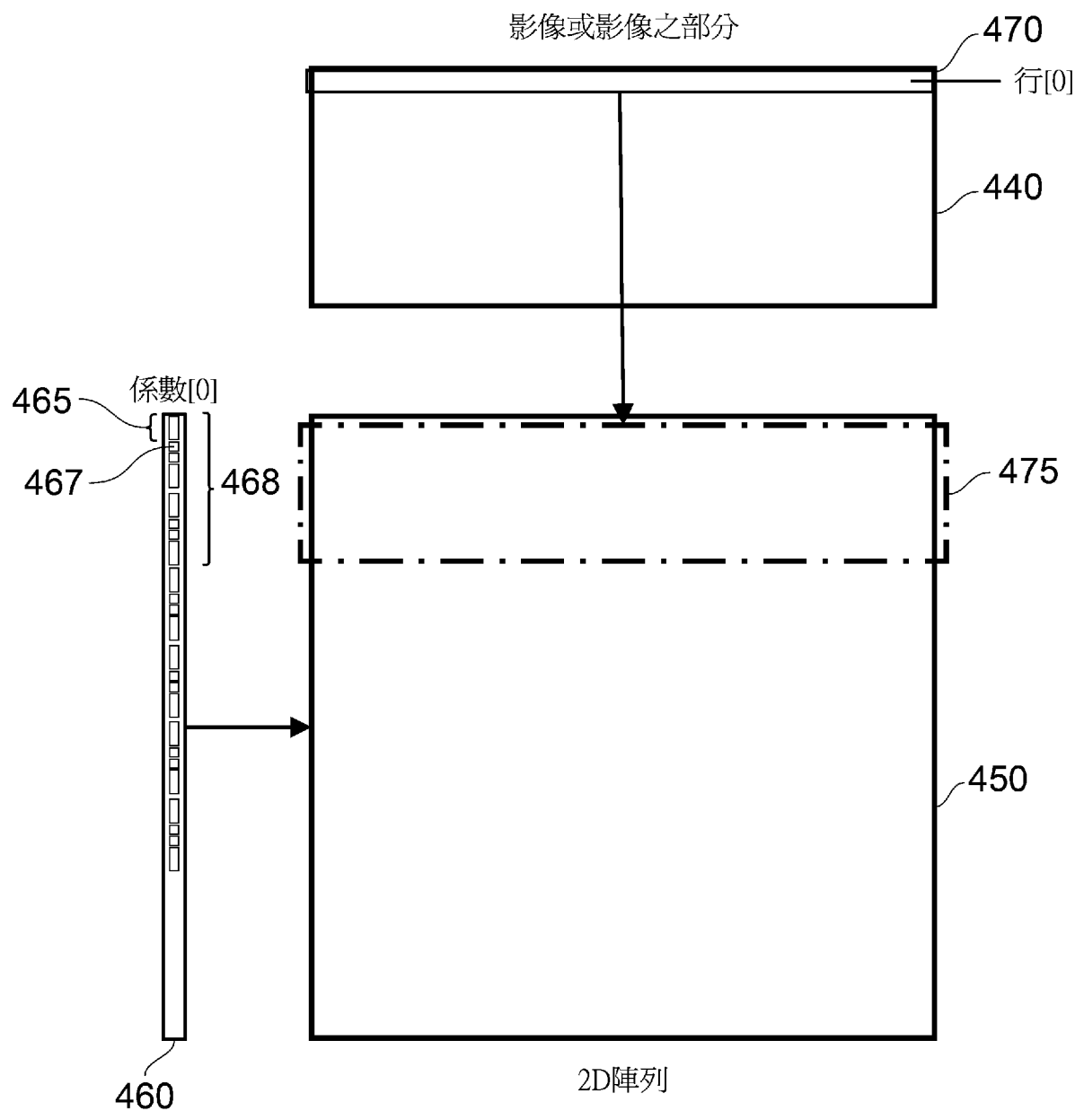
- 1) 資料處理指令1 (累加至2D陣列)
- 2) 資料處理指令2 (累加至2D陣列)
- 3) 資料處理指令3 (累加至2D陣列)
- 4) 移動及零指令 (垂直向量1、向量暫存器 $Z_1$ )
  - 垂直向量1保持最終累加結果，  
且移動及零指令之執行將該等最終累加結果  
移動至 $Z_1$ 且清除用於垂直向量1之儲存元件
- 5) 資料處理指令4 (累加至2D陣列-可再使用垂直行1)
- 6) 移動及零指令 (垂直向量2、向量暫存器 $Z_{1+x}$ )
  - 垂直向量2保持最終累加結果，  
且移動及零指令之執行將該等最終累加結果  
移動至 $Z_{1+x}$ 且清除用於垂直向量2之儲存元件
- 7) 資料處理指令5 (累加至2D陣列  
-可再使用垂直行2)

【圖7】

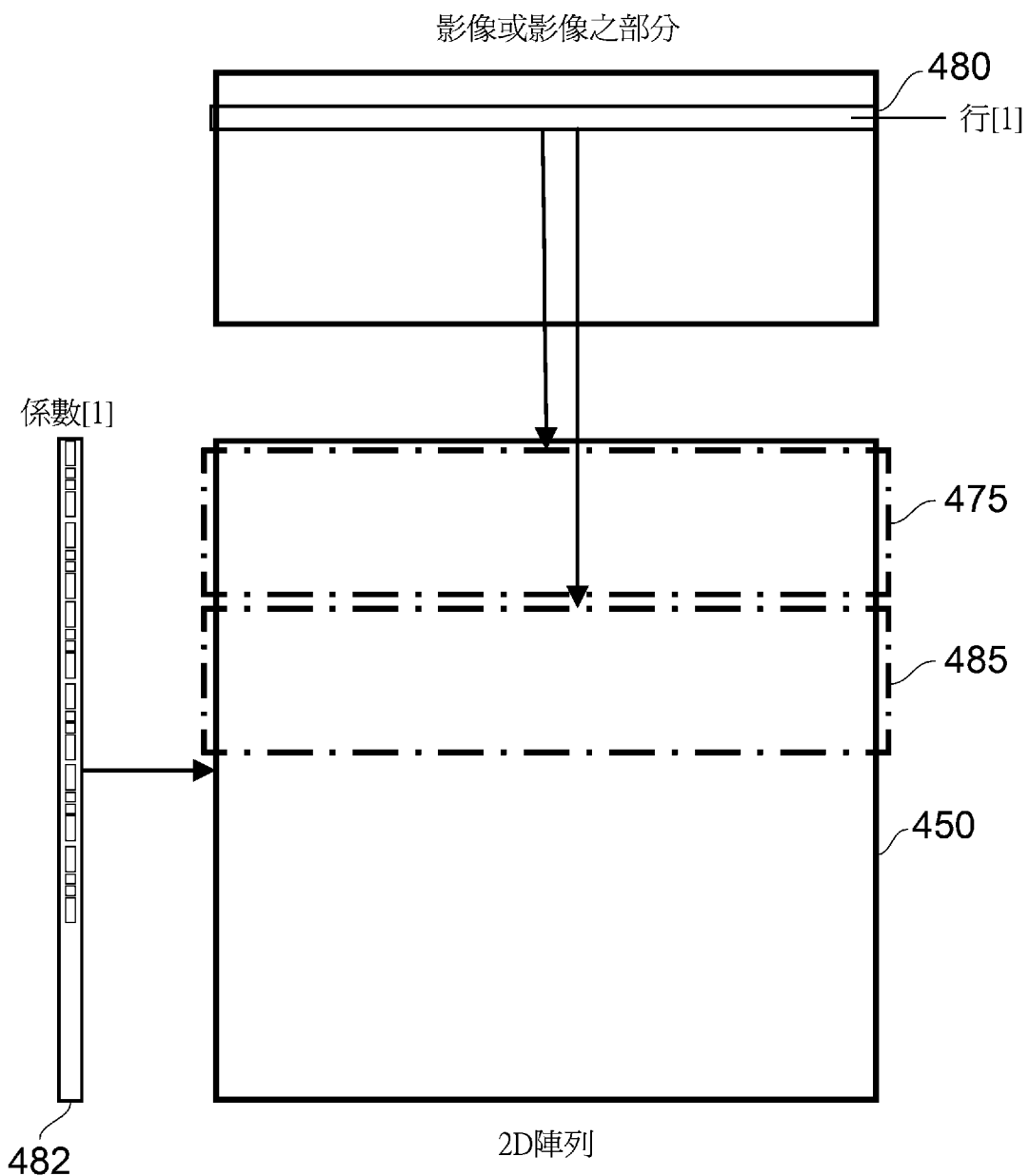
使用滑動窗方法之FIR濾波



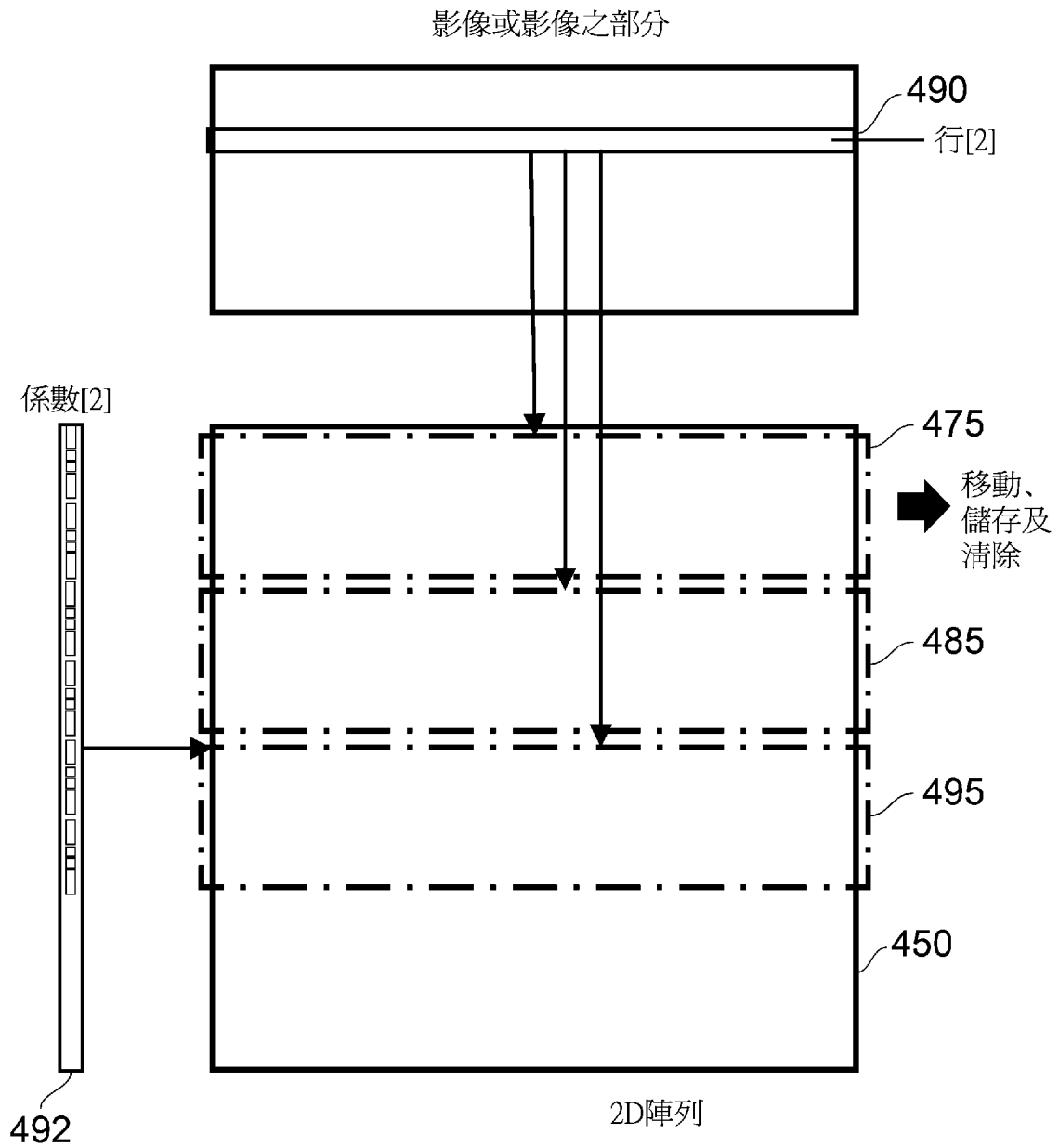
【圖8】



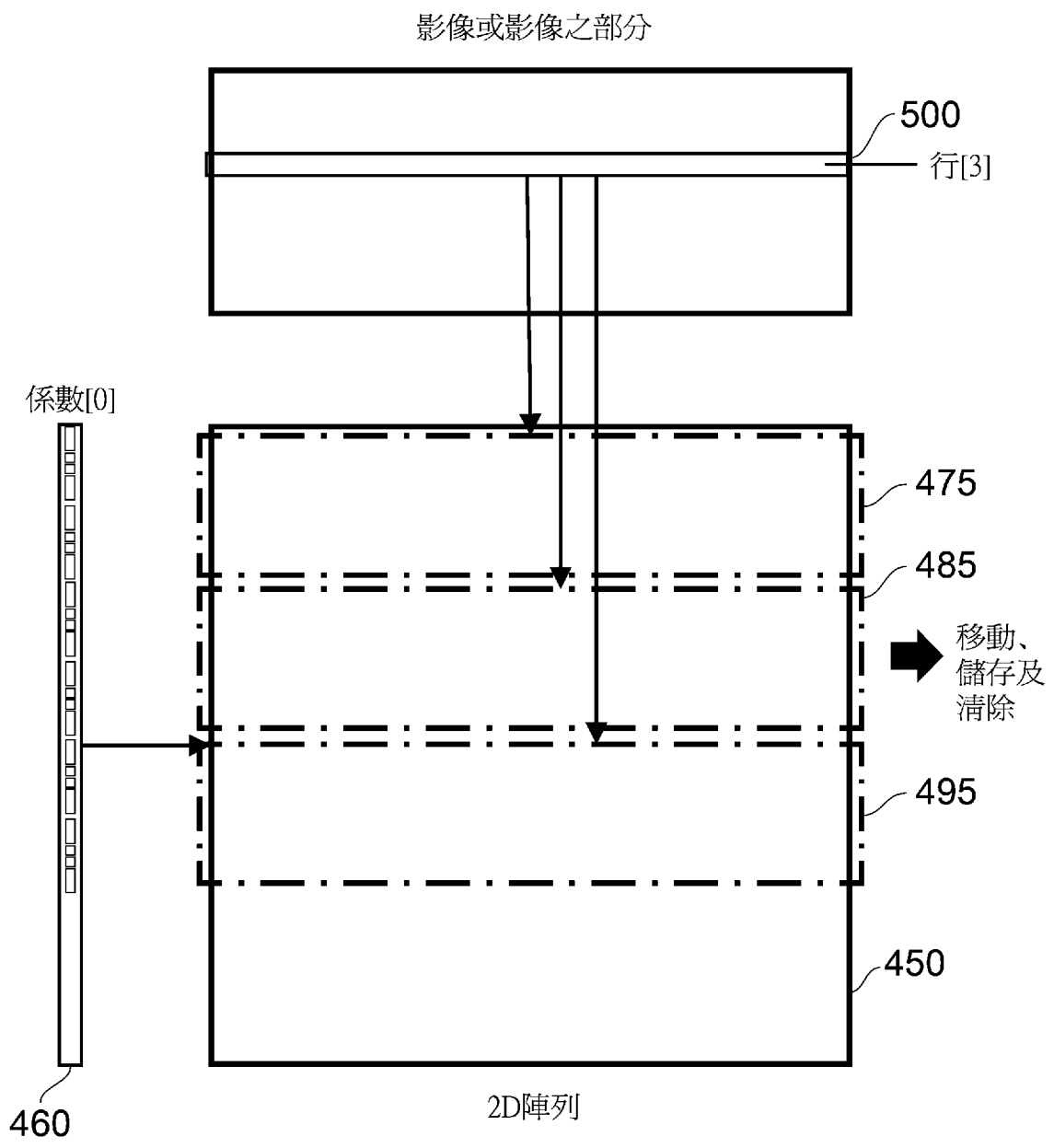
【圖9A】



【圖9B】



【圖9C】



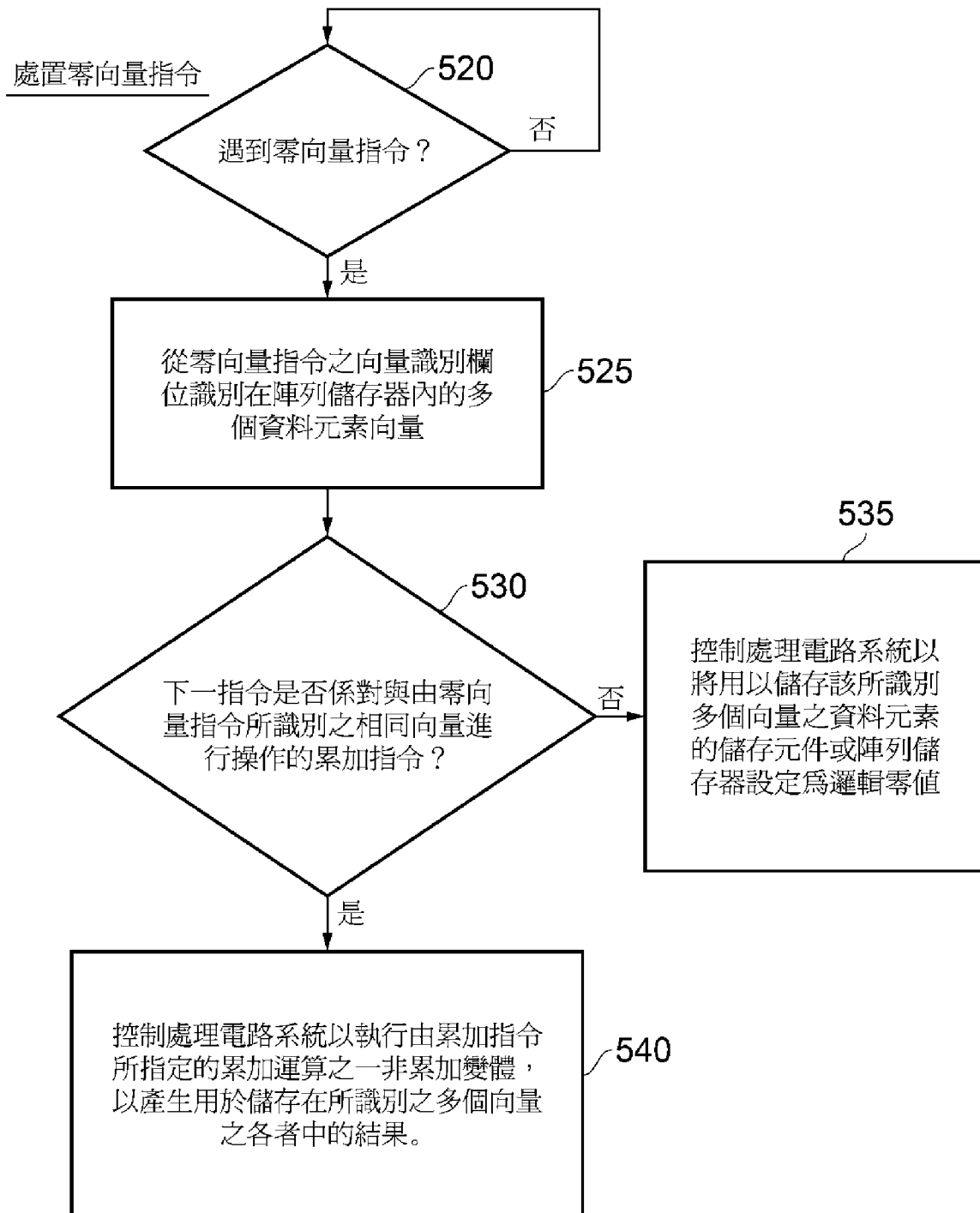
【圖9D】

對陣列儲存器進行操作的替代實例指令序列

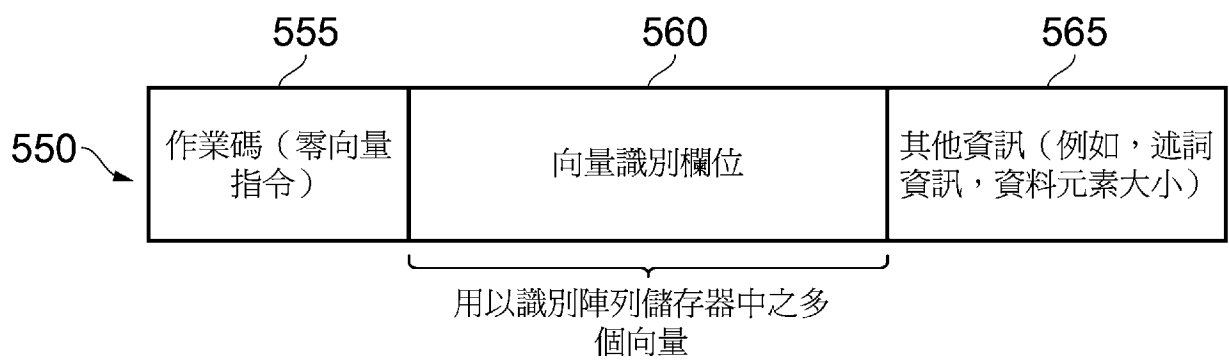
假設ZAR 2、ZAR 3及ZAR 4被初始化為零

- 1) 資料處理指令 (累加至ZAR 2、ZAR 3及ZAR 4)
- 2) 資料處理指令 (累加至ZAR 2、ZAR 3及ZAR 4)
- 3) 移動及零指令 (ZAR 2、ZAR 3、ZAR 4至 $Z_i$ 、 $Z_{i+1}$ 、 $Z_{i+2}$ )
  - 所有累加結果移出而至向量暫存器
  - 檔案中之向量暫存器，
  - 且清除ZAR 2、ZAR 3及ZAR 4)
- 4) 資料處理指令 (累加至ZAR 2、ZAR 3及ZAR 4)
  - 執行有效引起所定義之運算之非累加變體被執行，其中結果
  - 經產生且儲存於ZAR 2、ZAR 3及ZAR 4之各者中)
- 5) 資料處理指令 (累加至ZAR 2、ZAR 3及ZAR 4)

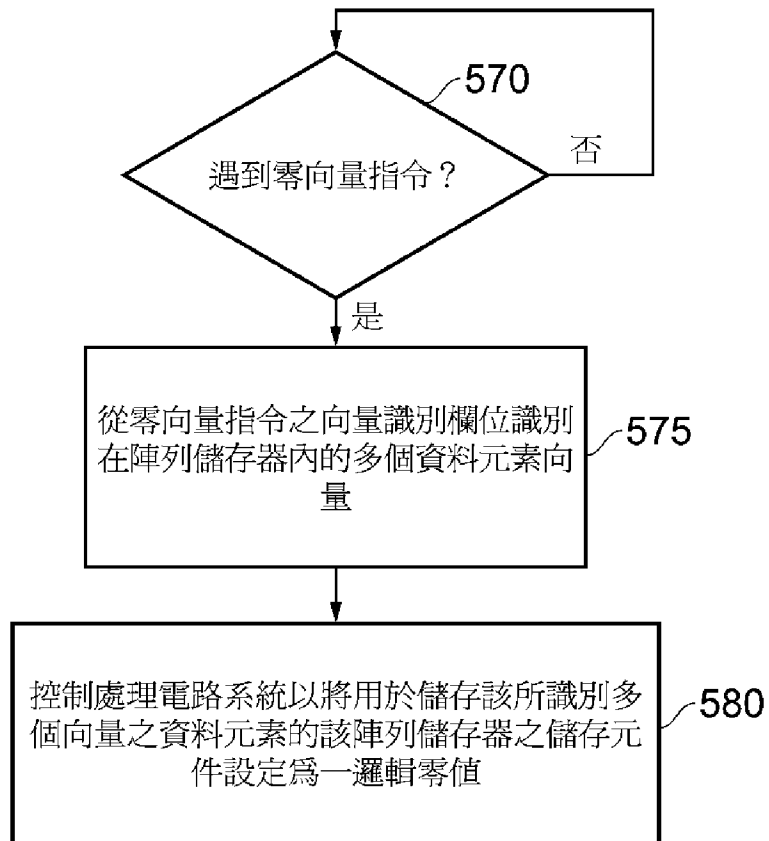
**【圖10】**



【圖11】

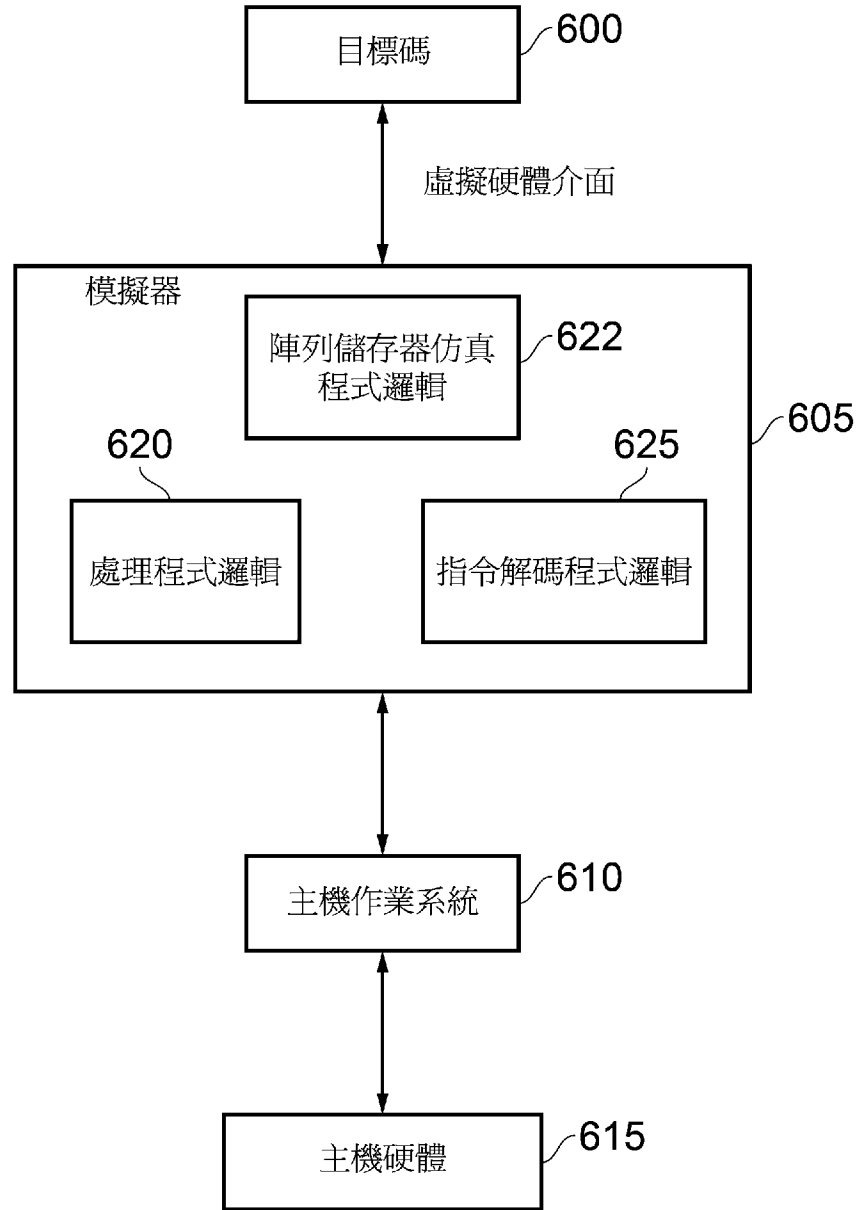


【圖12】



【圖13】

模擬器實施方案



【圖14】