(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108(102)
H01L 27/04

(45) 공고일자 1996년01월15일
(11) 공고번호 특1996-0000962

(21) 출원번호	특1992-0007871	(65) 공개번호	특1992-0022526
(22) 출원일자	1992년05월09일	(43) 공개일자	1992년12월19일

(30) 우선권주장 1991-105719 1991년05월10일 일본(JP)
(71) 출원인 미쓰비시 덴끼 가부시끼가이샤 시기 모리야
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 모도나미 가오루
일본국 효고겡 이다미시 미즈하라 4쪼메 1번지 미쓰비시 덴끼 가부시끼가이샤 엘 에스 아이겡규쇼나이
(74) 대리인 김영길

심사관 : 김정옥 (책자공보 제4292호)

(54) 반도체 장치 및 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도 (a)는 본 발명의 제1의 실시예의 반도체 장치의 구조를 표시하는 단면도,

(b)는 그 평면 레이아웃도.

제2도 (a)는 본 발명의 제1의 실시예의 반도체 장치의 제조방법의 제1공정을 표시하는 단면도,

(b)는 동 제2공정을 표시하는 단면도.

제3도 (a)는 본 발명의 제1의 실시예에 있어서 반도체 장치의 제조방법의 제3공정을 표시하는 단면도,

(b)는 동 제4공정을 표시하는 단면도.

제4도 (a)는 본 발명의 제1의 실시예에 있어서 반도체 장치의 제조방법의 제5공정을 표시하는 단면도,

(b)는 동 제6공정을 표시하는 단면도.

제5도 (a)는 본 발명의 제1의 실시예에 있어서 반도체 장치의 제조방법의 제7공정을 표시하는 단면도,

(b)는 동 제8공정을 표시하는 단면도.

제6도 (a)는 본 발명의 제1의 실시예에 있어서 반도체 장치의 제조방법의 제9공정을 표시하는 단면도,

(b)는 동 제10공정을 표시하는 단면도.

제7도 (a)는 본 발명의 제1의 실시예에 있어서 반도체 장치의 제조방법의 제11공정을 표시하는 단면도,

(b)는 동 제12공정을 표시하는 단면도.

제8도 (a), (b)는 각각 제7도 (b)에 표시한 제12공정후에 비트선을 패터닝하기 위한 2단계의 포토레지스트 마스크의 패턴을 표시하는 평면 레이아웃도.

제9도 (a)는 본 발명의 제2의 실시예에 DRAM의 메모리셀의 구조를 표시하는 단면도,

(b)는 그 평면 레이아웃도.

제10도 (a)는 본 발명의 제3의 실시예에 DRAM의 메모리셀의 구조를 표시하는 단면도,

(b)는 그 평면 레이아웃도.

제11도 (a)는 종래의 DRAM의 메모리셀의 구조의 일예를 표시하는 단면도,

(b)는 그 평면 레이아웃도.

제12도는 일반의 RAM의 블록도.

제13도는 DRAM의 메모리셀의 등가회로도

* 도면의 주요부분에 대한 부호의 설명

16 : 확산도전층 40 : 비트선(제2의 도전배선층)

43 : 비트선(제1의 도전배선층) 44 : 더미(dummy)배선

또한, 도면중 동일부호로 표시한 부분은 동일 또는 상당한 요소를 표시한다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 장치 및 그 제조방법에 관하며, 특히 층간 절연막의 단차의 영향을 받는 일 없이 소망의 도전배선 패턴을 형성하는 기술에 관한 것이다.

[종래의 기술]

DRAM(Dynamic Random Access Memory)등의 집적회로(이하 IC로 약칭한다) 메모리는, 다수의 기억소자로 되는 메모리셀 어레이부와 입출력에 필요한 주변회로부로 구성되어 있으며, 그것들은 동일 기판상에 형성되어 있는 경우가 많다.

제12도는, 일련의 RAM의 구성의 일예를 표시하는 블록도이다.

제12도를 참조하여, 메모리셀 어레이(1)에는, 복수의 워드선 및 복수의 비트선이 서로 교차하도록 배치되어 있다.

이것들의 워드선과 비트선과의 각 공정에는, 메모리셀이 설치되어 있다.

메모리셀의 선택은, X 어드레스 버퍼 디코더(2)에 의하여 1가닥의 워드선을 Y 어드레스 버퍼 디코더(3)에 의하여 1가닥의 비트선을 각각 선택하는 것에 의하여 행하여진다.

선택된 메모리셀에 데이터가 기록된다든가, 혹은 그 메모리셀에 저장되어 있던 데이터가 판독되든지 하는데, 이 데이터의 기록/판독의 지시는, R/W 제어신호(4)에 의하여 주어질 수 있는 판독/기록 제어신호(R/W)에 의하여 행하여 진다.

데이터의 기록시에는, 입력 데이터(Din)이 R/W 제어회로(4)를 통하여 선택된 메모리셀에 입력된다.

한편, 데이터의 판독시에는 선택된 메모리셀에 저장되어 있는 데이터가 센스앰프(5)에 의하여 검출된 후, 증폭되어 데이터 출력버퍼(6)를 통하여 출력데이터(Dout)로서 외부로 출력된다.

제13도에는 메모리셀의 기록/판독 동작을 설명하기 위한 다이나믹형 메모리셀의 등가회로도를 표시하고 있다.

제13도를 참조하여, 다이나믹형 메모리셀은 1조의 전계효과형 트랜지스터(7)와 커패시터(8)와로 이룬다.

전계효과 트랜지스터(7)의 게이트 전극은, 워드선(9)에 접속된다.

커패시터(8)에 접속되는 전계효과 트랜지스터(7)의 소스/드레인 전극은, 비트선(10)에 접속된다.

데이터의 기록시에는, 워드선(9)에 소정의 전위가 인가된다. 그것에 의하여, 전계효과형 트랜지스터(7)가 도통하고, 비트선(10)에 인가된 전하가 커패시터(8)에 저장된다.

한편, 데이터의 판독시에는, 워드선(9)에 소정의 전하가 인가된다.

그것에 의하여, 전계효과형 트랜지스터(7)가 도통하고, 커패시터(8)에 저장되어 있던 전하가 비트선(10)을 통하여 꺼내진다.

다음에, 종래의 IC 메모리의 구조의 일예에 관하여, 제11도를 이용하여 설명한다.

제11도 (a)에는, 종래의 메모리셀 어레이부(102)와 주변 회로부(101)의 일부를 표시하는 단면도를 표시하고 있으며, 제11도 (b)는 그 평면 레이아웃도를 표시하고 있다.

여기서, 메모리셀의 커패시터는, 스틱형의 예에 관하여 표시하고 있다.

이 메모리셀은, 제11도 (a), (b)를 참조하여 실리콘 기판(11)상에, 전계효과형 트랜지스터(18)이 형성되어, 이 전계효과형 트랜지스터(18)는, 게이트 산화막(19), 게이트 전극(20), 상부 절연막(21) 및 측벽 절연막(22)를 구비하고 있다.

또, 게이트 전극(20)은 메모리셀 어레이의 구성상 도면에는 표시되어 있지 않으나, 소자분리를 위한 필드산화막(12)상에도 배치되어 있다.

필드산화막(12)의 아래에는, 소자분리 강화용 확산층(13)이 형성되어 있다.

또 전계효과형 트랜지스터(18)의 소스/드레인 영역을 이루는 확산층(14,15)가 형성되어 있다.

다음에, 제13도의 커패시터(8)에 상당하는 것으로서, 스토레지노드(29), 커패시터 절연막(31) 및 셀플레이트(32)가 형성되어 있다.

이 커패시터는, 전술의 확산층(15)과 콘택트홀(27)로 전기적으로 접속되어 있다.

제13도의 비트선(10)에 상당하는 것으로서, 비트선(40)이 형성되어 있다.

이 비트선(40)은, 여기서는 폴리사이드 구조를 가지며, 다결정 폴리실리콘층 (38)과 텅스텐 실리사이드층(39)과로 구성되어 있다.

이 비트선(40)은, 전술의 확산층(14)와 콘택트홀(34)로 전기적으로 접속되어 있다.

주변회로부(102)에는, 확산층(17)이 형성되어 있으며 이것은 비트선(40)과 콘택트홀(37)로 전기적으로 접속되어 있다.

또 커패시터의 비트선(40)과의 절연은, 층간 절연막(33)에 의하여 실현하고 있다.

[발명이 해결하고자 하는 과제]

현재, IC 메모리는 고집적화, 고용량화를 도모하기 위하여 상술한 스택형 커패시터를 채용하고 있다.

이것 때문에, IC 칩상에 커패시터를 배치하고 있는 곳과, 그렇지 않은 곳의 절대단차가 문제로 된다.

특히, 상술한 종래예와 같이 비트선(40)에 커패시터의 상부에 구성되어 있는 경우, 그 비트선(40)을 형성하기 위한 포토레지스트 마스크를 사용한 사진제판에 있어서, 그 레지스트 패턴형성시의 초점심도가 전술의 절대단차보다 작으면, 칩상의 모든 비트선(40)에 관하여, 포토레지스트 마스크와 같은 소정의 치수로 정밀도 있게 가공하는 것이 대단히 곤란하였다.

[과제를 해결하기 위한 수단]

상기 과제를 해결하기 위하여 본 발명의 반도체 장치는, 기판상에 형성된 단차를 가지는 층간 절연막과, 이 층간 절연막상의 단차를 경계로 하여 낮은쪽의 표면에 형성된 제1의 도전배선층과, 높은쪽의 표면에 형성된 제2의 도전배선층과 단차의 근방의 제2의 도전배선층의 바로 밑에 배치되는 것과 동시에, 층간 절연막의 단차와 같은 정도의 높이를 가지며, 그 자체 도전배선으로서 가능하지 않는 더미배선과, 단차를 포함하는 영역의 더미배선의 바로 위로부터 기판표면에 대하여 형성된 도전층과를 구비하고 있다. 제1의 도전배선층은, 도전층의 기판표면에 위치하는 부분과 층간절연막에 설치된 콘택트홀을 통하여 전기적으로 접속되며, 제2의 도전배선층은 도전층의 더미배선의 바로 위에 위치하는 부분과, 층간절연막에 설치된 콘택트홀을 통하여 전기적으로 접속되어 있다.

또, 본 발명의 반도체 장치의 제조방법은 기판상에 단차를 가지는 층간절연막을 형성하는 공정과, 이 층간절연막의 표면에 도전막을 퇴적시키는 공정과, 이 도전막을 패터닝하고 상기 층간절연막의 상기 단차를 경계로 하여 낮은쪽의 표면에 제1의 도전배선층을, 높은쪽의 표면에 제2의 도전배선층을 형성하는 공정과를 구비하고 있다.

제1 및 제2의 도전배선층을 형성하는 공정은, 제1의 도전배선층의 패턴과 같은 패턴에 대하여, 제2의도전배선층을 형성해야 할 영역을 전부 덮는 패턴을 가지는 포토레지스트 마스크를 형성하고, 이것을 마스크로 하여 에칭하는 공정과, 제2의 도전배선층의 패턴과 같은 패턴에 더하여 제1의 도전배선층을 형성해야 할 영역을 전부 덮는 패턴을 가지는 포토레지스트 마스크를 형성하며, 이것을 마스크로 하여 에칭하는 공정과를 포함하고 있다.

(작용)

상기 구성을 가지는 것에 의하여 본 발명에 의하면, 단차를 가지는 층간절연막 상에 도전배선층을 형성하는 경우, 도전배선층을 단차를 경계로 하여 층간절연막의 낮은쪽의 표면과 높은쪽의 표면으로 각각 분할하고, 각각의 높이의 영역마다에 포토레지스트 마스크를 패터닝하여 에칭을 하기 때문에, 레지스트 패턴 형성시의 초점심도가 층간절연막의 단차 보다도 작게되는 경우에 있어서도, 각각의 높이의 영역에 있어서 포토레지스트 마스크의 패턴과 같은 소망의 형상치수의 도전배선층을 확보하는 것이 가능하게 된다.

이하 본 발명의 일실시예에 관하여, 제1도 내지 제2도에 의거하여 설명한다.

본 실시예의 제조방법은, 제2도 내지 제8도에 의거하여 다음과 같이 설명된다.

우선, 제2도 (a)에 표시하는 것 같이 p형의 실리콘 기판(11)에, 이른바 LOCOS(Local Oxidation Of Silicon)법에 의하여 소자분리용 필드산화막(12)을 형성하고, 소자분리 강화용 확산층(13)을, 붕소이온을 주입하는 것에 의하여 형성한다.

다음에, 제2도 (b)에 표시하는 것 같이 게이트 산화막층(219), 게이트 전극층 (220), 상부 절연막층(221)을 각각 형성한다.

그 후, 포토레지스트 마스크를 사용한 사진제판 처리를 하기 때문에, 전계효과형 트랜지스터의 게이트부(18)을 형성하는 포토레지스트패턴(118)과, 더미배선을 형성하는 포토레지스트 패턴(144)를 형성하며, 선택적 에칭법에 의하여 제3도(a)에 표시하는 것 같이, 전계효과형 트랜지스터의 게이트부(18)와 더미배선(44)이 동시에 형성된다.

전계효과형 트랜지스터의 게이트부(18)는 게이트 산화막(19), 게이트 전극 (20) 및 상부 절연막(21)로

이루며, 더미배선(44)는 더미배선 산화막(23), 더미배선 폴리실리콘층(24) 및 더미배선 상부 절연막(25)으로 되어 있다.

여기서, 이온주입에 의하여, 실리콘 기판(11)에 전계효과형 트랜지스터의 소스/드레인 영역을 구성하는 확산층(14,15), 주변회로부의 확산층(17) 및 확산도전층 (16)을 형성한다.

다음에, 제3도 (b)에 표시하는 것 같이, 절연막층(222)이 형성한다.

이것에 대하여 이방성 에칭을 전면에 베푸는 것에 의하여, 제4도 (a)에 표시하는 것 같은 측벽절연막(22) 및 더미배선 측벽 절연막(26)을 형성한다.

다음에, 제4도 (b)에 표시하는 것 같이, 커패시터의 하부 전극에 상당하는 스토레지노드층(229)을 형성하며, 스토레지노드(29)을 형성하기 위한 포토레지스트 패턴(129), 폴리실리콘 도전층(30)(제5도 (a)참조)을 형성하기 위한 포토레지스트 패턴(130)을 형성하고, 선택적 에칭에 의하여 제5도 (a)에 표시하는 것 같이, 스토레지노드(29) 및 폴리실리콘 도전층(30)을 형성한다.

다음에, 제5도 (b)에 표시하는 것 같이, 커패시터 절연막층(231) 및 커패시터의 상부 전극에 대응하는 셀플레이트층(232)을 형성한다.

그후 다시금, 포토레지스트 패턴(132)을 형성하며 제6도 (a)에 표시하는 것 같이, 선택적 에치에 의하여 커패시터 절연막(31), 실플레이트(32)를 형성하고, 폴리실리콘 도전층(30)은 제거되지 않고 남는다.

다음에, 제6도 (b)에 표시하는 것 같이, 층간절연층(233)을 형성하고, 콘택트홀을 형성해야 할 부분이 열려있는 포토레지스트 패턴(134)을 형성한다.

다음에, 제7도 (a)에 표시하는 것 같이 선택적 에칭에 의하여, 콘택홀(34,35,36 및 37)을 설치한 층간절연막(33)을 형성한다.

그후, 제7도 (b)에 표시하는 것 같이, 전면에 비트선을 형성하기 위한 다결정 폴리실리콘층(238)과 텅스텐 실리사이드층(239)을 형성한다.

다음에, 사진제판 처리 및 선택적 에칭에 의하여 비트선을 형성하기 위한 포토레지스트 마스크에 관하여, 제8도 (a), (b)를 사용하여 설명한다.

제8도 (a), (b)는, 제7도 (b)의 구조에 비트선 형성을 위한 포토레지스트 마스크를 패터닝한 상태의 평면 레이아웃도이다.

제8도 (a), (b)의 포토레지스트 마스크(340,343,440,443)는, 어느것이든 사선부의 포토레지스트가 남는 양성형의 포토레지스트 마스크이다.

이때, 사진제판 처리상의 노광시의 겹쳐 합치는 이유를 확보하기 위하여, 제8도중에 표시하는 횟수(M_0,M_1,M_2)의 거리를 0.15μm~0.2μm 정도 이상 확보하는 것이 필요하다.

또, 실제의 비트선의 패턴은 제8도 (a)의 패턴(340)과 제8도 (b)의 패턴(443)을 합한 것이다.

제8도 (a)의 패턴(343) 및 제8도(b)의 패턴(440)은, 사진제판 처리에 있어 2도의 노광시에 있어서, 실제의 비트선 패턴을 덮기 위한 것이다.

제7도 (b)의 구조까지 형성된 것에 관하여, 포토레지스트를 도포하고, 제8도 (a)의 포토레지스트 마스크를 사용하여 노광을 하며, 다음에 제8도 (b)의 포토레지스트 마스크를 사용하여 노광을 한다.

제8도 (a)와 (b)의 패턴의 순서를 역으로 하여도 된다.

이상과 같은 두 번의 노광공정을 거치는 것에 의하여, 각 공정의 포토레지스트 마스크의 패턴(340,443)의 각각에 대응한 초점심도가 얻어진다.

이 노광 공정 종료후에 현상체피를 하는 것에 의하여, 소망의 포토레지스트 패턴을 형성하며, 선택적 에칭에 의하여 제1도 (a),(b)에 표시하는 것 같은, 다결정 폴리실리콘층(38) 및 텅스텐 실리사이드층(39)으로 되는 비트선(40)과, 다결정 폴리실리콘층(41) 및 텅스텐 실리사이드층(42)로 되는 비트선(43)이 형성된다.

이상 설명한 것 같이 본 실시예에 의하면, 층간절연막(33)의 단차를 경계로 하여, 낮은쪽의 표면에 제1도전배선층으로서의 비트선(43)을 높은쪽의 표면에 제2도전배선층으로서의 비트선(40)을 형성하고, 각각 별도의 포토레지스트 패턴을 사진제판한다.

따라서, 층간절연막(33)의 단차가 사진제판시의 초점심도 보다도 큰 경우이더라도 비트선(40,43) 각각의 사진패턴은, 초점심도 내에서 하기 때문에 포토레지스트 마스크의 패턴에 일치한 정밀도 좋은 패턴형성을 할 수가 있다.

다음에, 본 발명의 제2의 실시예에 관하여, 제9도를 참조하여 설명한다.

본 실시예가 상기 제1의 실시예와 다른 것은 상기 제1의 실시예에 있어서는 비트선(40)과 비트선(43)의 전기적 접촉을 더미배선(44)의 상면으로부터 실리콘 기판(11) 표면에 겹쳐서 형성된 폴리실리콘 도전층(30)과, 확산도전층(16)에 의하여 행하여졌던 것에 대하여, 본 실시예에 있어서는 확산도정층(16)을 설치하는 일 없이, 폴리실리콘 도전층(30)만에 의하여 하고 있는 점이다.

본 실시예는, 소자분리영역(12) 상에 위치하는 층간절연막(33)의 단차를 두고 도전배선층으로서의 비트선(40,43)이 형성되는 경우에 유효하게 적용되며, 상기 제1의 실시예와 마찬가지의 작용효과를 가진다.

다음에, 본 발명의 제3의 실시예에 관하여 제10도를 참조하여 설명한다.

본 실시예가 상기 제1 및 제2실시예와 다른 것은 비트선(40)과 비트선(43)을 전기적으로 접속하는 폴리실리콘 도전층(30)이, 실리콘 기판(11) 표면에 설치된 확산도전층(16)의 표면에도 뻗쳐 있으며, 확산도전층(16) 상에 있어서 비트선(42)와 폴리실리콘 도전층(30)이 콘택트홀을 통하여 접속되어 있는 것이다.

본 실시예에 의하면, 확산도전층(16)과 비트선(43)과를 직접 접합하는 것보다, 콘택트 저항을 보다 작게 억제할 수가 있다.

[발명의 효과]

이상 설명한 것과 같이 본 발명에 의하면, 초점심도 보다도 큰 단차를 가지는 층간절연막 상에, 이 단차를 두고 도전배선층을 형성하는 경우에도, 단차을 경계로 하여 낮은쪽의 표면의 도전배선층과 높은쪽의 표면의 도전배선층과를 별도의 포토리소그래픽 공정을 하여 패터닝 하기 때문에 각각의 도전배선층은 초점심도 내에서 패터닝할 수가 있다.

따라서, 단차의 영향을 받는 일없이 소망의 패턴의 도전배선층이 정밀도 좋게 형성되며, 다층구조에 있어서 도전배선의 형성이, 잘룩하게 가늘어지는 등의 발생하지 않고 생산성 좋게 할 수 있게 된다.

(57) 청구의 범위

청구항 1

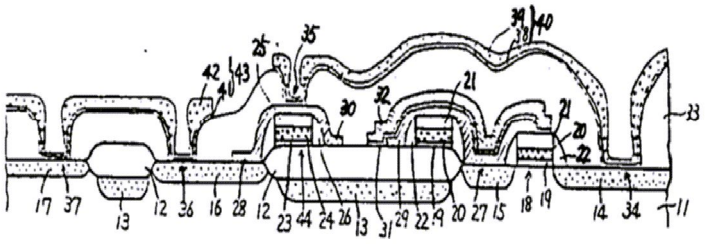
기판상에 형성된 단차를 가지는 층간 절연막과, 이 층간 절연막상의 상기 단차를 경계로 하여 낮은쪽의 표면에 형성된 제2의 도전배선층과, 상기 층간절연막의 상기 단차를 경계로 하여 높은쪽의 표면에 형성된 제1의 도전배선층과, 상기 단차의 근방의 제2의 도전배선층의 바로 밑에 배치되는 것과 동시에, 상기 층간 절연막의 단차와 같은 정도의 높이를 가지며 그 자체 도전배선으로서 기능하기 아니하는 더미배선과, 상기 단차를 포함하는 영역의 상기 더미배선의 바로 위로부터 상기 기판표면에 대하여 형성된 도전층과를 구비하여, 상기 제1의 도전배선층은 상기 도전층의 상기 기판 표면에 위치하는 부분과, 상기 층간절연막에 설치된 콘택트홀을 통하여 전기적으로 접속되고, 상기 제2의 도전배선층은 상기 도전층의 더미배선의 바로 위에 위치하는 부분과, 층간절연막에 설치된 콘택트 홀을 통하여 전기적으로 접속된 반도체 장치.

청구항 2

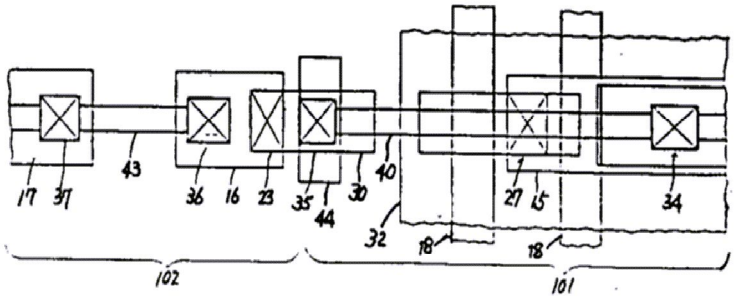
기판상에 단차를 가지는 층간절연막을 형성하는 공정과, 이 층간절연막의 표면에 도전막을 퇴적시키는 공정과, 이 도전막을 패터닝하고 상기 층간절연막의 상기 단차를 경계로 하여 낮은쪽의 표면에 제1의 도전배선층을 높은쪽의 표면에 제2의 도전배선층을 형성하는 공정과 구비하고, 상기 제1 및 제2의 도전배선층을 형성하는 공정은, 상기 제1의 도전배선층의 패턴과 같은 패턴에 더하여 상기 제2의 도전배선층을 형성해야 할 영역을 전부 덮는 패턴을 가지는 포토레지스트 마스크를 형성하여 이것을 마스크로 하여 에칭하는 공정과, 상기 제2의 도전배선층의 패턴과 같은 패턴에 더하여 상기 제1의 도전배선층을 형성해야 할 영역을 전부 덮는 패턴을 가지는 포토레지스트 마스크를 형성하고 이것을 마스크로 하여 에칭하는 공정과를 포함하는 반도체 장치의 제조방법.

도면

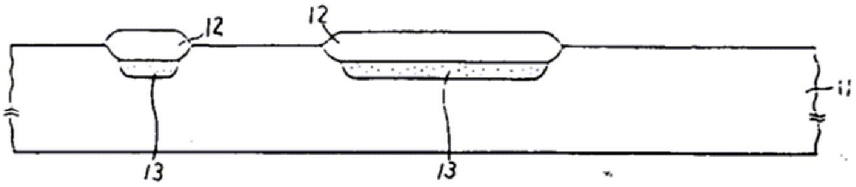
도면1



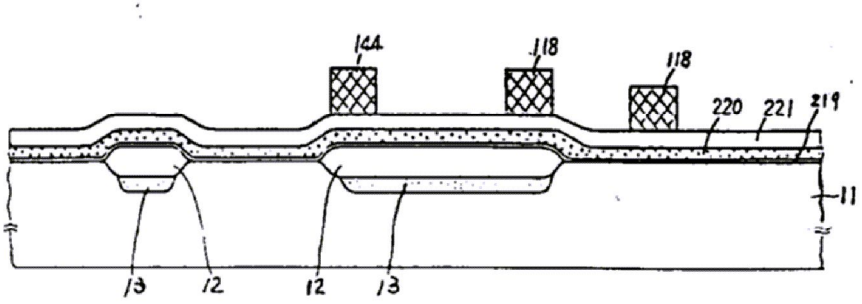
도면1b



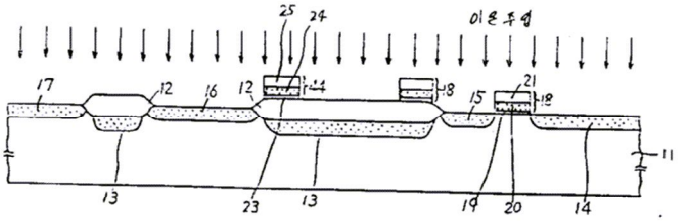
도면2a



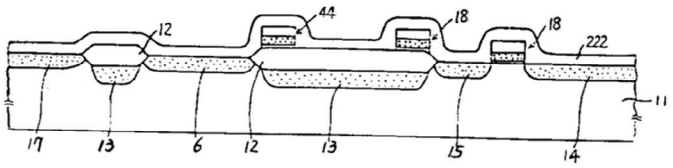
도면2b



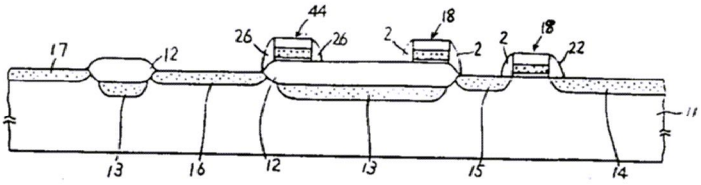
도면3a



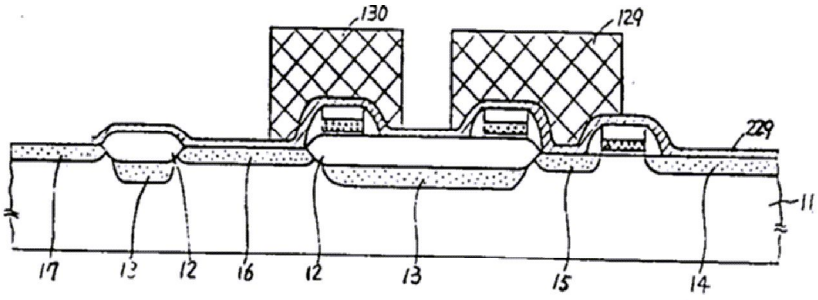
도면3b



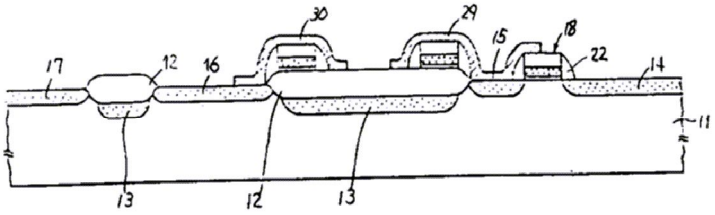
도면4a



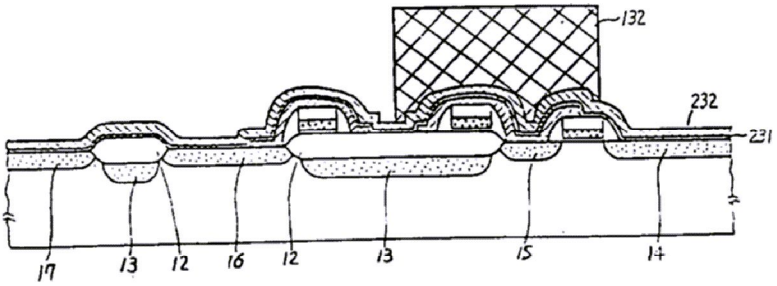
도면4b



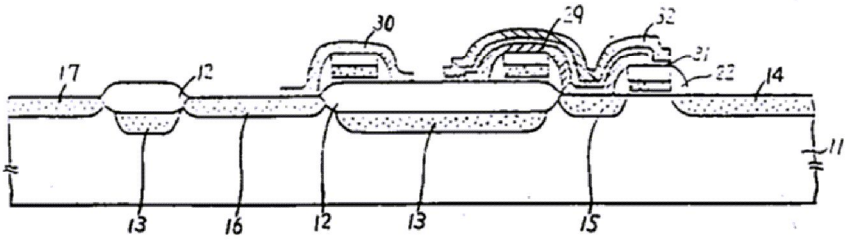
도면5a



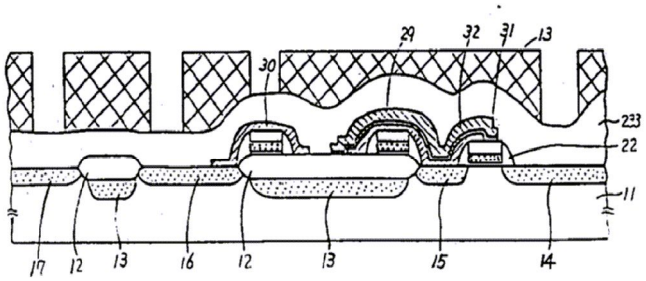
도면5b



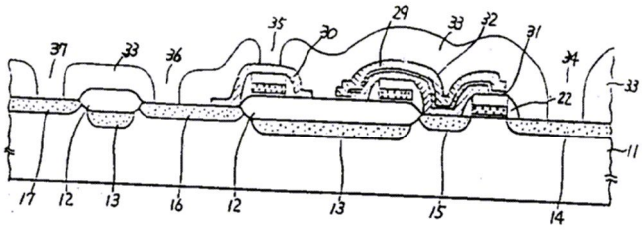
도면6a



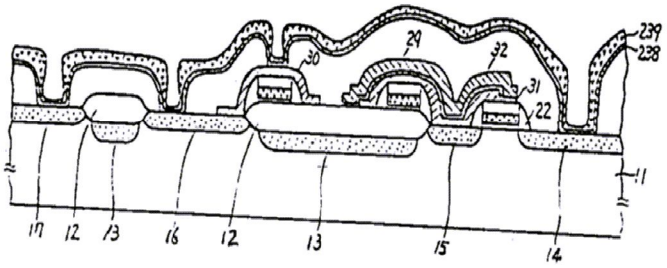
도면6b



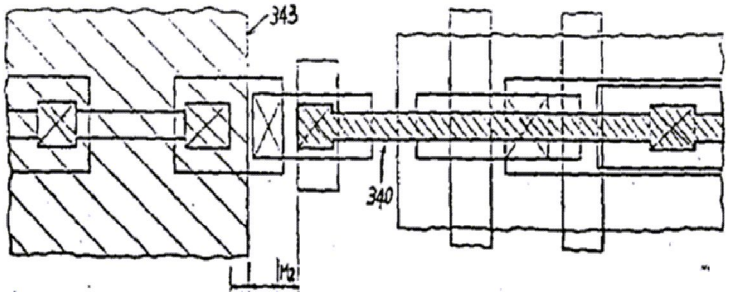
도면7a



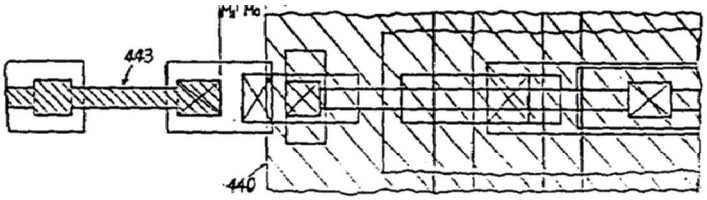
도면7b



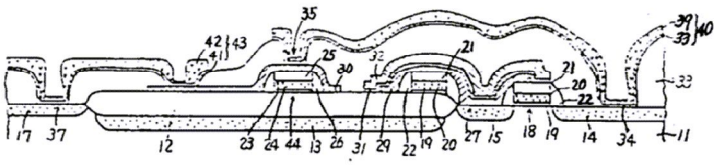
도면8a



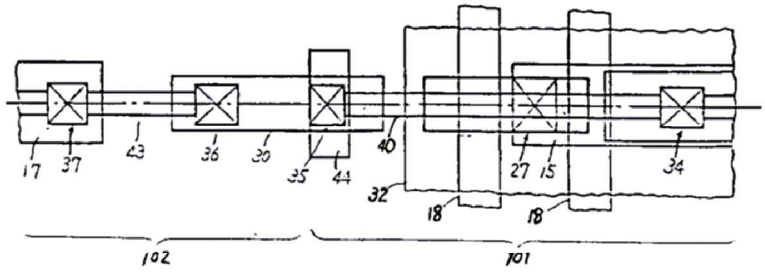
도면8b



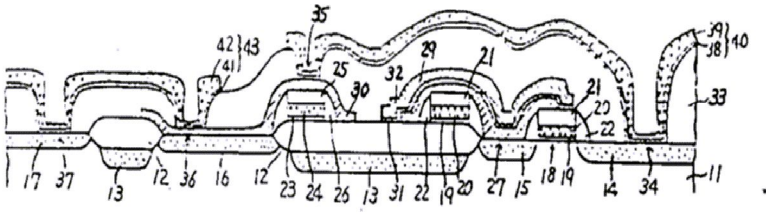
도면9a



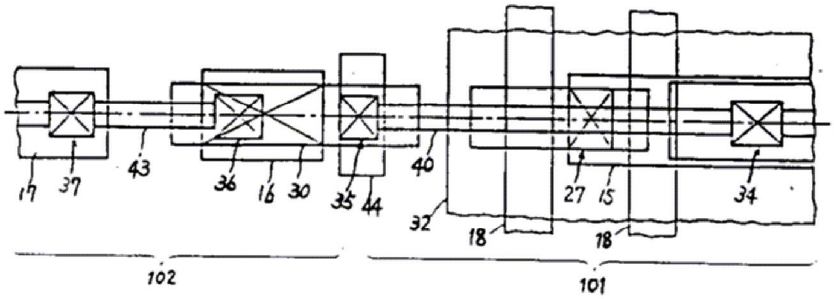
도면9b



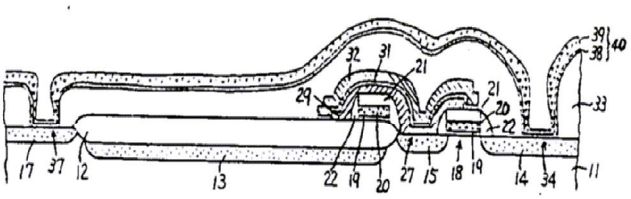
도면10a



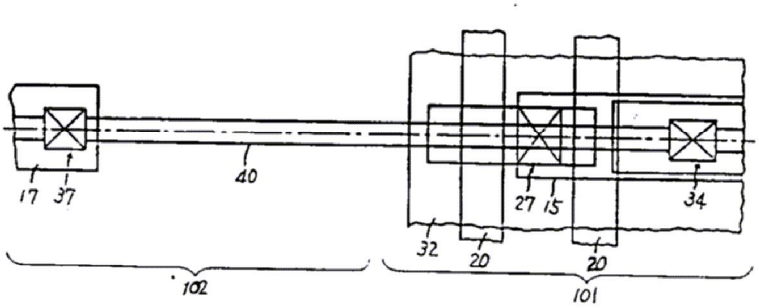
도면10b



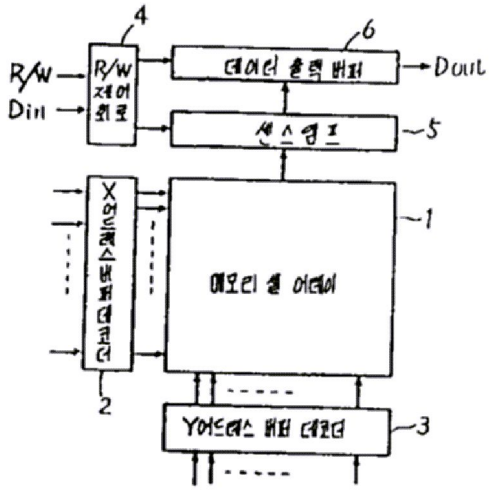
도면11a



도면11b



도면12



도면13

