

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/092



[12] 发 明 专 利 说 明 书

H01L 27/12 H01L 21/8238

H01L 21/84 H01L 29/786

H01L 21/336

[21] ZL 专利号 97103164.9

[45] 授权公告日 2004 年 1 月 7 日

[11] 授权公告号 CN 1134068C

[22] 申请日 1997.2.9 [21] 申请号 97103164.9

[30] 优先权

[32] 1996. 2. 9 [33] JP [31] 48272/1996

[71] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 福永健司

[56] 参考文献

CN1086045A 1994.04.27 H01L21/70

JP 平 7 - 335903A 1995.12.22 H01L29/786, G02F1/136

US4764477A 1988.08.16 H01L27/02, H01L29/78

审查员 赵立杰

[74] 专利代理机构 中国专利代理(香港)有限公司

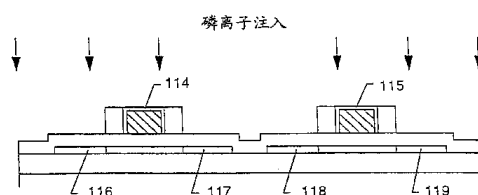
代理人 萧掬昌 傅 康

权利要求书 2 页 说明书 19 页 附图 7 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

在一包括整体地形成于单个衬底上的 n 沟道薄膜晶体管和 p 沟道薄膜晶体管的电路结构中, 轻掺杂漏(LDD)区选择地形成于 n 沟道薄膜晶体管中, 在注入杂质离子时造成的半导体层损伤对于 n 和 p 沟道薄膜晶体管来说是平衡的。这种结构可实现 n 和 p 沟道薄膜晶体管间的平衡, 从而可提供高性能 CMOS 电路。



ISSN 1008-4274

1. 一种半导体器件,包括在衬底上的至少一个 CMOS 器件,所述 CMOS 器件含有一个 n 沟道薄膜晶体管和一个 p 沟道薄膜晶体管,其特征在于:

5 第一半导体岛,用于形成所述 n 沟道薄膜晶体管,具有第一源区、第一漏区和介于该两区之间的第一沟道形成区,和一对低掺杂区,每个低掺杂区分别形成在所述第一沟道形成区与所述第一源区或所述第一漏区之间;

10 第二半导体岛,用于形成所述 p 沟道薄膜晶体管,具有至少第二源区、第二漏区和介于该两区之间的第二沟道形成区;

 其中所述 n 沟道薄膜晶体管还包括位于所述第一半导体岛上的第一栅电极和在所述第一半导体岛和所述第一栅电极之间的第一绝缘层;

 所述 p 沟道薄膜晶体管还包括位于所述第二半导体岛上的第二栅电极和在所述第二半导体岛和所述第二栅电极之间的第二绝缘层;

15 所述 p 沟道薄膜晶体管还具有有一对掺以 n 型和 p 型杂质的掺杂部分,所述第二源区和所述第二漏区分别位于所述第二沟道形成区和一个所述掺杂部分之间;且

 所述 p 沟道薄膜晶体管的所述第二源区和第二漏区只掺以 p 型杂质。

20 2. 如权利要求 1 所述的半导体器件,其特征在于,所述含 n 型和 p 型杂质的掺杂部分只起将各电极连接到所述第二源区和所述第二漏区的作用。

 3. 如权利要求 1 所述的半导体器件,其特征在于,所述第一沟道形成区含 p 型杂质,所述第二沟道形成区含 n 型杂质。

25 4. 如权利要求 1 所述的半导体器件,其特征在于,所述第一和第二半导体岛含氢和一种卤素元素。

 5. 根据权利要求 1 所述的半导体器件,其特征在于,所述第一和第二栅电极分别形成在所述第一和第二绝缘层上。

30 6. 根据权利要求 1 所述的半导体器件,其特征在于,还包括在所述衬底上的一个外围驱动电路和一个像素部分,所述 CMOS 器件在所述衬底上位于所述外围驱动电路中。

 7. 根据权利要求 6 所述的半导体器件,其特征在于,还包括至少在所述像素部分中的至少一个 n 沟道薄膜晶体管,该至少一个 n 沟道薄膜晶

体管包括:

一个半导体岛, 含有: 一个源区; 一个漏区; 在上述源区和漏区之间的一个沟道形成区; 和一对低掺杂区, 每个低掺杂区形成在所述沟道形成区与所述源区或所述漏区之间;

5 位于所述半导体岛上的一个绝缘层;

位于所述沟道形成区上的一个栅电极, 所述绝缘层位于所述沟道形成区和所述栅电极之间。

8. 根据权利要求 6 所述的半导体器件, 其特征在于, 还包括至少在所述像素部分中的至少一个 p 沟道薄膜晶体管, 该至少一个 p 沟道薄膜晶

10 体管包括:

一个半导体岛, 含有: 一个源区; 一个漏区; 在上述源区和漏区之间的一个沟道形成区; 和一对掺杂了 n 型和 p 型杂质的掺杂部分, 所述源区和所述漏区分别形成在所述沟道形成区和一个所述掺杂部分之间;

位于所述半导体岛上的一个绝缘层;

15 位于所述沟道形成区上的一个栅电极, 所述绝缘层位于所述沟道形成区和所述栅电极之间。

半导体器件及其制造方法

5 技术领域

本发明涉及半导体器件的结构及其制造方法，其中 p 沟道和 n 沟道薄膜晶体管形成于同一衬底上。本发明特别涉及包括置于玻璃衬底上的薄膜晶体管的互补金属氧化物半导体（CMOS）器件的电路结构及其制造方法。

背景技术

- 10 在一种制造薄膜晶体管所用的常规技术中，硅层形成于玻璃衬底上，该硅层用于制造薄膜晶体管。目前有源矩阵液晶显示装置制造厂多数已采用这种技术。

- 通常，液晶显示器是将液晶夹在一对玻璃衬底中间构成的。当把电压加在构成以矩阵形式设置的大量像素的液晶层上时，液晶的光特性发生变化。结果，液晶显示器显示出与所加电压相应的图像。
- 15

有源矩阵液晶显示器一般是在以矩阵形式设置的上述像素中设置薄膜晶体管而构成的。这些薄膜晶体管控制馈送到分立像素和从分立像素输出的电荷。

- 普通结构的有源矩阵液晶显示器电路（称作外围驱动电路）基本上由集成电路（驱动 IC）构成，该电路用于驱动按几百行乘几百列形式设置于有源矩阵区中的薄膜晶体管，所述集成电路利用例如载带自动焊（TAB）技术与玻璃衬底的外部相连。
- 20

- 这种结构的一个问题是，驱动 IC 外装于玻璃衬底的外部，制造这种有源矩阵液晶显示器的工艺复杂。例如，每个驱动 IC 与工作状况测试设备的对准变得很复杂。另一个问题是，在外部安装驱动 IC 时，每个有源矩阵液晶显示器上均会产生一个突起部分。在将有源矩阵液晶显示器组装成各种电子设备时，这会损害其多种应用中的电位。
- 25

- 解决上述问题的一种方法是，直接在玻璃衬底上同时形成具有薄膜晶体管的外围驱动电路自身。该方法可以形成集成器件结构。而且，会产生简化制造工艺和增强可靠性及扩大其应用范围的有益效果。
- 30

在具有这样整体地形成的外围驱动电路的有源矩阵液晶显示器中，需

用 CMOS 电路构成外围驱动电路。CMOS 电路是一种基本电子电路，其中 n 沟道和 p 沟道晶体管联接在一起构成互补结构。

下面将参照图 4 (A) —4 (D) 介绍在玻璃衬底上制造 CMOS 电路常规方法的一个实例。

5 首先，如图 4 (A) 所示，在玻璃衬底 401 上生长构成基底层氧化硅膜 402。然后，在氧化硅膜 402 上淀积可以是结晶硅层也可以是非晶硅层的有源层 403 和 404，并形成覆盖有源层 403 和 404 且用作栅绝缘层的另一氧化硅膜 405。在图 4 (A) 中，有源层 403 是构成 n 沟道薄膜晶体管有源层的岛状区，而有源层 404 是构成 p 沟道薄膜晶体管有源层的岛状区。

10 接着，如图 4 (B) 所示，形成由如硅化物之类的导电材料组成的栅极 406 和 407，并在图 4 (C) 所示工件的整个表面上注入磷离子。结果，数字 408、410、411 和 413 所表示的部分变成 n 型区。磷离子注入的剂量为 $1 \times 10^{15}/\text{cm}^2 - 2 \times 10^{15}/\text{cm}^2$ ，注入条件是使表面磷离子浓度为 $1 \times 10^{20}/\text{cm}^2$ 或更高。

15 随后，形成光刻胶掩模 414，选择地覆盖 n 沟道薄膜晶体管，并以比上述磷离子注入剂量高 3—5 倍的剂量注入硼离子，如图 4 (D) 所示。这使得 n 型区 411 和 413 (图 4 (C)) 变成相反的导电类型或 p 型。以自对准方式形成 p 沟道薄膜晶体管的源区 415、漏区 416 和沟道区 412。需要上述这种重掺杂的原因是，区 415、412 和 416 必须形成 p-i-p 结。在图 4 (D)
20 所示结构中，数字 408、409 和 410 分别表示 n 沟道薄膜晶体管的源区、沟道区和漏区。

上述制造方法中，无需在图 4 (C) 所示处理步骤形成光刻胶掩模。尽管这有利于简化制造工艺，但该方法存在以下问题。

25 首先，在极高的掺杂量下将杂质离子注入光刻胶掩模 414 引起光刻胶材料自身性质的变化，这将会导致生产过程中发生失效的几率增加。更具体地说，在掺杂后不能去除光刻胶材料，或在去胶后仍会残留有部分光刻胶材料。

第二，不能忽视流过沟道区 412 和漏区 416 间结的截止电流的存在。这是因为，为了改变导电类型，与图 4 (D) 右边所示的 p 沟道薄膜晶体管的沟道区 412 相邻的漏区 416 是极高杂质浓度的掺杂区，其中加入了远比
30 正常生产 p 沟道器件所需掺杂量高的杂质离子。

第三，由于不希望有注入的硼离子的迁移率，所以有一些硼离子不可

避免地掺入沟道区 412，致使根本无法实现基本的电特性，或常常不能实现这些电特性。

5 第四，图 4 (D) 所示工艺步骤所需的高掺杂量离子注入会使离子注入机或等离子掺杂机过载。致使这些设备中由于污染和其维修引起各种问题。

第五个问题是，高掺杂量地注入离子可能会导致工艺时间加长。

第六个问题是在用激光退火时发生的。通常，完成图 4 (D) 所示的工艺步骤后，要去除光刻胶掩模 414，然后为了激活掺杂剂并对已注入杂质离子区进行退火要进行退火工艺，用激光照射产品。（此方法在用低耐热玻璃衬底时是有效的。）由于区 415 和 416 用远大于区 408 和 410 的杂质离子量掺杂，所以前者的结晶度会严重受损。因此，区 408 和 410 与区 415 和 416 这两组区之间的光吸收与波长的关系大不相同。在这种情况下，这两组区之间的激光退火效果也极不同，这是不利的。图 4 (D) 左边和右边展示 10 的 n 沟道薄膜晶体管和 p 沟道薄膜晶体管之间的电特性会有很大差异。

发明内容

本发明的总目的是提供一种解决在同时以高掺杂量离子注入形成 n 沟道薄膜晶体管和 p 沟道薄膜晶体管时产生的上述问题的方法。

20 本发明的更具体的目的是，弥补在用薄膜晶体管构成 CMOS 电路时 n 沟道薄膜晶体管和 p 沟道薄膜晶体管之间电特性差异的不利影响，从而提供高性能 CMOS 电路。

根据本发明，提供了一种半导体器件，包括在衬底上的至少一个 CMOS 器件，所述 CMOS 器件含有一个 n 沟道薄膜晶体管和一个 p 沟道薄膜晶体管，其特征在于：第一半导体岛，用于形成所述 n 沟道薄膜晶体管，具有 25 第一源区、第一漏区和介于该两区之间的第一沟道形成区，和一对低掺杂区，每个低掺杂区分别形成在所述第一沟道形成区与第一源区或第一漏区之间；第二半导体岛，用于形成所述 p 沟道薄膜晶体管，具有至少第二源区、第二漏区和介于该两区之间的第二沟道形成区；其中所述 n 沟道薄膜晶体管还包括位于所述第一半导体岛上的第一栅电极和在所述第一半导体岛和所述第一栅电极之间的第一绝缘层；所述 p 沟道薄膜晶体管还包括位于 30 所述第二半导体岛上的第二栅电极和在所述第二半导体岛和所述第二栅电极之间的第二绝缘层；所述 p 沟道薄膜晶体管还具有对掺以 n 型和 p

型杂质的掺杂部分，所述第二源区和所述第二漏区分别位于所述第二沟道形成区和一个所述掺杂部分之间；且所述 p 沟道薄膜晶体管的所述第二源区和第二漏区只掺以 p 型杂质。

其中，所述含 n 型和 p 型杂质的掺杂部分只起将各电极连接到所述第二源区和所述第二漏区的作用。

所述第一沟道形成区含 p 型杂质，所述第二沟道形成区含 n 型杂质。

所述第一和第二半导体岛含氢和一种卤素元素。

所述第一和第二栅电极分别形成在所述第一和第二绝缘层上。

所述半导体器件还可以包括在所述衬底上的一个外围驱动电路和一个像素部分，所述 CMOS 器件在所述衬底上位于所述外围驱动电路中。

其中，所述半导体器件还可以包括至少在所述像素部分中的至少一个 n 沟道薄膜晶体管，该至少一个 n 沟道薄膜晶体管包括：一个半导体岛，含有：一个源区；一个漏区；在上述源区和漏区之间的一个沟道形成区；和一对低掺杂区，每个低掺杂区形成在所述沟道形成区与所述源区或所述漏区之间；位于所述半导体岛上的一个绝缘层；位于所述沟道形成区上的一个栅电极，所述绝缘层位于所述沟道形成区和所述栅电极之间。

或者，所述半导体器件还包括至少在所述像素部分中的至少一个 p 沟道薄膜晶体管，该至少一个 p 沟道薄膜晶体管包括：一个半导体岛，含有：一个源区；一个漏区；在上述源区和漏区之间的一个沟道形成区；和一对掺杂了 n 型和 p 型杂质的掺杂部分，所述源区和所述漏区分别形成在所述沟道形成区和一个所述掺杂部分之间；位于所述半导体岛上的一个绝缘层；位于所述沟道形成区上的一个栅电极，所述绝缘层位于所述沟道形成区和所述栅电极之间。

下面将用如下的 1—10 实施例本来详细说明本发明。

附图说明

图 1 (A) —1 (E) 是展示根据第一实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；

图 2 (A) —2 (D) 是展示根据第一实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；这些步骤是图 1 (A) —1 (E) 所示步骤之后的步骤；

图 3 (A) 和 3 (B) 是展示根据第一实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；这些步骤是图 2 (A) —2 (D) 所示步骤之

后的步骤；

图 4 (A) — 4 (D) 是展示制造常规 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；

图 5 (A) — 5 (D) 是展示根据第二实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；

图 6 (A) — 6 (D) 是展示根据第七实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤的示意图；

图 7 (A) — 7 (E) 是展示根据第九实施例的形成薄膜晶体管的半导体层的工艺步骤的示意图。

10 具体实施方式

以下将参照具体实施详细说明。例如，在图 3 (B) 中，位于左边的 n 沟道薄膜晶体管和位于右边的 p 沟道薄膜晶体管构成一 CMOS 电路。在该 CMOS 电路结构中，由低杂质浓度区构成的轻掺杂漏区 124 只置于左边 n 沟道薄膜晶体管的沟道区和漏区之间。此轻掺杂漏区的作用是通过调节加于沟道区和漏区间的场强来减小截止电流。它还用于通过增大其源和漏间的电阻来极大地降低薄膜晶体管中载流子迁移率。

在用硅作半导体时，产生 n 导电性的典型杂质是磷 (P)，产生 p 导电性的典型杂质是硼。

图 3 所示的上述 CMOS 电路结构的 p 沟道薄膜晶体管没有任何像轻掺杂漏区那样的特殊缓冲区。然而，在 n 和/或 p 沟道薄膜晶体管中，通过形成于每个栅极侧面上的绝缘膜提供偏移栅区。偏移栅区的作用与轻掺杂漏区相同。

在以后的实施例中，如图 1 (E) 所示，在离子注入时，阳极氧化膜 114 和 115 作掩模，并形成偏移栅区，如在栅极的侧面上所测得那样，其宽度几乎与阳极氧化膜的厚度相等。如果这些偏移栅区的宽度太小，它们便起不到偏移栅区的作用。

本发明的半导体器件的其它重要特点如下。图 1 (E) 所示的工艺中，图 2 (C) 中的区 128 和 130 由于被阳极氧化膜 112 和 113 掩蔽而未在磷离子工艺中被掺杂，它们在图 1 (E) 中不存在。这些区在图 2 (C) 所示此后的掺杂工艺中掺杂硼离子 (参见图 3 (B))。因此，这些区只含产生 p 导电性的杂质。本发明者分别称 p 沟道薄膜晶体管中的这些区 128 和 130 为源和漏区。

另外，在图 1 (E) 所示上述磷离子掺杂工艺中，用磷离子掺杂与图 2 (C) 中的源和漏区 128 和 130 相邻的区 127 和 131。因此，这些区含形成 n 型和 p 型导电类型的两种杂质。本发明者清楚地将这些区 127 和 131 与源图 2 (C) 中的区 128 和漏区 130 区分开，并将它们称作接触盘，因为它们只用作与源和漏区电接触的连接电极。

与图 5 所示的一个特定实施例所采用的结构相同，上述结构的特征是，偏移栅区 515 和 517 的实际尺寸是由多孔结构的阳极氧化膜 505 的宽度限定的。如果另一精细且致密的阳极氧化膜 500 很厚的话，则它也有助于偏移栅区 515 和 517 的形成。

10 第一实施例

图 1 (A) —1 (E)、图 2 (A) —2 (D) 和图 3 (A) —3 (B) 展示了根据第一实施例的制造薄膜晶体管的工艺步骤，其中用在玻璃衬底上形成的薄膜晶体管构成 CMOS 结构。

首先，如图 1 (A) 所示，在玻璃衬底 101 上形成构成底层的氧化硅膜 15 102。用合适的技术，例如，溅射法或等离子化学汽相淀积 (CVD) 法生长厚约 3000 埃的氧化硅膜 102。例如可用康宁 7059 或康宁 1737 玻璃板作玻璃衬底 101。另外，也可用高耐热性能的石英衬底作透光衬底，虽然这种衬底较贵。

形成了氧化硅膜 102 后，制作在以后用来形成薄膜晶体管的有源层的 20 硅薄膜。在本实施例中，首先生长 500 埃厚的非晶硅膜 (未示出) 作初始层。制作非晶硅膜既可用等离子 CVD 法也可用低压热 CVD 法。

在形成了未示出的非晶硅膜后，将之转变成结晶硅膜 (未示出)。这种转变是通过激光照或热处理非晶硅膜、或通过激光照和热处理的组合来实现的。在结晶处理过程中，可以用在非晶硅膜表面上形成加速结晶化的 25 金属元素的方法。这种结晶化方法的细节详见日本特许公开 6-232059 和 6-244103。

使这样获得但未图示出的晶硅膜构图，形成 n 沟道薄膜晶体管的半导体层 104 和 p 沟道薄膜晶体管的半导体层 105，如图 1 (A) 所示。

接着，用等离子 CVD 法，淀积厚度在 500—2000 埃之间 (一般在 1000 30 —1500 埃之间) 的另一氧化硅膜 103，该膜用作栅绝缘层。另外也可用氧化氮化硅膜、氮化硅膜或其它绝缘膜构成栅绝缘层。

此时，便获得了图 1 (A) 所示结构。为了简便，用如单组 n 和 p 沟道

薄膜晶体管的实例来说明本实施例。但一般用于有源矩阵液晶显示器的薄膜晶体管电路一般包含几百以上组形成于玻璃衬底上的 n 和 p 沟道薄膜晶体管。

参见图 1 (B)，淀积以后将构成栅极 11 和 12 的铝膜 106。该铝膜 106 含 0.2wt% 的钪防止形成小丘和晶须。铝膜 106 可以由溅射法或电子束蒸发法形成。小丘和晶须分别是脊骨和针状的突起物，它们是由于铝的非正常生长形成的。小丘和晶须的存在会导致相邻布线间或纵向上分离的靠近布线间的短路或串线。在本实施例的变形中，可以用可阳极氧化的钽或其它金属代替铝。

10 在形成了铝膜 106 后，用电解液阳极氧化铝膜 106 表面，其中铝膜 106 作阳极。用该阳极氧化工艺便形成了精细且致密结构的薄阳极氧化膜 107。用于本实施例的电解液是用氨中和含 3% 酒石酸的 1,2-亚乙基二醇制作的。该阳极氧化工艺的有利之处在于，可以获得精细化学结构的阳极氧化膜，可以控制所加电压调节其厚度。在本实施例中，阳极氧化膜 107 的厚度设定为约 100 埃。阳极氧化膜 107 用于改善将在图 1 (B) 所示的此后步骤中形成的光刻胶掩模的粘附性。

在获得了该结构后，形成光刻胶掩模 108 和 109。然后，用光刻胶掩模 108 和 109 使铝膜 106 和阳极氧化膜 107 构图，得到图形 110 和 111，如图 1 (C) 所示。

20 图形 110 和 111 是铝膜 106 的保留物，在电解液即 3% 草酸溶液中对它们进行阳极氧化，其中以图形 110 和 111 作阳极。在该阳极氧化过程中，因为精细且致密结构的阳极氧化膜 107 的保留部分和光刻胶掩模 108 和 109 仍在图形 110 和 111 的顶上，所以只选择地阳极氧化图形 110 和 111 的侧面。在阳极氧化后，形成多孔结构的阳极氧化膜 112 和 113。这些阳极氧化膜 112 和 113 可以生长到约几微米厚。

在本实施例中，阳极氧化膜 112 和 113 的厚度设定为约 7000 埃。阳极氧化的深度决定了此后将说明的低掺杂浓度区的实际尺寸。由经验可知，这些多孔阳极氧化膜 112 和 113 最好长到 6000—8000 埃厚。通过调节阳极氧化的时间周期可以控制它们的厚度。

30 此时便形成了上述的栅极 11 和 12。在得到了图 1 (D) 所示结构后，除去光刻掩模 108 和 109。

再用由氨中和含 3% 酒石酸的 1,2-亚乙基二醇制作的电解液阳极氧化

图 1 (D) 所示工件的表面。在该阳极氧化过程中, 电解液透入到多孔阳极氧化膜 112 和 113 中。结果, 形成了由图 1 (E) 中数字 114 和 115 表示的精细且致密结构的阳极氧化膜。阳极氧化膜 114 和 115 的厚度设定为 500—4000 埃, 通过调节加电压的时间周期可以控制它们的厚度。先前提到的
5 阳极氧化膜 107 的保留部分被吸入或合并成阳极氧化膜 114 和 115。

接着, 用产生 n 导电性的磷离子掺杂图 1 (E) 所示工件的整个表面。该掺杂工艺采用等离子掺杂法或离子掺杂法, 剂量为 $0.2 \times 10^{15}/\text{cm}^2$ — $5 \times 10^{15}/\text{cm}^2$ 的高剂量, 但剂量更好是 $1 \times 10^{15}/\text{cm}^2$ — $2 \times 10^{15}/\text{cm}^2$ 。

通过图 1 (E) 所示掺杂工艺形成高浓度注入磷离子的区 116 至 119。

10 然后用混有铝的酸除去多孔结构的阳极氧化膜 112 和 113。直接在阳极氧化膜 112 和 113 之下的有源区基本上是本征的, 因为这些区没注入任何离子。

随后, 如图 2 (A) 所示, 形成光刻胶掩模 120, 覆盖构成 p 沟道薄膜晶体管的器件构件, 如 2 (B) 所示, 再以 $0.1 \times 10^{14}/\text{cm}^2$ — $5 \times 10^{14}/\text{cm}^2$ 的低剂
15 量注入磷离子, 注入剂量最好是 $0.3 \times 10^{14}/\text{cm}^2$ — $1 \times 10^{14}/\text{cm}^2$ 。这意味着图 2 (B) 所示的磷离子注入是以低于图 1 (E) 所示磷离子注入的掺杂量进行的。结果, 区 122 和 124 变成用磷离子轻掺杂的低掺杂浓度区, 而区 121 和 125 变成用磷离子较重掺杂的高掺杂浓度区。

通过图 2 (B) 所示掺杂过程, 区 121 变成 n 沟道薄膜晶体管的源区,
20 区 122 和 124 变成低掺杂浓度区, 区 125 变成 n 沟道薄膜晶体管的漏区。而且, 由数字 123 表示的区变成基本为本征的沟道区。应注意, 已知区 124 一般为轻掺杂漏区 (LDD)。

尽管未示出, 但存在着被沟道区 123 与低掺杂浓度区 122 和 124 之间的阳极氧化膜 114 间断的磷离子注入区。这些区被称作偏移栅区, 它们的
25 厚度等于阳极氧化膜 114 的厚度。由于偏移栅区未注入任何离子, 所以它们基本上是本征的。然而, 由于没有栅电压加于其上, 偏移栅区不形成导电沟道, 只是用于减小所加的电场强度, 并且用作抑制电路退化的电阻性元件 (不完全, 但实际可以这样认为)。然而, 要指出的是, 如果偏移栅区宽度太小, 便起不到偏移栅区的作用。

30 接着, 如图 2 (C) 所示, 除去光刻胶掩模 120, 形成另一光刻胶掩模 126, 覆盖构成 n 沟道薄膜晶体管的器件构件。然后, 以 $0.2 \times 10^{15}/\text{cm}^2$ — $10 \times 10^{15}/\text{cm}^2$ 的剂量注入硼离子, 注入剂量最好为 $1 \times 10^{15}/\text{cm}^2$ — $2 \times 10^{15}/\text{cm}^2$ 。图

2 (C) 中的硼离子的剂量高于图 1 (E) 中磷离子的剂量。

在图 2 (C) 的掺杂工艺中形成的由数字 127 和 131 表示的区实际上用作与引出电极电接触的接触盘。(这些区此后称为接触盘)。更具体说, 区 127 和 131 明显地既与源区又与漏区有区别, 并不象图 2 (C) 左边示出的 n 沟道薄膜晶体管那样。

数字 128 和数字 130 表示的是图 2 (C) 中右边所示的 p 沟道薄膜晶体管的源区和漏区。只将硼离子注入基本是本征型的区, 形成这些区 128 和 130。因此, 这些区中不存在其它导电型离子, 这就是说容易控制掺杂浓度, 形成优良的 p-i 结。而且, 由于离子注入使这些区的结晶性退化较小。

10 尽管偏移栅区由阳极氧化膜 115 以自对准的方式形成, 但实际上它们在 p 沟道薄膜晶体管中并不很重要。这是因为由经验可知 p 沟道薄膜晶体管的退化几乎不受任何因素的影响。

如上所述, 以自对准的方式形成 p 沟道薄膜晶体管的源区 128 和漏区 130。数字 129 表示的区中没有杂质注入, 该区形成沟道区。正如已说明过的, 区 127 和 131 分别是源区 128 和漏区 130 引出电流的接触盘。

尽管在本实施例中沟道区 123 和 129 中没注入任何杂质, 但上述结构可以变化, 可以用杂质掺杂沟道区 123 和 129, 使它们具有特定的导电类型, 用于控制阈值电压。

在完成了图 2 (C) 所示的掺杂工艺后, 除去光刻胶掩模 126, 得到图 20 2 (D) 所示结构。为了激活掺杂剂并使杂质离子注入区退火, 激光照射图 2 (D) 所示工件的整个表面。在该工艺步骤, 在 n 沟道薄膜晶体管的源和漏区 121、125 与 p 沟道薄膜晶体管的源和漏区 128、130 之间的结晶性没有很大差异的情况下, 进行激光照射。结晶性的差异不大的原因是 p 沟道薄膜晶体管的源和漏区的结晶结构在图 2 (C) 的掺杂工艺期间没受什么损伤的缘故。

因此, 利用图 2 (D) 中的激光照射对源和漏区的退火后, 两薄膜晶体管间的退火作用可以修正这种差异。换言之, 可以消除 n 和 p 沟道薄膜晶体管的电特性的不同。

在获得了图 2 (D) 所示的结构后, 如图 3 (A) 所示, 生长 4000 埃厚的层间绝缘膜 132。层间绝缘膜 132 可以是氧化硅膜、氧氮化硅膜、氮化硅膜或多层结构膜。无论用哪种类型的硅化物绝缘材料, 皆可以由等离子 CVD 法或热 CVD 法形成层间绝缘膜 132。

然后，形成接触孔，并形成 n 沟道薄膜晶体管的源极 133 和漏极 134。同时形成的是 p 沟道薄膜晶体管的源极 135 和漏极 136。此时，获得图 3(B) 所示结构。

使工件构图，制作 n 沟道薄膜晶体管的漏极 134 和 p 沟道薄膜晶体管的漏极 136 间的连线，并使两种薄膜晶体管的栅极 11 和 12 互连，完成 CMOS 结构。

参见图 3 (B)，低掺杂浓度区 122 和 124 置于这种 CMOS 结构的 n 沟道薄膜晶体管中。

低掺杂浓度区 122 和 124 有以下作用：

10 减小截止电流；

防止热载流子造成的薄膜晶体管退化；及

加大源和漏间的电阻，由此降低 n 沟道薄膜晶体管的载流子迁移率。

使用图 3 (B) 所示的 CMOS 结构时遇到的一般问题是，n 和 p 沟道薄膜晶体管间电特性的不同产生的反作用。在用上述实施例所讨论的结晶硅膜时，n 沟道薄膜晶体管中载流子的迁移率在 $100-150\text{Vs/cm}^2$ ；然而，一般 p 沟道薄膜晶体管中可得到的迁移率为 $30-80\text{Vs/cm}^2$ 。而且，热载流子会使 n 沟道薄膜晶体管退化，尽管这个问题在 p 沟道薄膜晶体管中并不重要。通常 CMOS 电路中并不特别需要低截止电流特性。

在这些条件下，上述实施例使用其中的 n 沟道薄膜晶体管包括低掺杂浓度区 122 和 124 的 CMOS 结构，因而具有以下优点。具体说，由于本实施例的 CMOS 结构可以降低 n 沟道薄膜晶体管中载流子迁移率，并可以防止其退化，从而实现了 n 和 p 沟道薄膜晶体管间电特性的全面平衡，由此改善了 CMOS 电路的工作特性。

另外，CMOS 结构中重要的是，半导体层由构成图 1 (E)、2 (B) 和 2 (C) 所示注入工艺中的栅绝缘层的氧化硅膜 103 覆盖。此时即使注入杂质离子，也可以保护半导体层表面不受损伤和污染。这极有利于提高生产率和器件可靠性。

还要指出的是，上述实施例在任何工艺步骤皆没有以高掺杂量注入杂质离子。这样做的作用是防止光刻胶掩模性质变化，减小由于其性质发生变化而造成的工艺缺陷发生的几率。

第二实施例

本发明的第二实施例提供一种薄膜晶体管 CMOS 结构，其中偏移栅区

只形成于 n 沟道薄膜晶体管中。不像第一实施例所述的偏移栅区那样，本实施例的偏移栅区由多孔结构的阳极氧化膜形成。（在第一例中，偏移栅区利用有精细且致密结构的最终保留的阳极氧化膜形成。）

与低掺杂浓度区类似，典型实例是 LDD 区，偏移栅区有以下作用：

5 减小截止电流；

加大源和漏间的电阻，由此降低 n 沟道薄膜晶体管的载流子迁移率；
防止热载流子造成的薄膜晶体管退化。

图 5 (A) — 5 (D) 展示了第二实施例的制造 CMOS 结构的薄膜晶体管电路的方法的工艺步骤。首先，通过与图 1 (A) — 1 (E) 所示相同的工
10 艺步骤制备图 5 (A) 所示的工件。

参见图 5 (A)，数字 500 表示有精细且致密结构的阳极氧化膜，该膜围绕栅极形成。该阳极氧化膜 500 的厚度可以设定为 500—4000 埃。在本实施例中，阳极氧化膜 500 的厚度为 600 埃。

设定图 5(A) 中数字 505 和 506 表示的多孔阳极氧化膜厚为 2000—4000
15 埃。阳极氧化膜 505 的厚度决定了将在以后形成的偏移栅区的实际尺寸。尽管被阳极氧化膜 505 所围绕的有精细且致密结构的阳极氧化膜 500 的厚度也影响先前第一实施例中所讨论的偏移栅区严格的实际尺寸，但由于其厚度仅约 600 埃，这里不考虑阳极氧化膜 500 的存在。

此时，以 $0.2 \times 10^{15}/\text{cm}^2 - 5 \times 10^{15}/\text{cm}^2$ 的高剂量，最好以 $1 \times 10^{15}/\text{cm}^2 - 2 \times 10^{15}/\text{cm}^2$ 的剂量，由等离子掺杂法或离子掺杂法注入磷离子。以该掺杂量
20 将磷离子重注入到区 501 到 504。这就是说，区 501 到 504 将形成高掺杂浓度区。

然后除去多孔阳极氧化膜 505 和 506，得到图 5 (B) 所示结构，其中，数字 507 和 508 表示未掺杂磷离子区。

25 接着，形成光刻胶掩模 509，覆盖 n 沟道薄膜晶体管，并注入硼离子，如图 5 (C) 所示。该掺杂工艺是以 $0.2 \times 10^{15}/\text{cm}^2 - 1 \times 10^{15}/\text{cm}^2$ 的注入剂量，最好是 $1 \times 10^{15}/\text{cm}^2 - 2 \times 10^{15}/\text{cm}^2$ 的剂量，利用等离子掺杂法或离子掺杂法进行的。

上述掺杂工艺的结果是，数字 510、511、513 和 514 表示的区形成 p
30 型区，而数字 512 表示的区形成基本为本征的沟道区。与第一实施例所述的相同，区 511 用作源区，区 513 用作漏区，区 510 和 514 分别用作与源区 511 和漏区 513 形成电接触的接触盘。由于源区 511 和漏区 513 在掺杂

硼离子前皆为本征区，所以这些区容易通过图 5 (C) 的硼离子注入工艺转化成 p 型区。因此，在该掺杂工艺中可选用最小剂量的硼离子。

p 沟道薄膜晶体管的源区 511、沟道区 512、漏区 513 及接触盘 510 和 514 皆是以如上所述的自对准方式形成的。

5 然后，除去光刻胶掩模 509，得到图 5 (D) 所示结构，数字 501 表示的是源区，数字 502 表示的是漏区，数字 516 表示的是 n 沟道薄膜晶体管的沟道区。而且，数字 515 和 517 表示的是构成上述偏移栅区的区。偏移栅区 515 和 517 没有受来自栅极的电场的作用，也没有用作源或漏区。这些区 515 和 517 的作用是分别调节源区 501 和沟道区 516 间的电场强度，
10 特别是漏区 502 和沟道区 516 间的电场强度。这些偏移栅区 515 和 517 皆是利用多孔结构的阳极氧化膜以自对准方式形成的。

另一方面，p 沟道薄膜晶体管中不存在偏移栅区。（尽管严格说偏移栅区是由具有精细且致密结构的最终保留的阳极氧化膜形成的，但由于 p 沟道薄膜晶体管中的偏移栅区实际尺寸太小，这里忽略之。）

15 与第一实施例所述相同，第二实施例的上述结构实际上降低了 n 沟道薄膜晶体管中载流子的迁移率，防止了工作特性的退化，因而可改善 n 和 p 沟道薄膜晶体管间的平衡性。

第三实施例

本发明的第三实施例是第一实施例的一个变形。具体说，按相反顺序
20 注入磷离子的图 2 (B) 所示掺杂工艺和注入硼离子的图 2 (C) 所示掺杂工艺。然而，显然第三实施例具有与第一实施例相同的优点，这意味着可以分别控制磷离子和硼离子的浓度。

第四实施例

第四实施例是第一实施例的另一变形。具体说，以大剂量（重掺杂）
25 注入磷离子的图 1 (E) 所示掺杂工艺和以低剂量（轻掺杂）注入磷离子的掺杂工艺彼此替换。

在以下对第四实施例的说明中用到图 1 (A) —1 (E)、2 (A) —2 (D) 和 3 (A) —3 (B)，其中与第一实施例中相同或相似的部件用相同的参考数字表示。

30 在与第一实施例相同的步骤后得到了图 1 (E) 所示结构，然后注入磷离子。但该掺杂工艺按与第一实施例的图 2 (B) 所示相同的轻掺杂条件进行，因而在该工艺中注入磷离子形成的区 116 和 119 有比第一实施例中所

述区低的掺杂浓度。

形成光刻胶掩模 120，以与图 2 (A) 所示相同方式覆盖将构成 p 沟道薄膜晶体管的器件单元，然后如图 2 (B) 所示，又注入磷离子。然而，在这种情况下，按与第一实施例的图 1 (E) 所示相同的重掺杂条件进行掺杂工艺。因此，该工艺形成的区 122 和 124 具有比第一实施例所述区高的掺杂剂浓度。

随后，按与第一实施例相同的方式形成 n 和 p 沟道薄膜晶体管。

根据本实施例，n 和 p 沟道薄膜晶体管的半导体层 104 和 105 受到同样的离子注入损伤，原因是在轻掺杂后进行重掺杂。这就是说，按与图 2 (D) 所示相同的条件，通过激光照射对两薄膜晶体管的源区和漏区退火，两薄膜晶体管间的退火作用可以消除它们之间的差异。换言之，在第四实施例中，可以修正 n 和 p 沟道薄膜晶体管间电特性的不同。

另外，本实施例的 n 沟道薄膜晶体管，其 LDD 区 124 中掺杂浓度与第一实施例不同。由于本实施例以高于第一实施例的掺杂量注入杂质离子，所以 LDD 区 124 的电阻减小。因此，第四实施例提供了一种在电流特性极为重要的情况下特别有利的 CMOS 结构。

第五实施例

第五实施例涉及一种结构，其中为了得到合乎要求的 n 沟道薄膜晶体管阈值电压，其沟道假定为轻的 p 导电性。

该实施例的工艺步骤基本上与示于图 1 (A) — 1 (E)、2 (A) — 2 (D) 和 3 (A) — 3 (B) 的第一实施例的各步骤相同。与第一实施例相比，第五实施例的特征在于，在生长用作形成半导体层 104 和 105 的初始层的非晶硅膜时，加入了少量乙硼烷 (B_2H_6)。乙硼烷的实际用量应根据 n 沟道薄膜晶体管所需阈值电压而定。更具体说，乙硼烷的用量应定为使最终留在沟道区中的硼元素的浓度在约 $1 \times 10^{17}/cm^2 - 5 \times 10^{17}/cm^2$ 的范围内。

该实施例的优点在于，可以通过添加少量乙硼烷随意调节阈值电压。

第六实施例

上述第五实施例具有这样一种结构，即使 n 沟道薄膜晶体管的沟道区为轻的 p 导电性，以实现所需阈电压。然而，在第三实施例的结构中，不可能自由控制 p 沟道薄膜晶体管的阈值电压。

为了解决这个问题，在该实施例中，在图 (A) 所示状态下，或在先于图 1 (A) 所示状态形成栅绝缘层之前，选择地向半导体层 104 和/或 105

注入杂质离子。

例如，在形成栅绝缘层 103 前，掩蔽半导体层 105，然后以特定的掺杂量将硼离子注入半导体层 104，使半导体层 104 变成轻的 p 型区。随后，掩蔽半导体层 104，以特定的掺杂量将磷离子注入半导体层 105，使半导体层 105 变成轻的 n 型区。

该实施例提供一种能分别调节 n 和 p 沟道薄膜晶体管的阈值电压的结构。

根据第五实施例，在将杂质离子注入了半导体层 104 和/或 105 后，最好热处理或激光照射工件进行退火处理。退火有利于激活杂质离子和修复杂质离子的注入造成的损伤。

第七实施例

本发明的第七实施例涉及一种结构，其中除第一实施例的低掺杂浓度区 122 和 124（图 2（B））外，还形成有偏移栅区。

通常，偏移栅区好的作用是，它们可用于防止热载流子造成的退化，减小截止电流，特别是通过增大源和漏间的电阻来降低载流子迁移率，这就是说偏移栅区与低掺杂浓度区的作用相同，一个典型例子是 LDD 区。

图 6（A）—6（D）示出了第七实施例的制造 CMOS 结构薄膜晶体管电路的工艺步骤。除上述之外，该实施例的工艺步骤基本与示于图 1（A）—1（E）、2（A）—2（D）和 3（A）—3（B）的第一实施例相同。另外，用与图 1（A）—1（E）、2（A）—2（D）和 3（A）—3（B）中所用的相同的参考数字表示与第一实施例相同的部件。

与第一实施例相比，第七实施例的特征在于，分别以图 6（A）所示较大厚度形成有精细且致密结构的阳极氧化膜 601 和 602，覆盖栅极 11 和 12。具体说，阳极氧化膜 601 和 602 生长至 2000—4000 埃厚。尽管它们的厚度还可以再增加，但若太厚则阳极氧化工艺需要用超过 300V 的电压，这会产生重复性和操作安全性的问题。

基本上以与第一实施例中所述的相同方式形成这些具有精细且致密结构的阳极氧化膜 601 和 602，只是根据所需膜厚改变所加电压。通常，膜厚越大，则所加电压越高。

随后，形成光刻胶掩模 120，覆盖构成 p 沟道薄膜晶体管的器件单元，并注入磷离子，如图 6（B）所示。磷离子的注入是按与第一实施例相同的掺杂量进行的。该掺杂工艺的结果是，以自对准的方式形成了源区 121、漏

区 125 和沟道区 123。该掺杂工艺还形成了低掺杂浓度区 122 和 124，其中低掺杂浓度区 124 用作 LDD 区。

另外，在沟道区 123 的两侧边上形成一对偏移栅区 603。这些偏移栅区 603 不用作源或漏区。偏移栅区 603 的大概尺寸由在图 6 (A) 所示过程中形成于栅极 11 表面上的精细阳极氧化膜 601 的厚度决定。

在图 6 (B) 所示工艺过程完成后，除去光刻胶掩模 120，形成另一光刻胶掩模 126，覆盖构成 n 沟道薄膜晶体管的器件单元。然后，如图 6 (C) 所示，以与第一实施例相同的掺杂量注入硼离子。该过程的结果是，以自对准的方式形成了源区 128、漏区 130 和沟道区 129。该掺杂过程还形成了接触盘 127 和 131。另外，如图 6 (C) 所示，还形成了一对尺寸相当阳极氧化膜 602 厚度的偏移栅区 604。

现在除去光刻胶掩模 126，获得图 6 (D) 所示结构，并用激光照射工件，对它进行退火。

根据本实施例的 CMOS 结构，左边示出的 n 沟道薄膜晶体管包括低掺杂浓度区 122 和 124 及偏移栅区 603 的组合。本发明者将这种低掺杂浓度区与偏移栅区的组合命名为高阻漏 (HRD) 区。尽管右边示出的 p 沟道薄膜晶体管没有任何低掺杂浓度区，但它包含有偏移栅区 604。

如果使精细阳极氧化膜 601 和 602 的厚度逐渐变小，则偏移栅区 603 和 604 的作用会因此减小，并最终得到与第一实施例相同的结构。

然而，并不存在确定偏移栅区 603 和 604 的最小厚度或形成可作偏移栅区所需阳极氧化膜 601 和 602 的最小厚度的明显分界线。因此，可以说，虽然在第一实施例中可以忽略偏移栅区的存在，但即使在第一实施例的结构中源和沟道区间及漏和沟道区间实际上仍存在偏移栅区。

第八实施例

本发明的第八实施例涉及一种结构，其中有源矩阵区和驱动有源矩阵区的外围驱动电路整体地形成于玻璃衬底上。

通常，形成集成有源矩阵液晶显示器的一个衬底这样构成，即至少一个执行开关操作的薄膜晶体管设置于以矩阵形式排列的数个像素的每一个中，驱动有源矩区的外围电路布置在有源矩阵区的外围。所有这些电路皆形成于单个玻璃（或石英）衬底上。

如果将本发明应用于这种结构的有源矩阵液晶显示器，则能在分立的像素中形成具有低截止电流特性的 n 沟道薄膜晶体管，用具有极佳特性的

CMOS 电路构成外围电路。

更具体说，第八实施例提供一种结构，其中外围电路具有 1 (A) — 1 (E)、2 (A) — 2 (D) 和 3 (A) — 3 (B) 所示的 CMOS 结构，并且这些图中所示的 n 沟道薄膜晶体管设置于有源矩阵区中。

- 5 设置于有源矩阵区中的薄膜晶体管最好应具有尽可能低的截止电流，因为要求它们在特定的时间周期内使电荷存储于分立的像素电极中。示于图 3 (B) 的左边的具有低掺杂浓度区 122 和 124 的 n 沟道薄膜晶体管最适合于该目的。

- 10 另一方面，常用 CMOS 电路构成外围驱动电路。需要构成 CMOS 电路以改善其性能的 n 和 p 沟道薄膜晶体管的电特性尽可能的平衡。示于图 1 (A) — 1 (E)、2 (A) — 2 (D) 和 3 (A) — 3 (B) 中的第一实施例最适于这种目的。

- 15 第八实施例的上述结构提供了一个集成有源矩阵液晶显示器，包括有源矩阵区中的 n 沟道薄膜晶体管电路和外围驱动电路，两电路皆具有如上所述的合乎要求的特性。

尽管根据上述说明本实施例使用了具有低掺杂浓度区 (LDD 区) 的 n 沟道薄膜晶体管，但也可以使用如第二实施例中所述的那样的含偏移栅区的 n 沟道薄膜晶体管。另外，也可以使用如第七实施例所述的具有 HRD 区的 n 沟道薄膜晶体管。

- 20 第八实施例的另一变形中，在有源矩阵区设置了 p 沟道薄膜晶体管来代替 n 沟道薄膜晶体管。这种变形的优点是，因为 p 沟道薄膜晶体管较耐退化，所以提高了图像显示区的可靠性。

第九实施例

- 25 与上述第一实施例中所述相同，在使非晶硅膜结晶化时可以使用加速结晶化的金属元素。(在第九实施例的以下描述中用镍作金属元素的例子)。然而，众所周知，在结晶工艺后，在结晶硅膜中仍残留有一定量的镍。

如果有源层中含镍浓度超过了特定极限，则会对薄膜晶体管的电特性起反作用。(本发明者的研究发现，该极限为 $5 \times 10^{19}/\text{cm}^2$ 。)

- 30 第九实施例提供一种除去构成薄膜晶体管的半导体层的结晶硅膜中残留的金属元素的方法。下面参照图 7 (A) — 7 (E) 详细说明该实施例。

首先，制备有绝缘表面的衬底 701。该衬底 701 应具有高耐热性。这

是因为根据本实施例在形成结晶硅膜时处理温度偶尔会超过 1000℃。

在该实施例中，衬底 701 是石英衬底，利用溅射法，在衬底 701 的顶上，形成 3000 埃厚的氧氮化硅膜 702，作缓冲层。

然后，利用等离子 CVD 法或低压热 CVD 法生长 500 埃厚的非晶硅膜 703。例如，可以用硅烷 (SiH_4) 或乙硅烷 (Si_2H_6) 作形成膜的气体。低压热 CVD 法形成的非晶硅膜 703 容易获得较大晶粒，因为在以后的结晶工艺中晶核出现的可能性较小。

在非晶硅膜 703 形成后，在氧气氛中用紫外线照射工件，以在非晶硅膜 703 的表面上形成极薄氧化层（未示出）。该氧化层使得工件表面在以下将说明的应用溶液工艺中引入镍时润湿性增强（图 7（A））。

然后，把含一定浓度镍的镍盐溶液滴到工件上，形成如图 7（B）所示的水膜 704。如果考虑到在以后将说明的加热后会残留不希望的杂质，则最好用硝酸镍盐溶液作镍盐溶液。尽管也可用醋酸镍溶液，但因为它含碳，在以后的加热处理后容易产生残留在硅膜上的碳化物，最好不用。

在图 7（B）所示状态中，用旋转器将水膜 704 铺开，使水膜 704 中所含镍原子直接与未示出的形成于非晶硅膜 703 上的氧化层接触。

在惰性气氛中，在 450℃ 温度下，对工件进行脱氢处理约 1 小时，然后，在 500—700℃（典型为 550—600℃），加热处理 1—24 小时，使非晶硅膜 703 晶化。以此方式获得图 7（C）所示的结晶硅膜 705。

先前直接与未示出的覆盖非晶硅膜 703 的氧化层接触的镍原子通过氧化层扩散到非晶硅膜 703 中，用作加速晶化的催化剂。具体说，镍与硅反应，形成硅化物，然后该硅化物作晶核，围绕它将发生晶化。通过调节上述应用溶液工艺中镍盐溶液的浓度，便可以容易地控制上述工艺中注入的镍浓度。

在加热处理的结晶完成后，用激光或用相同辐射能量的光照射工件，可以进一步提高结晶硅膜 705 的结晶度。用该后来的处理可以使在加热处理后仍残余的小部分非晶硅完全结晶。

用更高温度进一步热处理这样得到的结晶硅膜 705。具体地，这种热处理的温度设定为 700—1200℃（典型为 800—1000℃），处理时间设定为 1 到 12 小时（典型为 6 小时）。重要的是在图 7（D）所示的加热处理中使用含卤族元素（在本实施例中用氯（Cl））的气氛。

第九实施例的特征在于，通过在含卤族元素的气氛中进行加热处理，

可以除去残留在结晶硅膜 705 中的镍原子。更具体地, 这种加热处理利用卤族元素的吸杂作用, 可以将残留的镍原子吸收到并固定于形成于结晶硅膜 705 上的热氧化层 706 中。

制备用于该实施例的含卤族元素的气氛的方法如下。首先, 向氮气氛
5 中加入 10vol% 的氧, 然后加入 3vol% (相对于氧的体积) 的盐酸 (HCl)。在该气氛中, 一般在 950℃ 的温度下, 进行图 7 (D) 所示的加热处理 6 小时。加入这种低体积比的氧的原因是, 如果氧的比例太高, 氧化层 706 的生长太快, 很难进行充分地吸杂。

尽管在该实施例中选择用氯 (Cl) 作卤族元素, 并以盐酸气的形式加入,
10 但也可以用其它气体制备含卤族元素的气氛。例如, 可以选取氟化氢 (HF)、溴化氢 (HBr)、氯 (Cl₂)、氟 (F₂) 和溴 (Br₂) 中的一种或几种。还可以用卤素的氢氧化物。

在任何情况下, 在图 7 (D) 所示的加热工艺过程中, 残留在结晶硅膜 705 中的镍原子会被吸收到热氧化层 706 中。于是便从结晶硅膜 705 中除
15 去了镍原子, 并得到几乎不含镍原子的结晶硅膜 707。

如位错和堆叠层错等晶体缺陷几乎不存在, 在这样的硅原子间进行复合时便可消除硅原子悬空键。这是因为, 上述加热处理是在更高的 950℃ 温度下进行的。而且, 仍残存的悬空键会被结晶硅膜 707 中所含的氢和卤素原子中断。这就是说在结晶硅膜 707 中存在氢和卤素原子。

20 在完成了图 7 (D) 所示的工艺后, 除去用作吸杂点的热氧化层 706。这样做的目的是防止镍原子反扩进结晶硅膜 707 中。

使结晶硅膜 707 构图成岛形, 形成 n 沟道薄膜晶体管的半导体层 708 和 p 沟道薄膜晶体管的半导体层 709, 如图 7 (E) 所示。

通过与在第一实施例中所述的相同的以下步骤可以完成 n 和 p 沟道薄
25 膜晶体管。

由于根据第九实施例的上述工艺形成的薄膜晶体管的半导体层 708 和 709 几乎不含金属元素 (在本实施例中为镍), 所以实际上它们不会因金属元素而发生退化或特性退化。换言之, 本实施例可以利用薄膜晶体管构成可靠性极佳的包括有源矩阵区和外围驱动电路的电路。

30 第十实施例

本发明的第十实施例涉及一种进一步去除仍残存在第九实施例的上述结构中的镍原子的方法。

在该实施例中，在含卤族元素的氧化气氛中，加热处理利用镍的结晶化工艺获得的结晶硅膜，形成热氧化层。由于该热氧化层吸收镍原子，最后它将含比结晶硅膜浓度高的镍原子。

5 在形成了热氧化层后，除去之。这种操作可充分地减小结晶硅膜中残存的镍原子浓度。利用其它金属元素而不用镍来加速硅的结晶也可以获得同样的效果。

下面通过例子更具体地说明本实施例，在含 3vol% 盐酸 (HCl) 的氧气气氛中，热处理利用镍的结晶化工艺得到的结晶硅膜，形成热氧化层。

10 氧化层的厚度最好不小于 200 埃。这样便可以降低残存于结晶硅膜中的镍原子浓度。

由于在热处理期间用去了不稳定的硅成分来形成热氧化层，所以可以减少结晶硅膜中的缺陷，提高其晶体结构的质量。

将本发明用于半导体器件时，可以产生以下有益效果：

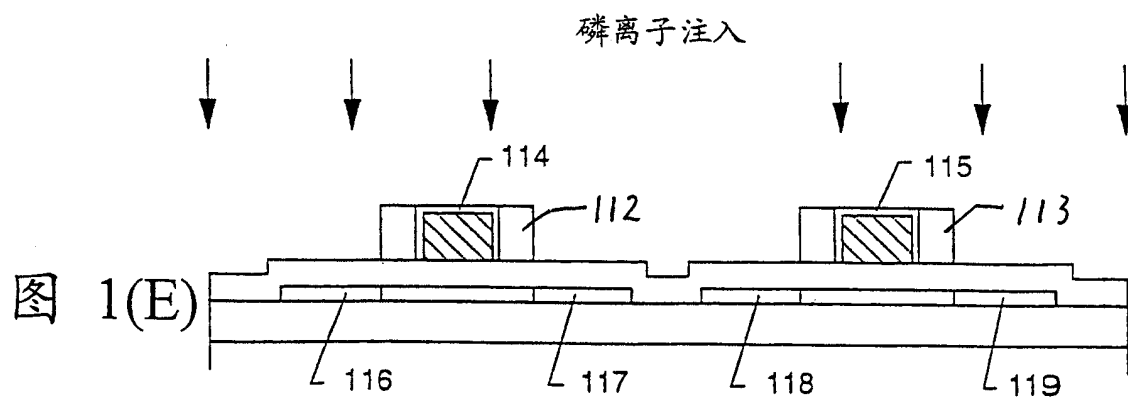
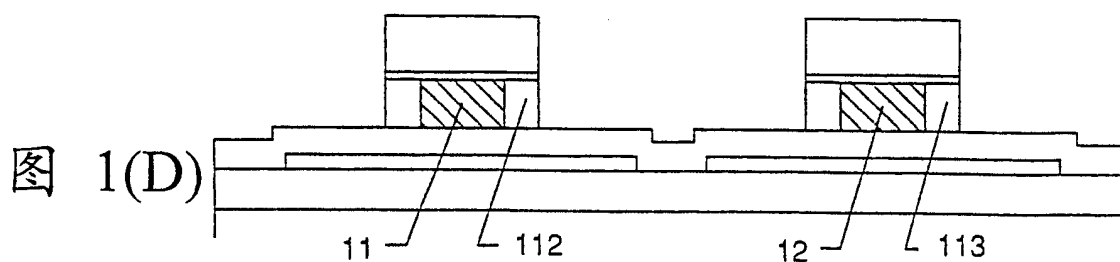
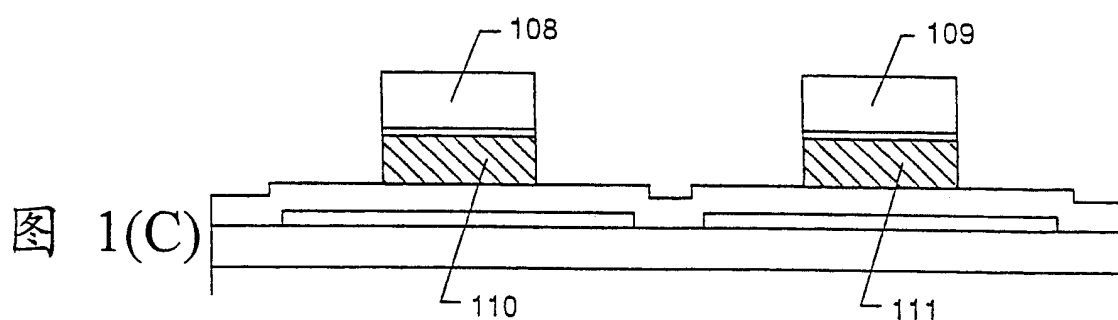
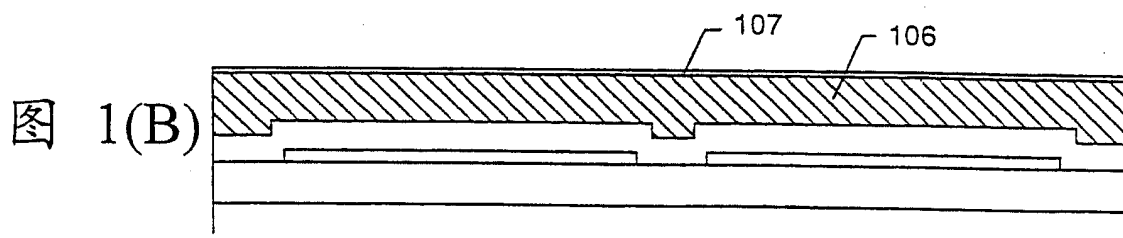
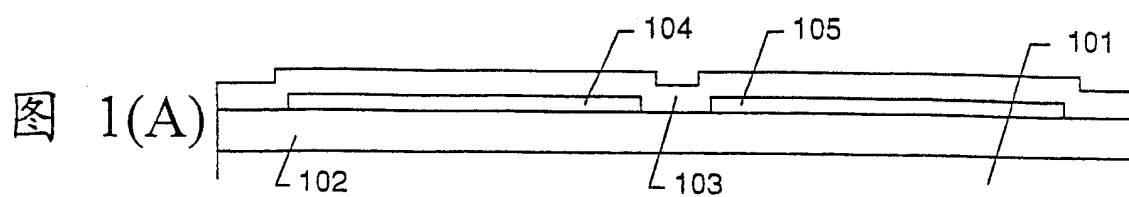
15 (1) 由于在任何处理步骤皆不需要以极高的掺杂量注入杂质，所以可以避免光刻胶性质的变化。

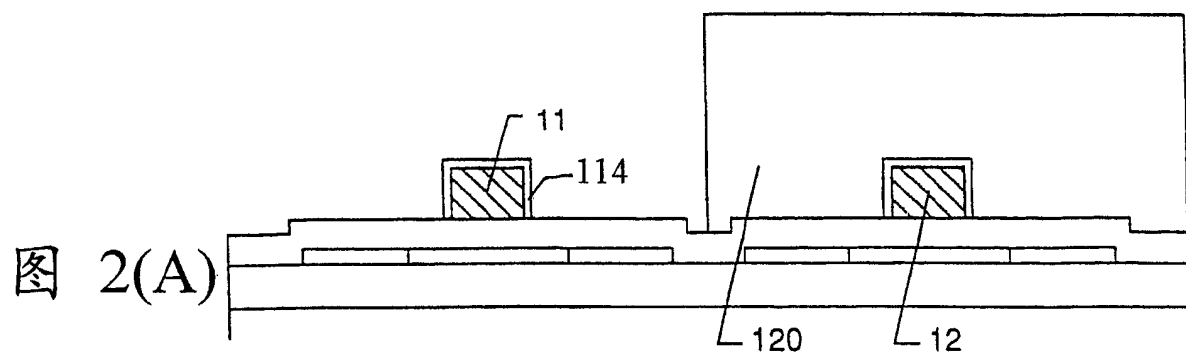
(2) 只在 n 沟道薄膜晶体管中形成低掺杂浓度区，便可以减小截止电流。

(3) 在用两种类型的薄膜晶体管结合构成 CMOS 结构时，可以实现 n 和 p 沟道薄膜晶体管之间电特性的平衡。

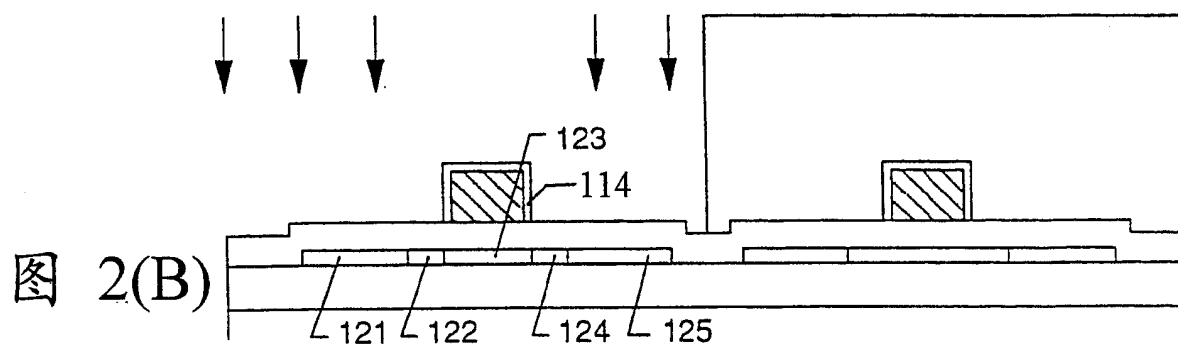
20 (4) 因为在注入杂质离子产生 p 导电性时靠近沟道区的区基本上是本征的，所以容易形成 p-i 结和使对有源区的损伤最小。

(5) 由于用如氧化硅膜之类的绝缘层覆盖着有源层，所以可以避免在注入杂质离子时可能发生的污染和表面损伤。

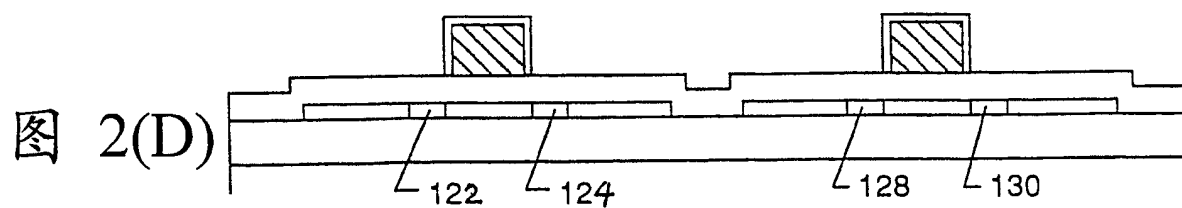
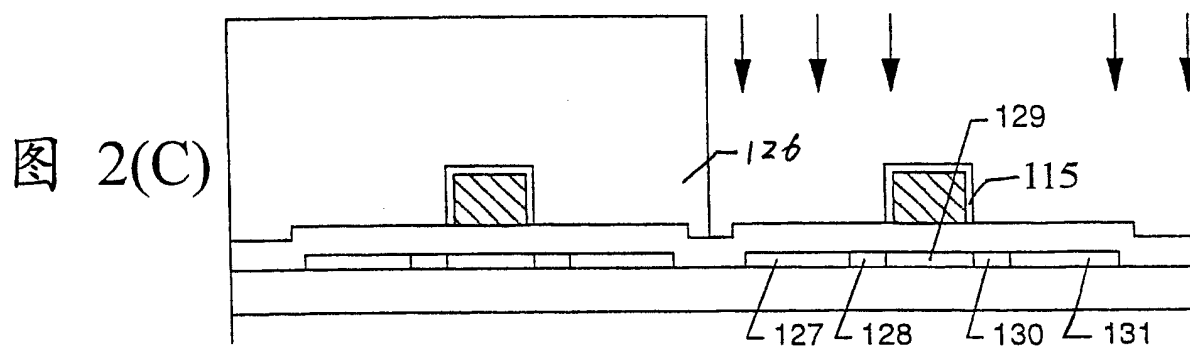


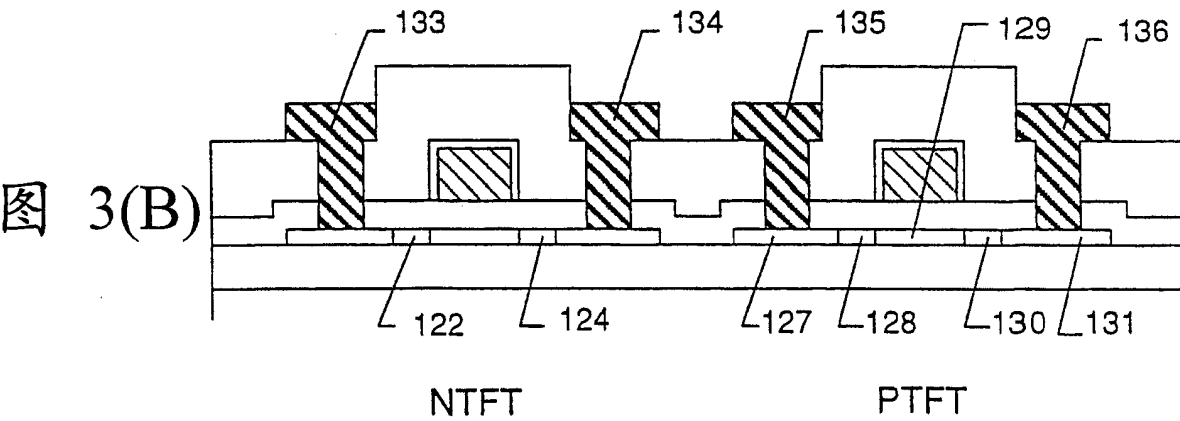
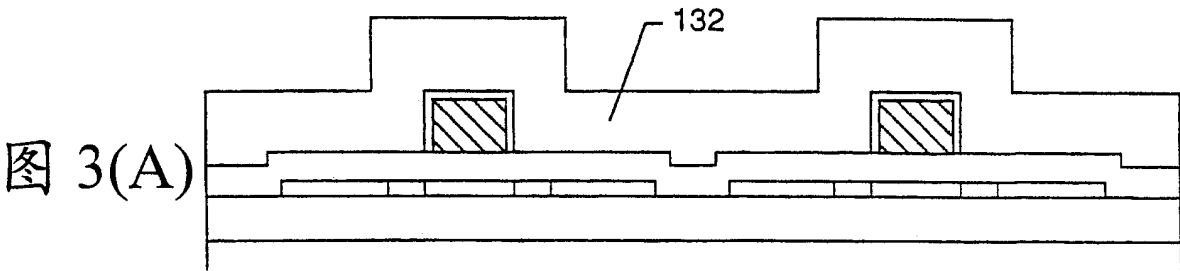


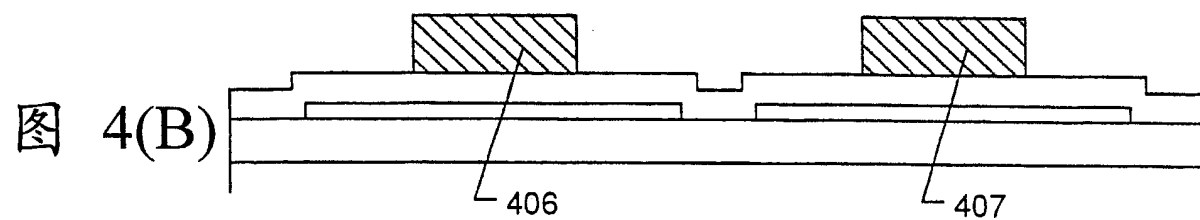
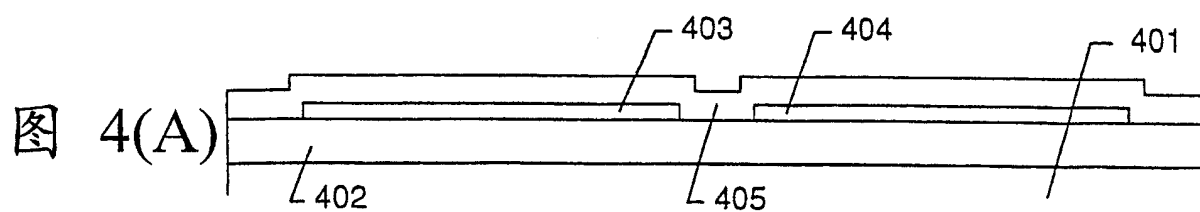
磷离子注入



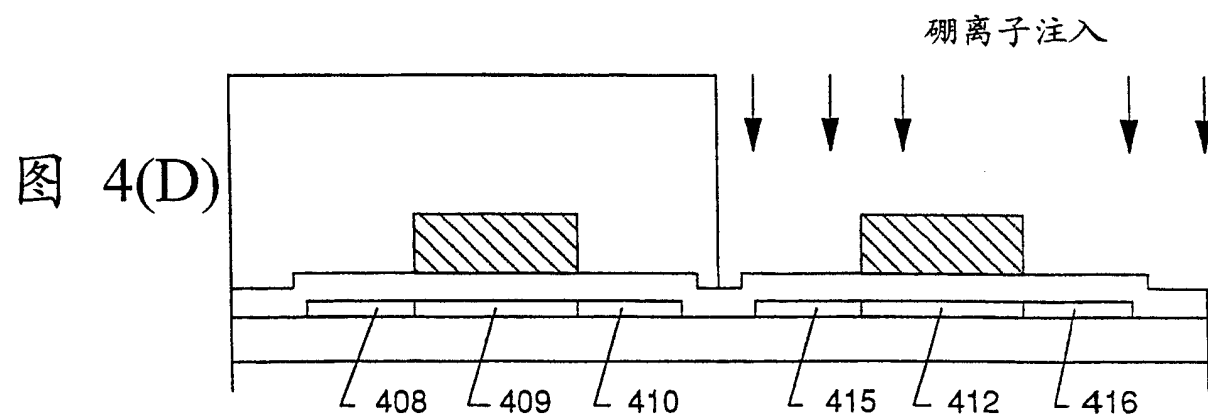
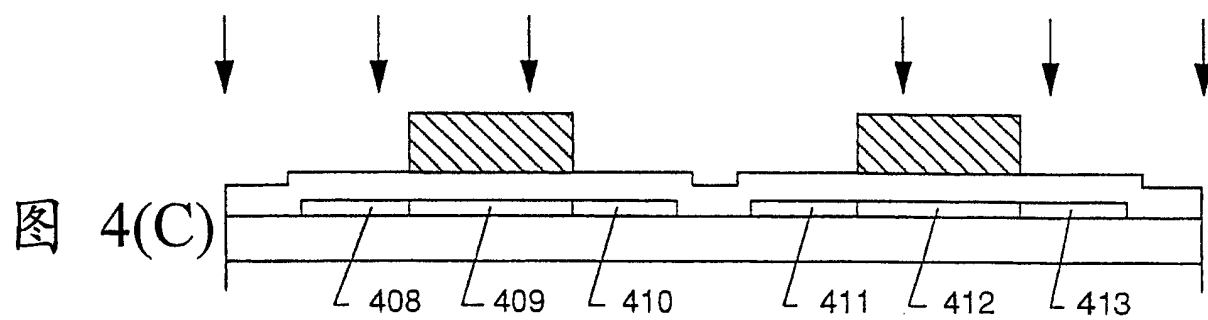
硼离子注入



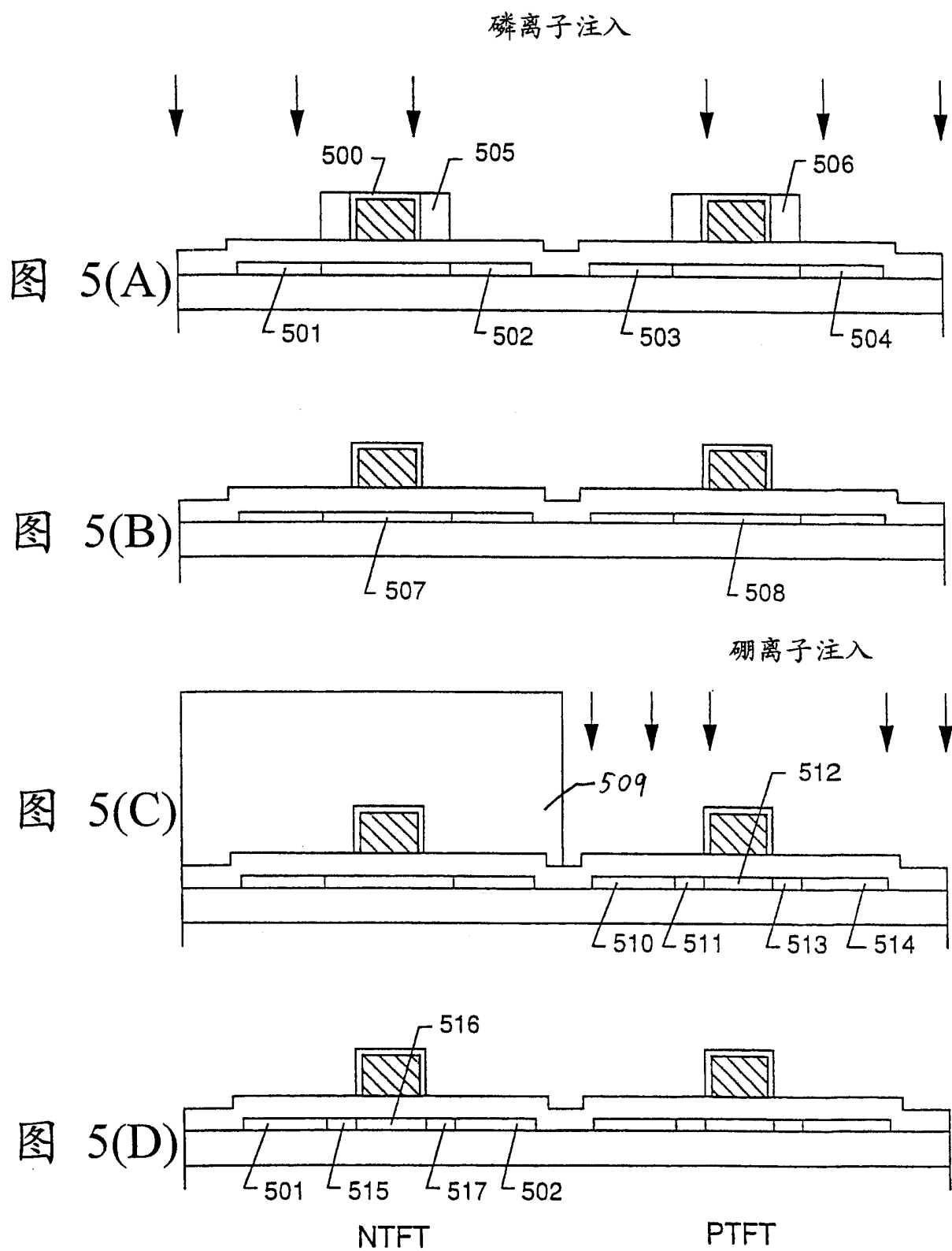


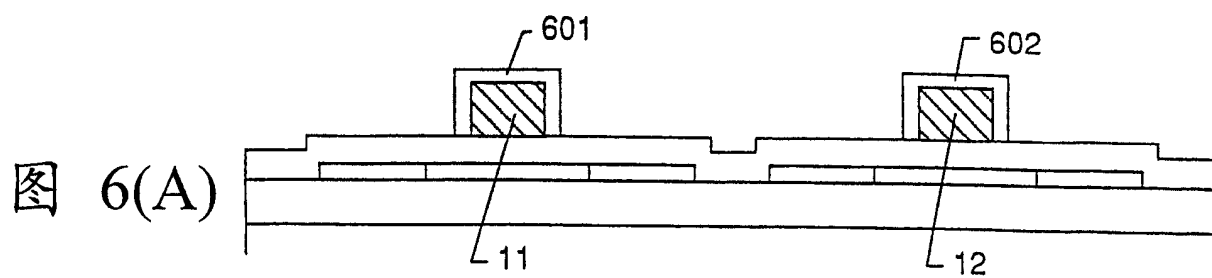


磷离子注入

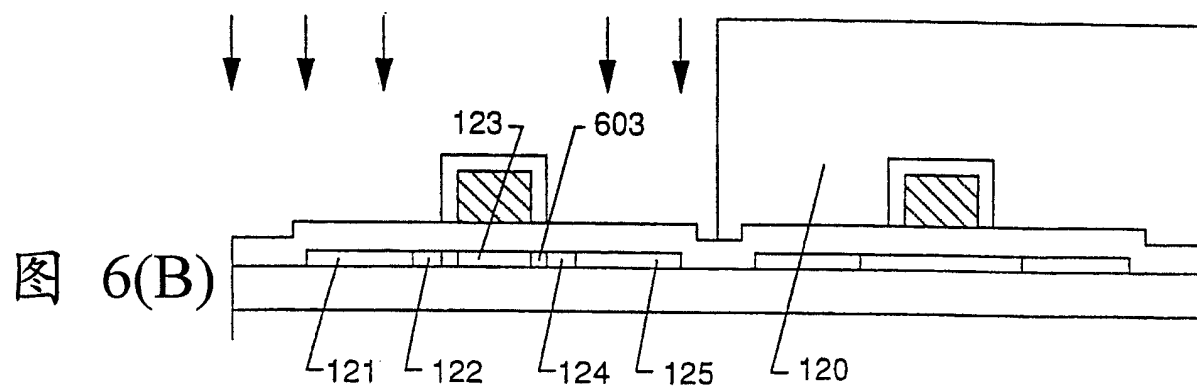


硼离子注入





磷离子注入



硼离子注入

