



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월30일  
(11) 등록번호 10-0973361  
(24) 등록일자 2010년07월26일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0052221

(22) 출원일자 2008년06월03일

심사청구일자 2008년06월03일

(65) 공개번호 10-2008-0107281

(43) 공개일자 2008년12월10일

(30) 우선권주장

JP-P-2007-00149249 2007년06월05일 일본(JP)

(56) 선행기술조사문헌

JP01124263 X2\*

JP11040814 A\*

KR1019990045355 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 히타치 디스플레이즈

일본국 치바켄 모바라시 하야노 3300

(72) 발명자

사카이 다케시

일본 도쿄도 고꾸분지시 혼다 2-12-22

미야자와 도시오

일본 지바켄 지바시 미도리구 오유미노쥬오

4-28-2

(뒷면에 계속)

(74) 대리인

박충범, 이중희, 장수길

전체 청구항 수 : 총 12 항

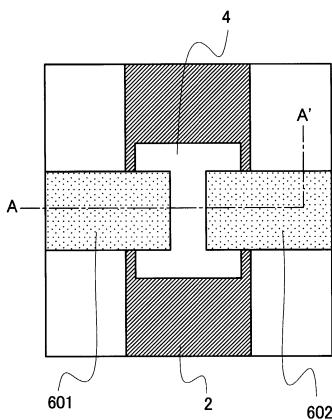
심사관 : 임동재

(54) 표시 장치 및 그 제조 방법

### (57) 요 약

다결정 반도체를 이용한 보텀 게이트형의 TFT 소자의 저항성 리크 전류를 작게 한다. 절연 기판의 표면에, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극이 이 순번으로 적층되어 있고, 또한 상기 반도체층이 다결정 반도체로 되는 능동층과, 상기 능동층과 상기 소스 전극 사이 및 상기 능동층과 상기 드레인 전극 사이의 각각에 개재하는 컨택트층으로 이루어지는 TFT 소자를 갖고, 상기 소스 전극 및 상기 드레인 전극은, 각각 상기 능동층의 상기 게이트 절연막과의 계면의 이면에 대향하는 제1 면과, 상기 능동층의 애칭 끝면에 대향하는 제2 면을 갖는 반도체 장치로서, 상기 컨택트층은, 상기 소스 전극 및 상기 드레인 전극의 상기 제1 면과 상기 능동층 사이와, 상기 소스 전극 및 상기 드레인 전극의 상기 제2 면과 상기 능동층 사이의 모든 영역에 개재되어 있는 반도체 장치이다.

대 표 도 - 도1a



(72) 발명자

가이또 다꾸오

일본 지바켄 모바라시 야찌요 1-11-7

미야께 히데까즈

일본 지바켄 모바라시 기사끼 163-6

---

## 특허청구의 범위

### 청구항 1

표시 장치로서,

절연 기판과,

상기 절연 기판에 형성된 TFT 소자를 갖고,

상기 절연 기판의 표면에, 게이트 전극, 게이트 절연막, 반도체층, 절연층, 소스 전극 및 드레인 전극이 이 순번으로 적층되고,

상기 반도체층은,

다결정 반도체로 이루어지는 능동층과,

상기 능동층과 상기 소스 전극 사이 및 상기 능동층과 상기 드레인 전극 사이의 각각에 개재하는 컨택트층을 갖고,

상기 컨택트층은, 에칭에 의해 섬 형상으로 형성된 능동층 위에 아몰퍼스 실리콘막을 성막하여 형성되고,

상기 아몰퍼스 실리콘막 위에 절연막을 형성하고,

상기 절연막에 상기 소스 전극 및 드레인 전극과 상기 컨택트층 사이의 접속을 위한 개구를 형성하고,

상기 아몰퍼스 실리콘막과 상기 절연막 위에 도전막을 형성하고,

상기 아몰퍼스 실리콘막과 상기 도전막을 에칭함으로써, 상기 소스 전극과 드레인 전극 아래에 상기 컨택트층 및 절연층이 형성되고,

또한, 상기 컨택트층 및 절연층은, 에칭에 의해 섬 형상으로 형성된 능동층의 측면에 형성되어 있는 표시 장치.

### 청구항 2

제1항에 있어서,

상기 소스 전극 및 드레인 전극과 능동층 사이에 형성되는 절연층은, 게이트 절연막과는 상이한 실리콘 산화막이 형성되어 있는 표시 장치.

### 청구항 3

표시 장치로서,

절연 기판과,

상기 절연 기판에 형성된 TFT 소자를 갖고,

상기 절연 기판의 표면에, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극이 이 순번으로 적층되고,

상기 반도체층은,

다결정 반도체로 이루어지는 능동층과,

상기 능동층과 상기 소스 전극 사이 및 상기 능동층과 상기 드레인 전극 사이에 컨택트층을 갖고,

상기 컨택트층은, 에칭에 의해 섬 형상으로 형성된 능동층 위에 아몰퍼스 실리콘막을 성막하여 형성되고,

상기 아몰퍼스 실리콘막 위에 절연막을 형성하고,

상기 절연막에 상기 소스 전극 및 드레인 전극과 상기 컨택트층 사이의 접속을 위한 개구를 형성하고,

상기 아몰퍼스 실리콘막과 상기 절연막 위에 도전막을 형성하고,

상기 아몰퍼스 실리콘막과 상기 도전막을 에칭함으로써, 상기 소스 전극과 드레인 전극 아래에 상기 컨택트층 및 절연층이 형성되고,

또한, 상기 컨택트층 및 절연층은, 에칭에 의해 섬 형상으로 형성된 능동층의 측면에 형성되고,

상기 개구를 제외하고 상기 능동층과 상기 소스 전극 사이 및 상기 능동층과 상기 드레인 전극 사이에 상기 절연층을 갖는 표시 장치.

#### 청구항 4

제3항에 있어서,

상기 컨택트층과, 상기 소스 전극 및 상기 드레인 전극은, 상기 절연 기판에 대해 평면적으로 보아 외형이 겹치는 표시 장치.

#### 청구항 5

제3항에 있어서,

상기 소스 전극 및 상기 드레인 전극은, 조성이 서로 다른 2 종류 이상의 도전막의 적층체인 표시 장치.

#### 청구항 6

제3항에 있어서,

상기 절연 기판은, 복수개의 매트릭스 형상으로 배치된 화소 전극을 갖고, 화소 전극을 갖는 화소가 집합된 표시 영역을 갖는 표시 장치.

#### 청구항 7

제3항에 있어서,

상기 TFT 소자는, 스위칭 소자인 표시 장치.

#### 청구항 8

제3항에 있어서,

상기 절연 기판은, 복수개의 매트릭스 형상으로 배치된 화소 전극을 갖고, 화소 전극을 갖는 화소가 집합된 표시 영역을 갖고, 표시 영역의 외측의 영역에, TFT 소자를 갖는 구동 회로가 배치되어 있는 표시 장치.

#### 청구항 9

제3항에 있어서,

상기 절연 기판은, 복수개의 매트릭스 형상으로 배치된 스위칭 소자를 갖고, 스위칭 소자는, 능동층이 비정질 반도체로 이루어지는 표시 장치.

#### 청구항 10

표시 장치의 제조 방법으로서,

절연 기판의 표면에 게이트 전극을 형성하는 제1 공정과,

상기 게이트 전극 상에 게이트 절연막을 형성하는 제2 공정과,

상기 게이트 절연막 상에 다결정 반도체를 성막하고, 에칭에 의해 섬 형상의 능동층을 형성하는 제3 공정과,

상기 섬 형상의 능동층 상에, 상기 능동층과는 불순물의 종류 또는 농도가 상이한 반도체막을 형성하고, 에칭에 의해 형성된 섬 형상의 능동층의 측면에 컨택트층을 형성하는 제4 공정과,

상기 반도체막 상에 절연막과 도전막을 성막하는 제5 공정과,

상기 도전막을 에칭하여 소스 전극 및 드레인 전극을 형성하는 제6 공정과,

상기 반도체막을 에칭하여, 상기 소스 전극과 상기 능동층 사이 및 상기 드레인 전극과 상기 능동층 사이의 각각에 개재하는 컨택트층을 형성하는 제7 공정

을 갖고,

상기 절연막에는 개구가 형성되어, 컨택트층을 형성하는 표시 장치의 제조 방법.

### 청구항 11

제10항에 있어서,

상기 반도체막을 성막한 후, 절연층을 성막하는 표시 장치의 제조 방법.

### 청구항 12

제10항에 있어서,

상기 제3 공정은, 비정질 반도체막을 성막하고, 그 비정질 반도체막을 다결정화한 후, 에칭하여 상기 능동층을 형성하는 표시 장치의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001]

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 구동 회로를 내장하는 TFT 액정 표시 패널 및 그 제조 방법에 적용하기에 유효한 기술에 관한 것이다.

#### 배경기술

[0002]

종래, TFT 소자는, CPU나 메모리 등의 IC 칩이나, 액정 표시 패널 등의 반도체 장치에 널리 이용되고 있다.

[0003]

상기 TFT 소자는, 절연 기판의 표면에, 게이트 전극, 게이트 절연막, 반도체층(반도체막), 소스 전극 및 드레인 전극을 적층한 구성이며, 이들의 적층순에 따라, 톱 게이트형과 보텀 게이트형으로 대별된다. 상기 톱 게이트 형의 TFT 소자는, 상기 절연 기판으로부터 보아, 반도체층 상에 게이트 절연막 및 게이트 전극이 적층된 구성의 TFT 소자이다. 또한, 상기 보텀 게이트형의 TFT 소자는, 상기 절연 기판으로부터 보아, 게이트 전극 상에, 게이트 절연막 및 반도체층이 적층된 구성의 TFT 소자이다.

[0004]

상기 반도체 장치 내의 상기 액정 표시 패널은, 한 쌍의 기판 사이에 액정 재료를 봉입한 표시 패널이며, 상기 한 쌍의 기판 중 한쪽의 기판은, 예를 들면 글래스 기판 등의 절연 기판의 표면에, 복수개의 주사 신호선, 복수 개의 영상 신호선, 매트릭스 형상으로 배치된 복수개의 TFT 소자 및 매트릭스 형상으로 배치된 화소 전극 등이 형성되어 있다.

[0005]

또한, 상기 TFT 소자를 갖는 액정 표시 패널은, 종래 상기 복수개의 주사 신호선에 가하는 주사 신호를 생성하는 구동 회로나, 상기 복수개의 영상 신호선에 가하는 영상 신호를 생성하는 구동 회로는, 예를 들면 침 형상의 드라이버 IC에 형성되어 있고, 그 드라이버 IC가 실장된 COF나 TCP 등의 반도체 패키지를, 상기 주사 신호선 등이 형성된 기판(이하, TFT 기판이라고 함)에 접속하는 것이 일반적이었다.

[0006]

그러나, 최근의 액정 표시 패널에는, 예를 들면 상기 TFT 기판(절연 기판)의 표시 영역의 외측에, 상기 주사 신호선 등과 함께 상기 각 구동 회로를 형성한 것, 즉, 상기 액정 표시 패널(TFT 기판)에 상기 각 구동 회로가 내장된 것도 있다.

[0007]

또한, 상기 반도체 장치에서, 보텀 게이트형의 TFT 소자를 형성할 때에는, 종래 반도체층의 능동층으로서, 예를 들면 아몰퍼스 실리콘(a-Si)과 같은 비정질 반도체가 이용되는 경우가 많았다. 그러나, 최근의 반도체 장치에서는, 동작의 고속화 등을 목적으로 하여, 반도체층의 능동층에, 예를 들면 다결정 실리콘(poly-Si)과 같은 다결정 반도체를 이용하는 경우가 증가해 가고 있다.

### 발명의 내용

## 해결 하고자하는 과제

- [0008] 절연 기판의 표면에 보텀 게이트형의 TFT 소자를 형성할 때에는, 절연 기판의 표면에 게이트 전극 및 게이트 절연막을 형성한다. 다음으로, 반도체층의 능동층으로서 기능시키는 제1 반도체막 및 제1 반도체층의 컨택트층(확산층)으로서 기능시키는 제2 반도체막을 순차적으로 성막한 후, 그 각 반도체막을 에칭하여, 섬 형상의 반도체층을 형성한다. 다음으로, 도전막을 성막한 후, 그 도전막을 에칭하여 소스 전극 및 드레인 전극을 형성한다. 다음으로, 소스 전극 및 드레인 전극을 마스크로 한 에칭으로, 제1 반도체막(능동층) 상에 적층된 제2 반도체막을, 소스 전극과 능동층 사이 및 드레인 전극과 능동층 사이의 각각에 개재하는 컨택트층으로 분리한다.
- [0009] 그러나, 이와 같은 수순으로 형성된 보텀 게이트형의 TFT 소자에서, 반도체층의 능동층이 다결정 반도체이면, 예를 들면 그 TFT 소자가 오프의 상태일 때에 드레인 전극과 소스 전극 사이에 흐르는 저항성 리크 전류가 커진다고 하는 문제가 있었다.
- [0010] 본 발명의 목적은, 다결정 반도체를 이용한 보텀 게이트형의 TFT 소자의 저항성 리크 전류를 작게 하는 것이 가능한 기술을 제공하는 데에 있다.
- [0011] 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면에 의해 명백해질 것이다.

## 과제 해결수단

- [0012] 본원에서 개시되는 발명 중, 대표적인 것의 개략을 설명하면, 이하와 같다.
- [0013] 표시 장치는 절연 기판을 갖고, 절연 기판의 표면에는 TFT 소자가 형성되어 있다. TFT 소자는 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 갖고 있다. 반도체층은 다결정 반도체로 되는 능동층과, 능동층과 소스 전극 사이 및 능동층과 드레인 전극 사이의 각각에 개재하는 컨택트층으로 이루어진다. 소스 전극 및 드레인 전극은, 각각 능동층의 게이트 절연막과의 계면의 이면에 대향하는 제1 면과, 능동층의 에칭 끝면에 대향하는 제2 면을 갖고 있다. 컨택트층은, 소스 전극 및 드레인 전극의 제1 면과 능동층 사이와, 소스 전극 및 드레인 전극의 제2 면과 능동층 사이에 개재되어 있다.
- [0014] 소스 전극 및 드레인 전극의 제2 면과 능동층 사이에는, 게이트 절연막과는 상이한 절연층이 개재되어 있다.
- [0015] 표시 장치는 절연 기판을 갖고, 절연 기판의 표면에는 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극이 이 순번으로 적층되어 있다. 반도체층은 다결정 반도체로 되는 능동층과, 능동층과 소스 전극 사이 및 능동층과 드레인 전극 사이의 각각에 개재하는 컨택트층으로 이루어진다. 소스 전극 및 드레인 전극은, 각각 능동층의 게이트 절연막과의 계면의 이면에 대향하는 제1 면과, 능동층의 에칭 끝면에 대향하는 제2 면을 갖는다. 컨택트층은, 소스 전극 및 드레인 전극의 제1 면과 능동층 사이에 개재되어 있고, 소스 전극 및 드레인 전극과 능동층 사이 중의 컨택트층이 개재되어 있지 않은 영역에는, 게이트 절연막과는 상이한 절연층이 개재되어 있다.
- [0016] 컨택트층과, 소스 전극 및 드레인 전극은, 절연 기판의 표면에 투영한 평면형상이 대략 동일한 형상이다.
- [0017] 소스 전극 및 드레인 전극은, 조성이 서로 다른 2 종류 이상의 도전막의 적층체로 이루어진다.
- [0018] 절연 기판은, 표면에, 복수개의 주사 신호선, 복수개의 영상 신호선을 갖고, 2개의 주사 신호선과, 2개의 영상 신호선에 둘러싸여진 영역에 매트릭스 형상으로 화소가 형성되고, 매트릭스 형상으로 형성된 화소는 표시 영역을 형성한다.
- [0019] 화소에는 TFT 소자로 이루어지는 스위칭 소자와 화소 전극이 형성되어 있다. 스위칭 소자는 영상 신호선과 화소 전극을 접속한다.
- [0020] 절연 기판은, 표시 영역의 외측의 영역에, TFT 소자를 갖는 구동 회로가 배치되어 있다. 구동 회로는, 복수개의 주사 신호선, 복수개의 영상 신호선, 스위칭 소자 및 화소 전극과 함께, 절연 기판의 표면에 형성되어 있다.
- [0021] 스위칭 소자는, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극이 이 순번으로 적층되어 있고, 또한 반도체층의 능동층이 비정질 반도체로 이루어지는 TFT 소자이다.
- [0022] 절연 기판의 표면에, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극이 이 순번으로 적층된 TFT 소자를 형성하는 표시 장치의 제조 방법으로서, 게이트 전극을 형성하는 제1 공정과, 제1 공정 후, 게이트

절연막을 형성하는 제2 공정과, 제2 공정 후, 다결정 반도체를 이용하여 반도체층의 능동층을 형성하는 제3 공정과, 제3 공정 후, 능동층과는 불순물의 종류 또는 농도가 상이한 반도체막 및 도전막을 성막하는 제4 공정과, 제4 공정 후, 도전막을 에칭하여 소스 전극 및 드레인 전극을 형성하는 제5 공정과, 제5 공정 후, 반도체막을 에칭하여, 소스 전극과 능동층 사이 및 드레인 전극과 능동층 사이의 각각에 개재하는 컨택트층을 형성하는 제6 공정을 갖는다.

[0023] 제4 공정은, 반도체막을 성막한 후, 절연층을 성막하고, 그 절연막 중의 능동층 상에 있는 영역의 일부 또는 전부를 개구하고 나서, 도전막을 성막한다.

[0024] 제3 공정은, 비정질 반도체막을 성막하고, 그 비정질 반도체막의 일부의 영역 또는 전부의 영역을 다결정화한 후, 에칭하여 능동층을 형성한다.

## 효과

[0025] 본 발명의 반도체 장치에 따르면, 반도체층의 능동층으로서 다결정 반도체를 이용한 보텀 게이트형의 TFT 소자에서, 오프 시의 저항성 리크 전류를 작게 할 수 있다.

[0026] 또한, 본 발명의 반도체 장치의 제조 방법에 따르면, 반도체층의 능동층으로서 다결정 반도체를 이용하고 있고, 또한 오프 시의 저항성 리크 전류가 작은 보텀 게이트형의 TFT 소자를 갖는 반도체 장치를 용이하게 제조할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0027] 이하, 본 발명에 대해, 도면을 참조하여 실시 형태(실시예)와 함께 상세하게 설명한다.

[0028] 또한, 실시예를 설명하기 위한 전체 도면에서, 동일 기능을 갖는 것은, 동일 부호를 붙이고, 그 반복된 설명은 생략한다.

[0029] <실시예 1>

[0030] 도 1a는, 본 발명에 따른 실시예 1의 TFT 소자의 일 구성예를 도시하는 모식 평면도이다. 도 1b는, 도 1a의 A-A'선 단면도이다.

[0031] 도 1a 및 도 1b에서, 참조 부호 1은 절연 기판, 참조 부호 2는 게이트 전극, 참조 부호 3은 제1 절연층(게이트 절연막), 참조 부호 4는 능동층, 참조 부호 4a 및 4b는 능동층의 에칭 끝면, 참조 부호 501 및 502는 컨택트층, 참조 부호 601은 소스 전극, 참조 부호 602는 드레인 전극, 참조 부호 7은 제2 절연층이다.

[0032] 실시예 1의 TFT 소자는, 보텀 게이트형의 TFT 소자이며, 도 1a 및 도 1b에 도시한 바와 같이, 절연 기판(1)의 표면에, 게이트 전극(2), 게이트 절연막으로서의 기능을 갖는 제1 절연층(3), 반도체층의 능동층(4) 및 컨택트층(501, 502), 소스 전극(601) 및 드레인 전극(602)이, 이 순번으로 적층되어 있다. 또한, 절연 기판(1)으로부터 보아, 소스 전극(601) 및 드레인 전극(602) 상에는, 예를 들면 제2 절연층(7)이 적층되어 있다.

[0033] 또한, 반도체층의 능동층(4)은, TFT 소자가 온일 때에 채널 영역이 형성되는 층이며, 예를 들면 다결정 실리콘(poly-Si)으로 이루어진다. 또한, 컨택트층(501) 및 컨택트층(502)은, 각각 소스 확산 영역 및 드레인 확산 영역에 상당하고, 예를 들면 아몰퍼스 실리콘(a-Si)으로 이루어진다.

[0034] 또한, 그 TFT 소자가 N채널 MOS(이하, NMOS라고 함)인 경우, 능동층(4)은, 예를 들면 불순물 농도가 낮은 p형(p-형)의 반도체이며, 컨택트층(501) 및 컨택트층(502)은, 예를 들면 불순물 농도가 높은 n형(n+형)의 반도체이다.

[0035] 또한, 실시예 1의 TFT 소자에서, 컨택트층(501, 502), 소스 전극(601) 및 드레인 전극(602)은, 능동층(4)이 형성된 제1 절연층(3) 상에 직접 형성되어 있다. 그 때문에, 소스 전극(601)은, 능동층(4)의 게이트 절연막(제1 절연층(3))과의 계면의 이면에 대향하는 제1 면과, 능동층(4)의 에칭 끝면(4a)에 대향하는 제2 면을 갖는다. 마찬가지로, 드레인 전극(602)은, 능동층(4)의 게이트 절연막(제1 절연층(3))과의 계면의 이면에 대향하는 제1 면과, 능동층(4)의 에칭 끝면(4b)에 대향하는 제2 면을 갖는다.

[0036] 또한, 실시예 1의 TFT 소자에서, 컨택트층(501) 및 컨택트층(502)은, 절연 기판(1)에 투영한 평면 형상이, 각각 소스 전극(601, 602)을 절연 기판(1)에 투영한 평면 형상과 대략 동일한 형상이며, 능동층(4)이 형성된 영역의 외측에도 연장되어 있다.

- [0037] 즉, 실시예 1의 TFT 소자에서는, 소스 전극(601)의 제1 면과 능동층(4) 사이 및 제2 면과 능동층(4) 사이의 모든 영역에, 컨택트층(501)이 개재되어 있다. 마찬가지로, 실시예 1의 TFT 소자에서는, 드레인 전극(602)의 제1 면과 능동층(4) 사이 및 제2 면과 능동층(4) 사이의 모든 영역에, 컨택트층(502)이 개재되어 있다.
- [0038] 도 2a 내지 도 2d는, 실시예 1의 TFT 소자의 제조 방법의 일례를 설명하기 위한 모식 단면도이다. 도 2a는, 능동층을 형성한 직후의 모식 단면도이다. 도 2b는, 제2 반도체막 및 도전막을 성막한 직후의 모식 단면도이다. 도 2c는, 도전막을 에칭한 직후의 모식 단면도이다. 도 2d는, 제2 반도체막을 에칭한 직후의 모식 단면도이다. 또한, 도 2a 내지 도 2d는, 각각 도 1a의 A-A'선에서의 단면도이다.
- [0039] 실시예 1의 TFT 소자를 형성할 때에는, 예를 들면, 우선 절연 기판(1)의 표면에 게이트 전극(2)을 형성하고, 계속해서 게이트 절연막으로서의 기능을 갖는 제1 절연층(3)을 형성한다. 게이트 전극(2)의 형성 방법 및 사용하는 재료(도전막)는, 종래의 TFT 소자의 제조 시에 이용하는 방법 및 재료 중 어느 하나를 선택하면 된다. 마찬가지로, 제1 절연층(3)의 형성 방법 및 사용하는 재료(도전막)는, 종래의 TFT 소자의 제조 시에 이용하는 방법 및 재료 중 어느 하나를 선택하면 된다.
- [0040] 다음으로, 예를 들면 도 2a에 도시한 바와 같이, 제1 절연층(3) 상에, 섬 형상의 능동층(4)을 형성한다. 능동층(4)은, 예를 들면, 제1 절연층(3)의 표면 전역에 아몰퍼스 실리콘막(제1 반도체막)을 성막하고, 그 아몰퍼스 실리콘막의 일부 혹은 전부의 영역을 다결정 실리콘화한 후, 그 제1 반도체막을 에칭하여 형성한다. 또한, 본 명세서에서의 에칭 끝면(4a, 4b)은, 상기한 방법에서 능동층(4)을 형성하였을 때에 생기는 측면을 가리키고 있는 것은 물론이다. 또한, TFT 소자가 NMOS이며, 능동층(4)을 p형(p-형)으로 하는 경우에는, 예를 들면 아몰퍼스 실리콘막의 일부 또는 전부의 영역을 다결정 실리콘화한 후, 불순물을 주입하여 p형(p-형)으로 하여도 되고, p형의 아몰퍼스 실리콘막을 성막한 후, 다결정 실리콘화하여도 된다.
- [0041] 다음으로, 예를 들면 도 2b에 도시한 바와 같이, 능동층(4)이 형성된 제1 절연층(3)의 표면 전역에, 제2 반도체막(5) 및 도전막(6)을 성막한다. 따라서, 도전막(6)을 성막할 때에는, 능동층(4)의 에칭 끝면(4a, 4b)이 제2 반도체막(5)으로 덮여져 있다. 제2 반도체막(5)은, 컨택트층(501, 502)의 형성에 이용하는 반도체막이다. 그 때문에, TFT 소자가 NMOS인 경우에는, 제2 반도체막(5)으로서, 예를 들면 불순물 농도가 높은 n형(n+형)의 아몰퍼스 실리콘막을 성막한다. 또한, 도전막(6)은 소스 전극(601) 및 드레인 전극(602)의 형성에 이용하는 도전막이다. 이 때, 제2 반도체막(5)의 형성 방법 및 사용하는 재료, 도전막(6)의 형성 방법 및 사용하는 재료는, 각각 종래의 TFT 소자의 제조 시에 이용하는 방법 및 재료 중 어느 하나를 선택하면 된다.
- [0042] 다음으로, 예를 들면 도 2c에 도시한 바와 같이, 도전막(6)을 에칭하여, 소스 전극(601) 및 드레인 전극(602)을 형성한다.
- [0043] 다음으로, 예를 들면 도 2d에 도시한 바와 같이, 제2 반도체막(5)을 에칭하면, 절연 기판(1)에 투영한 평면 형상이, 소스 전극(601)과 대략 동일한 형상의 컨택트층(501)과, 드레인 전극(602)과 대략 동일한 형상의 컨택트층(502)이 얻어진다. 그 후, 제2 절연층(7)을 형성하면, 도 1b에 도시한 바와 같은 단면 구조의 TFT 소자가 얻어진다.
- [0044] 도 3a 내지 도 3c는, 종래의 보텀 게이트형의 TFT 소자의 개략 구성 및 문제점과, 실시예 1의 TFT 소자의 작용 효과를 설명하기 위한 모식 단면도이다. 도 3a는, 종래의 보텀 게이트형의 TFT 소자의 일 구성예를 도시하는 모식 단면도이다. 도 3b는, 도 3a에 도시한 TFT 소자의 게이트가 온일 때의 전류가 흐르는 방법의 일례를 도시하는 모식 단면도이다. 도 3c는, 도 3a에 도시한 TFT 소자의 게이트가 오프일 때에 생기는 현상의 일례를 도시하는 모식 단면도이다. 또한, 도 3a 내지 도 3c는, 각각 종래의 TFT 소자의 평면 형상이 도 1a에 도시한 바와 같은 형상인 경우의 A-A'선에서의 단면도이다.
- [0045] 종래의 보텀 게이트형의 TFT 소자의 단면 구조는, 예를 들면 도 3a에 도시한 바와 같은 구조이며, 절연 기판(1)의 표면에, 게이트 전극(2), 제1 절연층(3)(게이트 절연막), 반도체층의 능동층(4) 및 컨택트층(501, 502), 소스 전극(601) 및 드레인 전극(602)이, 이 순번으로 적층되어 있는 점은, 실시예 1의 TFT 소자와 동일하다.
- [0046] 그러나, 종래의 TFT 소자의 제조 방법에서는, 제1 반도체막 및 제2 반도체막(5)을 적층하여 에칭한 후, 도전막(6)을 성막하여 소스 전극(601) 및 드레인 전극(602)을 형성하고 있다. 그 때문에, 도전막(6)을 성막할 때에는, 능동층(4)의 에칭 끝면(4a, 4b)이 노출되어 있다. 그 결과, 소스 전극(601)의 제2 면은 능동층(4)의 에칭 끝면(4a)에 직접 접하고 있고, 드레인 전극(602)의 제2 면은 능동층(4)의 에칭 끝면(4b)에 직접 접하고 있다.

- [0047] 도 3a에 도시한 바와 같은 단면 구성의 TFT 소자는, 예를 들면 게이트 전극(2)에 가해지는 신호의 전위가 높아지면, TFT 소자가 온으로 되어, 능동층(4)의 게이트 전극(2)측에 반전층(채널 영역)이 형성된다. 그 때문에, 예를 들면 도 3b에 도시한 바와 같이, 능동층(4)의 게이트 절연막과의 계면측에 채널 영역(401)이 형성된다. 그 결과, 소스 전극(601)으로부터, 컨택트층(501), 채널 영역(401), 컨택트층(502)을 통하여 드레인 전극(602)에 전자가 흐르고, 드레인 전극(602)으로부터 소스 영역(601)에 전류가 흐른다.
- [0048] 이에 대해, 게이트 전극(2)에 가해지는 신호의 전위가 낮아져, TFT 소자가 오프로 되면, 능동층(4)의 채널 영역(401)이 소멸되므로, 드레인 전극(602)과 소스 영역(601) 사이에 전류는 흐르지 않는다.
- [0049] 그러나, 능동층(4)이, 예를 들면 다결정 실리콘과 같은 저저항의 반도체로 되는 경우, 게이트 전극(2)에 가해져 있는 신호의 전압이, TFT 소자가 오프로 되는 전압이라도, 예를 들면 드레인 전극(602)으로부터 소스 전극(601)으로의 리크 전류가 흐른다고 하는 문제가 발생한다.
- [0050] 이 리크 전류에 대해, 본원 발명자들이 조사한 결과, 예를 들면 도 3c에 도시한 바와 같이, TFT 소자가 오프일 때에, 능동층(4)의 게이트 전극(2)측에 홀이 유기하여 의사 채널 영역(401')이 형성되고, 그 의사 채널 영역(401')의 홀을 통한 저항성의 리크 전류가 흐르고 있는 것을 발견하였다.
- [0051] 즉, 종래의 보텀 게이트형의 TFT 소자에서는, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601)의 접촉 계면 및 에칭 끝면(4b)과 드레인 전극(602)의 접촉 계면에 금속 실리사이드막이 형성되고, 이 금속 실리사이드막이 형성된 영역이 컨택트층(501, 502) 이외의 저저항 접촉 영역으로 된다. 그 때문에, 게이트 전극(2)에 가해져 있는 신호의 전압이, TFT 소자가 오프로 되는 전압이라도, 의사 채널 영역(401')에 유기한 홀을 통하여 저항성의 리크 전류가 흐른다고 하는 것을, 본원 발명자들은 발견하였다.
- [0052] 그리고, 본원 발명자들은, 상기한 바와 같은 저항성의 리크 전류가 흐르는 것을 방지하는 방법으로서, 실시예 1의 TFT 소자와 같이, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601)의 제2 면 사이 및 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602)의 제2 면 사이에, 각각 컨택트층(501, 502)을 개재시키면 되는 것을 발견하였다.
- [0053] 능동층(4)의 에칭 끝면(4a)과 소스 전극(601)의 제2 면 사이 및 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602)의 제2 면 사이에, 각각 컨택트층(501, 502)을 개재시키면, 종래의 TFT 소자와 같은 금속 실리사이드막이 형성된 영역(저저항 접촉 영역)이 없어진다. 그 때문에, TFT 소자가 오프일 때에 의사 채널 영역(401')이 형성되어도, 능동층의 에칭 끝면(4a, 4b)을 따라서 연장되는 컨택트층(501, 502)이 전위적인 배리어로 되어, 의사 채널 영역(401')을 통한 저항성의 리크 전류가 흐르는 것을 방지할 수 있다.
- [0054] 또한, 실시예 1의 TFT 소자는, 예를 들면 도 2a 내지 도 2d를 참조하면서 설명한 바와 같은 수순으로 형성할 수 있다. 즉, 종래의 TFT 소자의 제조 방법과 비교하였을 때에, 예를 들면 능동층(4)을 형성하는 공정, 제2 반도체막(5)을 성막하는 공정 등의 순번이 변하지만, 종래의 TFT 소자와 동일한 공정수로 제조하는 것이 가능하다. 그 때문에, 능동층(4)에 다결정 반도체를 이용하고, 또한 오프 시에 저항성 리크 전류가 흐르는 것을 방지할 수 있는 TFT 소자를 용이하게 제조할 수 있다.
- [0055] 이상과 같은 것으로부터, 능동층(4)에 다결정 반도체가 이용된 다수개의 TFT 소자를 갖는 반도체 장치를 제조할 때에, 실시예 1에서 설명한 바와 같은 구성의 TFT 소자를 형성함으로써, TFT 소자가 오프일 때에 저항성의 리크 전류가 흐르는 것을 방지할 수 있다. 또한, 이와 같은 반도체 장치를 제조할 때의 제조 코스트의 상승을 방지할 수 있다.
- [0056] 도 4a는, 실시예 1의 TFT 소자의 제1 변형예를 도시하는 모식 평면도이다. 도 4b는, 도 4a의 B-B'선 단면도이다. 도 5는, 실시예 1의 TFT 소자의 제2 변형예를 도시하는 모식 평면도이다.
- [0057] 실시예 1의 TFT 소자의 특징을 설명할 때에, 도 1a 및 도 1b에서는, 능동층(4)의 전역이, 게이트 전극(2)과 중첩하고 있는 TFT 소자를 예로 들고 있다.
- [0058] 그러나, 본 발명(실시예 1의 구성)은, 도 1a 및 도 1b에 도시한 바와 같은 구성에 한하지 않고, 예를 들면 도 4a 및 도 4b에 도시한 바와 같이, 능동층(4)이, 게이트 전극(2)과 입체적으로 교차하고 있는 구성의 TFT 소자에도 적용할 수 있는 것은 물론이다.
- [0059] 또한, 도 4a에 도시한 TFT 소자의 평면도에서는, 소스 전극(601) 및 드레인 전극(602)이, 부분적으로, 게이트 전극(2)과 중첩되어 있다.
- [0060] 그러나, 본 발명(실시예 1의 구성)은, 도 4a 및 도 4b에 도시한 바와 같은 구성에 한하지 않고, 예를 들면 도 5

에 도시한 바와 같이, 채널 길이 TrL이 게이트 전극(2)의 폭 GW보다도 넓어, 소스 전극(601) 및 드레인 전극(602)이, 게이트 전극(2)과 중첩되어 있지 않은 구성의 TFT 소자에도 적용할 수 있다.

[0061] 또한, 본 발명(실시예 1의 구성)은, 도 1a 또는 도 4a 혹은 도 5에 도시한 바와 같은 평면 구성의 TFT 소자에 한하지 않고, 소스 전극(601) 및 드레인 전극(602)이, 능동층(4)의 애칭 끝면에 대향하는 면을 갖는 단면 구성이면, 어떠한 평면 구성의 TFT 소자에도 적용할 수 있다.

[0062] 도 6은 실시예 1의 TFT 소자의 제3 변형예를 도시하는 모식 단면도이다. 또한, 도 6은, 도 4a의 B-B' 선에서의 단면에 상당하는 단면도이다.

[0063] 종래의 TFT 소자에서, 소스 전극(601) 및 드레인 전극(602)의 형성에 이용하는 도전막(6)은, 예를 들면 알루미늄막과 같이 1층의 도전막만인 것이 많다.

[0064] 그러나, 본 발명(실시예 1의 구성)에서는, 도전막(6)을 성막할 때에, 조성이 서로 다른 2 종류 이상의 도전막을 적층하여도 된다. 즉, 실시예 1의 TFT 소자는, 예를 들면 도 6에 도시한 바와 같이, 소스 전극(601) 및 드레인 전극(602)이 각각, 제1 도전막(6a)과 제2 도전막(6b)의 적층체로 구성되어 있어도 된다. 이 때, 예를 들면 제1 도전막(6a)을 MoW막(Mo: 몰리브덴, W: 텅스텐)으로 하고, 제2 도전막(6b)을 알루미늄막으로 하면, 제1 도전막(6a)과 컨택트층(501, 502)의 밀착력이 높아져, 소스 전극(601) 및 드레인 전극(602)의 박리를 저감할 수 있다.

[0065] 또한, 도 6에 도시한 예에서는, 조성이 서로 다른 2 종류의 도전막(6a, 6b)을 적층한 2층 구조를 예로 들고 있지만, 이에 한하지 않고, 3 종류 또는 그 이상의 도전막을 적층한 다층 구조, 혹은 2 종류의 도전막을 이용한 3 층 구조 등이어도 되는 것은 물론이다.

[0066] 도 7a 내지 도 7c는, 실시예 1의 TFT 소자를 갖는 반도체 장치(액정 표시 패널)의 개략 구성을 도시하는 모식도이다. 도 7a는, 액정 표시 패널의 개략 구성의 일례를 도시하는 모식 평면도이다. 도 7b는, 도 7a의 C-C'선 단면도이다. 도 7c는, 도 7a의 TFT 기판의 일 구성예를 도시하는 모식 평면도이다.

[0067] 도 7a 내지 도 7c에서, 참조 부호 8은 TFT 기판, 참조 부호 9는 대향 기판, 참조 부호 10은 액정 재료, 참조 부호 11은 시일재, 참조 부호 12는 하편광판, 참조 부호 13은 상편광판, 참조 부호 DA는 표시 영역, 참조 부호 GL은 주사 신호선, 참조 부호 DL은 영상 신호선, 참조 부호 GD는 제1 구동 회로, 참조 부호 DD는 제2 구동 회로이다.

[0068] 본 발명(실시예 1의 구성)은, 종래의 반도체 장치 중의, 예를 들면 도 3a에 도시한 바와 같은 단면 구성인 보텀 게이트 구조이며, 또한 능동층(4)에 다결정 반도체를 이용한 TFT 소자를 갖는 반도체 장치이면, 그 용도에 관계 없이, 어떠한 반도체 장치에도 적용할 수 있다. 즉, 실시예 1의 구성은, CPU나 반도체 메모리 등의 IC 칩에 접적되어 있는 TFT 소자뿐만 아니라, TFT 액정 표시 장치(패널)의 TFT 기판에 형성된 TFT 소자에도 적용할 수 있다.

[0069] TFT 액정 표시 패널은, 예를 들면 도 7a 및 도 7b에 도시한 바와 같이 TFT 기판(8)과 대향 기판(9)의 한 쪽의 기판 사이에 액정 재료(10)가 봉입되어 있는 표시 패널이다. 이 때, TFT 기판(8)과 대향 기판(9)은, 표시 영역 DA의 외측에 고리 형상으로 형성된 시일재(11)로 접착되어 있고, 액정 재료(10)는 TFT 기판(8) 및 대향 기판(9) 및 시일재(11)로 둘러싸여진 공간에 밀봉되어 있다.

[0070] 또한, TFT 액정 표시 패널이, 예를 들면 투과형 또는 반투과형인 경우, TFT 기판(8)의 외측을 향한 면에는 하편광판(12)이 설치되고, 대향 기판(9)의 외측을 향한 면에는 상편광판(13)이 설치된다. 또한, TFT 기판(8)과 하편광판(12) 사이, 대향 기판(9)과 상편광판(13) 사이에, 각각 1층 내지 복수층의 위상차판이 설치되는 경우도 있다. 또한, TFT 액정 표시 패널이 반사형인 경우, 일반적으로 하편광판(12)은 불필요하다.

[0071] TFT 기판(8)은, 예를 들면 도 7c에 도시한 바와 같이, 복수개의 주사 신호선 GL과, 복수개의 영상 신호선 DL을 갖는다. 이 때, 주사 신호선 GL과 영상 신호선 DL은, 절연층을 개재하여 형성되어 있다. 또한, 표시 영역 DA는, 예를 들면 스위칭 소자로서 기능하는 TFT 소자 및 TFT 소자의 소스 전극 또는 드레인 전극에 접속된 화소 전극을 갖는 화소의 접합으로 설정된다.

[0072] 또한, 최근의 액정 표시 패널에는, 예를 들면 도 7c에 도시한 바와 같이, TFT 기판(8)의 표시 영역 DA의 외측에, 제1 구동 회로 GD 및 제2 구동 회로 DD가 형성되어 있는 것도 있다. 또한, 제1 구동 회로 GD는, 각 주사 신호선 GL에 가하는 주사 신호의 온/오프의 제어 등을 행하는 접적 회로이며, 제2 구동 회로 DD는, 각 영상 신호선에 가하는 영상 신호의 생성이나 가하는 타이밍의 제어 등을 행하는 접적 회로이다.

- [0073] 또한, 종래의 액정 표시 패널의 경우, 제1 구동 회로 GD 및 제2 구동 회로 DD는, 예를 들면, TFT 기판과는 별도의 공정에서 제조된 칩 형상의 IC를 이용하고 있는 경우가 많지만, 도 7c에 도시한 TFT 기판(8)에서는, 주사 신호선 GL이나 영상 신호선 DL, 스위칭 소자(TFT 소자) 등과 함께 형성되어, TFT 기판(8)에 내장되어 있다.
- [0074] 제1 구동 회로 GD 및 제2 구동 회로 DD는, TFT 소자, 저항 소자, 용량 소자 등이 접적된 회로이다. 또한, 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자는, 표시 영역에 배치되는 TFT 소자(스위칭 소자)와 비교하여, 매우 고속으로 동작시킬 필요가 있다. 그 때문에, 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자를 보텀 게이트 구조로 하는 경우에는, 예를 들면 능동층(4)으로서 다결정 실리콘을 이용하여, 도 1a 및 도 1b에 도시한 바와 같은 구성, 또는 도 4a 및 도 4b에 도시한 바와 같은 구성으로 하는 것이 바람직하다.
- [0075] 또한, 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자를, 실시예 1에서 설명한 보텀 게이트형의 TFT 소자로 하는 경우, 표시 영역 DA에 배치되는 TFT 소자(스위칭 소자)도, 마찬가지의 보텀 게이트형의 TFT 소자로 하는 것이 바람직하다.
- [0076] 도 8a는, TFT 기판에서의 표시 영역의 1개의 화소의 일 구성예를 도시하는 모식 평면도이다. 도 8b는, 도 8a의 D-D'선 단면도이다. 도 8c는, 도 8a의 E-E'선 단면도이다.
- [0077] TFT 기판(8)의 표시 영역 DA에서의 1개의 화소의 구성에는, 다양한 구성이 있지만, 기본적으로는 TFT 소자(스위칭 소자)와, 그 TFT 소자의 소스에 접속된 화소 전극을 갖는 구성으로 되어 있다.
- [0078] TFT 기판(8)에서의 각 화소의 TFT 소자가 보텀 게이트형인 경우, 1개의 화소의 구성에는, 예를 들면 도 8a 내지 도 8c에 도시한 바와 같은 구성이 있다. 또한, 표시 영역 DA에서 1개의 화소가 차지하는 영역은, 예를 들면 2개의 인접하는 주사 신호선 GL<sub>n</sub>, GL<sub>n</sub>+1과, 2개의 인접하는 영상 신호선 DL<sub>m</sub>, DL<sub>m</sub>+1로 둘러싸여진 영역에 상당한다.
- [0079] 이 때, TFT 소자(스위칭 소자)는, 클래스 기판 등의 절연 기판 SUB의 표면에 적층된 주사 신호선 GL<sub>n</sub>+1, 제1 절연층(3), 반도체층의 능동층 SC 및 컨택트층(501, 502), 소스 전극 SD1 및 드레인 전극 SD2로 구성되어 있다. 주사 신호선 GL<sub>n</sub>+1은, TFT 소자의 게이트 전극으로서의 기능을 갖는다. 또한, 제1 절연층(3)은, TFT 소자의 게이트 절연막으로서의 기능을 갖는다.
- [0080] 또한, 드레인 전극 SD2는, 예를 들면 2개의 인접하는 영상 신호선 DL<sub>m</sub>, DL<sub>m</sub>+1 중 한쪽의 영상 신호선 DL<sub>m</sub>에 접속하고 있고, 일반적인 TFT 기판(8)의 경우, 드레인 전극 SD2는 영상 신호선 DL<sub>m</sub>과 일체 형성되어 있다. 또한, 소스 전극 SD1은, 제2 절연층(7)을 개재하여 형성되어 있는 화소 전극 PX와, 쓰루홀 TH에 의해 접속하고 있다.
- [0081] 또한, 능동층 SC는, 예를 들면 제1 구동 회로 GD의 TFT 소자와 마찬가지의 다결정 반도체(예를 들면, 다결정 실리콘)로 형성되어 있어도 되지만, 아몰퍼스 실리콘 등의 비정질 반도체로 형성되어 있어도 된다.
- [0082] 이와 같이, 표시 영역 DA의 TFT 소자(스위칭 소자)와, 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자의 구성이, 모두 보텀 게이트형이면, 표시 영역 DA의 TFT 소자를 형성하는 공정에서 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자를 동시에 형성할 수 있다.
- [0083] 또한, 제1 구동 회로 GD 및 제2 구동 회로 DD의 TFT 소자의 능동층(4)을 다결정 실리콘으로 형성하고, 표시 영역 DA의 TFT 소자의 능동층 SC를 아몰퍼스 실리콘으로 형성하는 경우도, 예를 들면 제1 절연층(3)의 표면 전역에 아몰퍼스 실리콘막을 형성한 후, 제1 구동 회로 GD 및 제2 구동 회로 DD를 형성하는 영역의 아몰퍼스 실리콘만을 다결정 실리콘화하면 되므로, 제조 효율의 저하나 제조 코스트의 상승을 억제할 수 있다.
- [0084] 또한, 도 8a 내지 도 8c에 도시한 구성은, 보텀 게이트형의 TFT 소자(스위칭 소자)를 갖는 화소의 일 구성예이며, TFT 소자의 평면 형상이나 배치 위치, 화소 전극 PX의 평면 형상 등은, 적절하게 변경 가능한 것은 물론이다.
- [0085] 또한, 상기한 설명에서는, 실시예 1의 구성의 TFT 소자를 갖는 반도체 장치의 일례로서, 액정 표시 패널(TFT 기판(8))을 예로 들었지만, 이에 한하지 않고, 예를 들면 CPU나 DRAM, 혹은 종래의 액정 표시 장치에서 이용되고 있는 드라이버 IC 등의 칩 형상의 반도체 장치(반도체 접적 회로 장치)의 TFT 소자에도, 실시예 1의 구성을 적용할 수 있는 것은 물론이다.
- [0086] 도 9는, 실시예 1의 TFT 소자의 응용예를 도시하는 모식 단면도이다. 도 10은, 도 9에 도시한 TFT 소자의 제조 방법의 일례를 설명하기 위한 모식 단면도이다. 또한, 도 9 및 도 10은, 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.

- [0087] 실시예 1의 TFT 소자는, 그 TFT 소자가 오프일 때에 저항성 리크 전류가 흐르는 것을 방지하기 위해, 능동층(4)의 애칭 끝면(4a)과 소스 전극(601) 사이에 컨택트층(501)을 개재시키고, 능동층(4)의 애칭 끝면(4b)과 드레인 전극(602) 사이에 컨택트층(502)을 개재시키고 있다. 그리고, 그와 같은 구성의 TFT 소자의 제조 방법의 일례로서, 도 2a 내지 도 2d에 도시한 바와 같은 수순의 제조 방법을 설명하였다.
- [0088] 그러나, 실시예 1의 TFT 소자는, 상기한 바와 같이, 능동층(4)의 애칭 끝면(4a)과 소스 전극(601) 사이에 컨택트층(501)이 개재되고, 능동층(4)의 애칭 끝면(4b)과 드레인 전극(602) 사이에 컨택트층(502)이 개재되어 있으면 된다. 그 때문에, 실시예 1의 TFT 소자는, 예를 들면 도 9에 도시한 바와 같이, 컨택트층(501, 502)이 능동층(4)의 주위에만 형성되어 있는 단면 구성이어도 된다.
- [0089] 도 9에 도시한 바와 같은 단면 구성의 TFT 소자를 형성하기 위해서는, 예를 들면, 우선 도 2a에 도시한 바와 같이, 다결정 실리콘을 이용한 능동층(4)을 섬 형상으로 형성한다. 다음으로, 예를 들면 컨택트층(501, 502)의 형성에 이용하는 제2 반도체막(5)을 성막하고, 그 제2 반도체막(5)을 애칭하여, 도 10에 도시한 바와 같이, 각 능동층(4)(애칭 끝면(4a, 4b))을 덮는 섬 형상의 반도체막(5)을 형성한다. 그 후, 도전막(6)을 성막하고, 애칭하여 소스 전극(601) 및 드레인 전극(602)을 형성하고, 반도체막(5)을 애칭하여 컨택트층(501, 502)을 형성하면 된다.
- [0090] <실시예 2>
- [0091] 도 11은, 본 발명에 따른 실시예 2의 TFT 소자의 일 구성예를 도시하는 모식 단면도이다. 또한, 도 11은, 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다. 도 11에서, 참조 부호 1401, 1402는 제3 절연층이다.
- [0092] 실시예 2에서는, 실시예 1에서 설명한 구성의 TFT 소자를 기초로 하여, 그 TFT 소자가 오프일 때에 흐르는 저항성 리크 전류를 더 작게 하는 것이 가능한 TFT 소자의 구성에 대해 설명한다.
- [0093] 실시예 2의 TFT 소자는, 예를 들면 도 11에 도시한 바와 같이, 기본적인 구성은 실시예 1에서 설명한 TFT 소자와 동일한 구성이며, 다결정 실리콘을 이용한 능동층(4)의 애칭 끝면(4a)과 소스 전극(601) 사이에 컨택트층(501)이 개재되고, 능동층(4)의 애칭 끝면(4b)과 드레인 전극(601) 사이에 컨택트층(502)이 개재되어 있다.
- [0094] 또한, 실시예 2의 TFT 소자에서는, 능동층(4)의 애칭 끝면(4a)과 소스 전극(601) 사이에, 컨택트층(501) 외에, 제3 절연층(1401)이 개재되어 있다. 이 때, 제3 절연층(1401)은, 예를 들면 소스 전극(601)과 컨택트층(501) 사이에 개재되어 있고, 소스 전극(601)의 제1 면과 능동층(4) 사이에도, 부분적으로 개재되어 있다. 마찬가지로, 능동층(4)의 애칭 끝면(4b)과 드레인 전극(602) 사이에도, 컨택트층(502) 외에, 제3 절연층(1402)이 개재되어 있다. 이 때, 제3 절연층(1402)은, 예를 들면 드레인 전극(602)과 컨택트층(502) 사이에 개재되어 있고, 드레인 전극(602)의 제1 면과 능동층(4) 사이에도, 부분적으로 개재되어 있다.
- [0095] 이와 같은 구성으로 하면, 실시예 1의 TFT 소자에 비해, 그 TFT 소자가 오프일 때의 능동층(4)의 애칭 끝면(4a)과 소스 전극(601) 사이 및 능동층(4)의 애칭 끝면(4b)과 드레인 전극(602) 사이의 절연 효과가 높아진다. 그 때문에, TFT 소자가 오프일 때에 저항성 리크 전류가 흐르는 것을 방지하는 효과가 높아진다.
- [0096] 도 12a 내지 도 12d는, 실시예 2의 TFT 소자의 제조 방법의 일례를 설명하기 위한 모식 단면도이다. 도 12a는, 제2 반도체막을 형성한 직후의 모식 단면도이다. 도 12b는, 제3 절연층을 형성한 직후의 모식 단면도이다. 도 12c는, 소스 전극 및 드레인 전극을 형성한 직후의 모식 단면도이다. 도 12d는, 제2 반도체막을 애칭한 직후의 모식 단면도이다. 또한, 도 12a 내지 도 12d는, 각각 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.
- [0097] 실시예 2의 TFT 소자를 형성할 때에는, 예를 들면, 우선 실시예 1에서 설명한 바와 같은 수순으로, 절연 기판(1)의 표면에 게이트 전극(2), 제1 절연층(3), 섬 형상의 능동층(4)을 형성한다.
- [0098] 다음으로, 예를 들면 도 12a에 도시한 바와 같이, 능동층(4)이 형성된 제1 절연층(3)의 표면 전역에 제2 반도체막(5)을 성막한다. 이 때, 능동층(4)의 애칭 끝면(4a, 4b)은, 제2 반도체막(5)으로 덮여진다.
- [0099] 다음으로, 예를 들면 도 12b에 도시한 바와 같이, 제2 반도체막(5)의 표면에, 제3 절연층(14)을 형성한다. 제3 절연층(14)은, 예를 들면 제2 반도체막(5)의 표면 전체에 실리콘 산화막을 성막한 후, 애칭을 하여 형성하고, 능동층(4)과 중첩되는 영역에, 소스 전극(601)과 컨택트층(501)의 접속 및 드레인 전극(602)과 컨택트층(502)의 접속을 확보하기 위한 창(개구부)을 형성한다.
- [0100] 다음으로, 도전막(6)을 성막하고, 상기 도전막(6)을 애칭하여 소스 전극(601) 및 드레인 전극(602)을 형성한 후, 예를 들면 도 12c에 도시한 바와 같이, 제3 절연층(14)을 애칭하여, 소스 전극(601)과 제2 반도체막(5) 사

이 및 드레인 전극(602)과 제2 반도체막(5) 사이에 있는 부분 이외의 절연막을 제거하여, 제3 절연층(1401, 1402)을 형성한다.

[0101] 다음으로, 예를 들면 도 12d에 도시한 바와 같이, 제2 반도체막(5)을 에칭하여, 컨택트층(501, 502)을 형성한다. 그 후, 제2 절연층(7)을 형성하면, 도 11에 도시한 바와 같은 단면 구조의 TFT 소자가 얻어진다.

[0102] 또한, 실시예 2의 TFT 소자도, 소스 전극(601) 및 드레인 전극(602)에 이용하는 도전막(6)을 성막할 때에, 예를 들면 조성이 서로 다른 2 종류 이상의 도전막을 적층하여도 되는 것은 물론이다.

[0103] 또한, 구체예의 제시는 생략하지만, 실시예 2의 TFT 소자의 구성은, 실시예 1에서 예를 든 바와 같이 액정 표시 패널의 TFT 기판(8)의 TFT 소자, CPU나 DRAM 등의 칩 형상의 반도체 장치의 TFT 소자 등에 적용할 수 있는 것도 물론이다.

[0104] 도 13a는, 실시예 2의 TFT 소자의 제1 변형예를 도시하는 모식 단면도이다. 도 13b는, 실시예 2의 TFT 소자의 제2 변형예를 도시하는 모식 단면도이다. 도 13c는, 실시예 2의 TFT 소자의 제3 변형예를 도시하는 모식 단면도이다. 또한, 도 13a 내지 도 13c는, 각각 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.

[0105] 실시예 2의 TFT 소자는, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601) 사이, 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602) 사이에, 각각 제3 절연층(1401, 1402)을 개재시킴으로써, TFT 소자가 오프일 때에 저항성 리크 전류가 흐르는 것을 방지하고 있다. 그 때문에, 실시예 2의 TFT 소자에서는, 예를 들면 도 13a에 도시한 바와 같이, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601) 사이, 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602) 사이에, 각각 컨택트층(501, 502)이 개재되어 있지 않은 구성이어도 된다.

[0106] 도 13a에 도시한 구성의 TFT 소자를 제조할 때에는, 예를 들면, 우선, 종래의 TFT 소자의 제조 방법과 동일한 수순으로, 다결정 반도체막(제1 반도체막) 및 제2 반도체막(5)을 계속해서 성막한 후, 제2 반도체막(5)이 적층되고, 또한 에칭 끝면(4a, 4b)이 노출되어 있는 능동층(4)을 형성한다. 다음으로, 예를 들면 도 12c에 도시한 바와 같은 요령으로, 능동층(4)과 중첩하는 영역에, 소스 전극(601)과 컨택트층(501)의 접속 및 드레인 전극(602)과 컨택트층(502)의 접속을 확보하기 위한 창(개구부)을 갖는 제3 절연층(14)을 형성한다. 다음으로, 소스 전극(501) 및 드레인 전극(602)을 형성하고, 절연막(14)을 에칭하여 제3 절연층(1401, 1402)을 형성한다. 그 후, 제2 절연층(7)을 형성하면, 도 13a에 도시한 바와 같은 단면 구조의 TFT 소자가 얻어진다.

[0107] 또한, 상기한 바와 같은 수순으로 TFT 소자를 형성하는 경우, 소스 전극(601) 및 드레인 전극(602)이 형성된 시점에서, 아몰레스 실리콘을 이용한 컨택트층(501, 502)은, 예를 들면 도 13b에 도시한 바와 같이, 능동층(4) 상에만 형성되어 있다. 그 때문에, 제3 절연층(14)이, 예를 들면 광 투과율이 높은 절연체이면, 소스 전극(601) 및 드레인 전극(602)을 형성한 후에, 제3 절연층(14)을 에칭하여 제3 절연층(1401, 1402)으로 분리하지 않아도 된다. 그 경우, TFT 소자의 단면 구조은, 예를 들면 도 13b에 도시한 바와 같은 구성으로 된다.

[0108] 또한, 상기한 바와 같은 수순으로 TFT 소자를 형성하는 경우, 제3 절연층(1401, 1402)은, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601) 사이 및 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602) 사이의 각각에 개재되어 있으면 된다. 그 때문에, 제3 절연층(14)을 형성할 때에, 예를 들면, 각 능동층(4)(및 제2 반도체막(5))을 개개로 덮는 셈 형상으로 형성하여도 된다. 그 경우, TFT 소자의 단면 구조은, 예를 들면 도 13c에 도시한 바와 같은 구성으로 된다.

[0109] <실시예 3>

[0110] 도 14는, 본 발명에 따른 실시예 3의 TFT 소자의 일 구성예를 도시하는 모식 단면도이다. 또한, 도 14는, 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.

[0111] 실시예 3에서는, 실시예 2에서 설명한 TFT 소자의 구성을 기초로 하여, 그 TFT 소자가 오프일 때에 흐르는 저항성 리크 전류를 작게 하는 것이 가능한 TFT 소자의 다른 구성에 대해 설명한다.

[0112] 실시예 3의 TFT 소자는, 예를 들면 도 14에 도시한 바와 같이, 기본적인 구조은 실시예 2에서 설명한 TFT 소자와 동일한 구성이며, 다결정 실리콘을 이용한 능동층(4)의 에칭 끝면(4a)과 소스 전극(601) 사이에 제3 절연층(1401)이 개재되고, 능동층(4)의 에칭 끝면(4b)과 드레인 전극(601) 사이에 제3 절연층(1402)이 개재되어 있다.

[0113] 실시예 3의 TFT 소자와 실시예 2의 TFT 소자에서 상이한 점은, 도 14에 도시한 바와 같이, 능동층(4)의 제1 절연층(3)(게이트 절연막)과의 계면의 이면에서의, 소스 전극(601) 및 드레인 전극(602)과 능동층(4) 사이에 개재하는 컨택트층(501, 502)과 제3 절연층(1401, 1402)의 관계이다.

- [0114] 실시예 3의 TFT 소자에서는, 소스 전극(601)의 제1 면과 능동층(4) 사이는, 컨택트층(501)만이 개재되어 있는 영역과, 제3 절연층(1401)만이 개재되어 있는 영역 중 어느 하나밖에 존재하지 않는다. 마찬가지로, 드레인 전극(602)의 제1 면과 능동층(4) 사이는, 컨택트층(502)만이 개재되어 있는 영역과, 제3 절연층(1402)만이 개재되어 있는 영역 중 어느 하나밖에 존재하지 않는다.
- [0115] 이와 같은 구성의 TFT 소자에서도, 능동층(4)의 에칭 끝면(4a)과 소스 전극(601) 사이 및 능동층(4)의 에칭 끝면(4b)과 드레인 전극(602) 사이에, 각각 제3 절연층(1401, 1402)이 개재되어 있으면, 그 TFT 소자가 오프일 때에 저항성 리크 전류가 흐르는 것을 방지할 수 있다.
- [0116] 도 15a 및 도 15b는, 실시예 3의 TFT 소자의 제조 방법의 일례를 도시하는 모식 단면도이다. 도 15a는, 제3 절연층을 형성한 직후의 모식 단면도이다. 도 15b는, 제2 반도체막을 형성한 직후의 모식 단면도이다. 또한, 도 15a 및 도 15b는, 각각 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.
- [0117] 실시예 3의 TFT 소자를 형성할 때에는, 예를 들면, 우선 실시예 1에서 설명한 바와 같은 수순으로, 절연 기판(1)의 표면에 게이트 전극(2), 제1 절연층(3), 섬 형상의 능동층(4)을 형성한다.
- [0118] 다음으로, 예를 들면 도 15a에 도시한 바와 같이, 능동층(4)이 형성된 제1 절연층의 표면에, 제3 절연층(14)을 형성한다. 제3 절연층(14)은, 예를 들면 제2 반도체막(5)의 표면 전체에 실리콘 산화막을 성막한 후, 에칭을 하여 형성하고, 능동층(4)과 중첩하는 영역에, 소스 전극(601)과 컨택트층(501)의 접속 및 드레인 전극(602)과 컨택트층(502)의 접속을 확보하기 위한 창(개구부)을 형성한다.
- [0119] 다음으로, 예를 들면 도 15b에 도시한 바와 같이, 제3 절연층(14)의 개구부에 제2 반도체막(5)을 형성한다.
- [0120] 그 후, 도시는 생략하지만, 소스 전극(601) 및 드레인 전극(602)을 형성하고, 제3 절연층(14)을 에칭하여 제3 절연층(1401, 1402)을 형성하고, 제2 반도체막(5)을 에칭하여 컨택트층(501, 502)을 형성한다. 그리고, 제2 절연층(7)을 형성하면, 도 14에 도시한 바와 같은 단면 구조의 TFT 소자가 얻어진다.
- [0121] 또한, 실시예 3의 TFT 소자도, 소스 전극(601) 및 드레인 전극(602)에 이용하는 도전막(6)을 성막할 때에, 예를 들면 조성이 서로 다른 2 종류 이상의 도전막을 적층하여도 되는 것은 물론이다.
- [0122] 또한, 구체예의 제시는 생략하지만, 실시예 3의 TFT 소자의 구성은, 실시예 1에서 예를 든 바와 같은 액정 표시 패널의 TFT 기판(8)의 TFT 소자, CPU나 DRAM 등의 칩 형상의 반도체 장치의 TFT 소자 등에 적용할 수 있는 것도 물론이다.
- [0123] 도 16a는, 실시예 3의 TFT 소자의 제1 변형예를 도시하는 모식 단면도이다. 도 16b는, 실시예 3의 TFT 소자의 제2 변형예를 도시하는 모식 단면도이다. 또한, 도 16a 및 도 16b는, 각각 도 4a의 B-B'선에서의 단면에 상당하는 단면도이다.
- [0124] 상기한 바와 같은 수순으로 TFT 소자를 형성하는 경우, 소스 전극(601) 및 드레인 전극(602)이 형성된 시점에서, 컨택트층(501, 502)의 형성에 이용하는 제2 반도체막(5)은, 능동층(4) 상에만 형성되어 있다. 그 때문에, 제3 절연층(14)이, 예를 들면 광 투과율이 높은 절연체이면, 소스 전극(601) 및 드레인 전극(602)을 형성한 후에, 제3 절연층(14)을 에칭하여 제3 절연층(1401, 1402)으로 분리하지 않아도 된다. 그 경우, TFT 소자의 단면 구조는, 예를 들면 도 16a에 도시한 바와 같은 구성으로 된다.
- [0125] 또한, 상기의 TFT 소자의 제조 방법에서는, 제3 절연층(14)을 형성할 때에, 예를 들면 1개의 능동층(4) 상에 1개의 개구부를 형성해 두고, 소스 전극(601) 및 드레인 전극(602)을 형성한 후, 제2 반도체막(5)을 컨택트층(501, 502)으로 분리하고 있다. 그러나, 제3 절연층(14)을 형성할 때에는, 예를 들면 1개의 능동층(4) 상에, 컨택트층(501)을 형성하기 위한 개구부와, 컨택트층(502)을 형성하기 위한 개구부의 2개의 개구부를 형성해 두고, 각 개구부에 제2 반도체막(5)을 형성할 수도 있다. 그 경우, TFT 소자의 단면 구조는, 예를 들면 도 16b에 도시한 바와 같은 구성으로 된다.
- [0126] 이와 같은 방법으로 TFT 소자를 형성하면, 예를 들면 소스 전극(601) 및 드레인 전극(602)을 형성한 후, 제2 반도체막(5)을 에칭하여 컨택트층(501, 502)으로 분리하는 공정을 생략할 수 있다.
- [0127] 또한, 도시는 생략하지만, 실시예 3의 TFT 소자에서도, 예를 들면 도 13c에 도시한 바와 같이, 제3 절연층(1401, 1402)이 능동층(4)의 주위에만 형성되어 있는 구성이어도 되는 것은 물론이다.
- [0128] 이상, 본 발명을, 상기 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은, 상기 실시예에 한정되는 것이

아니라, 그 요지를 일탈하지 않는 범위에서, 다양하게 변경 가능한 것은 물론이다.

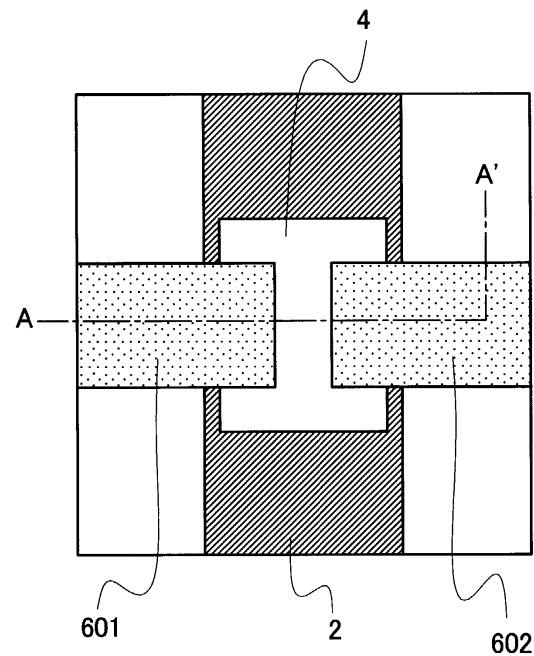
### 도면의 간단한 설명

- [0129] 도 1a는 본 발명에 따른 실시예 1의 TFT 소자의 일 구성예를 도시하는 모식 평면도.
- [0130] 도 1b는 도 1a의 A-A'선 단면도.
- [0131] 도 2a는 능동층을 형성한 직후의 모식 단면도.
- [0132] 도 2b는 제2 반도체막 및 도전막을 성막한 직후의 모식 단면도.
- [0133] 도 2c는 도전막을 에칭한 직후의 모식 단면도.
- [0134] 도 2d는 제2 반도체막을 에칭한 직후의 모식 단면도.
- [0135] 도 3a는 종래의 보텀 게이트형의 TFT 소자의 일 구성예를 도시하는 모식 단면도.
- [0136] 도 3b는 도 3a에 도시한 TFT 소자의 게이트가 온일 때의 전류가 흐르는 방법의 일례를 도시하는 모식 단면도.
- [0137] 도 3c는 도 3a에 도시한 TFT 소자의 게이트가 오프일 때에 생기는 현상의 일례를 도시하는 모식 단면도.
- [0138] 도 4a는 실시예 1의 TFT 소자의 제1 변형예를 도시하는 모식 평면도.
- [0139] 도 4b는 도 4a의 B-B'선 단면도.
- [0140] 도 5는 실시예 1의 TFT 소자의 제2 변형예를 도시하는 모식 평면도.
- [0141] 도 6은 실시예 1의 TFT 소자의 제3 변형예를 도시하는 모식 단면도.
- [0142] 도 7a는 액정 표시 패널의 개략 구성의 일례를 도시하는 모식 평면도.
- [0143] 도 7b는 도 7a의 C-C'선 단면도.
- [0144] 도 7c는 도 7a의 TFT 기판의 일 구성예를 도시하는 모식 평면도.
- [0145] 도 8a는 TFT 기판에서의 표시 영역의 1개의 화소의 일 구성예를 도시하는 모식 평면도.
- [0146] 도 8b는 도 8a의 D-D'선 단면도.
- [0147] 도 8c는 도 8a의 E-E'선 단면도.
- [0148] 도 9는 실시예 1의 TFT 소자의 응용예를 도시하는 모식 단면도.
- [0149] 도 10은 도 9에 도시한 TFT 소자의 제조 방법의 일례를 설명하기 위한 모식 단면도.
- [0150] 도 11은 본 발명에 따른 실시예 2의 TFT 소자의 일 구성예를 도시하는 모식 단면도.
- [0151] 도 12a는 제2 반도체막을 형성한 직후의 모식 단면도.
- [0152] 도 12b는 제3 절연층을 형성한 직후의 모식 단면도.
- [0153] 도 12c는 소스 전극 및 드레인 전극을 형성한 직후의 모식 단면도.
- [0154] 도 12d는 제2 반도체막을 에칭한 직후의 모식 단면도.
- [0155] 도 13a는 실시예 2의 TFT 소자의 제1 변형예를 도시하는 모식 단면도.
- [0156] 도 13b는 실시예 2의 TFT 소자의 제2 변형예를 도시하는 모식 단면도.
- [0157] 도 13c는 실시예 2의 TFT 소자의 제3 변형예를 도시하는 모식 단면도.
- [0158] 도 14는 본 발명에 따른 실시예 3의 TFT 소자의 일 구성예를 도시하는 모식 단면도.
- [0159] 도 15a는 제3 절연층을 형성한 직후의 모식 단면도.
- [0160] 도 15b는 제2 반도체막을 형성한 직후의 모식 단면도.

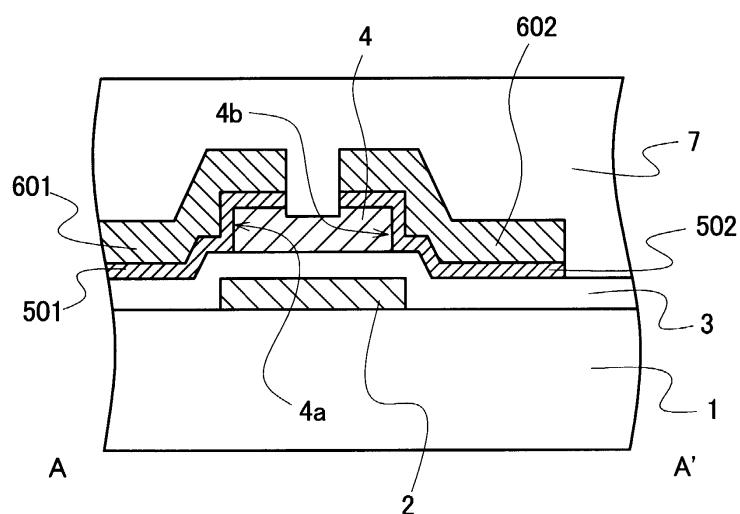
- [0161] 도 16a는 실시예 3의 TFT 소자의 제1 변형예를 도시하는 모식 단면도.
- [0162] 도 16b는 실시예 3의 TFT 소자의 제2 변형예를 도시하는 모식 단면도.
- [0163] <도면의 주요 부분에 대한 부호의 설명>
- [0164] 1: 절연 기판
- [0165] 2: 게이트 전극
- [0166] 3: 제1 절연층(게이트 절연막)
- [0167] 4: 능동층(다결정 반도체)
- [0168] 5: 제2 반도체막
- [0169] 501, 502: 컨택트층
- [0170] 6: 도전막
- [0171] 601, SD1: 소스 전극
- [0172] 602, SD2: 드레인 전극
- [0173] 7: 제2 절연층
- [0174] 8: TFT 기판
- [0175] 9: 대향 기판
- [0176] 10: 액정 재료
- [0177] 11: 시일재
- [0178] 12: 하면광판
- [0179] 13: 상면광판
- [0180] 14, 1401, 1402: 제3 절연층
- [0181] DA: 표시 영역
- [0182] GL, GLn, GLn+1: 주사 신호선
- [0183] DL, DLm, DLm+1: 영상 신호선
- [0184] SC: 능동층(비정질 반도체)
- [0185] PX: 화소 전극
- [0186] GD: 제1 구동 회로
- [0187] DD: 제2 구동 회로

도면

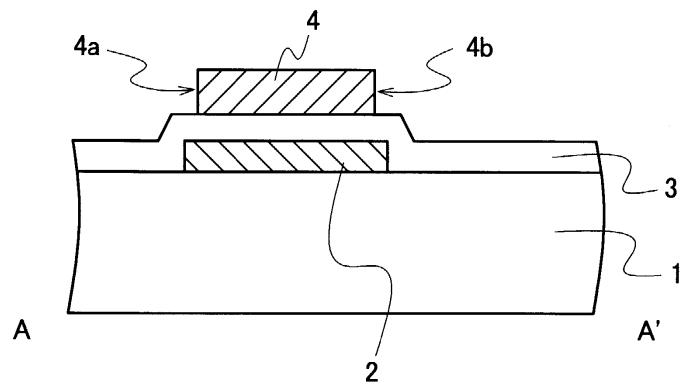
도면1a



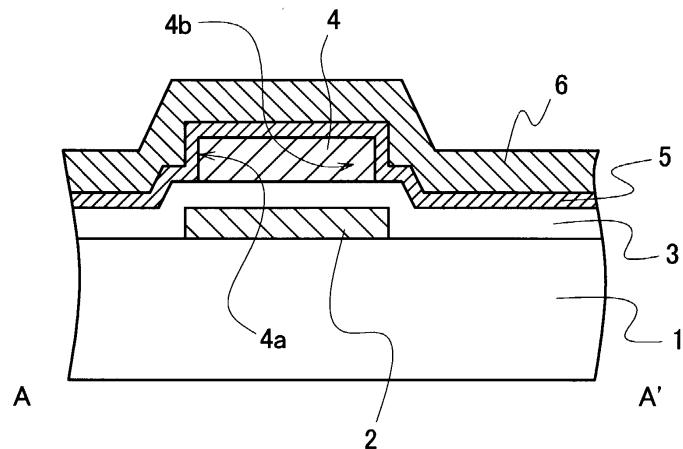
도면1b



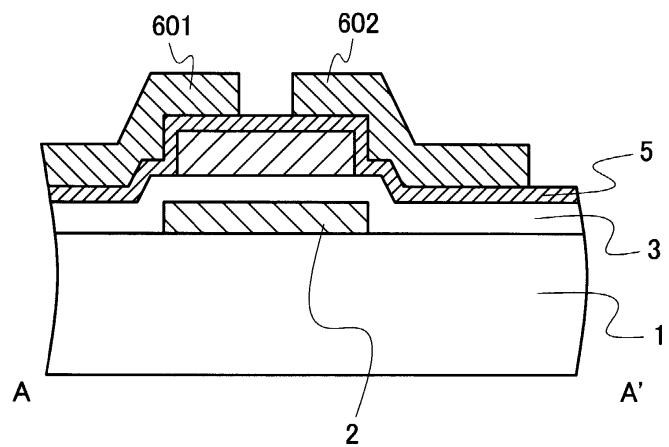
도면2a



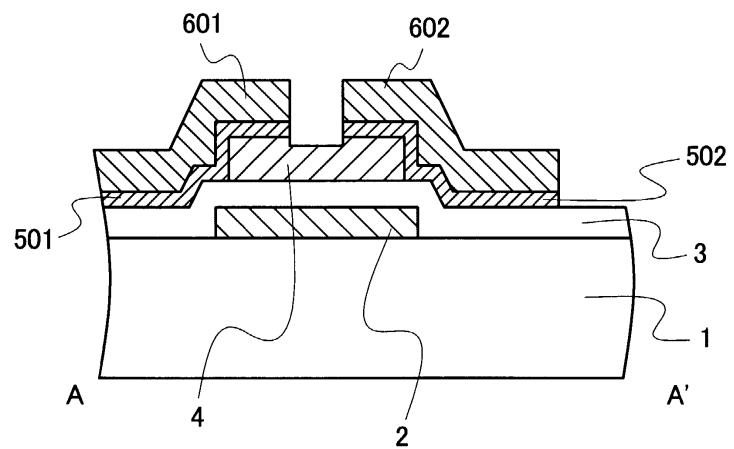
도면2b



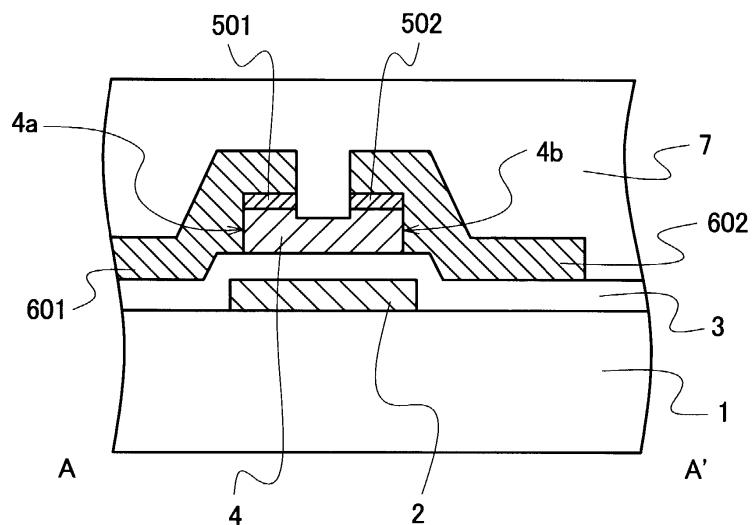
도면2c



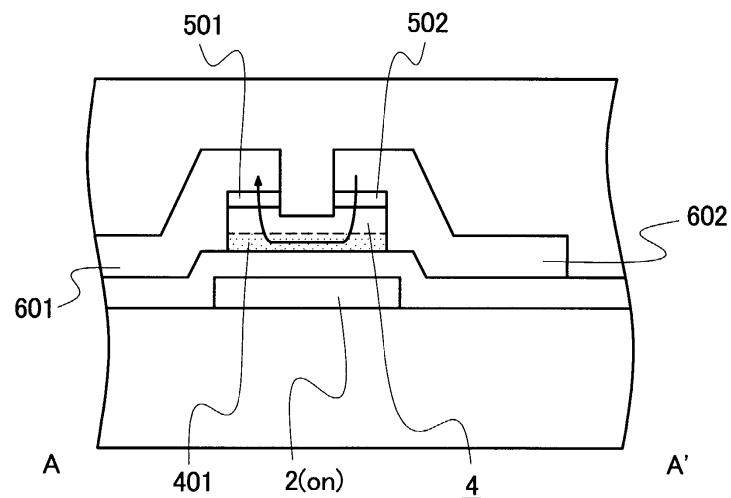
도면2d



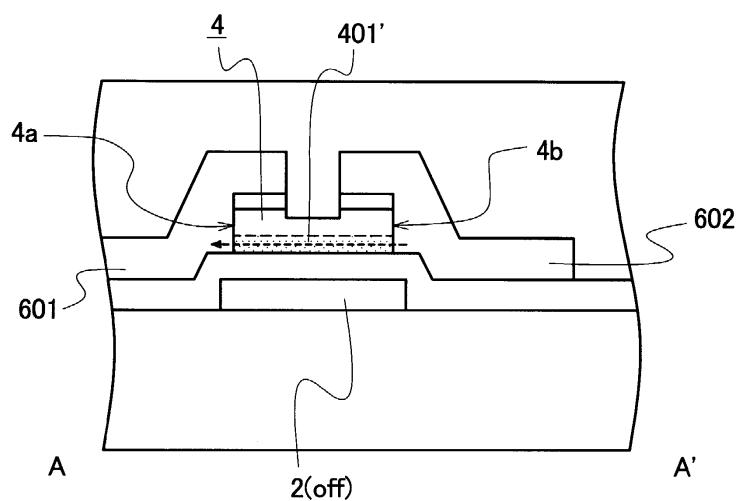
도면3a



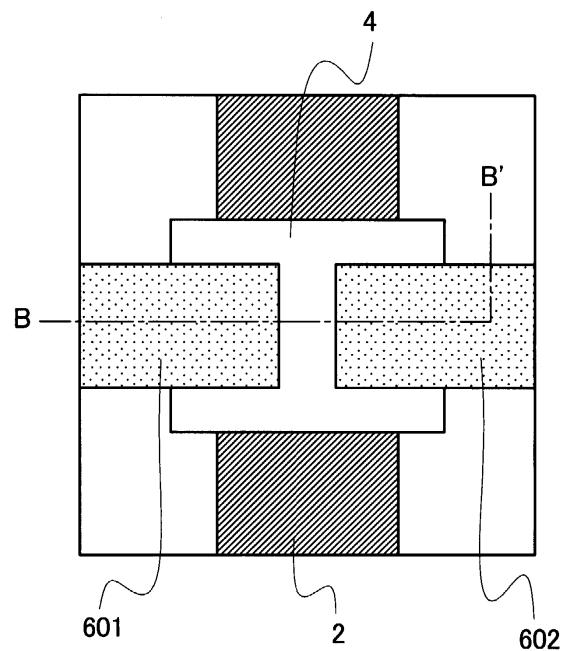
도면3b



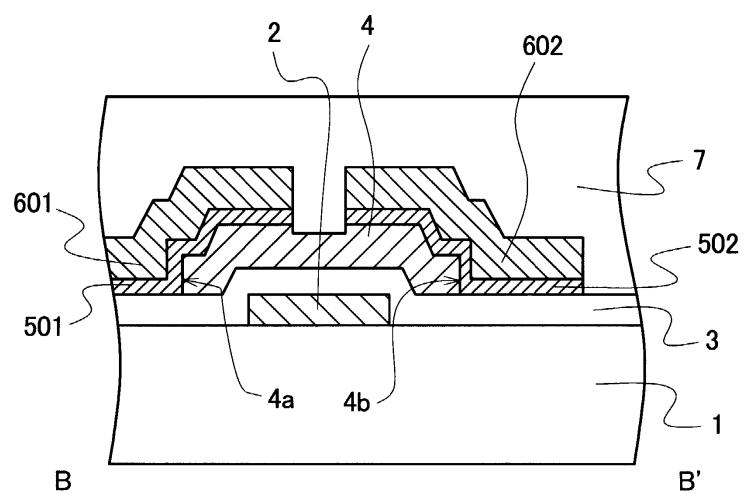
도면3c



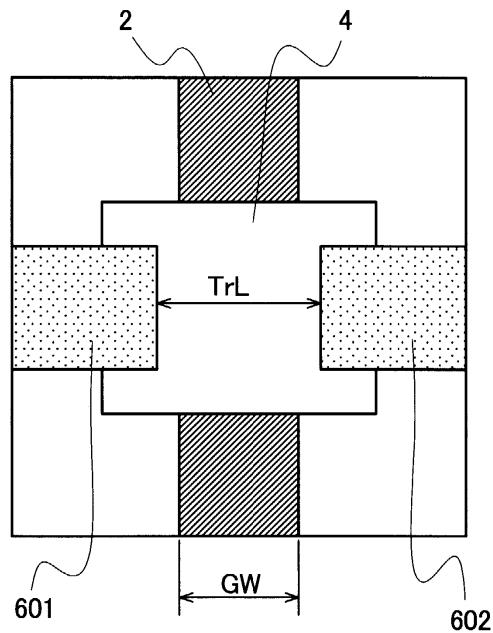
도면4a



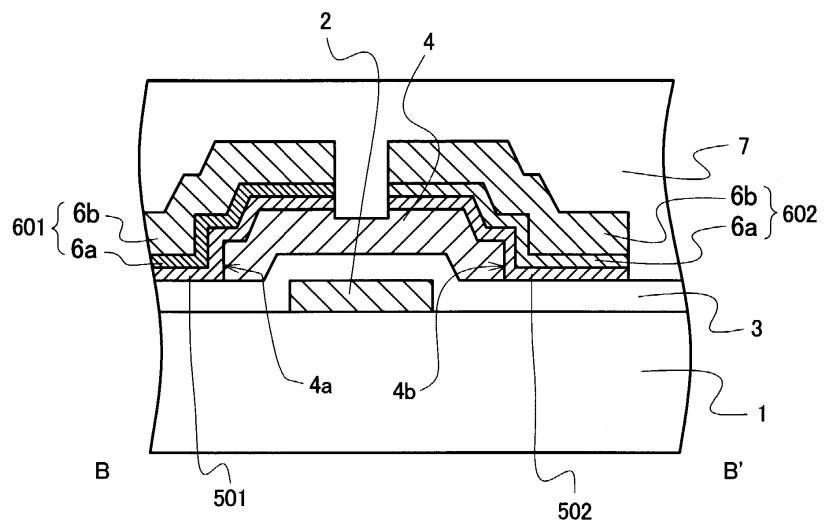
도면4b



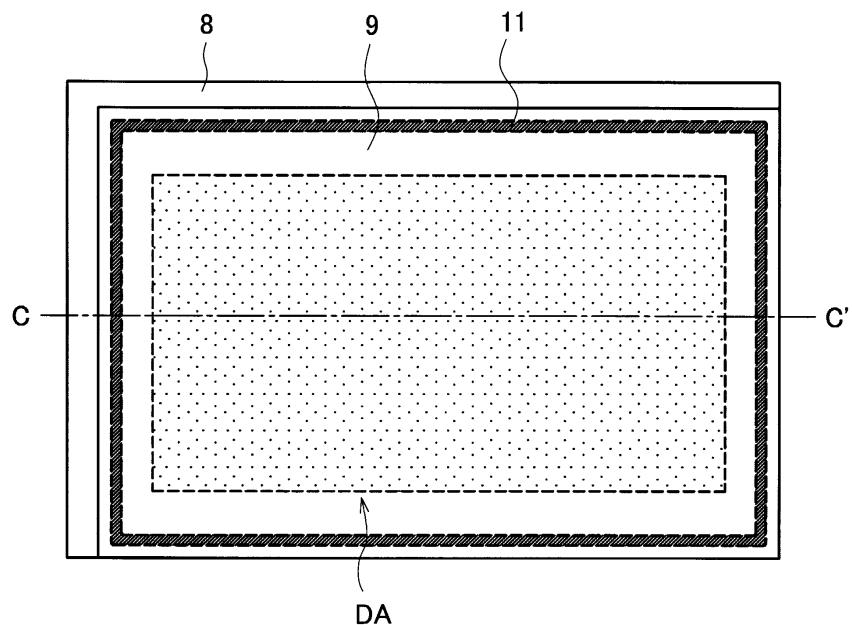
도면5



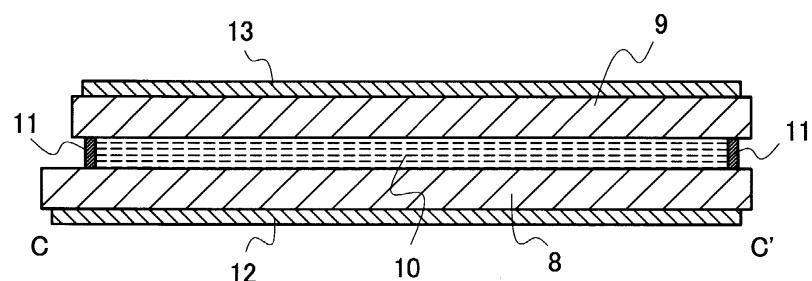
도면6



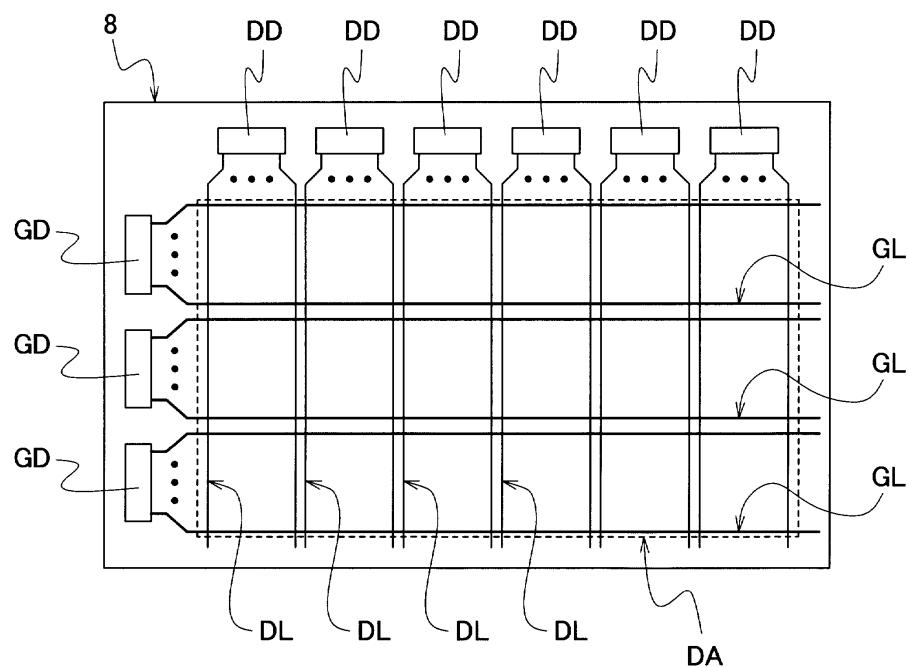
도면7a



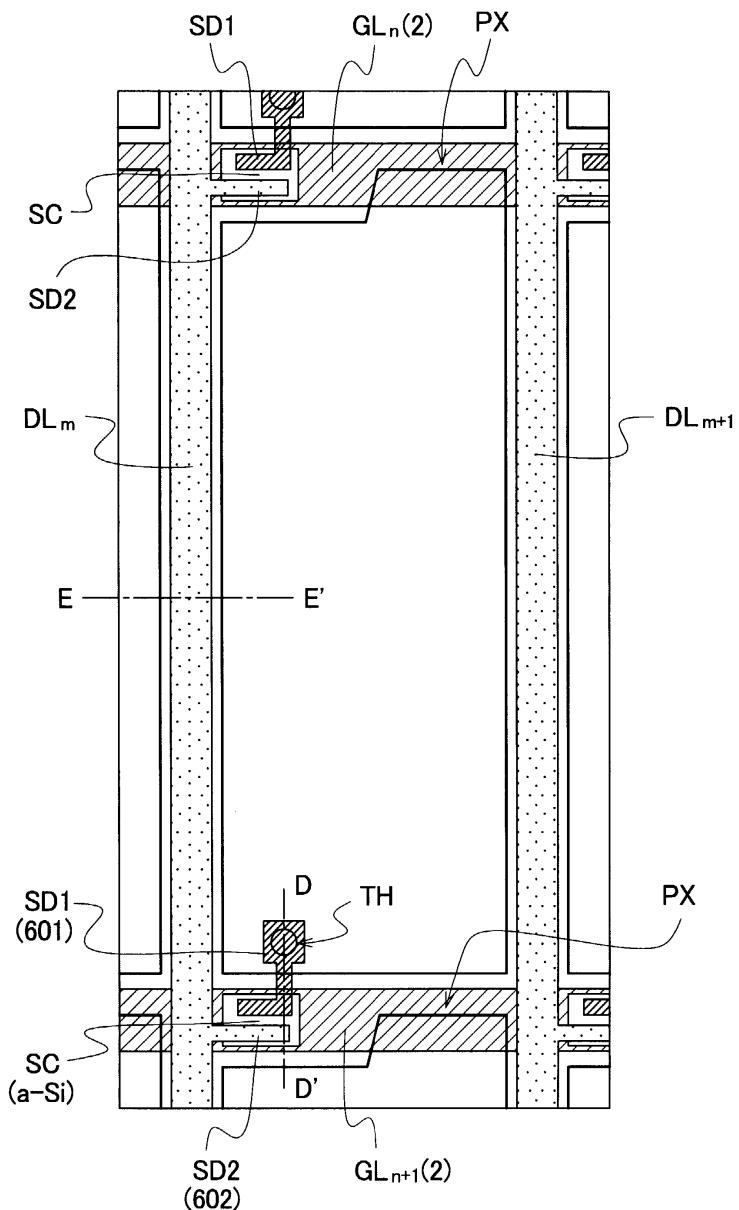
도면7b



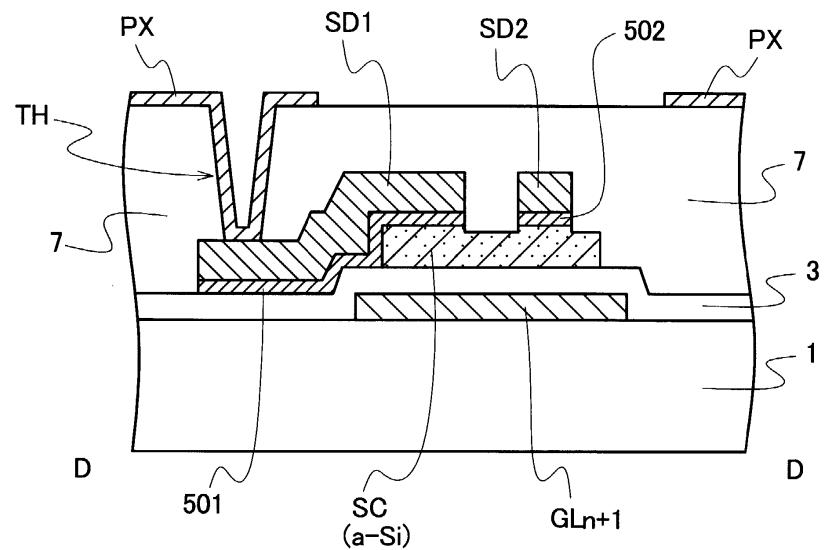
도면7c



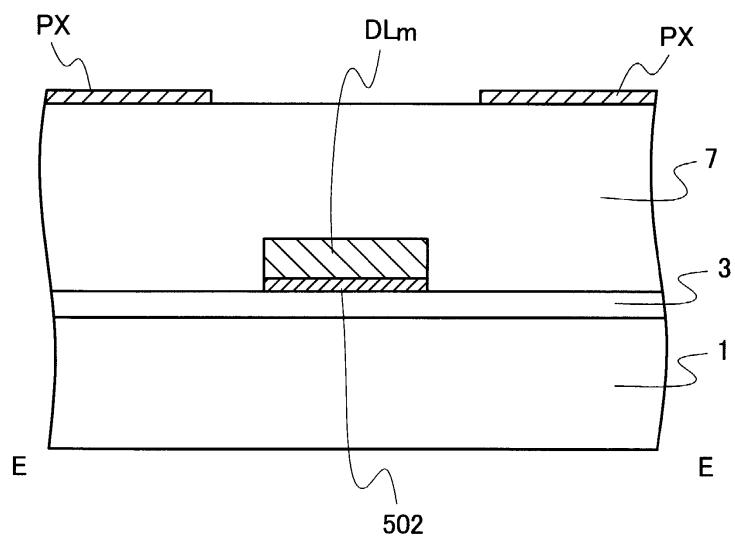
도면8a



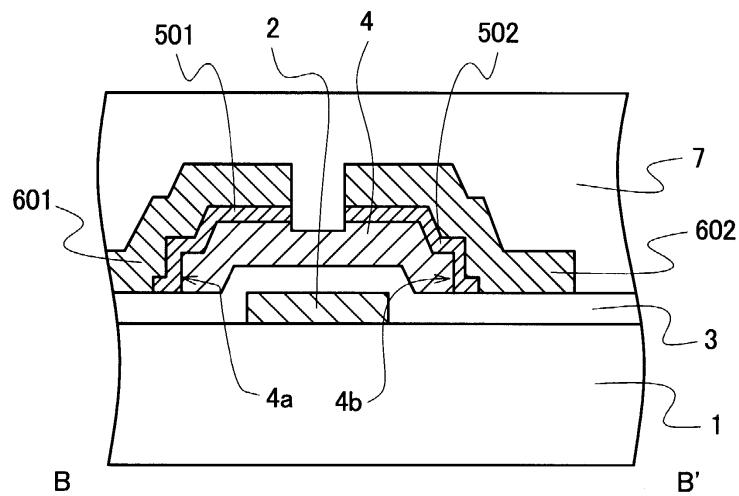
도면8b



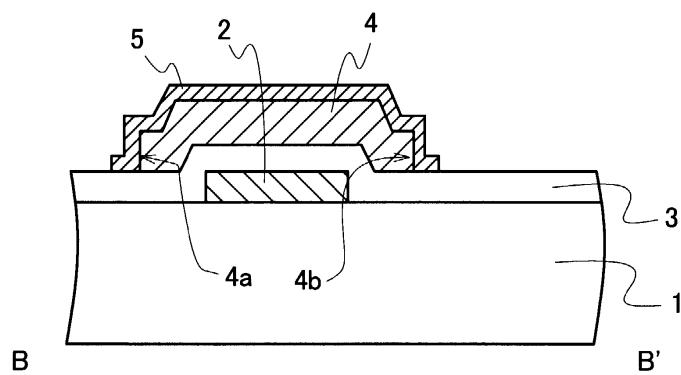
도면8c



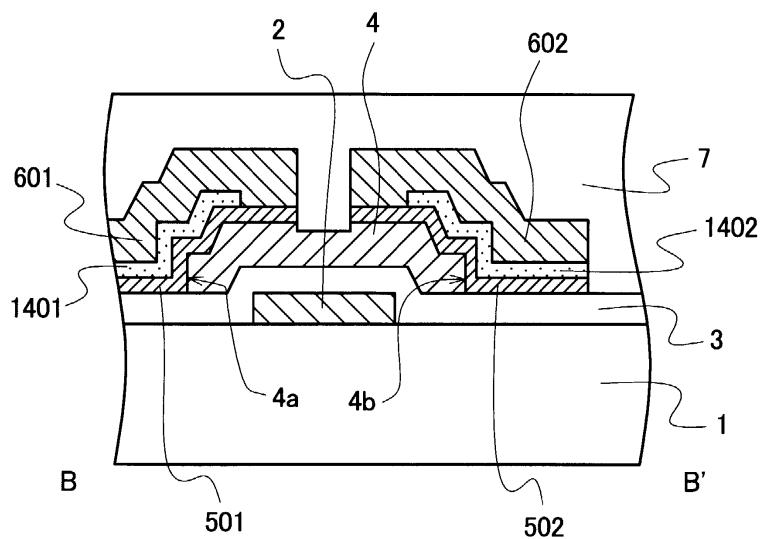
도면9



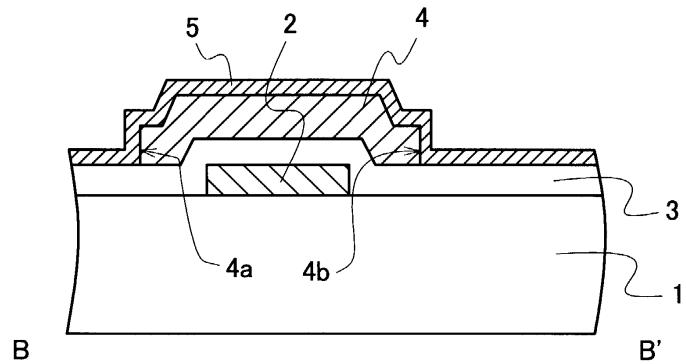
도면10



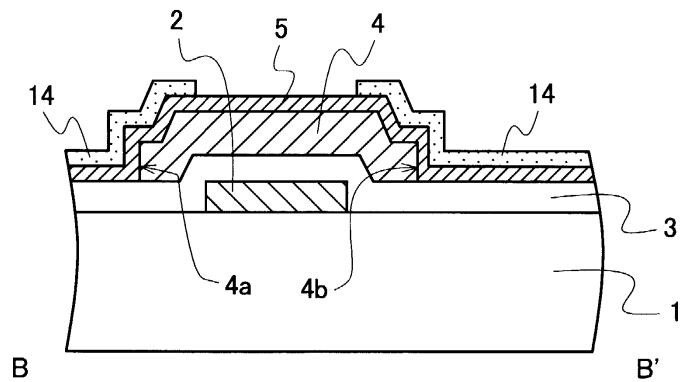
도면11



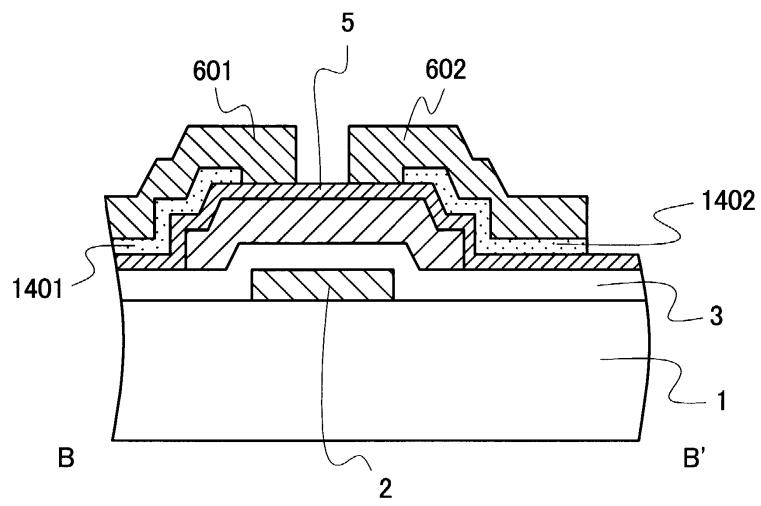
도면12a



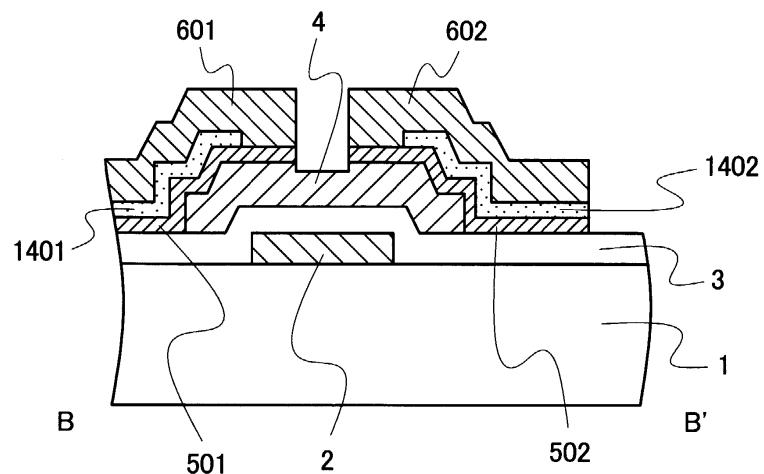
도면12b



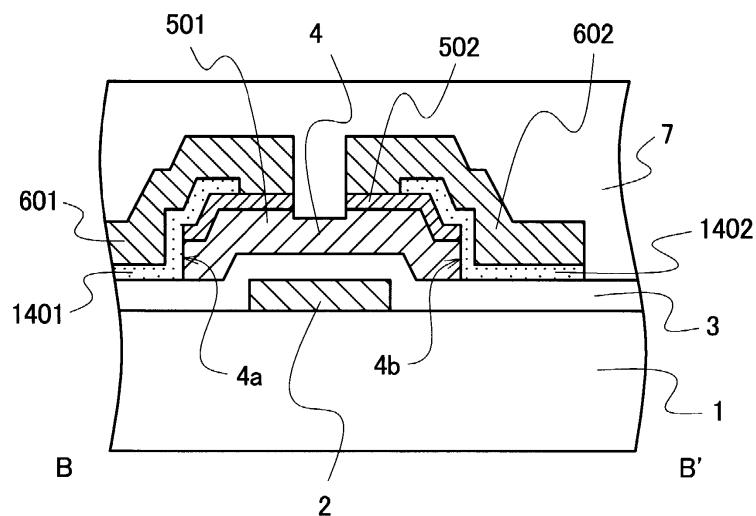
도면12c



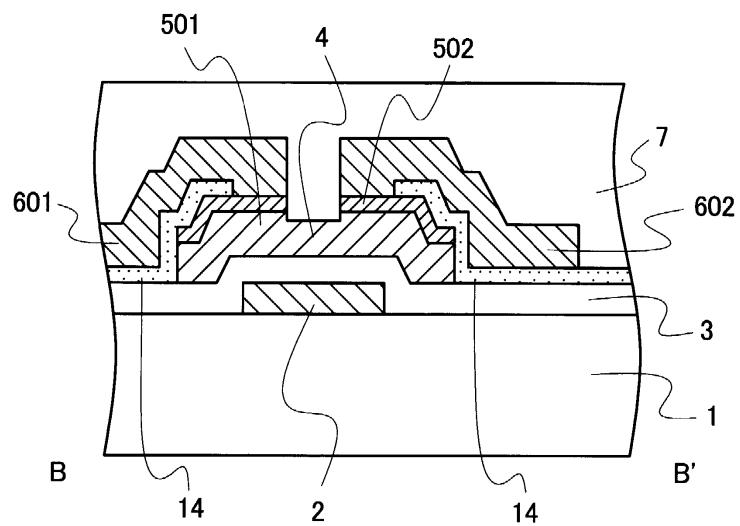
도면12d



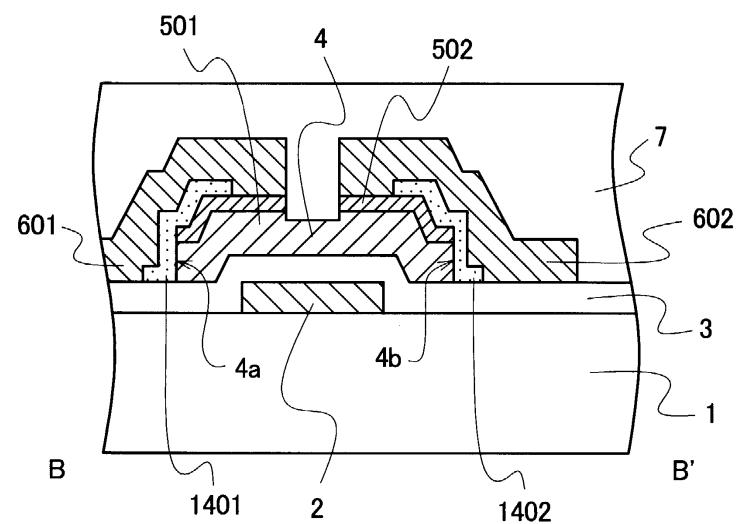
도면13a



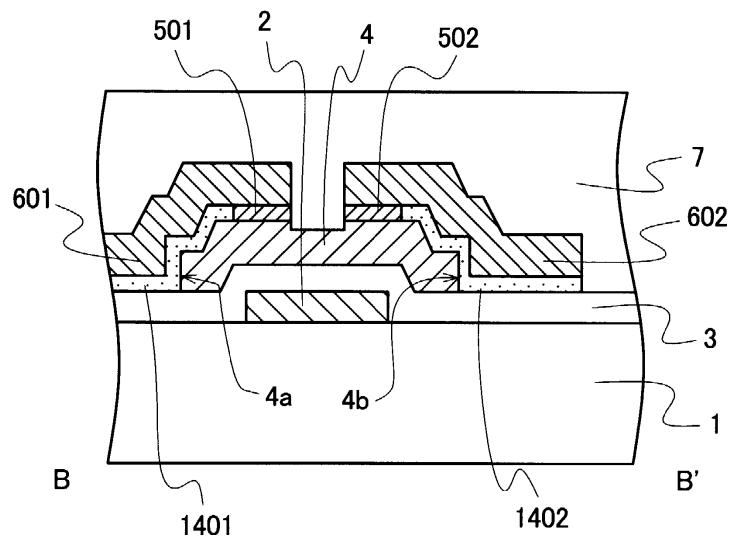
도면13b



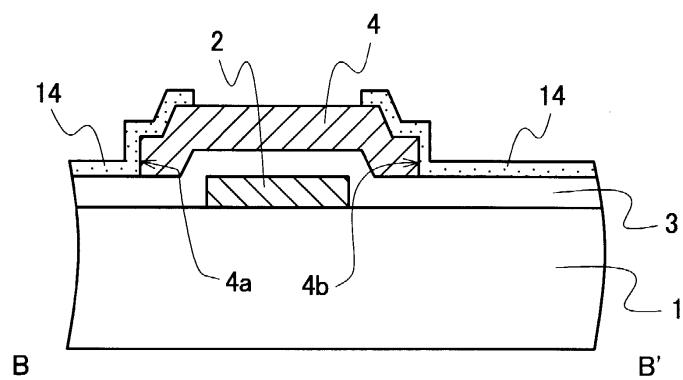
도면13c



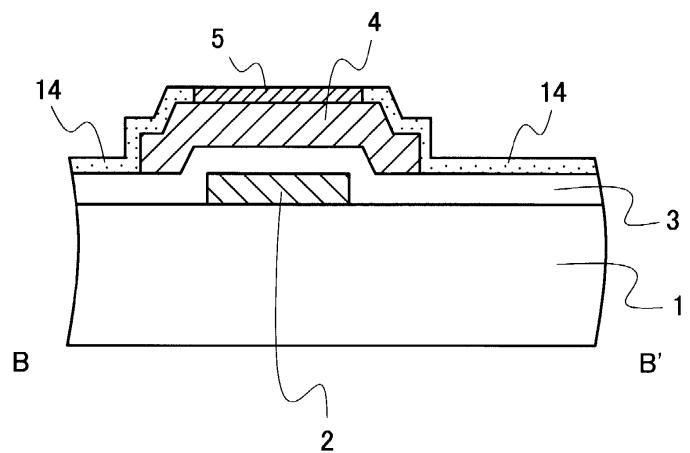
도면14



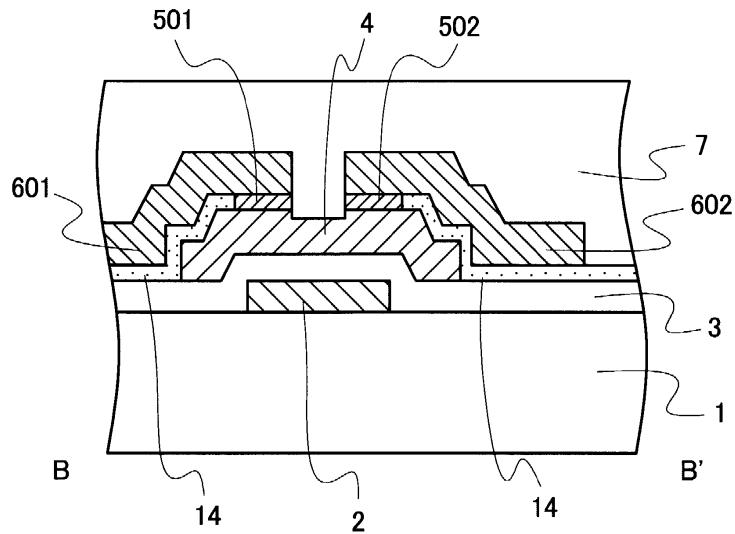
도면15a



도면15b



도면16a



도면16b

