

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)



(10) 国際公開番号

WO 2019/044165 A1

(51) 国際特許分類:

G02F 1/133 (2006.01) G02F 1/136 (2006.01)
G02F 1/1335 (2006.01) G09G 3/20 (2006.01)
G02F 1/1343 (2006.01) G09G 3/36 (2006.01)

3丁目12番地 株式会社JVCケンウッド 知的財産部内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/025436

(22) 国際出願日: 2018年7月5日(05.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-166723 2017年8月31日(31.08.2017) JP

(71) 出願人: 株式会社JVCケンウッド (JVC KENWOOD CORPORATION) [JP/JP];
〒2210022 神奈川県横浜市神奈川区守屋町
3丁目12番地 Kanagawa (JP).

(72) 発明者: 岩佐 隆行 (IWASA Takayuki);
〒2210022 神奈川県横浜市神奈川区守屋町

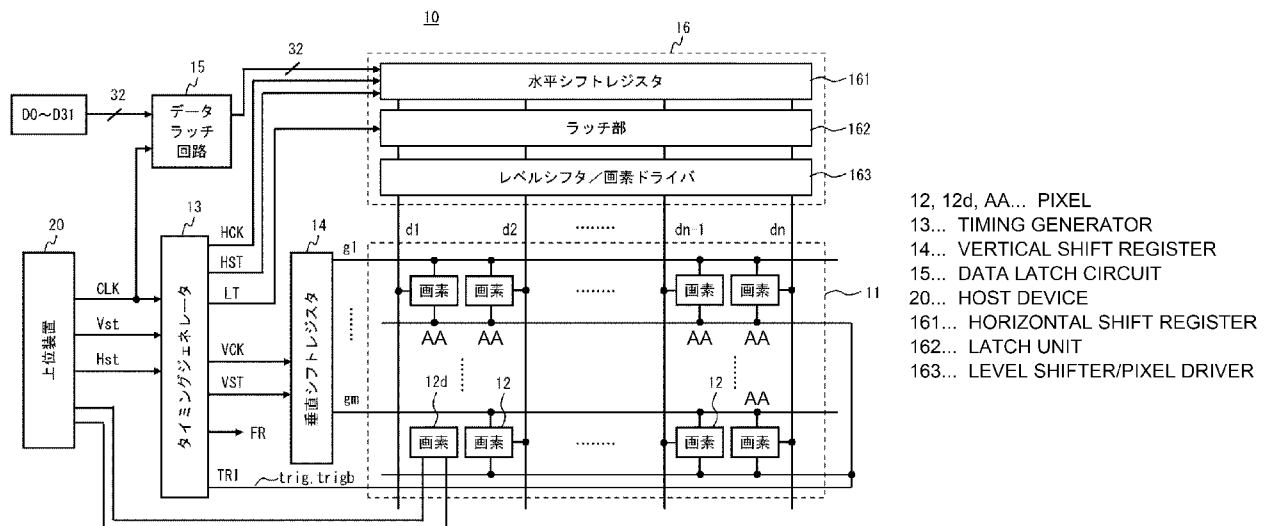
(74) 代理人: 家入 健 (IEIRI Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目3番8 アサヒビルディング5階 響国際特許事務所 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 反射型液晶表示装置

[図1]



(57) Abstract: A reflective liquid crystal display device (10) according to an embodiment of the present invention is provided with: a plurality of pixels (12); and a temperature sensor (S1). The temperature sensor (S1) provided to the reflective liquid crystal display device (10) is formed in one or more of a plurality of pixel arranging regions divided in a matrix. Thus, the reflective liquid crystal display device (10) can measure the temperature of the pixels more accurately in real time than when a temperature sensor adhered to a heat sink is used.

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 一実施の形態によれば、反射型液晶表示装置(10)は、複数の画素(12)と、温度センサ(S1)と、を備える。また、反射型液晶表示装置(10)に設けられた温度センサ(S1)は、行列状に区画された複数の画素配置領域のうち又は複数の領域に形成されている。それにより、反射型液晶表示装置(10)は、ヒートシンク上に貼り付けられた温度センサを用いた場合と比較して、画素の温度を精度良くかつリアルタイムに計測することができる。

明 細 書

発明の名称： 反射型液晶表示装置

技術分野

[0001] 本発明は、反射型液晶表示装置に関し、例えば画素の温度を精度良く計測するのに適した反射型液晶表示装置に関する。

背景技術

[0002] 液晶表示装置における中間調表示方式の1つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせにより画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

[0003] サブフレーム駆動方式が採用された液晶表示装置の中には、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、複数のスイッチングトランジスタと、によって構成されているものがある。

[0004] この画素では、マスターラッチの入力端子に1ビットの第1のデータが第1のスイッチングトランジスタを通して印加され、行走査線を介して印加される行選択信号がアクティブになると、第1のスイッチングトランジスタがオン状態になり、第1のデータがマスターラッチに書き込まれる。

[0005] 全ての画素に設けられたマスターラッチへのデータの書き込みが完了すると、そのサブフレーム期間内において、全ての画素に設けられた第2のスイッチングトランジスタがオン状態になる。それにより、全ての画素に設けられたマスターラッチのデータが一斉に読み出されてスレーブラッチに書き込まれるとともに、当該スレーブラッチに書き込まれたデータが液晶表示素子の画素電極に印加される。各サブフレーム期間において、全ての画素に対して同様の処理が行われる。その結果、各画素は、1フレームを構成する複数

のサブフレームの組み合わせにより所望の階調表示を行うことができる。

- [0006] なお、1フレームを構成する複数のサブフレームの期間は、それぞれ同一又は異なる所定の期間に予め割り当てられている。例えば、各画素において、最大階調表示を行う（白を表示させる）場合には1フレームを構成する複数のサブフレームの全てにおいて表示を行い、最小階調表示を行う（黒を表示させる）場合には1フレームを構成する複数のサブフレームの全てにおいて表示を行わず、それ以外の階調表示を行う場合には、表示する階調に応じて表示するサブフレームを選択する。この従来からの手法を採用した液晶表示装置は、階調を示すデジタルデータを入力データとしており、また、2段ラッチ構成のデジタル駆動方式を採用している（例えば、特許文献1参照）。

先行技術文献

特許文献

- [0007] 特許文献1：特許第5 7 3 3 1 5 4 号公報

発明の概要

- [0008] ところで、液晶表示装置には、画素の温度を検出するための温度センサが設けられるのが一般的である。液晶表示装置をプロジェクター素子として使用する場合、高輝度なランプ光を液晶表示素子に入射するため、液晶表示素子が高温になり誤動作する場合がある。このため、温度センサによって検出された画素の温度に基づいて冷却用ファンの回転数を制御することにより、当該液晶表示素子の温度が一定に保たれる。特許文献1の構成にも、温度センサが設けられていると考えられる。
- [0009] しかしながら、一般的に、画素の表面は、画像を表示するためのガラスによって覆われており、かつ、画素の裏面は、画素を放熱するためのヒートシンクが取り付けられているため、画素近傍に温度センサを設置することができない。ここで、画素の温度とヒートシンクの温度との間には、 $-5^{\circ}\text{C} \sim +5^{\circ}\text{C}$ の温度誤差がある。そのため、特許文献1の構成では、画素の温度を精度良く計測することができない、という問題があった。

[0010] 本発明は以上の点に鑑みなされたもので、画素の温度を精度良く計測することが可能な反射型液晶表示装置を提供することを目的とする。

[0011] 本実施形態の一態様にかかる反射型液晶表示装置は、複数の画素と、温度センサと、を備え、前記温度センサは、行列状に区画された複数の画素配置領域のうち一又は複数の領域に形成されている。

[0012] 本実施形態によれば、画素の温度を精度良く計測することが可能な反射型液晶表示装置を提供することができる。

図面の簡単な説明

[0013] [図1]実施の形態1にかかる液晶表示装置を示すブロック図である。

[図2]図1に示す液晶表示装置に設けられた画素の具体的構成を示す回路図である。

[図3]図2に示す画素に設けられた第1データ保持部を構成するインバータの具体的構成を示す回路図である。

[図4]図2に示す画素の概略断面図である。

[図5]図1に示す液晶表示装置の動作を示すタイミングチャートである。

[図6]液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す図である。

[図7]図1に示す液晶表示装置に設けられたダミー画素の温度センサ部分の具体的構成を示す回路図である。

[図8]図1に示す液晶表示装置に設けられたダミー画素の概略断面図である。

[図9]図1に示す液晶表示装置に設けられたダミー画素の温度センサ部分の概略平面図である。

[図10]図1に示す液晶表示装置の画素配置領域に配置された複数の画素及びダミー画素のそれぞれに用いられている反射電極の概略平面図である。

[図11]実施の形態2にかかる液晶表示装置の画素配置領域に配置された複数の画素及びダミー画素のそれぞれに用いられている反射電極の概略平面図である。

[図12]実施の形態3にかかる液晶表示装置の画素配置領域に配置された複数

の画素及びダミー画素のそれぞれに用いられている反射電極の概略平面図である。

発明を実施するための形態

[0014] <実施の形態 1>

以下、図面を用いて本発明の実施形態について説明する。

[0015] 図 1 は、実施の形態 1 に係る反射型液晶表示装置 10 を示すブロック図である。

図 1 に示すように、反射型液晶表示装置 10 は、画像表示部 11 と、タイミングジェネレータ 13 と、垂直シフトレジスタ 14 と、データラッチ回路 15 と、水平ドライバ 16 と、を備える。水平ドライバ 16 は、水平シフトレジスタ 161 と、ラッチ部 162 と、レベルシフタ／画素ドライバ 163 と、により構成される。

[0016] 画像表示部 11 は、行列状に区画された複数の画素配置領域のそれぞれに規則的に配置された複数の画素 12 を有する。ここで、複数の画素配置領域のうちの一部（紙面の左下）の領域には、画素 12 の代わりにダミー画素 12d が配置されている。ダミー画素 12d は、ダミー液晶表示素子及び回路部によって構成され、その回路部において、画素 12 の温度を検出するための温度センサ S1 が形成されている。温度センサ S1 により検出された画素 12 の温度に基づいて冷却用ファンの回転数を制御することにより、画素 12 の温度が一定に保たれる。ダミー画素 12d の詳細については、後述する。

[0017] 複数の画素 12 は、垂直シフトレジスタ 14 に一端が接続されて行方向（X 方向）に延在する m 本（m は 2 以上の自然数）の行走査線 g1～gm と、レベルシフタ／画素ドライバ 163 に一端が接続されて列方向（Y 方向）に延在する n 本（n は 2 以上の自然数）の列データ線 d1～dn と、がそれぞれ交差する複数の交差部に二次元マトリクス状に配置されている。画像表示部 11 内の全ての画素 12 は、一端がタイミングジェネレータ 13 に接続されたトリガ線 trig, trigg に共通接続されている。

- [0018] なお、正転トリガパルス用トリガ線 $t r i g$ が伝送する正転トリガパルス $T R I$ と、反転トリガパルス用トリガ線 $t r i g b$ が伝送する反転トリガパルス $T R I B$ とは、常に逆論理値の関係（相補的な関係）にある。
- [0019] タイミングジェネレータ 13 は、上位装置 20 から出力された垂直同期信号 $V s t$ 、水平同期信号 $H s t$ 、及び、基本クロック $C L K$ 等の外部信号を入力信号として受け取り、これら外部信号に基づいて、交流化信号 $F R$ 、 V スタートパルス $V S T$ 、 H スタートパルス $H S T$ 、クロック信号 $V C K$ 、 $H C K$ 、ラッチパルス $L T$ 、及び、トリガパルス $T R I$ 、 $T R I B$ 等の各種の内部信号を生成する。
- [0020] 交流化信号 $F R$ は、1 サブフレーム毎に極性反転する信号であり、画像表示部 11 を構成する画素 12 内の液晶表示素子の共通電極に、後述する共通電極電圧 $V c o m$ として供給される。
- [0021] スタートパルス $V S T$ は、後述する各サブフレームの開始タイミングで出力されるパルス信号であり、このスタートパルス $V S T$ によって、サブフレームの切替わりが制御される。
- [0022] スタートパルス $H S T$ は、水平シフトレジスタ 161 の開始タイミングで当該水平シフトレジスタ 161 に対して出力されるパルス信号である。
- [0023] クロック信号 $V C K$ は、垂直シフトレジスタ 14 における 1 水平走査期間（1 H ）を規定するシフトクロックであり、クロック信号 $V C K$ のタイミングで垂直シフトレジスタ 14 がシフト動作を行う。
- [0024] クロック信号 $H C K$ は、水平シフトレジスタ 161 におけるシフトクロックであり、32 ビット幅でデータをシフトさせるための信号である。
- [0025] ラッチパルス $L T$ は、水平シフトレジスタ 161 が水平方向の 1 行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。
- [0026] 正転トリガパルス $T R I$ 及び反転トリガパルス $T R I B$ は、それぞれトリガ線 $t r i g$ 、 $t r i g b$ を介して、画像表示部 11 内の全ての画素 12 に供給されるパルス信号である。

- [0027] ここで、正転トリガパルス $TR\uparrow$ 及び反転トリガパルス $TR\downarrow$ は、あるサブフレーム期間において、画像表示部11内の全ての画素12内の第1データ保持部にデータが書き込まれた後にタイミングジェネレータ13から出力される。それにより、そのサブフレーム期間において、画像表示部11内の全ての画素12内の第1データ保持部に保持されたデータが、それぞれ対応する画素12内の第2データ保持部に一斉に転送される。
- [0028] 垂直シフトレジスタ14は、各サブフレームの開始タイミングで供給されるVスタートパルス VST をクロック信号 VCK に従って転送し、行走査信号を行走査線 $g1\sim gm$ に対して1H単位で順次排他的に供給する。それにより、画像表示部11の最も上にある行走査線 $g1$ から最も下にある行走査線 gm にかけて、行走査線が1本ずつ1H単位で順次選択されていく。
- [0029] データラッチ回路15は、図示しない外部回路から供給される1サブフレーム単位の32ビット幅のデータを、上位装置20からの基本クロック CLK に基づいてラッチした後、基本クロック CLK に同期して水平シフトレジスタ161へ出力する。
- [0030] なお、反射型液晶表示装置10は、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割し、これらサブフレームの組み合わせにて階調表示を行っている。そのため、上記の外部回路は、各画素の階調を示す階調データを、複数のサブフレームに対応する複数の1ビットのサブフレームデータに変換している。さらに、上記の外部回路は、同じサブフレームに属する32画素分のサブフレームデータをまとめて32ビット幅のデータとしてデータラッチ回路15に供給している。
- [0031] 水平シフトレジスタ161は、1ビットシリアルデータの処理系としてみた場合、タイミングジェネレータ13から1Hの初期に供給されるスタートパルス HST によりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号 HCK に同期してシフトする。
- [0032] ラッチ部162は、水平シフトレジスタ161が画像表示部11の1行分

の画素数 n と同じ n ビット分のデータをシフトし終わると、タイミングジェネレータ 13 から供給されるラッチパルス L_T に同期して、水平シフトレジスタ 161 から並列に供給される n ビット分のデータ（即ち、 n 画素分のサブフレームデータ）をラッチし、レベルシフタ／画素ドライバ 163 のレベルシフタへ出力する。なお、ラッチ部 162 のデータ転送が終了すると、タイミングジェネレータ 13 からスタートパルス HST が再び出力され、水平シフトレジスタ 161 はクロック信号 HCK に従ってデータラッチ回路 15 からの 32 ビット幅のデータのシフトを再開する。

[0033] レベルシフタ／画素ドライバ 163 のレベルシフタは、ラッチ部 162 から転送された 1 行の n 画素に対応する n 個のサブフレームデータの信号レベルを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ 163 の画素ドライバは、レベルシフト後の 1 行の n 画素に対応した n 個のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ に並列に出力する。

[0034] 水平ドライバ 16 は、1 水平走査期間において、データ書き込み対象として選択されている行の画素に向けたサブフレームデータの出力と、次の 1 水平走査期間にデータ書き込み対象として選択される行の画素のためのサブフレームデータのシフトと、を並行して行っている。そして、ある水平走査期間において、1 行の n 画素に対応する n 個のサブフレームデータが、データ信号としてそれぞれ n 本の列データ線 $d_1 \sim d_n$ に並列に、かつ、一斉に出力される。

[0035] 画像表示部 11 を構成する複数の画素 12 のうち、垂直シフトレジスタ 14 からの行走査信号により選択された 1 行の n 個の画素 12 は、レベルシフタ／画素ドライバ 163 から一斉に出力された 1 行分の n 個のサブフレームデータを n 本の列データ線 $d_1 \sim d_n$ を介してサンプリングして各画素 12 内の後述する第 1 データ保持部に書き込む。

[0036] 画素 12 の詳細については後述するが、画素 12 では、記憶部 SM_1 に保持された入力データの反転データが反射電極 PE に印加される。つまり、画素 12 は、レベルシフタ／画素ドライバ 163 から供給された入力データを

反転する機能を有している。

[0037] (画素 1 2 の具体的構成)

続いて、画素 1 2 の具体的構成について説明する。

図 2 は、画素 1 2 の具体的構成を示す回路図である。

[0038] 図 2 に示すように、画素 1 2 は、行走査線 $g_1 \sim g_m$ の何れか（以下、行走査線 g と称す）と、列データ線 $d_1 \sim d_n$ の何れか（以下、列データ線 d と称す）と、が交差する交差部分に設けられている。

[0039] 画素 1 2 は、SRAMセル 201 と、DRAMセル 202 と、液晶表示素子 LC と、を備える。SRAMセル 201 は、第 1 スイッチであるスイッチ SW1 と、第 1 データ保持部である記憶部 SM1 と、により構成されている。DRAMセル 202 は、第 2 スイッチであるスイッチ SW2 と、第 2 データ保持部である記憶部 DM2 と、により構成されている。液晶表示素子 LC は、離間対向配置された光反射特性を有する画素電極である反射電極 PE と、光透過性を有する共通電極 CE との間の空間に、液晶 LCM が充填封入された公知の構造である。

[0040] (SRAMセル 201 の構成)

スイッチ SW1 は、例えば N チャネル MOS 型トランジスタ（以下、NMOS トランジスタという）MN1 により構成されている。スイッチ SW1 を構成する NMOS トランジスタ MN1 では、ソースが記憶部 SM1 の入力端子（ノード a）に接続され、ドレインが列データ線 d に接続され、ゲートが行走査線 g に接続されている。

[0041] 記憶部 SM1 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ INV11, INV12 からなる自己保持型メモリである。より具体的には、インバータ INV11 の入力端子は、インバータ INV12 の出力端子及びスイッチ SW1 を構成する NMOS トランジスタ MN1 のソースに接続されている。インバータ INV12 の入力端子は、スイッチ SW2 及びインバータ INV11 の出力端子に接続されている。

[0042] 図 3 は、インバータ INV11 の具体的構成を示す回路図である。

図3に示すように、インバータINV11は、直列接続されたPチャネルMOS型トランジスタ（以下、PMOSトランジスタという）MP11及びNMOSトランジスタMN11を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のCMOSインバータである。同じく、インバータINV12は、直列接続されたPMOSトランジスタMP12及びNMOSトランジスタMN12を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のCMOSインバータである。

[0043] ここで、インバータINV11、INV12の駆動能力は異なる。具体的には、記憶部SM1を構成するインバータINV11、INV12のうち、スイッチSW1から見て入力側となるインバータINV11内のトランジスタMP11、MN11の駆動能力は、スイッチSW1から見て出力側となるインバータINV12内のトランジスタMP12、MN12の駆動能力よりも大きい。それにより、列データ線dからスイッチSW1を介して記憶部SM1にデータが伝搬しやすくなり、一方で、スイッチSW2を介して記憶部DM2から記憶部SM1にデータが伝搬しにくくなる。

[0044] さらに、スイッチSW1を構成するNMOSトランジスタMN1の駆動能力は、インバータINV12を構成するNMOSトランジスタMN12の駆動能力よりも大きい。それにより、例えば、列データ線d上でHレベルを示すデータを記憶部SM1に記憶させる場合、列データ線dからスイッチSW1を介して記憶部SM1の入力端子（ノードa）に流れる電流が、記憶部SM1の入力端子からNMOSトランジスタMN12を介して接地電圧端子GNDに流れる電流よりも大きくなるため、データを正確に記憶部SM1に記憶させることができる。

[0045] （DRAMセル202の構成）

スイッチSW2は、並列接続されたNMOSトランジスタMN2及びPMOSトランジスタMP2からなる公知のトランスミッションゲートである。より具体的には、NMOSトランジスタMN2及びPMOSトランジスタM

P 2では、それぞれのソースが記憶部SM 1の出力端子に共通接続され、それぞれのドレインが記憶部DM 2の入力端子及び液晶表示素子LCの反射電極PEに共通接続されている。そして、NMOSトランジスタMN 2のゲートは、正転トリガパルス用トリガ線t r i gに接続され、PMOSトランジスタMP 2のゲートは、反転トリガパルス用トリガ線t r i g bに接続されている。

[0046] 例えば、スイッチSW 2は、トリガ線t r i gを介して供給される正転トリガパルスがHレベル（トリガ線t r i g bを介して供給される反転トリガパルスがLレベル）の場合にオン状態となり、記憶部SM 1から読み出されたデータを記憶部DM 2及び反射電極PEへ転送する。また、スイッチSW 2は、トリガ線t r i gを介して供給される正転トリガパルスがLレベル（トリガ線t r i g bを介して供給される反転トリガパルスがHレベル）の場合にオフ状態となり、記憶部SM 1の記憶データの読み出しは行わない。

[0047] スイッチSW 2は、公知のトランSMissionゲートであるため、オン状態において接地電圧GNDから電源電圧VDDまでの広範囲の電圧を転送することができる。より具体的には、記憶部SM 1からトランジスタMN 2, MP 2のソースに印加される電圧が接地電圧GNDレベル（Lレベル）の場合、PMOSトランジスタMP 2のソース・ドレインが導通しない代わりに、NMOSトランジスタMN 2のソース・ドレインは低抵抗で導通することができる。一方、記憶部SM 1からトランジスタMN 2, MP 2のソースに印加される電圧が電源電圧VDDレベル（Hレベル）の場合、NMOSトランジスタMN 2のソース・ドレインが導通しない代わりに、PMOSトランジスタMP 2のソース・ドレインは低抵抗で導通することができる。このように、スイッチSW 2では、トランSMissionゲートのソース・ドレインが低抵抗で導通することができるため、オン状態において接地電圧GNDから電源電圧VDDまでの広範囲の電圧を転送することができる。

[0048] 記憶部DM 2は、容量C 1により構成されている。容量C 1には、例えば、配線間で容量を形成するMIM（Metal Insulator Me

t a l) 容量、基板－ポリシリコン間で容量を形成する D i f f u s i o n 容量、又は、2層ポリシリコン間で容量を形成する P I P (P o l y I n s u l a t o r P o l y) 容量等を用いることができる。

[0049] スイッチ S W 2 がオンすると、記憶部 S M 1 に記憶されたデータが読み出され、スイッチ S W 2 を介して、記憶部 D M 2 内の容量 C 1 及び反射電極 P E へ転送される。それにより、記憶部 D M 2 に記憶されたデータが書き換えられる。

[0050] ここで、スイッチ S W 2 がオンしている場合、容量 C 1 に保持されたデータは記憶部 S M 1 を構成するインバータ I N V 1 2 の入力ゲートにも影響を与える。しかしながら、インバータ I N V 1 1 の駆動能力をインバータ I N V 1 2 の駆動能力より大きくしているため、インバータ I N V 1 2 が容量 C 1 のデータの影響を受ける前に、インバータ I N V 1 1 が容量 C 1 のデータを書き換えてしまう。したがって、容量 C 1 の保持データによって記憶部 S M 1 のデータが意図せず書き換えられてしまうことはない。

[0051] このように、本実施の形態に係る反射型液晶表示装置 1 0 は、S R A M セル及び D R A M セルを1つずつ備えた画素 1 2 を用いることにより、S R A M セルを2つ備えた画素を用いる場合よりも、画素を構成するトランジスタの数を少なくして、画素の小型化を実現している。

[0052] 本実施の形態では、スイッチ S W 2 が P M O S トランジスタ M P 2 及び N M O S トランジスタ M N 2 により構成される場合について説明したが、これに限られない。スイッチ S W 2 は、P M O S トランジスタ M P 2 及び N M O S トランジスタ M N 2 の何れか一つが設けられた構成に適宜変更可能である。その場合、トリガ線 t r i g , t r i g b の一方のみが設けられることとなる。

[0053] なお、反射型液晶表示装置 1 0 は、画素を構成するトランジスタの数を少なくすることで画素の小型化を実現できるだけでなく、以下に説明するように記憶部 S M 1 , D M 2 及び反射電極 P E を素子の高さ方向に有効に配置することによっても画素の小型化を実現することができる。以下、図 4 を用い

て、詳細に説明する。

[0054] (画素12の断面構造)

図4は、画素12の要部を示す概略断面図である。また、図4では、容量C1が配線間で容量を形成するMIMにより構成された場合を例に説明する。

[0055] 図4に示すように、シリコン基板100上にはNウェル101及びPウェル102が形成されている。

[0056] Nウェル101上には、スイッチSW2のPMOSトランジスタMP2、及び、インバータINV11のPMOSトランジスタMP11が形成されている。より具体的には、Nウェル101上には、PMOSトランジスタMP2、MP11のそれぞれのソースとなる共通拡散層、及び、ドレインとなる2つの拡散層が形成され、共通拡散層と2つの拡散層との間のチャネル領域上には、PMOSトランジスタMP2、MP11のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

[0057] Pウェル102上には、スイッチSW2のNMOSトランジスタMN2、及び、インバータINV11のNMOSトランジスタMN11が形成されている。より具体的には、Pウェル102上には、NMOSトランジスタMN2、MN11のそれぞれのソースとなる共通拡散層、及び、ドレインとなる2つの拡散層が形成され、共通拡散層と2つの拡散層との間のチャネル領域上には、NMOSトランジスタMN2、MN11のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

[0058] なお、Nウェル上の活性領域（拡散層及びチャネル領域）と、Pウェル上の活性領域と、の間には、素子分離酸化膜103が形成されている。

[0059] トランジスタMP2、MP11、MN2、MN11の上方には、層間絶縁膜105をメタル間に介在させて第1メタル106、第2メタル108、第3メタル110、MIM電極112、第4メタル114、及び、第5メタル116が積層されている。

[0060] 第5メタル116は、画素毎に形成される反射電極PEを構成している。

[0061] トランジスタMN2, MP2の各ドレインを構成する各拡散層は、コンタクト118、第1メタル106、スルーホール119a、第2メタル108、スルーホール119b、第3メタル110、スルーホール119c、第4メタル114、及び、スルーホール119eを介して、第5メタル116に電氣的に接続されている。さらに、トランジスタMN2, MP2の各ドレインを構成する各拡散層は、コンタクト118、第1メタル106、スルーホール119a、第2メタル108、スルーホール119b、第3メタル110、スルーホール119c、第4メタル114、及び、スルーホール119dを介してMIM電極112に電氣的に接続されている。即ち、スイッチSW2を構成するトランジスタMN2, MP2の各ソースは、反射電極PE及びMIM電極112に電氣的に接続されている。

[0062] 反射電極PE（第5メタル116）は、その上面に形成された保護膜であるパッシベーション膜（PSV）117を介して、透明電極である共通電極CEに離間対向配置されている。反射電極PEと共通電極CEとの間には、液晶LCMが充填封止されている。反射電極PE、共通電極CE、及び、それらの間の液晶LCMによって液晶表示素子LCが構成される。

[0063] ここで、MIM電極112は、第3メタル110上に層間絶縁膜105を介して形成されている。このMIM電極112、第3メタル110、及び、それらの間の層間絶縁膜105によって容量C1が構成される。そのため、スイッチSW1, SW2及び記憶部SM1が、第1, 2層配線である第1メタル106及び第2メタル108と、トランジスタと、を用いて形成されるのに対し、記憶部DM2は、それらの上層である第3メタル110及びMIM電極112を用いて形成されることとなる。つまり、スイッチSW1, SW2及び記憶部SM1と、記憶部DM2とは、それぞれ異なる層にて形成されることとなる。

[0064] 図示しない光源からの光は、共通電極CE及び液晶LCMを透過して反射電極PE（第5メタル116）に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

[0065] このように、反射型液晶表示装置 10 は、第 5 層配線である第 5 メタル 116 を反射電極 PE として用い、第 3 層配線である第 3 メタル 110 を記憶部 DM2 の一部として用い、第 1, 2 層配線である第 1 メタル 106 及び第 2 メタル 108 とトランジスタとを記憶部 SM1 等として用いることで、記憶部 SM1、記憶部 DM2 及び反射電極 PE を高さ方向に有効に配置することが可能になるため、画素をさらに小型化することができる。それにより、例えば、 $3\ \mu\text{m}$ 以下のピッチの画素を電源電圧 3.3 V のトランジスタで構成できる。この $3\ \mu\text{m}$ 以下のピッチの画素を用いることで、対角の長さ 0.55 インチの横方向 4000 画素、縦方向 2000 画素の液晶表示パネルを実現できる。

[0066] (反射型液晶表示装置 10 の動作)

次に、図 5 を用いて、反射型液晶表示装置 10 の動作について説明する。

図 5 は、反射型液晶表示装置 10 の動作を示すタイミングチャートである。

[0067] 前述したように、反射型液晶表示装置 10 では、垂直シフトレジスタ 14 からの行走査信号により、行走査線 $g_1 \sim g_m$ が 1 本ずつ 1 H 単位で順次選択されていくため、画像表示部 11 を構成する複数の画素 12 には、選択された行走査線に共通に接続された 1 行の n 個の画素単位でデータが書き込まれる。そして、画像表示部 11 を構成する複数の画素 12 の全てにデータが書き込まれると、その後、トリガパルス TRI , $TRIB$ に基づき、全ての画素 12 のデータが一斉に読み出される（より具体的には、全ての画素 12 内の記憶部 SM1 のデータが一斉に記憶部 DM2 及び反射電極 PE に転送される）。

[0068] 図 5 の (A) は、各画素 12 に記憶されるサブフレームデータの変化を示している。なお、縦軸が行番号を表し、横軸が時間を表している。図 5 の (A) に示すように、サブフレームデータの境界線は右下がりとなっている。これは、行番号の大きな画素ほどサブフレームデータが遅れて書き込まれることを表している。この境界線の一端から他端までの期間がサブフレームデ

ータの書き込み期間に相当する。なお、 $B0b$ 、 $B1b$ 、 $B2b$ は、それぞれビット $B0$ 、 $B1$ 、 $B2$ のサブフレームデータの反転データを示している。

[0069] 図5の(B)は、トリガパルス $TR1$ の出力タイミング(立ち上がりタイミング)を示している。なお、トリガパルス $TR1B$ は、常にトリガパルス $TR1$ を論理反転した値を示すため、省略されている。図5の(C)は、反射電極 PE に印加されるサブフレームデータのビットを模式的に示している。図5の(D)は、共通電極電圧 $Vcom$ の値の変化を示している。図5の(E)は、液晶 LCM に印加される電圧の変化を示している。

[0070] まず、行走査信号により選択された画素12では、スイッチ $SW1$ がオンするため、水平ドライバ16から列データ線 d に出力されたビット $B0$ の正転サブフレームデータが、スイッチ $SW1$ によりサンプリングされて記憶部 $SM1$ に書き込まれる。同様にして、画像表示部11を構成する全ての画素12の記憶部 $SM1$ に対してビット $B0$ の正転サブフレームデータが書き込まれる。その後、画像表示部11を構成する全ての画素12に対して H レベルのトリガパルス $TR1$ (及び L レベルのトリガパルス $TR1B$)が同時に供給される(時刻 $T1$)。

[0071] これにより、全ての画素12のスイッチ $SW2$ がオンするため、記憶部 $SM1$ に記憶されているビット $B0$ の正転サブフレームデータがスイッチ $SW2$ を通して記憶部 $DM2$ に一斉に転送されて保持されるとともに、ビット $B0$ の正転サブフレームデータが反射電極 PE に印加される。ここで、図5の(C)を見てもわかるように、記憶部 $DM2$ によるビット $B0$ の正転サブフレームデータの保持期間(反射電極 PE へのビット $B0$ の正転サブフレームデータの印加期間)は、トリガパルス $TR1$ が H レベルとなってから(時刻 $T1$)、次に再び H レベルとなるまで(時刻 $T2$)の1サブフレーム期間である。

[0072] ここで、サブフレームデータのビット値が「1」、すなわち H レベルのときには反射電極 PE には電源電圧 VDD (ここでは3.3V)が印加され、

ビット値が「0」、すなわちLレベルのときには反射電極PEには接地電圧GND（0V）が印加される。一方、共通電極CEには、接地電圧GND及び電源電圧VDDに制限されることなく、自由な電圧が共通電極電圧Vcomとして印加できるようになっており、Hレベルの正転トリガパルスTRIの入力に同期して共通電極電圧Vcomが所定電圧に切り替わるように制御される。本例では、共通電極電圧Vcomは、ビットB0の正転サブフレームデータが反射電極PEに印加されるサブフレーム期間中、図5（D）に示すように、0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。

[0073] 液晶表示素子LCは、反射電極PEの印加電圧と共通電極電圧Vcomとの差電圧の絶対値である液晶LCMの印加電圧に応じた階調表示を行う。したがって、ビットB0の正転サブフレームデータが反射電極PEに印加されるサブフレーム期間（時刻T1～T2）では、液晶LCMの印加電圧は、図5（E）に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{tt}$ （ $= 3.3V - (-V_{tt})$ ）となり、サブフレームデータのビット値が「0」のときは $+V_{tt}$ （ $= 0V - (-V_{tt})$ ）となる。

[0074] 図6は、液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す。

図6を参照すると、グレースケール値曲線は、黒のグレースケール値が液晶の閾値電圧VttのRMS電圧に対応し、かつ、白のグレースケール値が液晶の飽和電圧Vsatt（ $= 3.3V + V_{tt}$ ）のRMS電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。したがって、液晶表示素子LCは上記のように液晶LCMの印加電圧が（ $3.3V + V_{tt}$ ）のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

[0075] 図5に戻り、液晶表示素子LCがビットB0の正転サブフレームデータを表示しているサブフレーム期間（時刻T1～T2）において、画像表示部11を構成する全ての画素12の記憶部SM1に対するビットB0の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部11を構

成する全ての画素 1 2 の記憶部 S M 1 に対してビット B 0 の反転サブフレームデータが書き込まれると、その後、画像表示部 1 1 を構成する全ての画素 1 2 に対して H レベルのトリガパルス T R I (及び L レベルのトリガパルス T R I B) が同時に供給される (時刻 T 2)。

[0076] これにより、全ての画素 1 2 のスイッチ S W 2 がオンするため、記憶部 S M 1 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 2 を通して記憶部 D M 2 に一斉に転送されて保持されるとともに、ビット B 0 の反転サブフレームデータが反射電極 P E に印加される。ここで、図 5 の (C) を見てもわかるように、記憶部 D M 2 によるビット B 0 の反転サブフレームデータの保持期間 (反射電極 P E へのビット B 0 の反転サブフレームデータの印加期間) は、トリガパルス T R I が H レベルとなってから (時刻 T 2)、次に再び H レベルとなるまで (時刻 T 3) の 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「1」のときは「0」、ビット B 0 の正転サブフレームデータが「0」のときは「1」である。

[0077] 一方、共通電極電圧 V_{com} は、ビット B 0 の反転サブフレームデータが反射電極 P E に印加されるサブフレーム期間中、図 5 (D) に示すように、 $3.3V$ よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。したがって、ビット B 0 の反転サブフレームデータが反射電極 P E に印加されるサブフレーム期間 (時刻 T 2 ~ T 3) では、液晶 L C M の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{th}$ ($= 3.3V - (3.3V + V_{th})$) となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{th}$ ($= 0V - (3.3V + V_{th})$) となる。

[0078] 例えば、ビット B 0 の正転サブフレームデータのビット値が「1」であった場合には続いて印加されるビット B 0 の反転サブフレームデータのビット値は「0」となる。このとき、液晶 L C M の印加電圧は、 $-(3.3V + V_{th})$ となり、ビット B 0 の正転サブフレームデータが印加されたときと比

較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素12は、ビットB0の反転サブフレームデータが印加されたときも、ビットB0の正転フレームデータが印加されたときと同様に、白を表示する。また、ビットB0の正転サブフレームデータのビット値が「0」であった場合には続いて印加されるビットB0の反転サブフレームデータのビット値は「1」となる。このとき、液晶LCMの印加電圧は、 $-V_{tt}$ となり、ビットB0の正転サブフレームデータが印加されたときと比較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素12は、ビットB0の反転サブフレームデータが印加されたときも、ビットB0の正転フレームデータが印加されたときと同様に、黒を表示する。

[0079] したがって、画素12は、図5の(E)に示すように、時刻T1～T3の2サブフレーム期間中、ビットB0とビットB0の相補ビットB0bとで同じ階調を表示するとともに、液晶LCMの電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶LCMの焼き付きを防止することができる。

[0080] 続いて、液晶表示素子LCがビットB0の反転サブフレームデータを表示しているサブフレーム期間（時刻T2～T3）において、全ての画素12の記憶部SM1に対するビットB1の正転サブフレームデータの書き込みが順次開始される。そして、画像表示部11の全画素12の記憶部SM1に対してビットB1の正転サブフレームデータが書き込まれると、その後、画像表示部11を構成するすべての画素12に対してHレベルのトリガパルスTRH（及びLレベルのトリガパルスTRLB）が同時に供給される（時刻T3）。

[0081] これにより、全ての画素12のスイッチSW2がオンするため、記憶部SM1に記憶されているビットB1の正転サブフレームデータがスイッチSW2を通して記憶部DM2に一斉に転送されて保持されるとともに、ビットB1の正転サブフレームデータが反射電極PEに印加される。ここで、図5の(C)を見てもわかるように、記憶部DM2によるビットB1の正転サブフレームデータの保持期間（反射電極PEへのビットB1の正転サブフ

ムデータの印加期間)は、トリガパルス TR_I がHレベルとなってから(時刻 T_3)、次に再びHレベルとなるまで(時刻 T_4)の1サブフレーム期間である。

[0082] 一方、共通電極電圧 V_{com} は、ビット B_1 の正転サブフレームデータが反射電極 PE に印加されるサブフレーム期間は、図5(D)に示すように、 $0V$ よりも液晶の閾値電圧 V_{th} だけ低い電圧に設定される。したがって、ビット B_1 の正転サブフレームデータが反射電極 PE に印加されるサブフレーム期間(時刻 $T_3 \sim T_4$)では、液晶 LCM の印加電圧は、図5(E)に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{th}$ ($= 3.3V - (-V_{th})$)となり、サブフレームデータのビット値が「0」のときは $+V_{th}$ ($= 0V - (-V_{th})$)となる。

[0083] 続いて、液晶表示素子 LC がビット B_1 の正転サブフレームデータを表示しているサブフレーム期間(時刻 $T_3 \sim T_4$)において、画像表示部11を構成する全ての画素12の記憶部 SM_1 に対するビット B_1 の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部11を構成する全ての画素12の記憶部 SM_1 に対してビット B_1 の反転サブフレームデータが書き込まれると、その後、画像表示部11を構成する全ての画素12に対してHレベルのトリガパルス TR_I (及びLレベルのトリガパルス TR_{IB})が同時に供給される(時刻 T_4)。

[0084] これにより、全ての画素12のスイッチ SW_2 がオンするため、記憶部 SM_1 に記憶されているビット B_1 の反転サブフレームデータがスイッチ SW_2 を通して記憶部 DM_2 に一斉に転送されて保持されるとともに、ビット B_1 の反転サブフレームデータが反射電極 PE に印加される。ここで、図5(C)を見てもわかるように、記憶部 DM_2 によるビット B_1 の反転サブフレームデータの保持期間(反射電極 PE へのビット B_1 の反転サブフレームデータの印加期間)は、トリガパルス TR_I がHレベルとなってから(時刻 T_4)、次に再びHレベルとなるまで(時刻 T_5)の1サブフレーム期間である。ここで、ビット B_1 の反転サブフレームデータはビット B_1 の正転サ

ブフレームデータと常に逆論理値の関係にある。

[0085] 一方、共通電極電圧 V_{com} は、ビット B_1 の反転サブフレームデータが反射電極 P_E に印加されるサブフレーム期間中、図 5 (D) に示すように、
3.3 V よりも液晶の閾値電圧 V_{th} だけ高い電圧に設定される。したがって、ビット B_1 の反転サブフレームデータが反射電極 P_E に印加されるサブフレーム期間（時刻 $T_4 \sim T_5$ ）では、液晶 LCM の印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{th}$ ($= 3.3 V - (3.3 V + V_{th})$) となり、サブフレームデータのビット値が「0」のときは $-3.3 V - V_{th}$ ($= 0 V - (3.3 V + V_{th})$) となる。

[0086] これにより、画素 12 は、図 5 の (E) に示すように、時刻 $T_3 \sim T_5$ の 2 サブフレーム期間中、ビット B_1 とビット B_1 の相補ビット B_{1b} とで同じ階調を表示するとともに、液晶 LCM の電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶 LCM の焼き付きを防止することができる。ビット B_2 以降についても同様の動作が繰り返される。

[0087] このようにして、反射型液晶表示装置 10 は、複数のサブフレームの組み合わせにて階調表示を行っている。

[0088] なお、ビット B_0 と相補ビット B_{0b} の各表示期間は同じ第 1 のサブフレーム期間であり、また、ビット B_1 と相補ビット B_{1b} の各表示期間も同じ第 2 のサブフレーム期間であるが、第 1 のサブフレーム期間と第 2 のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第 2 のサブフレーム期間は第 1 のサブフレーム期間の 2 倍に設定されている。また、図 5 (E) に示すように、ビット B_2 と相補ビット B_{2b} の各表示期間である第 3 のサブフレーム期間は、第 2 のサブフレーム期間の 2 倍に設定されている。他のサブフレーム期間についても同様のことが言える。システムの仕様等に応じて、各サブフレーム期間の長さ、及び、サブフレーム数を任意に設定することができる。

[0089] (ダミー画素 12 d 及びそれに設けられた温度センサ S_1 の詳細な説明)

続いて、ダミー画素 12 d 及びそれに設けられた温度センサ S_1 の詳細に

ついて説明する。上記のように、ダミー画素 1 2 d は、ダミー液晶表示素子及び回路部によって構成され、その回路部において、画素 1 2 の温度を検出するための温度センサ S 1 が形成されている。

[0090] ダミー画素 1 2 d（換言すると、温度センサ S 1）は、平面視して矩形状に設けられた複数の画素配置領域のうちの一部の領域に、画素 1 2 の代わりに配置（形成）されている。図 1 の例では、ダミー画素 1 2 d（換言すると、温度センサ S 1）は、平面視して矩形状に設けられた複数の画素配置領域のうち、角部に位置する一つの領域（紙面の左下の角部の領域）に、画素 1 2 の代わりに配置されている。

[0091] 図 7 は、温度センサ S 1 の具体的構成を示す回路図である。

図 7 に示すように、温度センサ S 1 は、例えば、PNP 型バイポーラトランジスタのベース電極及びコレクタ電極間を短絡することによって構成された PN 接合ダイオードである。例えば、上位装置 2 0 は、PN 接合ダイオードのアノード及びカソード（PNP 型バイポーラトランジスタのエミッターコレクタ）間に定電流を流し、そのときの両電極間の電位差を計測することにより、画素 1 2 の温度を算出することができる。ここで、温度センサ S 1 は、画素 1 2 に隣接して設けられているため、画素 1 2 の温度を精度良く、かつ、リアルタイムに検出することができる。

[0092] （ダミー画素 1 2 d の断面構造）

図 8 は、ダミー画素 1 2 d の要部を示す概略断面図である。

図 8 に示すダミー画素 1 2 d は、図 4 に示す画素 1 2 と比較して、第 1 メタル 1 0 6 以下の下層において異なる構造を有し、それ以外では、基本的には同一構造となっている。

[0093] 温度センサ S 1 は、第 1 メタル 1 0 6 以下の下層において形成されている。

まず、温度センサ S 1 に用いられる PNP 型バイポーラトランジスタは、N ウエル 1 0 1、P ウエル 1 0 2、及び、拡散電極 P 1、N 1、P 2 によって形成されている。具体的には、N ウエル 1 0 1 上に形成された P 型拡散電

極P 1 及びN型拡散電極N 1 は、それぞれエミッタ電極（P 1）及びベース電極（N 1）として用いられ、Pウエル1 0 2上に形成されたP型拡散電極P 2は、コレクタ電極（P 2）として用いられる。ここで、エミッタ電極P 1とベース電極N 1とは、Nウエル1 0 1を介してPN接合され、コレクタ電極P 2とベース電極N 1とは、Pウエル1 0 2及びNウエル1 0 1を介してPN接合されている。係る構成により、PNP型バイポーラトランジスタが形成される。また、ベース電極N 1及びコレクタ電極P 2間は、コンタクト1 1 8及び第1メタル1 0 6を介して短絡される。係る構成により、PN接合ダイオード、即ち、温度センサS 1が形成される。PN接合ダイオードのアノード及びカソード（エミッタ電極P 1及びコレクタ電極P 2）は、何れもコンタクト1 1 8、第1メタル1 0 1、ボンディングワイヤ（不図示）等を介して、外部の上位装置（不図示）2 0に接続される。

[0094] （温度センサS 1の平面構造）

図9は、温度センサS 1に用いられるPNP型バイポーラトランジスタの各電極の概略平面図である。

[0095] 図9に示すように、温度センサS 1に用いられるPNP型バイポーラトランジスタの各電極は、1つの画素配置領域内に形成されている。具体的には、エミッタ電極として用いられるP型拡散電極P 1と、ベース電極として用いられるN型拡散電極N 1と、コレクタ電極として用いられるN型拡散電極P 2とが、1つの画素配置領域内に形成されている。なお、このPNP型バイポーラトランジスタのベース電極N 1及びコレクタ電極間を、第1メタル1 0 6等を介して短絡することにより、PN接合ダイオードが構成される。PN接合ダイオードのアノード及びカソード（エミッタ電極P 1及びコレクタ電極P 2）は、何れもコンタクト1 1 8、第1メタル1 0 6、ボンディングワイヤ（不図示）等を介して、上位装置（不図示）2 0に接続されている。

[0096] なお、温度センサS 1から上位装置2 0に向けてチップのパッドまで延びる2本の配線は、互いに隣接した状態で並行に配線されることが好ましい。

それにより、ノイズが発生した場合でも、2本の配線のそれぞれに同程度の大きさのノイズが発生するため、2本の配線間の電位差の測定時にそれらのノイズはキャンセルされる。その結果、温度センサS1を用いた本構成は、より精度良く画素12の温度を計測することができる。

[0097] 図9の例では、温度センサS1がダイオード接続されたPNP型バイポーラトランジスタである場合について説明したが、これに限られない。温度センサS1は、ダイオード接続されたNPN型バイポーラトランジスタであってもよいし、一般的なダイオードであってもよい。

[0098] ダミー画素12dの第2メタル以上の上層のパターン形状は、基本的には画素12のパターン形状と同様である。そのため、基板上部から入射される光のうち、反射電極PE(第5メタル116)の間隙から基板内に侵入する光の量は、画素12と同程度となる。それにより、ダミー画素12d内に設けられた温度センサS1は、画素内部に入射される光の量も画素12と同じ環境にして温度検出することができるため、画素12の温度をより正確に検出することが可能となる。つまり、本構成は、ヒートシンク上に貼り付けられた温度センサを用いて温度計測した場合と比較して、より精度良く画素12の温度を計測することができる。

[0099] なお、絵柄の違いによって表示パターンが変化すると、図1に示すタイミングジェネレータ13、垂直シフトレジスタ14、水平ドライバ16等の各回路ブロックの動作内容が表示パターンに応じて変化するため、各回路ブロックの消費電流も表示パターンに応じて変化する。ここで、消費電流が増大した回路ブロックでは、IRドロップが発生し、電源電圧が低下したり、接地電圧が持ち上がったたりする可能性がある。このIRドロップの発生箇所は表示パターンに応じて変化するため、電源電圧及び接地電圧が変動する箇所も表示パターンに応じて変化してしまう。したがって、複数の画素により構成されるパネルを取り囲む領域の空きスペースに温度センサを取り付けた場合、そのIRドロップの影響を受けてしまい、精度良くかつリアルタイムに画素12の温度を計測することができない。

[0100] それに対し、本実施の形態の反射型液晶表示装置は、画素配置領域内に温度センサS1を配置することにより、画素12を駆動するための周辺回路の影響を受けることなく、画素12と同じ環境で温度検出することができるため、精度良くかつリアルタイムに画素12の温度を計測することができる。

[0101] (ダミー液晶表示素子LCdの断面構造)

図8に戻り、説明を続ける。ダミー画素12dの回路部の上層には、画素12の場合と同様に、反射電極PE、PSV117、液晶LCM、及び、共通電極CEが順に形成され、それらにより、ダミー液晶表示素子LCdが構成されている。ここで、ダミー液晶表示素子LCdの反射電極PEは、ダミー画素12dと隣接する画素12に設けられた液晶表示素子LCの反射電極PEに接続されている。以下、具体的に説明する。

[0102] (画素12及びダミー画素12dの平面構造)

図10は、複数の画素12及びダミー画素12dのそれぞれに用いられている反射電極PEの一部を示す概略平面図である。

[0103] 図10の例では、平面視して矩形状に設けられた複数の画素配置領域のうち、角部に位置する領域に、ダミー画素12dが配置され、それ以外の複数の領域に、複数の画素12が配置されている。また、複数の画素配置領域の周辺領域には額縁電極が配置されている。なお、額縁電極には、複数の画素12及びダミー画素12dのそれぞれの共通電極CEと共に、交流化信号FRが共通電極電圧Vcomとして供給される。それにより、額縁電極と共通電極CEとの間の電位差が0Vとなるため、額縁電極には黒が表示される。

[0104] ここで、ダミー画素12dに設けられたダミー液晶表示素子LCdの反射電極PEは、ダミー画素12dと隣接する画素12（紙面上、ダミー画素12dの一つ上の画素12）に設けられた液晶表示素子LCの反射電極PEに接続されている。なお、ダミー画素12dの反射電極PEと、それより下層の回路部との間は、コンタクトやスルーホールのパターンを調整することで電氣的に分離されている。そのため、ダミー画素12dの反射電極PEと、隣接する画素12の反射電極PEと、には、同電圧が印加されるようになっ

ている。

[0105] それにより、ダミー画素 1 2 d には、当該ダミー画素 1 2 d に接続された隣接画素 1 2 の絵柄（画像）と同じ絵柄が表示されることになる。しかしながら、例えば 4 K × 2 K 解像度のパネルの場合、角部の一つのダミー画素 1 2 d のみ隣接画素 1 2 の絵柄と同じ絵柄が表示されるにすぎないため、それによる画面全体の画像の乱れは無視できる程度に小さい。また、全画面黒表示、又は、全画面白表示を行ったとしても、1 画素のみ光る輝点や黒点になることもない。さらに、この場合、不良として認識されるのは 1 ラインおき横線の場合であるが、ダミー画素 1 2 d は、画面の角部の 1 画素のみであるため、ほとんど認識されることはない。

[0106] なお、ダミー画素 1 2 d とそれに接続される隣接画素 1 2 とは、反射電極間を直接ショートさせる場合に限られず、下層のメタル、スルーホール、コンタクトなどを介してショートさせてもよい。この場合、ダミー画素 1 2 d の反射電極 P E の形状を、画素 1 2 の反射電極 P E の形状と同じにすることができ、ダミー画素 1 2 d と画素 1 2 とで開口率を同じにすることができる。

[0107] また、ダミー画素 1 2 d が画面の角部に配置されているため、温度センサ S 1 から上位装置 2 0 に向けてチップのパッドまで延びる 2 本の配線の引き回しが容易である。

[0108] 本実施の形態では、平面視して矩形状に設けられた複数の画素配置領域のうち、角部に位置する領域にダミー画素 1 2 d が配置された場合を例に説明したが、これに限られない。ダミー画素 1 2 d は、平面視して矩形状に設けられた複数の画素配置領域のうち、外周辺に沿って設けられた領域の何れかに配置されてもよい。この場合、温度センサ S 1 から上位装置 2 0 に向けてチップのパッドまで延びる 2 本の配線の引き回しが容易である。あるいは、ダミー画素 1 2 d は、温度センサ S 1 による温度検出精度を向上させるため、平面視して矩形状に設けられた複数の画素配置領域のうち、内部領域の何れかに配置されてもよい。

[0109] また、本実施の形態では、複数の画素配置領域のうちの一つの領域にダミー画素 1 2 d が配置された場合を例に説明したが、これに限られない。ダミー画素 1 2 d は、複数の画素配置領域のうちの複数の領域に配置されてもよい。それにより、温度センサ S 1 の面積を大きくすることができるため、温度センサ S 1 による温度検出精度を向上させることができる。以下、実施の形態 2 において詳細に説明する。

[0110] <実施の形態 2>

図 1 1 は、実施の形態 2 にかかる液晶表示装置における、複数の画素 1 2 及びダミー画素 1 2 d のそれぞれに用いられている反射電極 P E の一部を示す概略平面図である。

[0111] 図 1 1 の例では、平面視して矩形状に設けられた複数の画素配置領域のうち、互いに隣接する 2×2 （合計 4 個分）の画素配置領域のそれぞれに 4 個のダミー画素 1 2 d が配置され、それ以外の複数の領域に、複数の画素 1 2 が配置されている。

[0112] なお、温度センサ S 1 は、4 個のダミー画素 1 2 d のそれぞれに形成された 4 個の P N P 型バイポーラトランジスタを並列接続することにより構成されてもよいし、4 個のダミー画素 1 2 d の回路部に拡大形成された 1 個の P N P 型バイポーラトランジスタにより構成されてもよい。複数のダミー画素 1 2 d が配置される場合、1 つのダミー画素 1 2 d が配置される場合よりも高い自由度で温度センサ S 1 用の P N 接合ダイオードを形成することが可能となる。複数のダミー画素 1 2 d を配置して、複数の温度センサ S 1 を並列接続したり、1 つの大きな温度センサ S 1 を配置したりすることにより、測定温度の精度を向上させることが可能となる。

[0113] また、複数の画素配置領域の周辺領域には額縁電極が配置されている。なお、額縁電極には、複数の画素 1 2 及び 4 個のダミー画素 1 2 d のそれぞれの共通電極 C E と共に、交流化信号 F R が共通電極電圧 V c o m として供給される。それにより、額縁電極と共通電極 C E との間の電位差が 0 V となるため、額縁電極には黒が表示される。

[0114] ここで、 2×2 の画素配置領域のそれぞれに配置された合計4個のダミー画素12dの反射電極PEは、それぞれ、隣接する4個の画素12の反射電極PEに接続されている。なお、ダミー画素12dの反射電極PEと、それより下層の回路部との間は、コンタクトやスルーホールのパターンを調整することで電氣的に分離されている。そのため、ダミー画素12dの反射電極PEと、隣接する画素12の反射電極PEと、には、同電圧が印加されるようになっている。

[0115] それにより、4個のダミー画素12dには、それらに接続された4個の隣接画素12の絵柄と同じ絵柄（画像）が表示されることになる。しかしながら、例えば4K $\times$ 2K解像度のパネルの場合、4個のダミー画素12dのみ隣接画素12の絵柄と同じ絵柄が表示されるにすぎないため、それによる画面全体の画像の乱れは無視できる程度に小さい。また、全画面黒表示、又は、全画面白表示を行ったとしても、4画素のみ光る輝点や黒点になることもない。

[0116] また、図11の例では、4個のダミー画素12dの反射電極PEは、共通の隣接画素12の反射電極PEに接続されるのではなく、それぞれ異なる隣接画素12の反射電極PEに接続されている。それにより、4個のダミー画素12dには、それぞれ異なる隣接画素12の絵柄（画像）が表示されるため、画面全体の画像の乱れをより分かりにくくすることができる。

[0117] なお、ダミー画素12dとそれに接続される隣接画素12とは、反射電極間を直接ショートさせる場合に限らず、下層のメタル、スルーホール、コンタクトなどを介してショートさせてもよい。この場合、ダミー画素12dの反射電極PEの形状を、画素12の反射電極PEの形状と同じにすることができるため、ダミー画素12dと画素12とで開口率を同じにすることができる。

[0118] 本実施の形態では、互いに隣接する 2×2 の合計4個のダミー画素12dが配置された場合について説明したが、これに限られない。許容される範囲内で任意の数のダミー画素12dが配置されてよい。また、複数のダミー画

素 1 2 d は、互いに隣接している必要もない。

[0119] <実施の形態 3>

図 1 2 は、実施の形態 3 にかかる液晶表示装置における、複数の画素 1 2 及びダミー画素 1 2 d のそれぞれに用いられている反射電極 P E の一部を示す概略平面図である。

[0120] 図 1 2 の例では、平面視して矩形状に設けられた複数の画素配置領域のうち、外周辺の一辺に沿って配置された複数の領域のそれぞれに複数のダミー画素 1 2 d が配置され、それ以外の複数の領域に、複数の画素 1 2 が配置されている。

[0121] なお、温度センサ S 1 は、複数のダミー画素 1 2 d のそれぞれに形成された複数の P N P 型バイポーラトランジスタを並列接続することにより構成されてもよいし、複数のダミー画素 1 2 d の回路部に拡大形成された 1 個の P N P 型バイポーラトランジスタにより構成されてもよい。複数のダミー画素 1 2 d が配置される場合、1 つのダミー画素 1 2 d が配置される場合よりも高い自由度で温度センサ S 1 用の P N 接合ダイオードを形成することが可能となる。複数のダミー画素 1 2 d を配置して、複数の温度センサ S 1 を並列接続したり、1 つの大きな温度センサ S 1 を配置したりすることにより、測定温度の精度を向上させることが可能となる。

[0122] また、複数の画素配置領域の周辺領域には額縁電極が配置されている。なお、額縁電極には、複数の画素 1 2 及び複数のダミー画素 1 2 d のそれぞれの共通電極 C E と共に、交流化信号 F R が共通電極電圧 V c o m として供給される。それにより、額縁電極と共通電極 C E との間の電位差が 0 V となるため、額縁電極には黒が表示される。

[0123] ここで、全体画面の外周辺の一辺に沿って配置された複数のダミー画素 1 2 d の反射電極 P E は、何れも額縁電極に接続されている。なお、ダミー画素 1 2 d の反射電極 P E と、それより下層の回路部との間は、コンタクトやスルーホールのパターンを調整することで電氣的に分離されている。そのため、ダミー画素 1 2 d の反射電極 P E 及び額縁電極には、同電圧が印加され

るようになっている。

[0124] それにより、全体画面の外周辺の一辺に沿って配置された複数のダミー画素 1 2 d には、ダミーの絵柄（画像）が表示される代わりに、額縁電極と同じ黒が表示されることになる。しかしながら、これら複数のダミー画素 1 2 d によって表示される黒は、額縁電極によって表示される黒と連続しているため、画面全体の画像のうち画素一列分の画像が表示されなくなるにすぎず、同じ絵柄が表示される等の画像の乱れはない。

[0125] なお、ダミー画素 1 2 d の反射電極 P E と、それに接続される額縁電極とは、直接ショートさせる場合に限らず、下層のメタル、スルーホール、コンタクトなどを介してショートさせてもよい。この場合、ダミー画素 1 2 d の反射電極 P E の形状を、画素 1 2 の反射電極 P E の形状と同じにすることができ、ダミー画素 1 2 d と画素 1 2 とで開口率を同じにすることができる。

[0126] 本実施の形態では、平面視して矩形状に設けられた複数の画素配置領域のうち、外周辺の一辺に沿って一列分の複数のダミー画素 1 2 d が配置された場合について説明したが、これに限られない。許容される範囲内で任意の列分の複数のダミー画素 1 2 d が配置されてもよい。また、外周辺の一辺に限らず、2 辺以上のそれぞれに沿って複数のダミー画素 1 2 d が配置されてもよい。

[0127] 以上のように、上記実施の形態 1 ～ 3 にかかる反射型液晶表示装置は、複数の画素配置領域のうちの一部に、温度センサ S 1 を有するダミー画素 1 2 d を配置することにより、精度良くかつリアルタイムに画素 1 2 の温度を計測することができる。また、上記実施の形態 1 ～ 3 にかかる反射型液晶表示装置は、ダミー画素 1 2 d の回路部を用いて温度センサを形成することができ、温度センサを個別に用意して設置する必要が無いため、温度センサの材料費や設置コストを削減することができる。

[0128] なお、ダミー画素 1 2 d の反射電極 P E と、画素 1 2 の反射電極 P E 又は額縁電極と、の接続手段は、上記した内容に限らず、趣旨を逸脱しない範

囲で任意の接続手段を用いることができる。

[0129] この出願は、2017年8月31日に出願された日本出願特願2017-166723を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0130] 本発明は、液晶プロジェクタ等に搭載される液晶表示装置に好適に適用することができる。

符号の説明

[0131] 10 液晶表示装置
11 画像表示部
12 画素
12d ダミー画素
13 タイミングジェネレータ
14 垂直シフトレジスタ
15 データラッチ回路
16 水平ドライバ
20 上位装置
100 シリコン基板
101 Nウエル
102 Pウエル
103 素子分離酸化膜
105 層間絶縁膜
106 第1メタル
108 第2メタル
110 第3メタル
112 MIM電極
114 第4メタル
116 第5メタル

1 1 7 パッシベーション膜 (P S V)
1 1 8 コンタクト
1 1 9 a ~ 1 1 9 e スルーホール
1 6 1 水平シフトレジスタ
1 6 2 ラッチ部
1 6 3 レベルシフタ／画素ドライバ
1 6 4 ラッチ回路
1 6 4 1 ~ 1 6 4 3 ラッチ回路群
2 0 1 S R A M セル
2 0 2 D R A M セル
d 1 ~ d n 列データ線
d L, d M, d R 列データ線群
g 1 ~ g m 行走査線
t r i g, t r i g b トリガ線
B F 1 バッファ
C 1 容量
C E 共通電極
D 1 L, D 1 b L, D 2 L, D 2 b L 遅延バッファ
D 1 R, D 1 b R, D 2 R, D 2 b R 遅延バッファ
D M 2 記憶部
I N V 1 1, I N V 1 2 インバータ
I V 1 インバータ
I V 2 1, I V 2 2 インバータ
L C 液晶表示素子
L C d ダミー液晶表示素子
L C M 液晶
M N 1, M N 2 N M O S トランジスタ
M N 1 1, M N 1 2 N M O S トランジスタ

MN 2 1, MN 2 2 NMOSトランジスタ

MP 2 PMOSトランジスタ

MP 1 1, MP 1 2 PMOSトランジスタ

MP 2 1, MP 2 2 PMOSトランジスタ

P E 反射電極

S 1 温度センサ

SM 1 記憶部

SW 1, SW 2 スイッチ

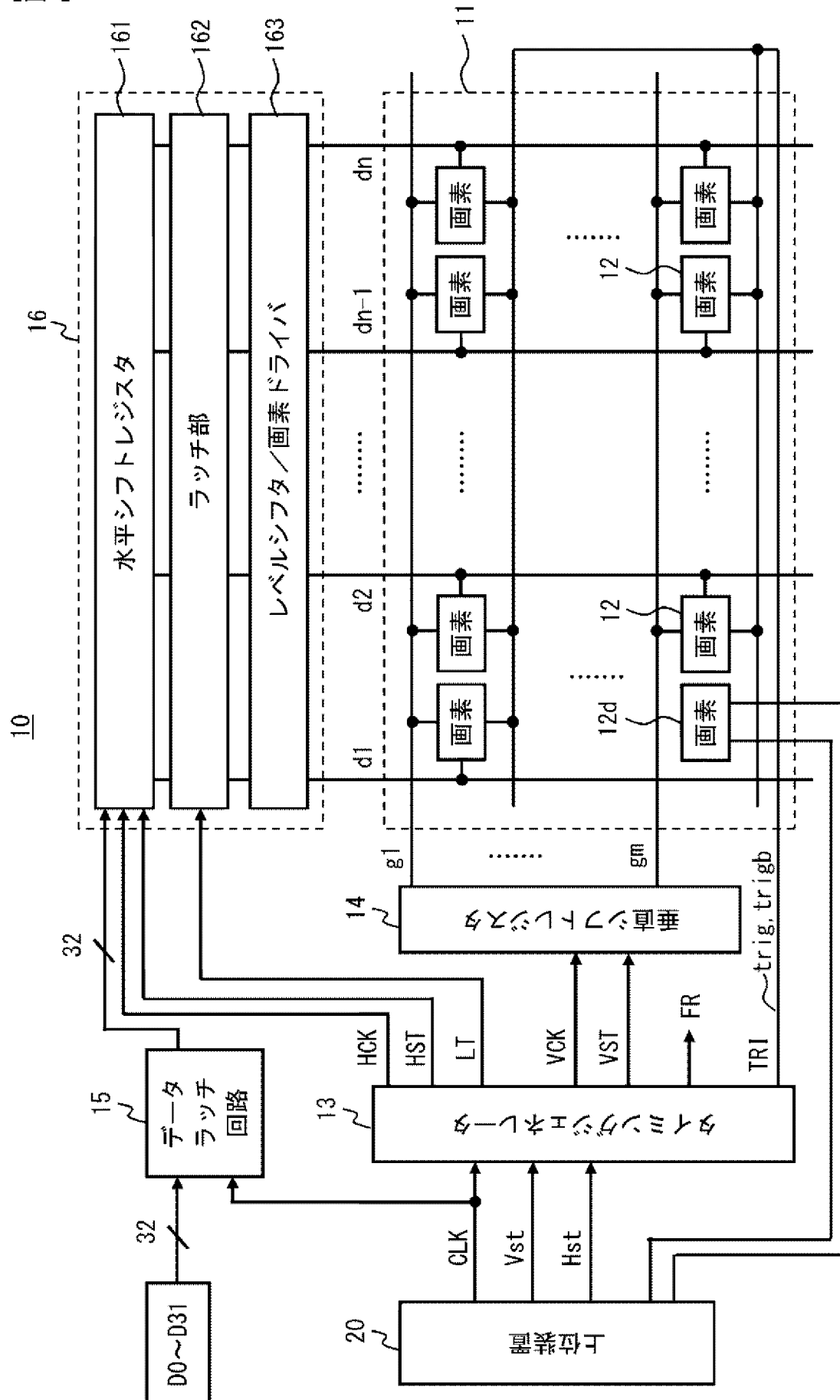
SW 2 1, SW 2 2 スイッチ

請求の範囲

- [請求項1] 複数の画素と、
温度センサと、を備え、
前記温度センサは、行列状に区画された複数の画素配置領域のうち一又は複数の領域に形成されている、
反射型液晶表示装置。
- [請求項2] 前記各画素は、
共通電極、反射電極及びそれらの間に封入された液晶により構成された液晶表示素子と、
前記反射電極に対し、表示させる画像に応じた電圧を印加する回路部と、
を有し、
前記温度センサは、前記画素の前記回路部に対応する領域に形成されている、
請求項1に記載の反射型液晶表示装置。
- [請求項3] 前記温度センサは、平面視して矩形状に設けられた前記複数の画素配置領域のうち、外周辺に沿って設けられた複数の領域の何れかに形成されている、
請求項1又は2に記載の反射型液晶表示装置。
- [請求項4] 前記温度センサを覆うように形成されたダミー液晶表示素子をさらに有し、
前記ダミー液晶表示素子の反射電極は、前記ダミー液晶表示素子に隣接する前記画素に設けられた液晶表示素子の反射電極と短絡するように形成されている、
請求項1～3の何れか一項に記載の反射型液晶表示装置。
- [請求項5] 前記温度センサを覆うように形成されたダミー液晶表示素子をさらに有し、
前記温度センサは、平面視して矩形状に設けられた前記複数の画素

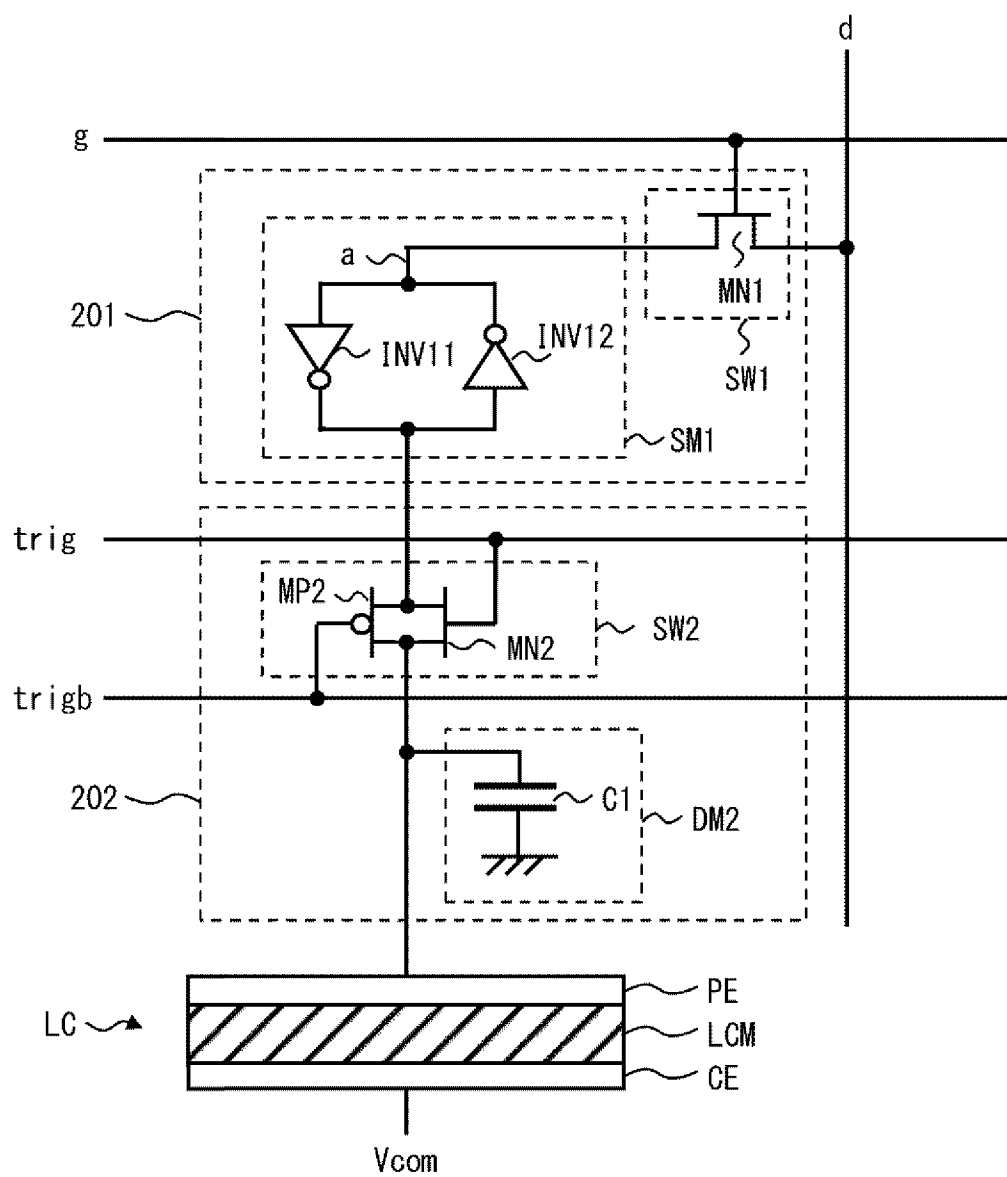
配置領域のうち、外周辺に沿って設けられた複数の領域に形成され、
前記ダミー液晶表示素子の反射電極は、平面視して前記複数の画素
配置領域を囲む額縁電極と短絡するように形成されている、
請求項 1 ～ 3 の何れか一項に記載の反射型液晶表示装置。

[図1]

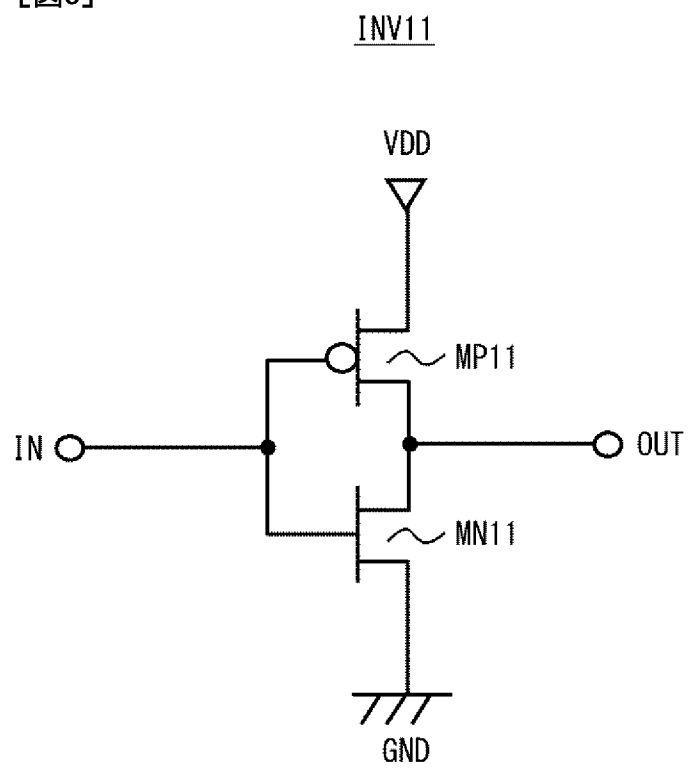


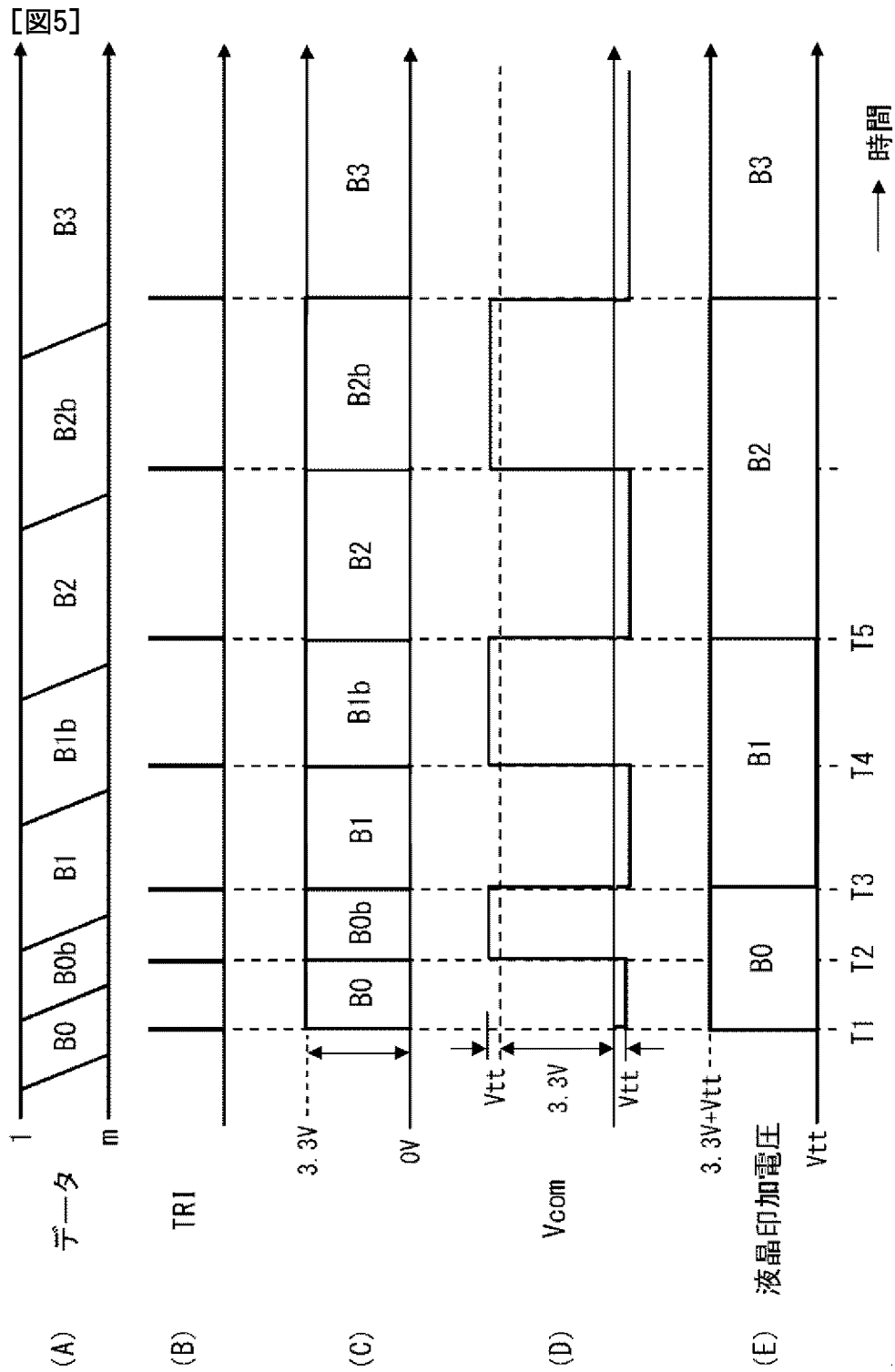
[図2]

12

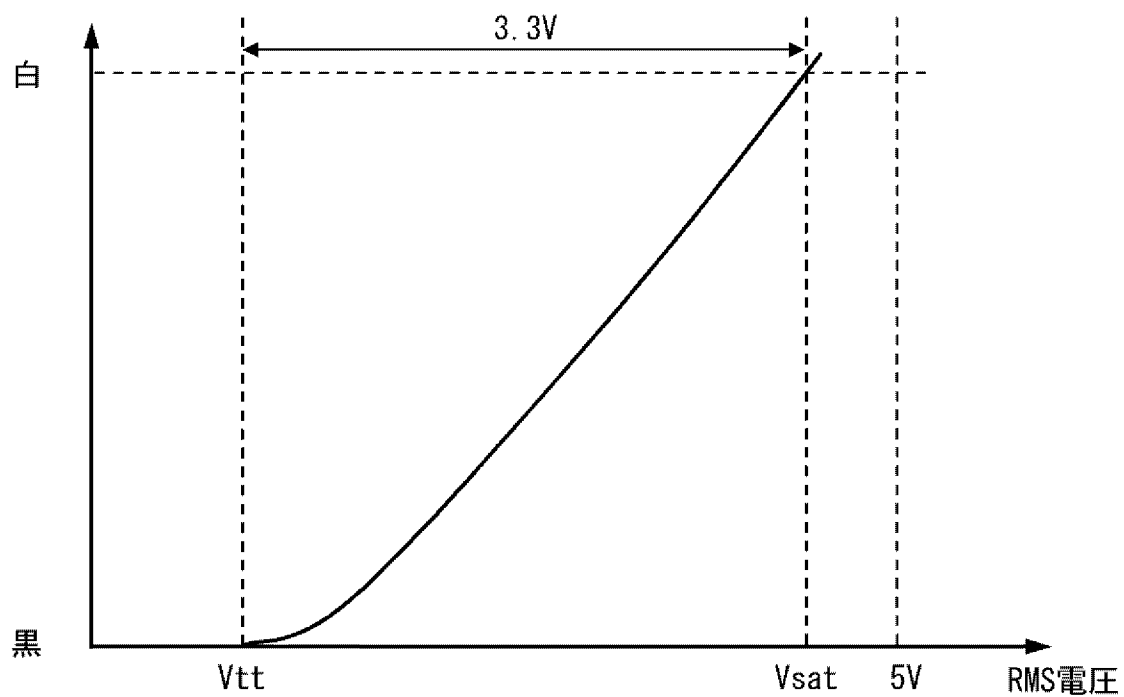


[図3]

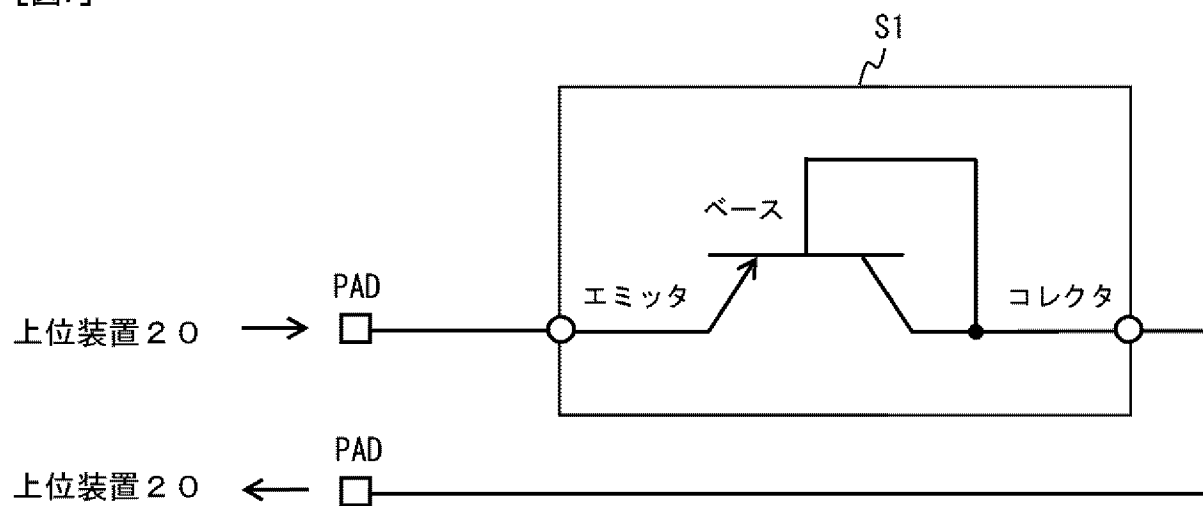




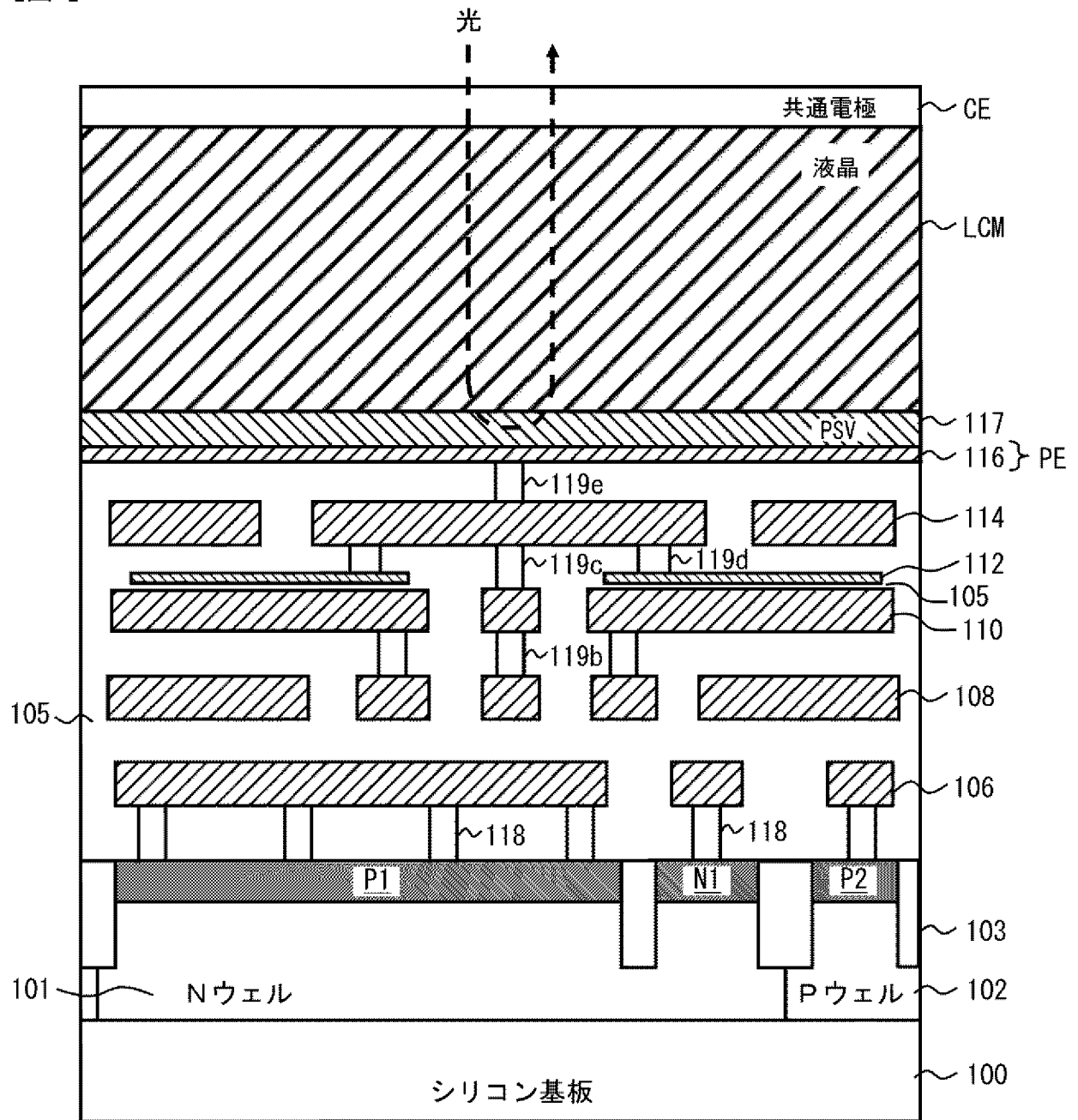
[図6]
グレースケール



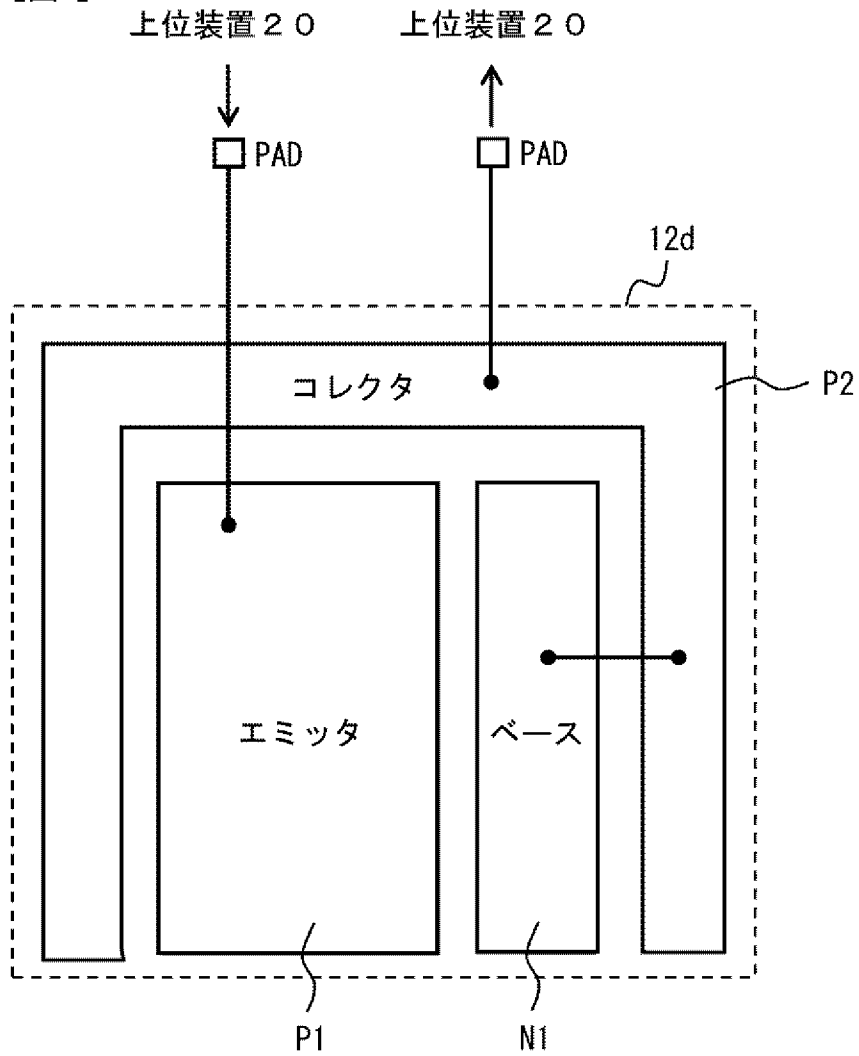
[図7]



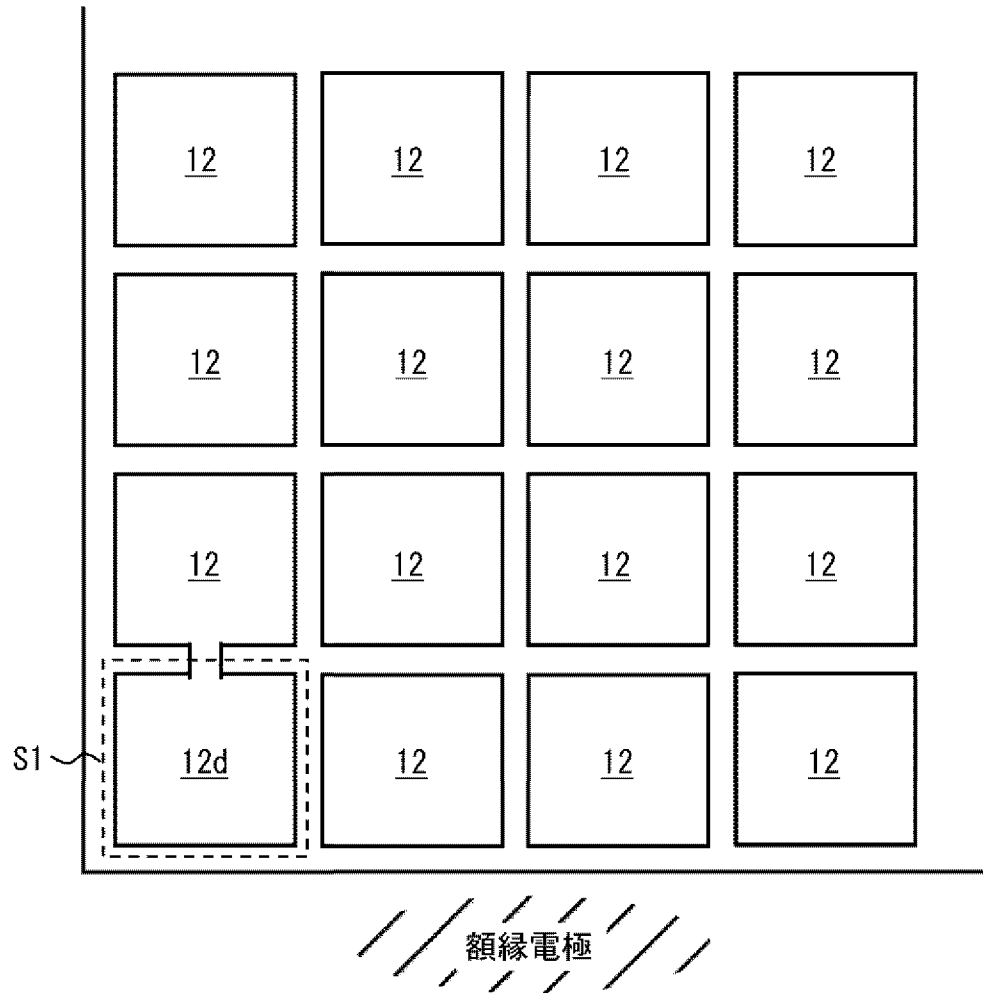
[図8]



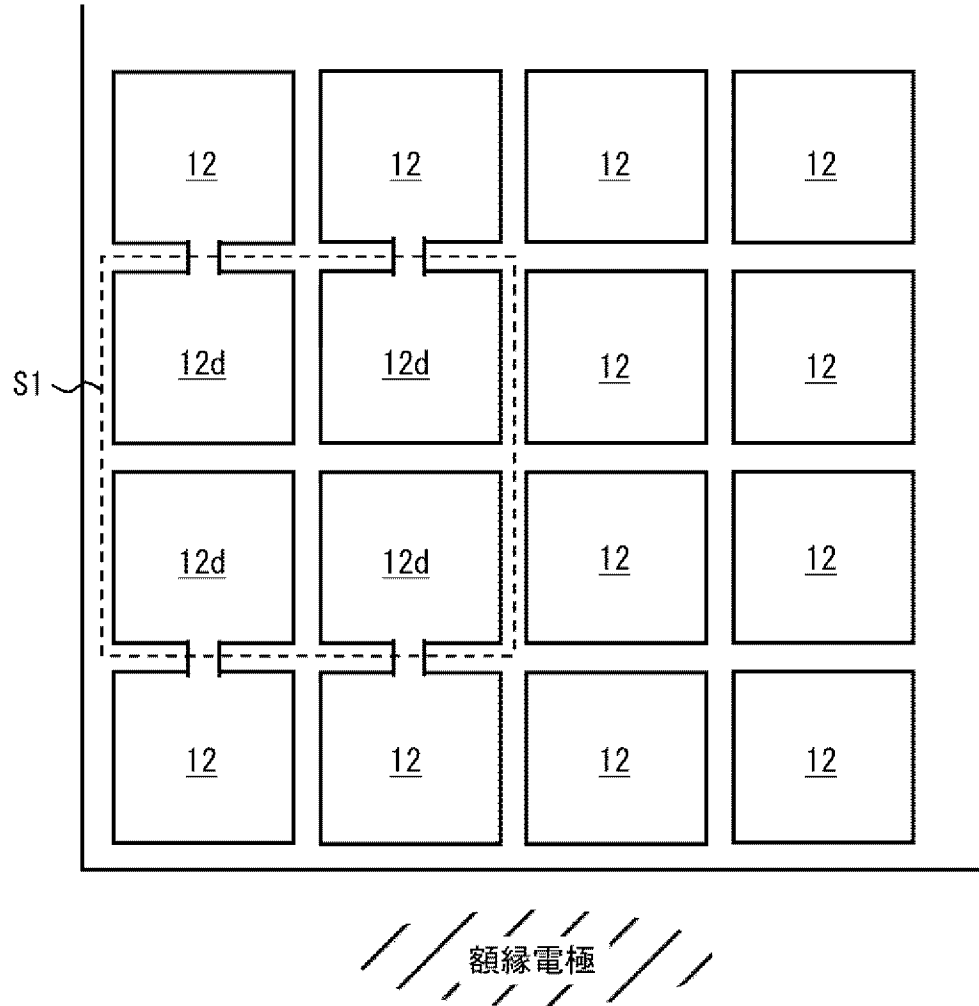
[図9]



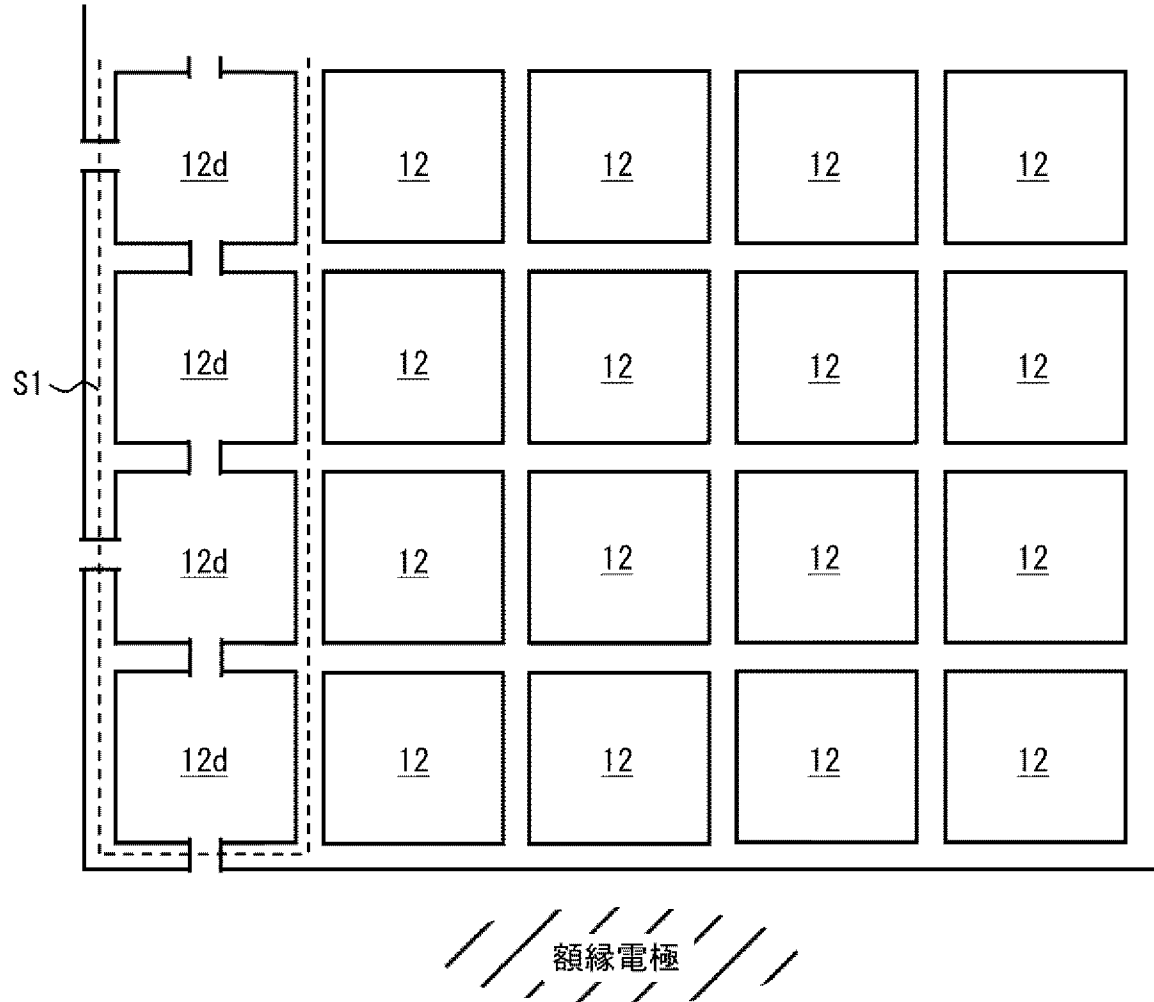
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025436

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/133 (2006.01) i, G02F1/1335 (2006.01) i, G02F1/1343 (2006.01) i, G02F1/136 (2006.01) i, G09G3/20 (2006.01) i, G09G3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/133, G02F1/1335, G02F1/1343, G02F1/136, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-85619 A (SEIKO EPSON CORPORATION) 28 April	1-3
Y	2011, paragraph [0023], fig. 1	5
A	(Family: none)	4
X	JP 2013-167455 A (SEIKO EPSON CORPORATION) 29	1-3
Y	August 2013, paragraphs [0198]-[0200]	5
A	(Family: none)	4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12.09.2018

Date of mailing of the international search report
25.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025436

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-78942 A (SEIKO EPSON CORPORATION) 08 April 2010, paragraphs [0059]-[0070], fig. 4, 5 & US 2010/0079691 A1, fig. 4, 5	5 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/133(2006.01)i, G02F1/1335(2006.01)i, G02F1/1343(2006.01)i, G02F1/136(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, G02F1/1335, G02F1/1343, G02F1/136, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-85619 A (セイコーエプソン株式会社) 2011.04.28, [0023], 図1 (ファミリーなし)	1-3 5 4
X Y A	JP 2013-167455 A (セイコーエプソン株式会社) 2013.08.29, [0198]-[0200] (ファミリーなし)	1-3 5 4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.09.2018

国際調査報告の発送日

25.09.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小濱 健太

電話番号 03-3581-1101 内線 3295

2 L

4009

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-78942 A (セイコーエプソン株式会社) 2010. 04. 08, [0059]-[0070], 図 4, 5 & US 2010/0079691 A1, 図 4, 5	5 4