(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 27/14
H01L 31/10
H04N 5/335

(11) 공개번호 10-2004-0071114
(43) 공개일자 2004년08월11일

(21) 출원번호 10-2004-7000861
(22) 출원일자 2004년01월19일
번역문 제출일자 2004년01월19일
(86) 국제출원번호 PCT/JP2002/012770
(86) 국제출원출원일자 2002년12월05일
(87) 국제공개번호 WO 2003/049190
(87) 국제공개일자 2003년06월12일

(30) 우선권주장 JP-P-2001-00371753 2001년12월05일 일본(JP)
JP-P-2002-00064000 2002년03월08일 일본(JP)

(71) 출원인 하마마츠 포토닉스 가부시키가이샤
일본국 시주오카켄 하마마츠시 이치노초 1126-1

(72) 발명자 수기야마유키노부
일본국 시주오카켄 하마마츠시 이치노초 1126-1 하마마츠 포토닉스가부시키가이샤 내

토요다하루요시
일본국 시주오카켄 하마마츠시 이치노초 1126-1 하마마츠 포토닉스가부시키가이샤 내

무코자카나오히사
일본국 시주오카켄 하마마츠시 이치노초 1126-1 하마마츠 포토닉스가부시키가이샤 내

미즈노세이이치로
일본국 시주오카켄 하마마츠시 이치노초 1126-1 하마마츠 포토닉스가부시키가이샤 내

(74) 대리인 이병호

심사청구 : 없음

(54) 광 검출 장치, 촬상 장치 및 거리 화상 취득 장치

요약

광 감응 영역은 P형 반도체로 이루어지는 반도체 기판(40)과, 상기 반도체 기판(40)의 표층에 형성된 N형 반도체 영역(41, 42)을 포함하고 있다. 이로써, 각 광 감응 부분은 반도체 기판(40) 부분과 1 세트인 영역(41, 42)을 포함하게 되고, 포토다이오드를 구성하게 된다. 영역(41, 42)은 광 입사 방향에서 보아 대략 삼각형 형상을 보이고 있고, 1화소에 있어서 2개의 영역(41, 42)이 서로 1변이 인접하여 형성되어 있다. 제 1 배선(44)은 각 화소에 있어서의 한쪽 영역(41)을 제 1 방향에 걸쳐 전기적으로 접속하는 것으로서, 화소간을 제 1 방향으로 연장하여 설치되어 있다. 제 2 배선(47)은 각 화소에 있어서의 다른 한쪽 영역(42)을 제 2 방향에 걸쳐 전기적으로 접속하는 것으로서, 화소간을 제 2 방향으로 연장하여 설치되어 있다.

대표도

도 2

색인어

화소, 광 감응 영역, 광 검출 장치, 반도체 영역, 반도체 기판

명세서

기술분야

본 발명은 광이 입사한 2차원 위치를 검출하는 광 검출 장치, 상기 광 검출 장치를 이용한 촬상 장치 및 상기 촬상 장치를 이용한 거리 화상 취득 장치에 관한 것이다.

배경기술

종래에 있어서의 광 검출 장치에 있어서는, MOS형 이미지 센서 등의 고체 촬상 소자를 이용하여, 촬상에 의해 얻어진 화상 데이터를 화상 메모리에 넣어, 화상 처리하여 2차원 위치를 검출하는 것이 일반적이다.

발명의 상세한 설명

그렇지만, 상술한 종래 기술에 있어서는, 얻어진 화상 데이터를 격납하는 화상 메모리가 필요해지기 때문에, 장치 구성이 복잡한 것이 되어 버린다. 또한, 화상 데이터를 화상 메모리에 격납한 후에 연산 처리를 행하여 2차원 위치를 검출하기 때문에, 2차원 위치의 검출 처리에 시간이 걸려 버린다.

본 발명은 상술한 점을 감안하여 이루어진 것으로, 제 1 목적은 2차원 위치의 검출 처리의 고속화 및 구성의 간소화를 도모하는 것이 가능한 광 검출 장치를 제공하는 것이다.

제 2 목적은 상기 광 검출 장치를 이용함으로써, 2차원 위치의 검출 처리의 고속화 및 구성의 간소화를 도모하는 것이 가능한 촬상 장치를 제공하는 것이다.

제 3 목적은 상기 촬상 장치를 이용함으로써, 거리 화상을 취득하기 위한 연산 속도를 낮게 억제하여, 저소비 전류화 및 저발열화를 도모하는 것이 가능한 거리 화상 취득 장치를 제공하는 것이다.

상술한 제 1 목적을 달성하기 위해, 본 발명에 따른 광 검출 장치는 화소가 2차원 배열된 광 감응 영역을 갖는 광 검출 장치로서, 각각 입사한 광의 강도에 따른 전류를 출력하는 복수의 광 감응 부분을 동일면 내에서 인접하여 배치함으로써 1화소가 구성되어 있고, 2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소에 걸쳐 상기 각 화소를 구성하는 복수의 광 감응 부분 중 한쪽의 광 감응 부분끼리가 전기적으로 접속되고, 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소에 걸쳐 상기 각 화소를 구성하는 복수의 광 감응 부분 중 다른 한쪽의 광 감응 부분끼리가 전기적으로 접속되어 있는 것을 특징으로 하고 있다.

본 발명에 따른 광 검출 장치에서는, 1개의 화소에 입사한 광은 상기 화소를 구성하는 복수의 광 감응 부분 각각에 있어서 검출되어, 광 강도에 따른 전류가 광 감응 부분마다 출력된다. 그리고, 한쪽의 광 감응 부분끼리가 2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소에 걸쳐 전기적으로 접속되어 있기 때문에, 한쪽의 광 감응 부분으로부터의 전류 출력은 제 1 방향으로 보내진다. 또한, 다른 한쪽의 광 감응 부분끼리가 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소에 걸쳐 전기적으로 접속되어 있기 때문에, 다른 한쪽의 광 감응 부분으로부터 의 전류 출력은 제 2 방향으로 보내진다. 이와 같이, 한쪽의 광 감응 부분으로부터의 전류 출력은 제 1 방향으로 보내짐과 동시에, 다른 한쪽의 광 감응 부분으로부터의 전류 출력은 제 2 방향으로 보내지기 때문에, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 각각 독립하여 얻는 것이 가능해진다. 이 결과, 1화소에 복수의 광 감응 부분을 배치하는 극히 간소한 구성으로, 입사한 광의 2차원 위치를 고속으로 검출할 수 있다.

또한, 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고, 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 삼각형 형상을 보이고 있고, 1화소에 있어서 서로 1변이 인접하여 형성되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 광 감응 부분을 1화소 내에 배치할 때에, 각 광 감응 부분의 면적이 감소하는 것을 억제할 수 있다.

또한, 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고, 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 직사각형 형상을 보이고 있고, 1화소에 있어서 긴 변이 인접하여 형성되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 광 감응 부분을 1화소 내에 배치할 때에, 각 광 감응 부분의 면적이 감소하는 것을 억제할 수 있다.

또한, 제 1 방향으로 배열된 복수의 화소에 걸쳐 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 화소간을 제 1 방향으로 연장하여 설치되어 있 고, 제 2 방향으로 배열된 복수의 화소에 걸쳐 다른 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 화소간을 제 2 방향으로 연장하여 설치되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 각각의 배선에 의해 광 감응 부분으로의 광 입사를 방해받는 일 없이, 검출 감도의 저하를 억제할 수 있다.

또한, 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고, 제 2 도전형 반도체 영역은 1화소당 4분할되어 있고, 그 분할되어 있는 경계에 제 1 방향으로 배열된 복수의 화소에 걸쳐 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선과 제 2 방향으로 배열된 복수의 화소에 걸쳐 다른 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 설치되어 있고, 1화소당 4분할된 제 2 도전형 반도체 영역은 대각끼리가 배선에 접속되어 있는 것이 바람직하다.

또한, 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고, 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 4각형 이상의 다각형 형상을 보이고 있고, 1화소에 있어서 1변이 인접하여 형성되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 광 감응 부분을 1화소 내에 배치할 때에, 각 광 감응 부분의 면적이 감소하는 것을 억제할 수 있다. 또한, 각 광 감응 부분의 면적에 대한 주위 길이는 감소하게 되어, 단위 면적당 환산한 암전류가 저감된다.

또한, 한쪽의 광 감응 부분의 제 2 도전형 반도체 영역과 다른 한쪽의 광 감응 부분의 제 2 도전형 반도체 영역은 1화소에 있어서 제 1 방향과 제 2 방향에 교 차하는 제 3 방향으로 병설되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분군 및 제 2 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분군에 있어서, 각 광 감응 부분군의 중심 부분에 대응하는 광 감응 부분이 집중하게 되어 해상도를 향상시킬 수 있다.

또한, 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 허니컴(honeycomb)형으로 배열되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 광 감응 부분을 1화소 내에 배치할 때에, 각 광 감응 부분의 면적이 감소하는 것을 보다 한층 더 억제할 수 있다. 또한, 기하학적 대칭성이 높고, 제 2 도전형 반도체 영역을 형성하기 위해 사용하는 마스크가 위치 어긋남에 의한 불균일성을 억제할 수 있다.

또한, 제 1 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분군으로부터의 전류 출력을 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와, 제 2 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와, 제 1 시프트 레지스터에 의해 순차 판독되는 각 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고 그 전류 출력을 전압값으로 변환하여 출력하는 제 1 적분 회로와, 제 2 시프트 레지스터에 의해 순차 판독되는 각 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압값으로 변환하여 출력하는 제 2 적분 회로를 또한 갖고 있 는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 극히 간단한 구성으로 얻을 수 있다.

또한, 제 1 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분군에 대응하여 설치되고, 대응하는 한쪽의 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 전압값을 출력하는 제 1 적분 회로와, 제 1 적분 회로에 대응하여 설치되고, 대응하는 제 1 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 1 CDS 회로(상관 2중 샘플링; Correlated Double Sampling)와, 제 1 CDS 회로에 대응하여 설치되고, 대응하는 제 1 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 1 샘플 앤드 홀드 회로와, 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 1 최대값 검출 회로와, 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 제 1 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 1 A/D 변환 회로와, 제 2 방향으로 배열된 복수의 화소간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분군에 대응하여 설치되고, 대응하는 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 상기 전압값을 출력하는 제 2 적분 회로와, 제 2 적분 회로에 대응하여 설치되고, 대응하는 제 2 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 2 CDS 회로와, 제 2 CDS 회로에 대응하여 설치되고, 대응하는 제 2 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 2 샘플 앤드 홀드 회로와, 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 2 최대값 검출 회로와, 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 제 2 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 2 A/D 변환 회로를 또한 갖고 있는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 적분 회로 및 제 2 적분 회로

각각이 적분 동작마다 다른 노이즈 격차를 갖고 있어도, 제 1 CDS 회로 및 제 2 CDS 회로에 의해 노이즈 오차가 해소된다. 또한, 광 감응 부분에 입사하는 광 강도가 클 때 뿐만 아니라, 광 강도가 작아도 A/D 변환의 분해능이 뛰어난 것이 된다. 이 결과, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 고정밀도로 얻을 수 있다.

또한, 상술한 제 1 목적을 달성하기 위해, 본 발명에 따른 광 검출 장치는 광 감응 영역을 갖는 광 검출 장치로서, 광 감응 영역은 제 1 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 1 광 감응 부분과 제 1 방향으로 교차하는 제 2 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 2 광 감응 부분을 포함하고, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분은 2차원적으로 혼재한 상태에서 동일면 내에서 배열되어 있는 것을 특징으로 하고 있다.

본 발명에 따른 광 검출 장치에서는, 광 감응 영역에 입사한 광은 어느 한 제 1 광 감응 부분 및 제 2 광 감응 부분에서 검출되고, 광 강도에 따른 전류가 각 광 감응 부분마다 출력된다. 그리고, 제 1 광 감응 부분끼리가 제 1 방향에 걸쳐 전기적으로 접속되어 있기 때문에, 제 1 광 감응 부분으로부터의 전류 출력은 제 1 방향으로 보내진다. 또한, 제 2 광 감응 부분끼리가 제 2 방향에 걸쳐 전기적으로 접속되어 있기 때문에, 제 2 광 감응 부분으로부터의 전류 출력은 제 2 방향으로 보내진다. 이와 같이, 제 1 광 감응 부분으로부터의 전류 출력은 제 1 방향으로 보내짐과 동시에, 제 2 광 감응 부분으로부터의 전류 출력은 제 2 방향으로 보내지기 때문에, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 각각 독립하여 얻는 것이 가능해진다. 이 결과, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분을 2차원적으로 혼재한 상태에서 동일면 내에서 배열한다는 극히 간소한 구성으로, 입사한 광의 2차원 위치를 고속으로 검출할 수 있다.

또한, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분은 제 1 방향 또는 제 2 방향에 있어서 교대로 배열되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분을 2차원적으로 혼재한 상태에서 동일면 내에서 배열시킬 때에, 각 광 감응 부분의 면적이 감소하는 것을 억제할 수 있다.

또한, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분은 제 1 방향과 제 2 방향으로 교차하는 제 3 방향에서 교대로 배열되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 방향에 걸쳐 서로 전기적으로 접속된 제 1 광 감응 부분군 및 제 2 방향에 걸쳐 서로 전기적으로 접속된 제 2 광 감응 부분군에 있어서, 각 광 감응 부분군의 중심 부분에 대응하는 광 감응 부분이 집중하게 되어 해상도를 향상시킬 수 있다.

또한, 각 광 감응 부분은 광 입사 방향에서 보아 허니컴형으로 배열되어 있 는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분을 2차원적으로 혼재한 상태에서 동일면 내에서 배열시킬 때에, 각 광 감응 부분의 면적이 감소하는 것을 보다 한층 더 억제할 수 있다. 또한, 기하학적 대칭성이 높고, 제 2 도전형 반도체 영역을 형성하기 위해 이용하는 마스크가 위치 어긋남에 의한 불균일성을 억제할 수 있다.

또한, 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고, 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 다각형 형상을 보이고 있고, 서로 1변이 인접하여 형성되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 복수의 제 1 광 감응 부분과 복수의 제 2 광 감응 부분을 2차원적으로 혼재한 상태에서 동일면 내에서 배열시킬 때에, 각 광 감응 부분의 면적이 감소하는 것을 억제할 수 있다. 또한, 제 2 도전형 반도체 영역의 형상을 4각형 이상의 다각형 형상으로 한 경우, 각 광 감응 부분의 면적에 대한 주위 길이가 줄게 되어, 단위 면적당 환산한 암전류가 저감된다.

또한, 제 1 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 각 광 감응 부분간을 제 1 방향으로 연장하여 설치되어 있고, 제 2 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 각 광 감응 부분간을 제 2 방향으로 연장하여 설치되어 있는 것이 바람직하다. 이와 같이 구성한 경우, 각각의 배선에 의해 광 감응 부분으로의 광 입사를 방해받는 일 없이, 검출 감도의 저하를 억제할 수 있다.

또한, 제 1 방향에 걸쳐 서로 전기적으로 접속된 제 1 광 감응 부분군으로부 터의 전류 출력을 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와, 제 2 방향에 걸쳐 서로 전기적으로 접속된 제 2 광 감응 부분군으로부터의 전류 출력을 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와, 제 1 시프트 레지스터에 의해 순차 판독되는 각 제 1 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 1 적분 회로와, 제 2 시프트 레지스터에 의해 순차 판독되는 각 제 2 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 2 적분 회로를 또한 갖고 있는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 극히 간단한 구성으로 얻을 수 있다.

또한, 제 1 방향에 걸쳐 서로 전기적으로 접속된 제 1 광 감응 부분군에 대응하여 설치되고, 대응하는 제 1 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하여 전압값을 출력하는 제 1 적분 회로와, 제 1 적분 회로에 대응하여 설치되고, 대응하는 제 1 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 1 CDS 회로와, 제 1 CDS 회로에 대응하여 설치되고, 대응하는 제 1 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 1 샘플 앤드 홀드 회로와, 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 1

최대값 검출 회로와, 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 제 1 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 1 A/D 변환 회로와, 제 2 방향에 걸쳐 서로 전기적으로 접속된 제 2 광 감응 부분군 에 대응하여 설치되고, 대응하는 제 2 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고 해당 전압값을 출력하는 제 2 적분 회로와, 제 2 적분 회로에 대응하여 설치되고, 대응하는 제 2 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 2 CDS 회로와, 제 2 CDS 회로에 대응하여 설치되고, 대응하는 제 2 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 2 샘플 앤드 홀드 회로와, 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 2 최대값 검출 회로와, 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 제 2 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고 그 디지털값을 출력하는 제 2 A/D 변환 회로를 또한 갖고 있는 것이 바람직하다. 이와 같이 구성한 경우, 제 1 적분 회로 및 제 2 적분 회로 각각이 적분 동작마다 상이한 노이즈 격차를 갖고 있어도 제 1 CDS 회로 및 제 2 CDS 회로에 의해 노이즈 오차가 해소된다. 또한, 광 감응 부분에 입사하는 광 강도가 클 때 뿐만 아니라, 광 강도가 작아도 A/D 변환의 분해능이 뛰어난 것이 된다. 이 결과, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 고정밀도로 얻을 수 있다.

상술한 제 2 목적을 달성하기 위해, 본 발명에 따른 촬상 장치는 상기 광 검출 장치가 2차원 배열되어 있는 것을 특징으로 하고 있다.

본 발명에 따른 광 검출 장치에서는, 상기 광 검출 장치가 2차원 배열되어 있기 때문에, 극히 간소한 구성으로, 입사한 광의 휘도 프로파일을 고속으로 검출할 수 있다.

또한, 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 상기 광 검출 장치로 이루어지는 광 검출 장치군마다에 있어서, 제 1 방향으로 배열된 복수의 화소간에 걸쳐 전기적으로 접속된 한쪽의 광 감응 부분군으로부터의 전류 출력을 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와, 제 2 방향으로 배열된 복수의 광 검출 장치로 이루어지는 광 검출 장치군마다 설치되고, 제 1 시프트 레지스터에 의해 순차 판독되는 각 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 1 적분 회로와, 2차원 배열에 있어서의 제 1 방향으로 배열되다 복수의 광 검출 장치로 이루어지는 광 검출 장치군마다에 있어서, 제 2 방향으로 배열된 복수의 화소간에 걸쳐 전기적으로 접속된 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와, 제 1 방향으로 배열된 복수의 광 검출 장치로 이루어지는 광 검출 장치군마다 설치되고, 제 2 시프트 레지스터에 의해 순차 판독되는 각 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 2 적분 회로를 또한 갖고 있는 것이 바람직하다.

상술한 제 3 목적을 달성하기 위해, 본 발명에 따른 거리 화상 취득 장치는 상기 촬상 장치가 소정의 간격을 가지고 한 쌍 배치되어 있고, 제 1 적분 회로 및 제 2 적분 회로로부터의 전압 출력에 근거하여, 광 검출 장치마다에 있어서의 시차량을 추출하는 시차량 추출 수단과, 시차량 추출 수단에서 추출된 시차량에 근거하여, 광 검출 장치마다에 있어서의 피측정물까지의 거리를 연산하는 거리 연산 수단 과, 거리 연산 수단에서 연산된 거리에 근거하여, 거리 화상을 생성하는 거리 화상 생성 수단을 갖고 있는 것을 특징으로 하고 있다.

본 발명에 따른 거리 화상 취득 장치에서는, 촬상 장치에 포함되는 광 검출 장치마다에 있어서 거리 화상을 얻기 위해 취급하는 데이터량이 극히 적어도 된다. 이 결과, 거리 화상을 취득하기 위한 연산 속도를 낮게 억제하여 저소비 전류화 및 저발열화를 도모할 수 있다.

도면의 간단한 설명

도 1은 본 실시예에 따른 광 검출 장치를 도시하는 개념 개략 구성도.

도 2는 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 3은 도 2의 III-III선을 따른 단면도.

도 4는 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 5는 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 6은 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 7은 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 8은 본 실시예에 따른 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도.

도 9는 본 실시예에 따른 광 검출 장치에 포함되는 제 1 신호 처리 회로를 도시하는 개략 구성도.

도 10은 본 실시예에 따른 광 검출 장치에 포함되는 제 2 신호 처리 회로를 도시하는 개략 구성도.

도 11의 (a)는 제 1 시프트 레지스터에 입력되는 스타트 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (b)는 제 1 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (c)는 제 1 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (d)는 제 1 적분 회로에 입력되는 리셋 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (e)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (f)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (g)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 11의 (h)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안 의 변화를 도시하는 그래프.

도 11의 (i)는 제 1 신호 처리 회로로부터 출력되는 전압의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (a)는 제 2 시프트 레지스터에 입력되는 스타트 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (b)는 제 2 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (c)는 제 2 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (d)는 제 2 적분 회로에 입력되는 리셋 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (e)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (f)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (g)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (h)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 12의 (i)는 제 2 신호 처리 회로로부터 출력되는 전압의 짧은 시간 동안 의 변화를 도시하는 그래프.

도 13은 본 실시예에 따른 광 검출 장치에 포함되는 제 1 신호 처리 회로의 변형예를 도시하는 개략 구성도.

도 14는 본 실시예에 따른 광 검출 장치에 포함되는 제 2 신호 처리 회로의 변형예를 도시하는 개략 구성도.

도 15는 제 1 신호 처리 회로의 변형예에 포함되는 제 1 적분 회로의 회로도.

도 16은 제 1 신호 처리 회로의 변형예에 포함되는 제 1 CDS 회로의 회로도.

도 17은 제 1 신호 처리 회로의 변형예에 포함되는 제 1 S/H 회로의 회로도.

도 18은 제 1 신호 처리 회로의 변형예에 포함되는 제 1 최대값 검출 회로의 회로도.

도 19는 제 1 신호 처리 회로의 변형예에 포함되는 제 1 A/D 변환 회로의 회로도.

도 20은 본 실시예에 따른 광 검출 장치의 변형예를 도시하는 개념 구성도.

도 21은 본 실시예에 따른 촬상 장치를 도시하는 개념 개략 구성도.

도 22는 본 실시예에 따른 촬상 장치를 도시하는 개념 개략 구성도.

도 23의 (a)는 제 1 시프트 레지스터에 입력되는 스타트 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (b)는 제 1 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (c)는 제 1 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (d)는 각 제 1 적분 회로에 입력되는 리셋 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (e)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (f)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (g)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (h)는 제 1 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (i)는 제 1 적분 회로로부터 출력되는 전압의 짧은 시간 동안의 변화를 도시하는 그래프.

도 23의 (j)는 제 1 적분 회로로부터 출력되는 전압의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (a)는 제 2 시프트 레지스터에 입력되는 스타트 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (b)는 제 2 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (c)는 제 2 시프트 레지스터에 입력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (d)는 각 제 2 적분 회로에 입력되는 리셋 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (e)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (f)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (g)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (h)는 제 2 시프트 레지스터로부터 출력되는 신호의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (i)는 제 2 적분 회로로부터 출력되는 전압의 짧은 시간 동안의 변화를 도시하는 그래프.

도 24의 (j)는 제 2 적분 회로로부터 출력되는 전압의 짧은 시간 동안의 변화를 도시하는 그래프.

도 25는 본 실시예에 따른 거리 화상 취득 장치를 도시하는 개념 개략 구성도.

도 26은 본 실시예에 따른 거리 화상 취득 장치를 도시하는 개념 개략 구성도.

실시예

본 발명의 실시예에 따른 광 검출 장치에 대해서 도면을 참조하여 설명한다. 또한, 설명에 있어서, 동일 요소 또는 동일 기능을 갖는 요소에는 동일 부호를 사용하는 것으로 하여, 중복하는 설명은 생략한다. 이하에서는, 파라미터(M, N) 각각을 2이상의 정수로 한다. 또한, 특별히 명시하지 않는 한은 파라미터(m)를 1 이상 M 이하의 임의의 정수로 하고, 파라미터(n)를 1 이상 N 이하의 임의의 정수로 한다.

도 1은 본 실시예에 따른 광 검출 장치를 도시하는 개념 구성도이다. 본 실시예에 따른 광 검출 장치(1)는 도 1에 도시

되는 바와 같이, 광 감응 영역(10)과, 제 1 신호 처리 회로(20)와, 제 2 신호 처리 회로(30)를 갖고 있다.

광 감응 영역(10)은 화소(11_{mn})가 M행 N열로 2차원 배열되어 있다. 1화소는 각각에 입사한 광의 강도에 따른 전류를 출력하는 광 감응 부분(12_{mn})(제 1 광 감응 부분) 및 광 감응 부분(13_{mn})(제 2 광 감응 부분)을 동일면 내에서 인접하여 배치함으로써 구성되어 있다. 이로써, 광 감응 영역(10)에 있어서, 광 감응 부분(12_{mn})과 광 감응 부분(13_{mn})은 2차원적으로 혼재한 상태에서 동일면 내에서 배열되게 된다.

2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})에 걸쳐, 해당 각 화소(11_{mn})를 구성하는 복수의 광 감응 부분(12_{mn}, 13_{mn}) 중 한쪽의 광 감응 부분(12_{mn})끼리(예를 들면, 한쪽의 광 감응 부분(12_{11} 내지 12_{1N}))가 서로 전기적으로 접속되어 있다. 또한, 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})에 걸쳐, 해당 각 화소(11_{mn})를 구성하는 복수의 광 감응 부분(12_{mn}, 13_{mn}) 중 다른 한쪽의 광 감응 부분(13_{mn})끼리(예를 들면, 다른 한쪽의 광 감응 부분(13_{11} 내지 13_{M1}))가 서로 전기적으로 접속되어 있다.

여기서, 도 2 및 도 3에 근거하여, 광 감응 영역(10)의 구성에 대해서 설명한다. 도 2는 광 검출 장치에 포함되는 광 감응 영역의 일례를 도시하는 평면도이고, 도 3은 도 2의 III-III선을 따른 단면도이다. 또한, 도 2에 있어서는, 보호층(48)의 도시를 생략하고 있다.

광 감응 영역(10)은 P형(제 1 도전형) 반도체로 이루어지는 반도체 기판(40)과, 상기 반도체 기판(40)의 표층에 형성된 N형(제 2 도전형) 반도체 영역(41, 42)을 포함하고 있다. 이로써, 각 광 감응 부분(12_{mn}, 13_{mn})은 반도체 기판(40) 부분과 1세트인 제 2 도전형 반도체 영역(41, 42)을 포함하고, 포토다이오드가 구성되게 된다. 제 2 도전형 반도체 영역(41, 42)은 도 2에 도시되는 바와 같이, 광 입사 방향에서 보아 대략 삼각형 형상을 보이고 있고, 1화소에 있어서 2개의 영역(41, 42)이 서로 1변이 인접하여 형성되어 있다. 반도체 기판(40)은 접지 전위로 되어 있다. 또한, 광 감응 영역(10)은 N형 반도체로 이루어지는 반도체 기판과, 상기 반도체 기판의 표층에 형성된 P형 반도체 영역을 포함하여 구성되어 있어도 된다. 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 도 2로부터 알 수 있는 바와 같이, 제 1 방향 및 제 2 방향에 있어서 교대로 배열되어 있다. 또한, 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 1 방향과 제 2 방향으로 교차하는(예를 들면, 45° 로 교차하는) 제 3 방향 및 제 4 방향에 있어서 교대로 배열되어 있다.

반도체 기판(40)과 영역(41, 42) 상에는 제 1 절연층(43)이 형성되고, 이 제 1 절연층(43)에 형성된 스루 홀을 통해 제 1 배선(44)이 한쪽 영역(41)에 전기적으로 접속되어 있다. 또한, 제 1 절연층(43)에 형성된 스루 홀을 통해 전극(45)이 다른 한쪽 영역(42)에 전기적으로 접속되어 있다.

제 1 절연층(43) 상에는 제 2 절연층(46)이 형성되고, 이 제 2 절연층(46)에 형성된 스루 홀을 통해 제 2 배선(47)이 전극(45)에 전기적으로 접속되어 있다. 이로써, 다른 한쪽의 영역(42)은 전극(45)을 통해 제 2 배선(47)에 전기적으로 접속되게 된다.

제 2 절연층(46) 상에는 보호층(48)이 형성되어 있다. 제 1 절연층(43), 제 2 절연층(46) 및 보호층(48)은 SiO_2 또는 SiN 등으로 이루어진다. 제 1 배선(44), 전극(45) 및 제 2 배선(47)은 Al 등의 금속으로 이루어진다.

제 1 배선(44)은 각 화소(11_{mn})에 있어서의 한쪽 영역(41)을 제 1 방향에 걸쳐 전기적으로 접속하는 것으로, 화소(11_{mn})간을 제 1 방향으로 연장하여 설치되어 있다. 이와 같이, 각 화소(11_{mn})에 있어서의 한쪽 영역(41)을 제 1 배선(44)으로 접속함으로써, 2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})에 걸쳐 한쪽의 광 감응 부분(12_{mn})끼리(예를 들면, 한쪽의 광 감응 부분(12_{11} 내지 12_{1N}))가 전기적으로 접속되어, 광 감응 영역(10)에 있어서 제 1 방향으로 길게 연장되는 광 감응부가 구성된다. 이 제 1 방향으로 길게 연장되는 광 감응부는 M열 형성되게 된다.

제 2 배선(47)은 각 화소(11_{mn})에 있어서의 다른 한쪽의 영역(42)을 제 2 방향에 걸쳐 전기적으로 접속하는 것으로, 화소(11_{mn})간을 제 2 방향으로 연장하여 설치되어 있다. 이와 같이, 각 화소(11_{mn})에 있어서의 다른 한쪽 영역(42)을 제 2 배선(47)으로 접속함으로써, 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})에 걸쳐 다른 한쪽의 광 감응 부분(13_{mn})끼리(예를 들면, 다른 한쪽의 광 감응 부분(13_{11} 내지 13_{M1}))가 전기적으로 접속되어, 광 감응 영역(10)에 있어서 제 2 방향으로 길게 연장하는 광 감응부가 구성된다. 이 제 2 방향으로 길게 연장되는 광 감응부는 N행 형성되게 된다.

또한, 광 감응 영역(10)에 있어서는, 상술한 제 1 방향으로 길게 연장되는 M열의 광 감응부와 제 2 방향으로 길게 연장되는 N행의 광 감응부가 동일면 상에 형성되게 된다.

영역(41, 42)의 형상은 도 2에 도시된 대략 삼각형 형상인 것에 한정되지 않고, 도 4 내지 도 8에 도시되는 바와 같이,

다른 형상이어도 된다.

도 4에 도시된 제 2 도전형 반도체 영역(광 감응 부분)은 광 입사 방향에서 보아 직사각형 형상을 보이고 있고, 1화소에 있어서 2개의 영역(41, 42)이 서로 긴 변이 인접하여 형성되어 있다. 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 2 방향에 있어서 교대로 배열되어 있다. 도 4에 도시되는 바와 같이, 1화소당 제 1 방향과 제 2 방향의 제 2 도전형 반도체 영역의 면적이 달라도, 화소간에서 각각의 방향마다 일정하면 된다. 즉, 동일한 방향으로 연장되는 모든 배선으로 각각 접속되어 있는 광 감응 영역의 총면적이 같으면 된다.

도 5에 도시된 제 2 도전형 반도체 영역(광 감응 부분)은 대략 삼각형 형상을 보인 한쪽 영역(41)이 제 1 방향으로 연속하여 형성되어 있다. 다른 한쪽의 영역(42)은 대략 삼각형 형상을 보이고 있고, 각 화소(11_{mn})간에서 독립하여 형성되어 있다. 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 2 방향에 있어서 교대로 배열되어 있다. 또한, 한쪽의 영역(41)을 제 1 방향으로 연속하여 형성한 경우, 반드시 제 1 배선(44)을 설치할 필요는 없지만, 직렬 저항의 증가에 따라 판독 속도가 저하할 것이 생각되기 때문에, 제 1 배선(44)으로서 각 영역(41)을 전기적으로 접속하는 것이 바람직하다.

도 6에 도시된 제 2 도전형 반도체 영역(광 감응 부분)은 1화소당 4개의 영역(41a, 41b, 42a, 42b)으로 이루어지고, 대각에 위치하는 영역을 쌍으로 하여, 제 1 배선(44) 혹은 제 2 배선(47)으로서 전기적으로 접속되어 있다. 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 1 방향 및 제 2 방향에 있어서 교대로 배열되어 있다. 또한, 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 3 방향 및 제 4 방향에 있어서 교대로 배열되어 있다.

도 7에 도시된 제 2 도전형 반도체 영역(광 감응 부분)은 2개의 빗살형 영역(41, 42)이 서로 맞물리도록 형성되어 있다.

도 8에 도시된 제 2 도전형 반도체 영역(광 감응 부분)은 광 입사 방향에서 보아 4각형 이상의 다각형 형상(예를 들면, 8각형 형상)을 보이고 있고, 1화소에 있어서 1변이 인접하여 형성되어 있다. 그리고, 영역(41)과 영역(42)은 1화소에 있어서 제 1 방향과 제 2 방향으로 교차하는 제 3 방향으로 병설되어 있고, 광 입사 방향에서 보아 허니컴형으로 배열되어 있다. 즉, 영역(41)(광 감응 부분(12_{mn}))과 영역(42)(광 감응 부분(13_{mn}))은 제 3 방향 및 제 4 방향에 있어서 교대로 배열되어 있다.

계속해서, 도 9 및 도 10에 근거하여, 제 1 신호 처리 회로(20) 및 제 2 신호 처리 회로(30)의 구성에 대해서 설명한다. 도 9는 제 1 신호 처리 회로를 도시하는 개략 구성도이고, 도 10은 제 2 신호 처리 회로를 도시하는 개략 구성도이다.

제 1 신호 처리 회로(20)는 광 감응 영역(10)에 입사한 광의 제 2 방향에서의 휘도 프로파일을 나타내는 전압(H_{out})을 출력한다. 제 2 신호 처리 회로(30)는 광 감응 영역(10)에 입사한 광의 제 1 방향에서의 휘도 프로파일을 나타내는 전압(V_{out})을 출력한다. 제 1 신호 처리 회로(20) 및 제 2 신호 처리 회로(30)는 같은 타이밍으로 동작시켜도 되고, 시계열 순으로 독립하여 동작시켜도 된다.

제 1 신호 처리 회로(20)는 도 9에 도시되는 바와 같이, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군(한쪽의 제 2 도전형 반도체 영역(41)으로 이루어지며, 제 1 방향으로 길게 연장되는 M열의 광 감응부)에 대응하여 설치된 제 1 스위치 소자(21)와, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군으로부터의 전류를 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터(22)와, 제 1 시프트 레지스터(22)에 의해 순차 판독되는 각 한쪽의 광 감응 부분(12_{mn})군으로부터의 전류를 순차 입력하고, 그 전류를 전압으로 변환하여 출력하는 제 1 적분 회로(23)를 포함하고 있다.

제 1 스위치 소자(21)는 제 1 시프트 레지스터(22)로부터 출력되는 신호 shift(H_m)에 의해 제어되어 순차 닫힌다. 제 1 스위치 소자(21)를 닫음으로써, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군에 축적된 전하가 전류 가 되어, 제 1 배선(44) 및 제 1 스위치 소자(21)를 통해 제 1 적분 회로(23)에 출력된다. 제 1 시프트 레지스터(22)는 제어 회로(도시하지 않음)로부터 출력되는 신호(Φ_{H1}, Φ_{H2}, Φ_{Hst})에 의해 그 동작이 제어되어, 제 1 스위치 소자(21)를 순차 닫는다.

제 1 적분 회로(23)는 제 1 방향으로 배열된 복수의 11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN}간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군으로부터의 전류 출력을 입력하고, 입력한 전류 출력의 전하를 증폭하는 증폭기(24)와, 증폭기(24)의 입력 단자에 한쪽 단자가 접속되고, 증폭기(24)의 출력 단자에 다른 한쪽 단자가 접속된 용량 소자(25)와, 증폭기(24)의 입력 단자에 한쪽 단자가 접속되고, 증폭기(24)의 출력 단자에 다

른 한쪽 단자가 접속되고, 제어 회로로부터 출력되는 리셋 신호(Φ_{Hreset})가 유의인 경우에는 「ON」 상태가 되고, 리셋 신호(Φ_{Hreset})가 비유의인 경우에는 「OFF」 상태가 되는 스위치 소자(26)를 갖고 있다.

제 1 적분 회로(23)는 스위치 소자(26)가 「ON」 상태일 때에는, 용량 소자(25)를 방전하여 초기화한다. 한편, 제 1 적분 회로(23)는 스위치 소자(26)가 「OFF」 상태일 때에는, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군으로부터 입력 단자에 입력한 전하를 용량 소자(25)에 축적하고, 그 축적된 전하에 따른 전압(H_{out})을 출력 단자로부터 출력한다.

제 2 신호 처리 회로(30)는 도 10에 도시되는 바와 같이, 제 2 방향으로 배열된 복수의 11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN} 간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군(다른 한쪽의 제 2 도전형 반도체 영역(42)으로 이루어지고, 제 2 방향으로 길게 연장되는 N행의 광 감응부)에 대응하여 설치된 제 2 스위치 소자(31)와, 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군으로부터의 전류를 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터(32)와, 제 2 시프트 레지스터(32)에 의해 순차 판독되는 각 다른 한쪽의 광 감응 부분(13_{mn})군으로부터의 전류를 순차 입력하고, 그 전류를 전압으로 변환하여 출력하는 제 2 적분 회로(33)를 포함하고 있다.

제 2 스위치 소자(31)는 제 2 시프트 레지스터(32)로부터 출력되는 신호 shift(V_n)에 의해 제어되어 순차 닫힌다. 제 2 스위치 소자(31)를 닫음으로써, 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군에 축적된 전하가 전류가 되어, 제 2 배선(47) 및 제 2 스위치 소자(31)를 통해 제 2 적분 회로(33) 에 출력된다. 제 2 시프트 레지스터(32)는 제어 회로로부터 출력되는 신호(Φ_{V1}, Φ_{V2}, Φ_{Vst})에 의해 그 동작이 제어되어, 제 2 스위치 소자(31)를 순차 닫는다.

제 2 적분 회로(33)는 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군으로부터의 전류 출력을 입력하여, 입력한 전류 출력의 전하를 증폭하는 증폭기(34)와, 증폭기(34)의 입력 단자에 한쪽 단자가 접속되고, 증폭기(34)의 출력 단자에 다른 한쪽 단자가 접속된 용량 소자(35)와, 증폭기(34)의 입력 단자에 한쪽 단자가 접속되고, 증폭기(34)의 출력 단자에 다른 한쪽 단자가 접속되고, 제어 회로로부터 출력되는 리셋 신호(Φ_{Vreset})가 유의인 경우에는 「ON」 상태가 되고, 리셋 신호(Φ_{Vreset})가 비유의인 경우에는 「OFF」 상태가 되는 스위치 소자(36)를 갖고 있다.

제 2 적분 회로(33)는 스위치 소자(36)가 「ON」 상태일 때에는, 용량 소자(35)를 방전하여 초기화한다. 한편, 제 2 적분 회로(33)는 스위치 소자(36)가 「OFF」 상태일 때에는, 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군으로부터 입력 단자에 입력한 전하를 용량 소자(35)에 축적하고, 그 축적된 전하에 따른 전압(V_{out})을 출력 단자로부터 출력한다.

계속해서, 도 11의 (a) 내지 도 11의 (i) 및 도 12의 (a) 내지 도 12의 (i)에 근거하여, 제 1 신호 처리 회로(20) 및 제 2 신호 처리 회로(30)의 동작에 대해서 설명한다. 도 11의 (a) 내지 도 11의 (i)는 제 1 신호 처리 회로의 동작을 설명하기 위한 타이밍 차트이고, 도 12의 (a) 내지 도 12의 (i)는 제 2 신호 처리 회로의 동작을 설명하기 위한 타이밍 차트이다.

제어 회로로부터 제 1 시프트 레지스터(22)에 스타트 신호(Φ_{Hst})가 입력되면(도 11의 (a) 참조), 신호(Φ_{H2})의 상승으로부터 신호(Φ_{H1})의 하강까지의 기간에 대응한 펄스 폭을 갖는 신호 shift(H_m)가 순차 출력된다(도 11의 (b), 도 11의 (c) 및 도 11의 (e) 내지 도 11의 (h) 참조). 제 1 시프트 레지스터(22)로부터 대응하는 제 1 스위치 소자(21)에 shift(H_m)가 출력되면, 제 1 스위치 소자(21)가 순차 닫히고, 대응하는 한쪽의 광 감응 부분(12_{mn})군에 축적된 전하가 전류가 되어 제 1 적분 회로(23)에 순차 출력된다.

제 1 적분 회로(23)에는 제어 회로로부터 리셋 신호(Φ_{Hreset})가 입력되어 있다(도 11의 (d) 참조). 리셋 신호(Φ_{Hreset})가 「OFF」 상태인 기간, 대응하는 한쪽의 광 감응 부분(12_{mn})군에 축적된 전하가 용량 소자(25)에 축적되고, 축적된 전하량에 따른 전압(H_{out})이 제 1 적분 회로(23)로부터 순차 출력된다(도 11(i) 참조). 또한, 제 1 적분 회로(23)는 리셋 신호(Φ_{Hreset})가 「ON」 상태일 때에는 스위치 소 자(26)를 닫아 용량 소자(25)를 초기화한다.

이와 같이, 제 1 신호 처리 회로(20)로부터는, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12_{mn})군에서 축적되어 전하(전류)에 대응한 전압(H_{out})이 대응하는 한쪽의 광 감응 부분(12_{mn})군마다 순차 시계열 데이터로서 출력된다. 이 시계열 데이터는 제 2 방향에서의 휘도 프로파일을 도시하는 것이다.

제어 회로로부터 제 2 시프트 레지스터(32)에 스타트 신호(Φ_{Vst})가 입력되면(도 12의 (a) 참조), 신호(Φ_{V2})의 상승으로부터 신호(Φ_{V1})의 하강까지의 기간에 대응한 펄스 폭을 갖는 신호 shift(V_n)가 순차 출력된다(도 12의 (b), 도 12의 (c) 및 도 12의 (e) 내지 도 12의 (h) 참조). 제 2 시프트 레지스터(32)로부터 대응하는 제 2 스위치 소자(31)에 shift(V_n)가 출력되면, 제 2 스위치 소자(31)가 순차 닫히고, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군에 축적된 전하가 전류가 되어 제 2 적분 회로(33)에 순차 출력된다.

제 2 적분 회로(33)에는 제어 회로로부터 리셋 신호(Φ_{Vreset})가 입력되어 있다(도 12의 (d) 참조). 리셋 신호(Φ_{Vreset})가 「OFF」 상태인 기간, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군에 축적된 전하가 용량 소자(35)에 축적되고, 축적된 전하량에 따른 전압(V_{out})이 제 2 적분 회로(33)로부터 순차 출력된다(도 12의 (i) 참조). 또한, 제 2 적분 회로(33)는 리셋 신호(Φ_{Vreset})가 「ON」 상태일 때에는 스위치 소자(36)를 닫아 용량 소자(35)를 초기화한다.

이와 같이, 제 2 신호 처리 회로(30)로부터는, 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군에서 축적되어 전하(전류)에 대응한 전압(V_{out})이, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군마다 순차 시계열 데이터로서 출력된다. 이 시계열 데이터는 제 1 방향에서의 휘도 프로파일을 나타내는 것이다.

이상과 같이, 본 실시예의 광 검출 장치(1)에 있어서는, 1개의 화소(11_{mn})에 입사한 광은 상기 화소(11_{mn})를 구성하는 복수의 광 감응 부분(12_{mn}, 13_{mn}) 각각에 광 강도에 따른 전류가 광 감응 부분(12_{mn}, 13_{mn})마다 출력된다. 그리고, 한쪽의 광 감응 부분(12_{mn})끼리가 2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{1N}, 11_{21} 내지 11_{2N}, …, 11_{M1} 내지 11_{MN})에 걸쳐 전기적으로 접속되어 있기 때문에, 한쪽의 광 감응 부분(12_{mn})으로부터 출력된 전류는 제 1 방향으로 보내진다. 또한, 다른 한쪽의 광 감응 부분(13_{mn})끼리가 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})에 걸쳐 전기적으로 접속되어 있기 때문에, 다른 한쪽의 광 감응 부분(13_{mn})으로부터 출력된 전류는 제 2 방향으로 보내진다. 이와 같이, 한쪽의 광 감응 부분(12_{mn})으로부터 출력된 전류는 제 1 방향으로 보내짐과 동시에, 다른 한쪽의 광 감응 부분(13_{mn})으로부터 출력된 전류는 제 2 방향으로 보내지기 때문에, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 각각 독립하여 얻는 것이 가능해진다. 이 결과, 1화소에 복수의 광 감응 부분(12_{mn}, 13_{mn})을 배치한다는 극히 간소한 구성으로, 입사한 광의 2차원 위치를 고속으로 검출할 수 있다.

또한, 본 실시예의 광 검출 장치(1)에 있어서, 각 광 감응 부분(12_{mn}, 13_{mn})은 반도체 기판(40) 부분과 제 2 도전형 반도체 영역(41, 42)을 포함하고, 제 2 도전형 반도체 영역(41, 42)은 광 입사 방향에서 보아 대략 삼각형 형상을 보이고 있고, 1화소에 있어서 서로 1변이 인접하여 형성되어 있다. 이로써, 복수의 광 감응 부분(12_{mn}, 13_{mn})을 1화소 내에 배치할 때에, 각 광 감응 부분(12_{mn}, 13_{mn})((제 2 도전형 반도체 영역(41, 42))의 면적이 감소하는 것을 억제할 수 있다.

또한, 본 실시예의 광 검출 장치(1)에 있어서, 제 2 도전형 반도체 영역(41, 42)은 광 입사 방향에서 보아 대략 직사각형 형상을 보이고 있고, 1화소에 있어서 긴 변이 인접하여 형성되어 있다. 이로써, 복수의 광 감응 부분(12_{mn}, 13_{mn})을 1화 소 내에 배치할 때에, 각 광 감응 부분(12_{mn}, 13_{mn})(제 2 도전형 반도체 영역(41, 42))의 면적이 감소하는 것을 억제할 수 있다.

또한, 본 실시예의 광 검출 장치(1)에 있어서, 제 2 도전형 반도체 영역(41, 42)은 광 입사 방향에서 보아 4각형 이상의 다각형 형상을 보이고 있고, 1화소에 있어서 1변이 인접하여 형성되어 있다. 이로써, 복수의 광 감응 부분(12_{mn}, 13_{mn})(제 2 도전형 반도체 영역(41, 42))을 1화소 내에 배치할 때에, 각 광 감응 부분(12_{mn}, 13_{mn})의 면적이 감소하는 것을 억제할 수 있다. 또한, 각 광 감응 부분(12_{mn}, 13_{mn})의 면적에 대한 주위 길이는 줄게 되어, 단위 면적당 환산한 암전류가 저감된다. 또한, 4각형 이상의 다각형 형상으로서, 마름모형 형상을 채용하여도 된다.

또한, 본 실시예의 광 검출 장치(1)에 있어서, 제 2 도전형 반도체 영역(41, 42)은 1화소에 있어서 제 1 방향과 제 2 방향에 교차하는 제 3 방향으로 병설되어 있다. 이로써, 한쪽의 광 감응 부분(12_{mn})군 및 다른 한쪽의 광 감응 부분(13_{mn})군에 있어서, 각 광 감응 부분(12_{mn}, 13_{mn})군의 중심 부분에 대응하는 광 감응 부분(12_{mn}, 13_{mn})이 집중하게 되어 해상도를 향상시킬 수 있다.

또한, 제 2 도전형 반도체 영역(41, 42)은 광 입사 방향에서 보아 허니컴형으로 배열되어 있다. 이로써, 복수의 광 감응 부분(12_{mn}, 13_{mn})(제 2 도전형 반도체 영역(41, 42))을 1화소 내에 배치할 때에, 각 광 감응 부분(12_{mn}, 13_{mn})의 면적이 감소하는 것을 보다 한층 더 억제할 수 있다. 또한, 기하학적 대칭성이 높고, 제 2 도전형 반도체 영역(41, 42)(광 감응 부분(12_{mn}, 13_{mn}))을 형성하기 위해 이용하는 마스크가 위치 어긋남에 의한 불균일성을 억제할 수 있다.

또한, 본 실시예의 광 검출 장치(1)에 있어서는, 제 1 배선(44)이 화소(11_{mn})간을 제 1 방향으로 연장되어 설치되어 있고, 제 2배선(47)이 화소(11_{mn})간을 제 2 방향으로 연장되어 설치되어 있다. 이로써, 각각의 배선(44, 47)에 의해

광 감응 부분(12 $_{mn}$, 13 $_{mn}$)(제 2 도전형 반도체 영역(41, 42))으로의 광 입사를 방해받는 일 없이, 검출 감도 저하를 억제할 수 있다.

또한, 본 실시예의 광 검출 장치(1)에 있어서는, 제 1 시프트 레지스터(22)와, 제 2 시프트 레지스터(32)와, 제 1 적분 회로(23)와, 제 2 적분 회로(33)를 또한 갖고 있다. 이로써, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 극히 간단한 구성으로 얻을 수 있다.

다음으로, 도 13 및 도 14에 근거하여, 제 1 신호 처리 회로 및 제 2 신호 처리 회로의 변형예의 구성에 대해서 설명한다. 도 13은 제 1 신호 처리 회로의 변형예를 도시하는 개략 구성도이고, 도 14는 제 2 신호 처리 회로의 변형예를 도시하는 개략 구성도이다.

제 1 신호 처리 회로(100)는 도 13에 도시되는 바와 같이, 제 1 적분 회로(110)와, 제 1 CDS 회로(120)와, 제 1 샘플 앤드 홀드 회로(제 1 S/H 회로)(130)와, 제 1 최대값 검출 회로(140)와, 제 1 시프트 레지스터(150)와, 제 1 스위치 소자(160)와, 제 1 A/D 변환 회로(170)를 갖고 있다.

제 1 적분 회로(110)는 제 1 방향으로 배열된 복수의 11 $_{11}$ 내지 11 $_{1N}$, 11 $_{21}$ 내지 11 $_{2N}$, …, 11 $_{M1}$ 내지 11 $_{MN}$ 간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분(12 $_{mn}$)군(한쪽의 제 2 도전형 반도체 영역(41)으로 이루어지고, 제 1 방향으로 길게 연장되는 M열의 광 감응부)에 대응하여 설치되고, 대응하는 한쪽의 광 감응 부분(12 $_{mn}$)군으로부터의 전류를 전압으로 변환하고 해당 전압을 출력한다. 제 1 적분 회로(110)는 도 15에 도시되는 바와 같이, 입력 단자와 출력 단자간에 서로 병렬로 증폭기(A $_{1}$), 용량 소자(C $_{1}$) 및 스위치 소자(SW $_{1}$)가 접속되어 있다. 제 1 적분 회로(110)는 스위치 소자(SW $_{1}$)가 닫혀 있을 때에는, 용량 소자(C $_{1}$)를 방전하여 초기화한다. 한편, 제 1 적분 회로(110)는 스위치 소자(SW $_{1}$)가 열려 있을 때에는, 입력 단자에 입력한 전하를 용량 소자(C $_{1}$)에 축적하고, 그 축적된 전하에 따른 전압을 출력 단자로부터 출력한다. 스위치 소자(SW $_{1}$)는 제어 회로(도시하지 않음)로부터 출력되는 Reset 신호에 근거하여 개폐한다.

제 1 CDS 회로(120)는 제 1 적분 회로(110)에 대응하여 설치되어, 대응하는 제 1 적분 회로(110)로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력한다. 제 1 CDS 회로(120)는 도 16에 도시되는 바와 같이, 입력 단자와 출력 단자간 에 순차 스위치 소자(SW $_{21}$), 결합 용량 소자(C $_{21}$) 및 증폭기(A $_{2}$)를 갖고 있다. 또한, 증폭기(A $_{2}$)의 입출력간에 스위치 소자(SW $_{22}$) 및 적분 용량 소자(C $_{22}$)가 서로 병렬적으로 접속되어 있다. 스위치 소자(SW $_{22}$ 및 SW $_{21}$)는 적분 용량 소자(C $_{22}$)에 전하를 축적시키기 위한 스위치 수단으로서 작용한다. 제 1 CDS 회로(120)는 스위치 소자(SW $_{22}$)가 닫혀 있을 때에는, 적분 용량 소자(C $_{22}$)를 방전하여 초기화한다. 스위치 소자(SW $_{22}$)가 열리고 스위치 소자(SW $_{21}$)가 닫혀 있을 때에는, 입력 단자로부터 결합 용량 소자(C $_{21}$)를 지나 입력한 전하를 적분 용량 소자(C $_{22}$)에 축적하고, 그 축적된 전하에 따른 전압을 출력 단자로부터 출력한다. 스위치 소자(SW $_{21}$)는 제어 회로로부터 출력되는 CSW21 신호에 근거하여 개폐한다. 또한, 스위치 소자(SW $_{22}$)는 제어 회로로부터 출력되는 Clamp1 신호에 근거하여 개폐한다.

제 1 S/H 회로(130)는 제 1 CDS 회로(120)에 대응하여 설치되고, 대응하는 제 1 CDS 회로(120)로부터 출력되는 전압을 유지하여 출력한다. 제 1 S/H 회로(130)는 도 17에 도시되는 바와 같이, 입력 단자와 출력 단자간에 순차로 스위치 소자(SW $_{3}$) 및 증폭기(A $_{3}$)를 갖고, 스위치 소자(SW $_{3}$)와 증폭기(A $_{3}$)의 접속점이 용량 소자(C $_{3}$)를 통해 접지되어 있다. 제 1 S/H 회로(130)는 스위치 소자(SW $_{3}$)가 닫혀 있을 때에 제 1 CDS 회로(120)로부터 출력된 전압을 용량 소자(C $_{3}$)에 기억하고, 스위치 소자(SW $_{3}$)가 열린 후에도, 용량 소자(C $_{3}$)의 전압을 유지하여, 그 전압을 증폭기(A $_{3}$)를 통해 출력한다. 스위치 소자(SW $_{3}$)는 제어 회로로부터 출력되는 Hold 신호에 근거하여 개폐한다. 제 1 스위치 소자(160)는 제 1 시프트 레지스터(150)에 의해 제어되어 순차 열리고, 제 1 S/H 회로(130)로부터 출력되는 전압을 제 1 A/D 변환 회로에 순차로 입력시킨다.

제 1 최대값 검출 회로(140)는 제 1 S/H 회로(130) 각각으로부터 출력되는 전압의 최대값을 검출한다. 제 1 최대값 검출 회로(140)는 도 18에 도시되는 바와 같이, NMOS 트랜지스터(T $_{1}$ 내지 T $_{M}$), 저항기(R $_{1}$ 내지 R $_{3}$) 및 차동 증폭기(A $_{4}$)를 구비한다. 각 트랜지스터(T $_{m}$)의 소스 단자는 접지되고, 각 트랜지스터(T $_{m}$)의 드레인 단자는 저항기(R $_{3}$)를 통해 전원 전압(Vdd)에 접속됨과 동시에, 저항기(R $_{1}$)를 통해 차동 증폭기(A $_{4}$)의 반전 입력 단자에 접속되어 있다. 각 트랜지스터(T $_{m}$)의 게이트 단자는 제 1 S/H 회로(130)의 출력 단자와 접속되어 있고, 제 1 S/H 회로(130)로부터 출력되는 전압이 입력된다. 또한, 차동 증폭기(A $_{4}$)의 반전 입력 단자와 출력 단자간에는 저항기(R $_{2}$)가 설치되고, 차동 증폭기(A $_{4}$)의 비반전 입력 단자는 접지되어 있다. 이 제 1 최대값 검출 회로(140)에서는, 제 1 S/H 회로(130)로부터 출력된 전압이 트랜지스터(T $_{m}$)의 게이트 단자에 입력되고, 각 전압 중 최대값에 따른 전위가 트랜지스터(T $_{m}$)의 드레인 단자에 나타난다. 그리고, 그 드레인 단자의 전위는 저항 기(R $_{1}$ 및 R $_{2}$) 각각의 저항값 비에 따른 증폭율로 차동 증폭기(A $_{4}$)에 의해 증폭되고, 그 증폭된 전압값이 최대 전압값(V $_{max}$)으로서 출력 단자로부터 제 1 A/D 변환 회로(170)로 출력된다.

제 1 A/D 변환 회로(170)는 제 1 S/H 회로(130) 각각으로부터 출력되는 전압을 순차 입력하고, 그 전압을 제 1 최대

값 검출 회로(140)에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고 그 디지털값을 출력한다. 제 1 A/D 변환 회로(170)는 제 1 최대값 검출 회로(140)로부터 출력되는 최대 전압값(V_{max})을 입력하고, 이 최대 전압값(V_{max})을 A/D 변환 레인지로 한다. 그리고, 제 1 A/D 변환 회로(170)는 제 1 S/H 회로(130)로부터 출력되는 전압을 제 1 스위치 소자(160) 및 증폭기(180)를 통해 순차 입력하고, 그 전압(아날로그값)을 디지털값으로 변환하여 출력한다. 제 1 A/D 변환 회로(170)는 도 19에 도시되는 바와 같이, 가변 용량 적분 회로(171), 비교 회로(172), 용량 제어부(173) 및 판독부(174)를 구비한다.

가변 용량 적분 회로(171)는 용량 소자(C_{51}), 증폭기(A_5), 가변 용량부(C_{52}) 및 스위치 소자(SW_5)를 구비한다. 증폭기(A_5)는 제 1 S/H 회로(130)로부터 출력되어 제 1 스위치 소자(160)를 통해 순차로 도달한 전압을 용량 소자(C_{51})를 통해 반전 입력 단자에 입력한다. 증폭기(A_5)의 비반전 입력 단자는 접지되어 있다. 가변 용량부(C_{52})는 용량이 가변이고 제어 가능하고, 증폭기(A_5)의 반전 입력 단자와 출 력 단자 사이에 설치되고, 입력한 전압에 따라 전하를 축적한다. 스위치 소자(SW_5)는 증폭기(A_5)의 반전 입력 단자와 출력 단자 사이에 설치되고, 열려 있을 때에는 가변 용량부(C_{52})에 전하 축적을 행하게 하고, 닫혀 있을 때에는 가변 용량부(C_{52})에 있어서의 전하 축적을 리셋한다. 그리고, 가변 용량 적분 회로(171)는 제 1 S/H 회로(130)로부터 순차로 출력된 전압을 입력하고, 가변 용량부(C_{52})의 용량에 따라 적분하고, 적분한 결과인 전압을 출력한다.

비교 회로(172)는 가변 용량 적분 회로(171)로부터의 전압 출력을 반전 입력 단자에 입력하고, 제 1 최대값 검출 회로(140)로부터 출력된 최대 전압값(V_{max})을 비반전 입력 단자에 입력하고, 이들 2개의 입력 전압값을 대소 비교하여, 그 대소 비교 결과인 비교 결과 신호를 출력한다.

용량 제어부(173)는 비교 회로(172)로부터 출력된 비교 결과 신호를 입력하고, 이 비교 결과 신호에 근거하여 가변 용량부(C_{52})의 용량을 제어하는 용량 지시 신호(C)를 출력함과 동시에, 이 비교 결과 신호에 근거하여 적분한 결과인 전압값과 최대 전압값(V_{max})이 소정의 분해능으로 일치하고 있다고 판단한 경우에 가변 용량부(C_{52})의 용량값에 따른 제 1 디지털값을 출력한다.

판독부(174)는 용량 제어부(173)로부터 출력된 제 1 디지털값을 입력하고, 이 제 1 디지털값에 대응하는 제 2 디지털값을 출력한다. 제 2 디지털값은 제 1 디지털값으로부터 가변 용량 적분 회로(171)의 오프셋값을 제거한 값을 도시하는 것이다. 판독부(174)는 예를 들면 기억 소자로, 제 1 디지털값을 어드레스로서 입력하고, 기억 소자의 그 어드레스에 기억되어 있는 데이터를 제 2 디지털값으로서 출력한다. 이 제 2 디지털값은 제 2 방향에서의 휘도 프로파일을 나타내는 출력이 된다.

제 2 신호 처리 회로(200)는 도 14에 도시되는 바와 같이, 제 2 적분 회로(210)와, 제 2 CDS 회로(220)와, 제 2 샘플 앤드 홀드 회로(제 2 S/H 회로)(230)와, 제 2 최대값 검출 회로(240)와, 제 2 시프트 레지스터(250)와, 제 2 스위치 소자(260)와, 제 2 A/D 변환 회로(270)를 갖고 있다.

제 2 적분 회로(210)는 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{M1}, 11_{12} 내지 11_{M2}, …, 11_{1N} 내지 11_{MN})간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분(13_{mn})군(다른 한쪽의 제 2 도전형 반도체 영역(42)으로 이루어지고, 제 2 방향으로 길게 연장되는 N행의 광 감응부)에 대응하여 설치되고, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군으로부터의 전류를 전압으로 변환하고 해당 전압을 출력한다. 제 2 적분 회로(210)는 도 15에 도시된 제 1 적분 회로(110)와 동등한 구성을 갖고, 입력 단자와 출력 단자간에 서로 병렬로 증폭기, 용량 소자 및 스위치 소자가 접속되어 있다.

제 2 CDS 회로(220)는 제 2 적분 회로(210)에 대응하여 설치되고, 대응하는 제 2 적분 회로(210)로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력한다. 제 2 CDS 회로(220)는 도 16에 도시된 제 1 CDS 회로(120)와 동등한 구성을 갖고, 입력 단자와 출력 단자 사이에 순차로 스위치 소자, 결합 용량 소자 및 증폭기를 갖고 있다. 또한, 증폭기의 입출력간에 스위치 소자 및 적분 용량 소자가 서로 병렬적으로 접속되어 있다.

제 2 S/H 회로(230)는 제 2 CDS 회로(220)에 대응하여 설치되고, 대응하는 제 2 CDS 회로(220)로부터 출력되는 전압을 유지하여 출력한다. 제 2 S/H 회로(230)는 도 17에 도시된 제 1 S/H 회로(130)와 동등한 구성을 갖고, 입력 단자와 출력 단자간에 순차로 스위치 소자 및 증폭기를 갖고, 스위치 소자와 증폭기의 접속점이 용량 소자를 통해 접지되어 있다. 제 2 스위치 소자(260)는 제 2 시프트 레지스터(250)에 의해 제어되어 순차 열리고, 제 2 S/H 회로(230)로부터 출력되는 전압을 제 2 A/D 변환 회로(270)에 순차 입력시킨다.

제 2 최대값 검출 회로(240)는 제 2 S/H 회로(230) 각각으로부터 출력되는 전압의 최대값을 검출한다. 제 2 최대값 검출 회로(240)는 도 18에 도시된 제 1 최대값 검출 회로(140)와 동등한 구성을 갖고, NMOS 트랜지스터, 저항기 및 차동 증폭기를 구비한다. 각 트랜지스터의 소스 단자는 접지되고, 각 트랜지스터의 드레인 단자는 저항기를 통해 전원 전압에 접속됨과 동시에, 저항기를 통해 차동 증폭기의 반전 입력 단자에 접속되어 있다. 각 트랜지스터의 게이트 단자는 제 2 S/H 회로의 출력 단자와 접속되어 있고, 제 2 S/H 회로로부터 출력되는 전압이 입력된다. 또한, 차동 증폭

기의 반전 입력 단자와 출력 단자간에는 저항기가 설치되고, 차동 증폭기의 비반전 입력 단자는 접지되어 있다.

제 2 A/D 변환 회로(270)는 제 2 S/H 회로(230) 각각으로부터 출력되는 전압 을 순차 입력하고, 그 전압을 제 2 최대값 검출 회로(240)에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력한다. 제 2 A/D 변환 회로(270)는 제 2 최대값 검출 회로(240)로부터 출력되는 최대 전압값을 입력하고, 이 최대 전압값을 A/D 변환 레인지로 한다. 그리고, 제 2 A/D 변환 회로(270)는 제 2 S/H 회로(230)로부터 출력되는 전압을 제 2 스위치 소자(260)를 통해 순차로 입력하고, 그 전압(아날로그값)을 디지털값으로 변환하여 출력한다. 제 2 A/D 변환 회로(270)는 도 19에 도시된 제 1 A/D 변환 회로(170)와 동등한 구성을 갖고, 가변 용량 적분 회로, 비교 회로, 용량 제어부 및 판독부를 구비한다. 제 2 A/D 변환 회로(270)로부터 출력되는 제 2 디지털값은 제 1 방향에서의 휘도 프로파일을 나타내는 출력이 된다.

이상과 같이, 제 1 최대값 검출 회로(140) 및 제 2 최대값 검출 회로(240)로부터 각각 출력되어 비교 회로(172)에 각각 입력되는 최대 전압값(V_{max})은 제 1 A/D 변환 회로(170) 및 제 2 A/D 변환 회로(270)가 포화하는 일 없이 A/D 변환할 수 있는 전압의 최대값, 즉, A/D 변환 레인지를 규정하고 있다. 더구나, 제 1 A/D 변환 회로(170) 및 제 2 A/D 변환 회로(270)에 입력하는 각 전압 중 어느 한 값은 반드시 최대 전압값(V_{max})이므로, 상기 A/D 변환 레인지의 모든 범위를 유효하게 활용할 수 있다. 즉, 본 실시예에 따른 광 검출 장치(1)는 광 강도가 클 때 뿐만 아니라, 광 강도가 작더라도 A/D 변환의 분해능이 뛰어난 것이 된다.

또한, 제 1 적분 회로(110) 및 제 2 적분 회로(210) 각각이 적분 동작마다 다른 노이즈 격차를 갖고 있어도, 제 1 CDS 회로(120) 및 제 2 CDS 회로(220)에 의해 노이즈 오차가 해소된다.

또한, 각 광 감응 부분(12_{mn}, 13_{mn})군에 대응하여 제 1 적분 회로(110) 및 제 2 적분 회로(210)가 설치되어 있기 때문에, 각 광 감응 부분(12_{mn}, 13_{mn})군으로부터 같은 타이밍으로 전하를 축적할 수 있어, 그들의 전하량을 전압으로 변환할 수 있다.

이들의 결과, 제 1 방향에서의 휘도 프로파일과 제 2 방향에서의 휘도 프로파일을 고정밀도로 또한 고속으로 얻을 수 있다. 또한, 상술한 제 1 및 제 2 적분 회로(110, 120), 제 1 및 제 2 CDS 회로(120, 220), 제 1 및 제 2 S/H 회로(130, 230), 제 1 및 제 2 최대값 검출 회로(140, 240), 제 1 및 제 2 시프트 레지스터(150, 250), 제 1 및 제 2 스위치 소자(160, 260), 제 1 및 제 2 A/D 변환 회로(170, 270) 등의 동작에 대해서는, 본 출원인에 의한 특개 2001-36128호 공보 등에 예시되어 있다.

다음으로, 도 21 및 도 22에 근거하여, 본 실시예에 따른 촬상 장치에 대해서 설명한다. 도 21 및 도 22는 촬상 장치를 도시하는 개략 구성도이다. 또한, 도 21 및 도 22에 있어서는, 실시예의 설명을 용이한 것으로 하기 위해, 촬상 블록(광 감응 영역)을 2×2 배치로서 도시하고, 각 촬상 블록 내의 화소를 3×3 배치로서 도시하고 있다. 물론, 광 감응 영역을 P×Q 배치로 하고, 각 광 감응 영역 내의 화소를 M×N 배치로 하여 구성하여도 된다(단, P 및 Q는 각각 2 이상의 정수 로 한다).

본 실시예에 따른 촬상 장치(301)는 도 21 및 도 22에 도시되는 바와 같이, 촬상 블록(B_{11} 내지 B_{22})(광 감응 영역(10))이 2행 2열로 2차원 배열되어 있고, 제 1 신호 처리 회로(320)와 제 2 신호 처리 회로(330)를 갖고 있다. 제 1 신호 처리 회로(320) 및 제 2 신호 처리 회로(330)는 같은 타이밍으로 동작시켜도 되고, 시계열 순으로 독립하여 동작시켜도 된다.

제 1 신호 처리 회로(320)는 제 2 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{12}))으로 이루어지는 촬상 블록군마다 촬상 영역(촬상 블록(B_{11} 내지 B_{22}))에 입사한 광의 제 2 방향에서의 휘도 프로파일을 나타내는 전압($H1_{out}$, $H2_{out}$)을 출력한다. 제 1 신호 처리 회로(320)는 촬상 블록(B_{11}) 및 촬상 블록(B_{12})으로 이루어지는 촬상 블록군으로부터의 출력으로서 전압($H1_{out}$)을 출력하고, 촬상 블록(B_{21}) 및 촬상 블록(B_{22})으로 이루어지는 촬상 블록군으로부터의 출력으로서 전압($H2_{out}$)을 출력한다.

제 2 신호 처리 회로(330)는 제 1 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{21}))으로 이루어지는 촬상 블록군마다, 촬상 영역(촬상 블록(B_{11} 내지 B_{22}))에 입사한 광의 제 1 방향에서의 휘도 프로파일을 나타내는 전압($V1_{out}$, $V2_{out}$)을 출력한다. 제 2 신호 처리 회로(330)는 촬상 블록(B_{11}) 및 촬상 블록(B_{21})으로 이루어지는 촬상 블록군으로부터의 출력으로서 전압($V1_{out}$)을 출력하고, 촬상 블록(B_{12}) 및 촬상 블록(B_{22})으로 이루어지는 촬상 블록군으로부터의 출력으로서 전압($V2_{out}$)을 출력한다.

제 1 신호 처리 회로(320)는 제 1 스위치 소자(21)와, 제 1 시프트 레지스터(322)와, 제 1 적분 회로(23)를 포함하고 있다. 제 1 시프트 레지스터(322)는 상기 제 1 시프트 레지스터(22)와 동등한 기능을 갖고 있고, 제 2 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{12}))으로 이루어지는 촬상 블록군마다에 있어서, 제 1 방향으로 배열된 복수의 화소(11_{11} 내지 11_{13}, 11_{21} 내지 11_{23}, 11_{31} 내지 11_{33})간에 걸쳐 전기적으로

접속된 한쪽의 광 감응 부분(12_{mn})(12_{11} 내지 12_{13}, 12_{21} 내지 12_{23}, 12_{31} 내지 12_{33})군으로부터의 전류 출력을 제 2 방향으로 순차 판독한다. 제 1 스위치 소자(21)는 제 1 시프트 레지스터(322)로부터 출력되는 신호 shift(H1) 내지 shift(H6)에 의해 제어되어 순차 닫힌다. 제 1 적분 회로(23)는 제 2 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{12}))으로 이루어지는 촬상 블록군마다 설치되어 있다.

제 2 신호 처리 회로(330)는 제 2 스위치 소자(31)와, 제 2 시프트 레지스터(332)와, 제 2 적분 회로(33)를 포함하고 있다. 제 2 시프트 레지스터(332)는 상기 제 2 시프트 레지스터(32)와 동등한 기능을 갖고 있고, 제 1 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{21}))으로 이루어지는 촬상 블록군마다에 있어서, 제 2 방향으로 배열된 복수의 화소(11_{11} 내지 11_{31}, 11_{12} 내지 11_{32}, 11_{13} 내지 11_{33})간에 걸쳐 전기적으로 접속된 한쪽의 광 감응 부분(13_{mn})(13_{11} 내지 13_{31}, 13_{12} 내지 13_{32}, 13_{13} 내지 13_{33})군으로부터의 전류 출력을 제 1 방향으로 순차 판독한다. 제 2 스위치 소자(31)는 제 2 시프트 레지스터(332)로부터 출력되는 신호 shift(V1) 내지 shift(V6)에 의해 제어되어 순차 닫힌다. 제 2 적분 회로(33)는 제 1 방향으로 배열된 복수의 촬상 블록(예를 들면, 촬상 블록(B_{11}) 및 촬상 블록(B_{21}))으로 이루어지는 촬상 블록군마다 설치되어 있다.

계속해서, 도 23의 (a) 내지 도 23의 (j) 및 도 24의 (a) 내지 도 24의 (j)에 근거하여, 제 1 신호 처리 회로(320) 및 제 2 신호 처리 회로(330)의 동작에 대해서 설명한다. 도 23의 (a) 내지 도 23의 (j)는 제 1 신호 처리 회로의 동작을 설명하기 위한 타이밍 차트이고, 도 24의 (a) 내지 도 24의 (j)는 제 2 신호 처리 회로의 동작을 설명하기 위한 타이밍 차트이다.

제어 회로로부터 제 1 시프트 레지스터(322)에 스타트 신호(Φ_{Hst})가 입력되면(도 23의 (a) 참조), 신호(Φ_{H2})의 상승으로부터 신호(Φ_{H1})의 하강까지의 기간에 대응한 펄스 폭을 갖는 신호 shift(H1) 내지 shift(H6)가 순차 출력된다(도 23의 (b), 도 23의 (c) 및 도 23의 (e) 내지 도 23의 (h) 참조). 제 1 시프트 레지스터(22)로부터 대응하는 제 1 스위치 소자(21)에 shift(H1) 내지 shift(H6)가 출력되면, 제 1 스위치 소자(21)가 순차 닫히고, 대응하는 한쪽의 광 감응 부분(12_{mn})군에 축적된 전하가 전류가 되어 대응하는 제 1 적분 회로(23)에 순차 출력된다.

제 1 적분 회로(23)에는 제어 회로로부터 리셋 신호(Φ_{Hreset})가 입력되어 있다(도 23의 (d) 참조). 리셋 신호(Φ_{Hreset})가 「OFF」 상태인 기간, 대응하는 한쪽의 광 감응 부분(12_{mn})군에 축적된 전하가 용량 소자(25)에 축적되고, 축적된 전하량에 따른 전압($H1_{out}$, $H2_{out}$)이 각각의 제 1 적분 회로(23)로부터 순차 출력된다(도 23의 (i) 및 도 23의 (j) 참조). 또한, 제 1 적분 회로(23)는 리셋 신호(Φ_{Hreset})가 「ON」 상태일 때에는 스위치 소자(26)를 닫아 용량 소자(25)를 초기화한다.

제어 회로로부터 제 2 시프트 레지스터(332)에 스타트 신호(Φ_{Vst})가 입력되면(도 24의 (a) 참조), 신호(Φ_{V2})의 상승으로부터 신호(Φ_{V1})의 하강까지의 기간에 대응한 펄스 폭을 갖는 신호 shift(V1) 내지 shift(V6)가 순차 출력된다(도 24의 (b), 도 24의 (c) 및 도 24의 (e) 내지 도 24의 (h) 참조). 제 2 시프트 레지스터(32)로부터 대응하는 제 2 스위치 소자(31)에 shift(V1) 내지 shift(V6)가 출력되면, 제 2 스위치 소자(31)가 순차 닫히고, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군에 축적된 전하가 전류가 되어 대응하는 제 2 적분 회로(33)에 순차 출력된다.

제 2 적분 회로(33)에는 제어 회로로부터 리셋 신호(Φ_{Vreset})가 입력되어 있다(도 24의 (d) 참조). 리셋 신호(Φ_{Vreset})가 「OFF」 상태인 기간, 대응하는 다른 한쪽의 광 감응 부분(13_{mn})군에 축적된 전하가 용량 소자(35)에 축적되고, 축적된 전하량에 따른 전압($V1_{out}$, $V2_{out}$)이 각각의 제 2 적분 회로(33)로부터 순차 출력된다(도 24의 (i) 및 도 24의 (j) 참조). 또한, 제 2 적분 회로(33)는 리셋 신호(Φ_{Vreset})가 「ON」 상태일 때에는 스위치 소자(36)를 닫아 용량 소자(35)를 초기화한다.

이상과 같이, 본 실시예의 촬상 장치(301)에 있어서는, 촬상 블록(B_{11} 내지 B_{22})(광 감응 영역(10))이 2차원 배열되어 있기 때문에, 극히 간소한 구성으로, 입사한 광의 휘도 프로파일을 고속으로 검출할 수 있다.

다음으로, 도 25 및 도 26에 근거하여, 본 실시예에 따른 거리 화상 취득 장치에 대해서 설명한다. 도 25 및 도 26은 거리 화상 취득 장치를 도시하는 개략 구성도이다.

본 실시예에 따른 거리 화상 취득 장치(401)는 도 25에 도시되는 바와 같이, 상기 촬상 장치(301)가 소정의 간격을 가지고 한 쌍 배치되어 있다. 피측정물(403)의 화상은 한 쌍의 촬상 장치(301)에 의해 들어간다. 촬상 장치(301)는 촬상 영역(301a)에 있어서 촬상 블록(광 감응 영역(10))을 P×Q 배치로 하고 있다. 또한, 각 촬상 블록(광 감응 영역(10)) 내의 화소를 M×N 배치로 하여 구성하고 있다. 여기서, 파라미터(p)를 1 이상 P 이하의 임의의 정수로 하고, 파라미터(q)를 1 이상 Q 이하의 임의의 정수로 한다.

한 쌍의 광학 렌즈(405)는 2개의 촬상 장치(301) 전방에 배치되어 있다. 광 축(l)은 피측정물(403)이 기준 평면(407) 상에 있을 때에 각각의 촬상 장치(301)의 촬상 영역(301a)에 있어서의 같은 위치에 피측정물(403)의 상이 비치도록 기준 평면(407)의 중심에서 교차하고 있다.

기준 평면(407)에 대한 피측정물(403)의 높이(H)는 시차량(P)에 대하여 하기 (1) 식으로 구할 수 있다.

$$H = W*P/(C+P-L) \cdots(1)$$

여기서, 「W」는 광학 렌즈(405)와 피측정물(403)과의 거리이고, 「L」은 광학 렌즈(405)간의 거리이고, 「C」는 촬상 장치(301)에 있어서의 촬상 영역(301a)의 중심간 거리이다. 또한, 촬상 장치(301)에 있어서의 촬상 블록마다의 시차량은 위상 한정 상관법(Phase-only Correlation : POC) 등을 이용함으로써 구할 수 있다.

또한, 거리 화상 취득 장치(401)는 도 26에 도시되는 바와 같이, 거리 화상을 취득하기 위한 연산 회로부(410)를 갖고 있다. 연산 회로부(410)에는 촬상 장치(301)에 있어서의 각 제 1 적분 회로(도시하지 않음)로부터의 출력(Hp_{out}) 및 각 제 2 적분 회로(도시하지 않음)로부터의 출력(Vq_{out})이 입력되어 있다. 이 연산 회로부(410)는 시차량 추출 수단으로서의 시차량 추출부(411)와, 거리 연산 수단으로 서의 거리 연산부(413)와, 거리 화상 생성 수단으로서의 거리 화상 생성부(415)를 갖고 있다.

시차량 추출부(411)는 촬상 장치(301)에 있어서의 상기 각 제 1 적분 회로(23)로부터의 출력(Hp_{out}) 및 상기 각 제 2 적분 회로(33)로부터의 출력(Vq_{out})에 근거하여, 촬상 블록마다에 있어서의 시차량을 추출한다. 이 때, 상기 위상 한정 상관법을 이용할 수 있다. 거리 연산부(413)는 시차량 추출부(411)에서 추출된 시차량에 근거하여, 촬상 블록마다에 있어서의 피측정물(403)까지의 거리를 연산한다. 거리 화상 생성부(415)는 거리 연산부(413)에서 연산된 거리에 근거하여 거리 화상을 생성한다.

이상과 같이, 본 실시예의 거리 화상 취득 장치(401)에 있어서는, 각 촬상 장치(301)에 포함되는 촬상 블록(광 감응 영역(10))마다에 있어서 거리 화상을 얻기 위해 취급하는 데이터량이 극히 적어도 된다. 이 결과, 거리 화상을 취득하기 위한 연산 속도를 낮게 억제하여, 저소비 전류화 및 저발열화를 도모할 수 있다.

본 발명은 상술한 실시예에 한정되는 것은 아니다. 예를 들면, 시프트 레지스터를 이용하는 대신, 각 광 감응 부분(12_{mn}, 13_{mn})(제 2 도전형 반도체 영역(41, 42))을 균일한 저항선으로 접속하고, 광의 입사에 따라 발생한 전하를 저항선에 흘러 들어온 위치와 상기 저항선 각각의 단부와의 거리에 반비례하도록 저항 분할하여 저항선의 단부로부터 추출하고, 상기 단부로부터의 전류 출력에 근거하여 광의 입사 위치를 구하도록 하여도 된다.

또한, 상술한 실시예에 있어서는, 1화소를 복수의 광 감응 부분으로 구성하고 있지만, 1화소를 하나의 광 감응 부분으로 구성하여도 된다. 예를 들면, 도 20에 도시되는 바와 같이, 광 감응 영역(10)은 제 1 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 1 광 감응 부분(12_{mn})과 제 2 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 2 광 감응 부분(13_{mn})을 포함하고, 복수의 제 1 광 감응 부분(12_{mn})과 복수의 제 2 광 감응 부분(13_{mn})은 2차원적으로 혼재한 상태에서 동일면 내에서 배열하여도 된다. 이 경우, 제 1 광 감응 부분(12_{mn})과 제 2 광 감응 부분(13_{mn})은 바둑판 무늬형으로 배열하고 있고, 제 1 광 감응 부분(12_{mn})과 제 2 광 감응 부분(13_{mn})은 제 1 방향 및 제 2 방향에 있어서 교대로 배열하고 있다. 또한, 바둑판 무늬형으로 배열하는 대신, 도 8에 도시되는 바와 같은 허니컴형으로 배열하여도 된다.

산업상 이용 가능성

본 발명의 광 검출 장치 및 촬상 장치는 거리 화상 취득 장치에 이용할 수 있다. 또한, 본 발명의 거리 화상 취득 장치는 부품 외관 검사 장치나 부품 형상 인식 장치에 이용할 수 있다.

(57) 청구의 범위

청구항 1.

화소가 2차원 배열된 광 감응 영역을 갖는 광 검출 장치로서,

각각 입사한 광의 강도에 따른 전류를 출력하는 복수의 광 감응 부분을 동일면 내에서 인접하여 배치함으로써 1화소가 구성되어 있고,

상기 2차원 배열에 있어서의 제 1 방향으로 배열된 복수의 화소에 걸쳐, 상기 각 화소를 구성하는 복수의 광 감응 부분 중 한쪽의 광 감응 부분끼리가 전기적으로 접속되고,

상기 2차원 배열에 있어서의 제 2 방향으로 배열된 복수의 화소에 걸쳐, 상기 각 화소를 구성하는 복수의 광 감응 부분 중 다른 한쪽의 광 감응 부분끼리가 전기적으로 접속되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 2.
제 1 항에 있어서,

상기 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 상기 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고,

상기 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 삼각형 형상을 보이고 있고, 상기 1화소에 있어서 서로 1변이 인접하여 형성되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 3.
제 1 항에 있어서,

상기 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 상기 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고,

상기 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 직사각형 형상을 보이고 있고, 상기 1화소에 있어서 긴 변이 인접하여 형성되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 4.
제 1 항에 있어서,

상기 제 1 방향으로 배열된 상기 복수의 화소에 걸쳐 상기 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 상기 화소간을 상기 제 1 방향으로 연장되어 설치되어 있고,

상기 제 2 방향으로 배열된 상기 복수의 화소에 걸쳐 상기 다른 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 상기 화소간을 상기 제 2 방향으로 연장되어 설치되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 5.
제 1 항에 있어서,

상기 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 상기 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고,

상기 제 2 도전형 반도체 영역은 1화소당 4분할되어 있고, 그 분할되어 있는 경계에, 상기 제 1 방향으로 배열된 상기 복수의 화소에 걸쳐 상기 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선과 상기 제 2 방향으로 배열된 상기 복 수의 화소에 걸쳐 상기 다른 한쪽의 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 설치되어 있고,

상기 1화소당 4분할된 제 2 도전형 반도체 영역은 대각끼리가 상기 배선에 접속되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 6.
제 1 항에 있어서,

상기 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 상기 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고,

상기 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 4각형 이상의 다각형 형상을 보이고 있고, 상기 1화소에 있어서 1변이 인접하여 형성되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 7.
제 6 항에 있어서,

상기 한쪽의 광 감응 부분의 상기 제 2 도전형 반도체 영역과 상기 다른 한쪽의 광 감응 부분의 상기 제 2 도전형 반도체 영역은 상기 1화소에 있어서 상기 제 1 방향과 상기 제 2 방향에 교차하는 제 3 방향으로 병설되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 8.

제 6 항에 있어서,

상기 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 허니컴(honeycomb) 형으로 배열되어 있는 것을 특징으로, 하는 광 검출 장치.

청구항 9.
제 1 항에 있어서,

상기 제 1 방향으로 배열된 상기 복수의 화소간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분군으로부터의 전류 출력을 상기 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와,

상기 제 2 방향으로 배열된 상기 복수의 화소간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 상기 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와,

상기 제 1 시프트 레지스터에 의해 순차 판독되는 상기 각 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 1 적분 회로와,

상기 제 2 시프트 레지스터에 의해 순차 판독되는 상기 각 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 2 적분 회로를 더 갖고 있는 것을 특징으로 하는, 광 검출 장치.

청구항 10.
제 1 항에 있어서,

상기 제 1 방향으로 배열된 상기 복수의 화소간에 있어서 전기적으로 접속된 한쪽의 광 감응 부분군에 대응하여 설치되고, 대응하는 한쪽의 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 전압값을 출력하는 제 1 적분 회로 와,

상기 제 1 적분 회로에 대응하여 설치되고, 대응하는 제 1 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 1 CDS 회로와,

상기 제 1 CDS 회로에 대응하여 설치되고, 대응하는 제 1 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 1 샘플 앤드 홀드 회로와,

상기 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 1 최대값 검출 회로와,

상기 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 상기 제 1 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 1 A/D 변환 회로와,

상기 제 2 방향으로 배열된 상기 복수의 화소간에 있어서 전기적으로 접속된 다른 한쪽의 광 감응 부분군에 대응하여 설치되고, 대응하는 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 해당 전압값을 출력하는 제 2 적분 회로와,

상기 제 2 적분 회로에 대응하여 설치되고, 대응하는 제 2 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 2 CDS 회로와,

상기 제 2 CDS 회로에 대응하여 설치되고, 대응하는 제 2 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 2 샘플 앤드 홀드 회로와,

상기 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 2 최대값 검출 회로와,

상기 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 상기 제 2 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 2 A/D 변환 회로를 더 갖고 있는 것을 특징으로 하는, 광 검출 장치.

청구항 11.
광 감응 영역을 갖는 광 검출 장치로서,

상기 광 감응 영역은 제 1 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 1 광 감응 부분과 상기 제 1 방향에 교차하는 제 2 방향에 걸쳐 서로 전기적으로 접속되는 복수의 제 2 광 감응 부분을 포함하고,

상기 복수의 제 1 광 감응 부분과 상기 복수의 제 2 광 감응 부분은 2차원적으로 혼재한 상태에서 동일면 내에서 배열되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 12.
제 11 항에 있어서,

상기 복수의 제 1 광 감응 부분과 상기 복수의 제 2 광 감응 부분은 상기 제 1 방향 또는 상기 제 2 방향에 있어서 교대로 배열되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 13.
제 11 항에 있어서,

상기 복수의 제 1 광 감응 부분과 상기 복수의 제 2 광 감응 부분은 상기 제 1 방향과 상기 제 2 방향에 교차하는 제 3 방향에 있어서 교대로 배열되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 14.
제 13 항에 있어서,

상기 각 광 감응 부분은 광 입사 방향에서 보아 허니컴형으로 배열되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 15.
제 11 항에 있어서,

상기 각 광 감응 부분은 제 1 도전형 반도체로 이루어지는 반도체 기판 부분과, 상기 반도체 기판 부분에 형성된 제 2 도전형 반도체 영역을 포함하고,

상기 제 2 도전형 반도체 영역은 광 입사 방향에서 보아 대략 다각형 형상을 보이고 있고, 서로 1변이 인접하여 형성되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 16.
제 11 항에 있어서,

상기 제 1 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 상기 각 광 감응 부분간을 상기 제 1 방향으로 연장되어 설치되어 있고,

제 2 광 감응 부분끼리를 전기적으로 접속하기 위한 배선이 상기 각 광 감응 부분간을 상기 제 2 방향으로 연장되어 설치되어 있는 것을 특징으로 하는, 광 검출 장치.

청구항 17.
제 11 항에 있어서,

상기 제 1 방향에 걸쳐 서로 전기적으로 접속된 제 1 광 감응 부분군으로부터의 전류 출력을 상기 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와,

상기 제 2 방향에 걸쳐 서로 전기적으로 접속된 제 2 광 감응 부분군으로부터의 전류 출력을 상기 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와,

상기 제 1 시프트 레지스터에 의해 순차 판독되는 상기 각 제 1 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 1 적분 회로와,

상기 제 2 시프트 레지스터에 의해 순차 판독되는 상기 각 제 2 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 2 적분 회로를 더 갖고 있는 것을 특징으로 하는, 광 검출 장치.

청구항 18.

제 11 항에 있어서,

상기 제 1 방향에 걸쳐 서로 전기적으로 접속된 제 1 광 감응 부분군에 대응하여 설치되고, 대응하는 제 1 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 전압값을 출력하는 제 1 적분 회로와,

상기 제 1 적분 회로에 대응하여 설치되고, 대응하는 제 1 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 1 CDS 회로와,

상기 제 1 CDS 회로에 대응하여 설치되고, 대응하는 제 1 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 1 샘플 앤드 홀드 회로와,

상기 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 1 최대값 검출 회로와,

상기 제 1 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 상기 제 1 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 1 A/D 변환 회로와,

상기 제 2 방향에 걸쳐 서로 전기적으로 접속된 제 2 광 감응 부분군에 대응하여 설치되고, 대응하는 제 2 광 감응 부분군으로부터의 전류 출력을 전압 출력으로 변환하고, 해당 전압값을 출력하는 제 2 적분 회로와,

상기 제 2 적분 회로에 대응하여 설치되고, 대응하는 제 2 적분 회로로부터 출력되는 전압값의 변화량에 따른 값의 전압을 출력하는 제 2 CDS 회로와,

상기 제 2 CDS 회로에 대응하여 설치되어, 대응하는 제 2 CDS 회로로부터 출력되는 전압 출력을 유지하여 출력하는 제 2 샘플 앤드 홀드 회로와,

상기 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력의 최대값을 검출하는 제 2 최대값 검출 회로와,

상기 제 2 샘플 앤드 홀드 회로 각각으로부터 출력되는 전압 출력을 순차 입력하고, 그 전압 출력을 상기 제 2 최대값 검출 회로에 의해 검출된 최대값에 근거하여 디지털값으로 변환하고, 그 디지털값을 출력하는 제 2 A/D 변환 회로를 더 갖 고 있는 것을 특징으로 하는, 광 검출 장치.

청구항 19.
제 1 항 또는 제 11 항에 기재된 광 검출 장치가 2차원 배열되어 있는 것을 특징으로 하는, 촬상 장치.

청구항 20.
제 19 항에 있어서,

상기 2차원 배열에 있어서의 상기 제 2 방향으로 배열된 복수의 광 검출 장치로 이루어지는 광 검출 장치군마다에 있어서, 상기 제 1 방향으로 배열된 상기 복수의 화소간에 걸쳐 전기적으로 접속된 한쪽의 광 감응 부분군으로부터의 전류 출력을 상기 제 2 방향으로 순차 판독하기 위한 제 1 시프트 레지스터와,

상기 제 2 방향으로 배열된 상기 복수의 광 검출 장치로 이루어지는 상기 광 검출 장치군마다 설치되고, 상기 제 1 시프트 레지스터에 의해 순차 판독되는 상기 각 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 1 적분 회로와,

상기 2차원 배열에 있어서의 상기 제 1 방향으로 배열된 복수의 광 검출 장치로 이루어지는 광 검출 장치군마다에 있어서, 상기 제 2 방향으로 배열된 상기 복수의 화소간에 걸쳐 전기적으로 접속된 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 상기 제 1 방향으로 순차 판독하기 위한 제 2 시프트 레지스터와,

상기 제 1 방향으로 배열된 상기 복수의 광 검출 장치로 이루어지는 상기 광 검출 장치군마다 설치되고, 상기 제 2 시프트 레지스터에 의해 순차 판독되는 상기 각 다른 한쪽의 광 감응 부분군으로부터의 전류 출력을 순차 입력하고, 그 전류 출력을 전압 출력으로 변환하는 제 2 적분 회로를 더 갖고 있는 것을 특징으로 하는, 촬상 장치.

청구항 21.
제 20 항에 기재된 촬상 장치가 소정의 간격을 가지고 한 쌍 배치되어 있고,

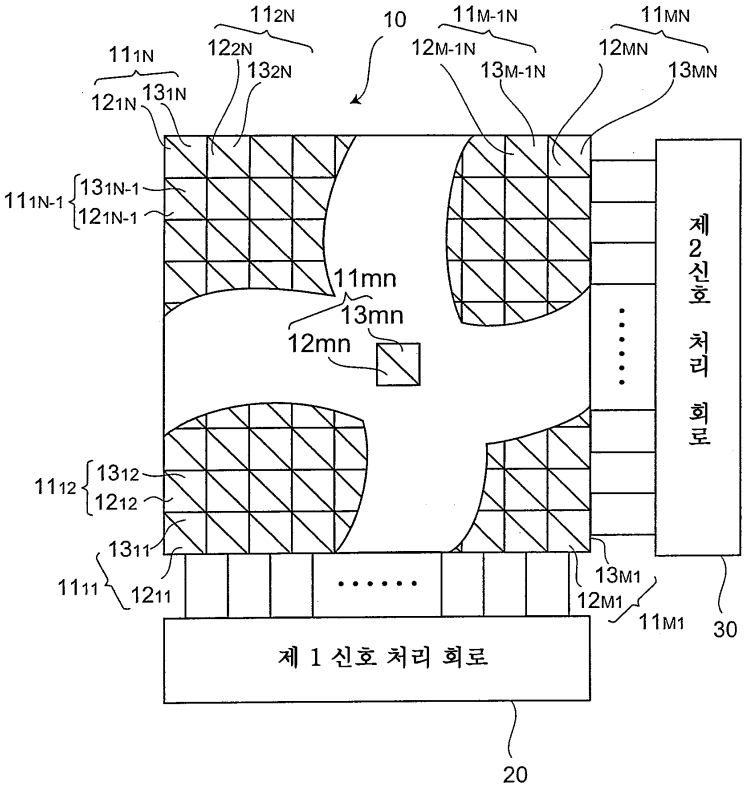
상기 제 1 적분 회로 및 상기 제 2 적분 회로로부터의 상기 전압 출력에 근거하여, 상기 광 검출 장치마다에 있어서의 시차량을 추출하는 시차량 추출 수단과,

상기 시차량 추출 수단에서 추출된 상기 시차량에 근거하여, 상기 광 검출 장치마다에 있어서의 피측정물까지의 거리를 연산하는 거리 연산 수단과,

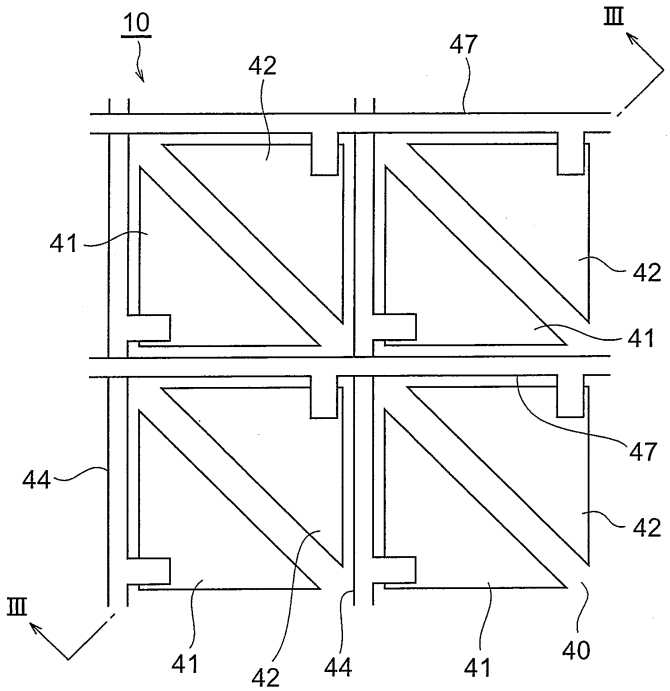
상기 거리 연산 수단에서 연산된 상기 거리에 근거하여, 거리 화상을 생성하는 거리 화상 생성 수단을 갖고 있는 것을 특징으로 하는, 거리 화상 취득 장치.

도면

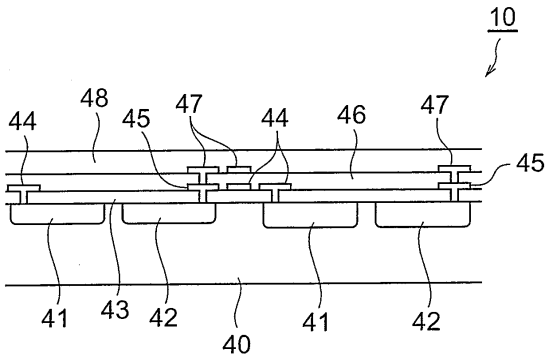
도면1



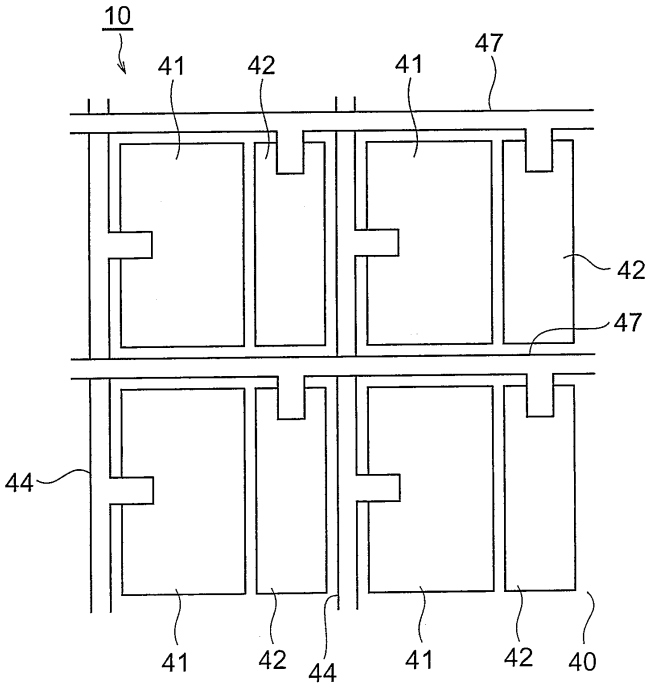
도면2



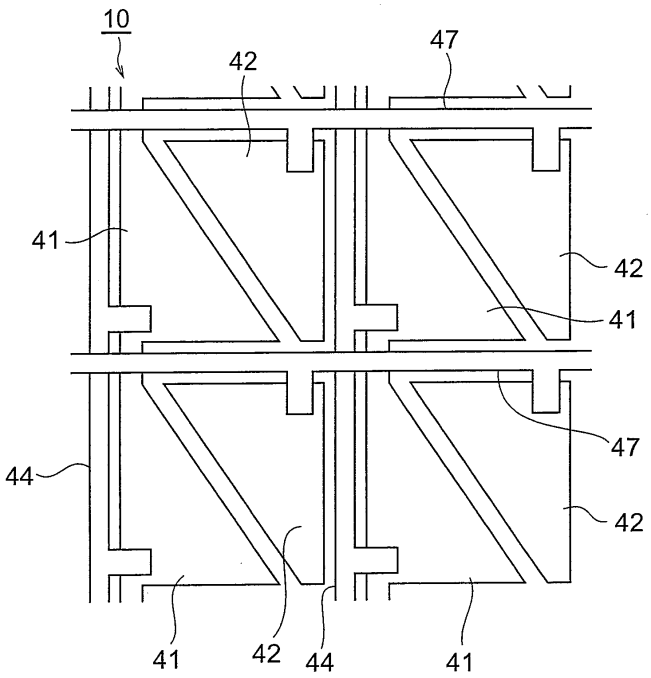
도면3


10
48
44
45
47
44
46
47
45
41
43
42
40
41
42

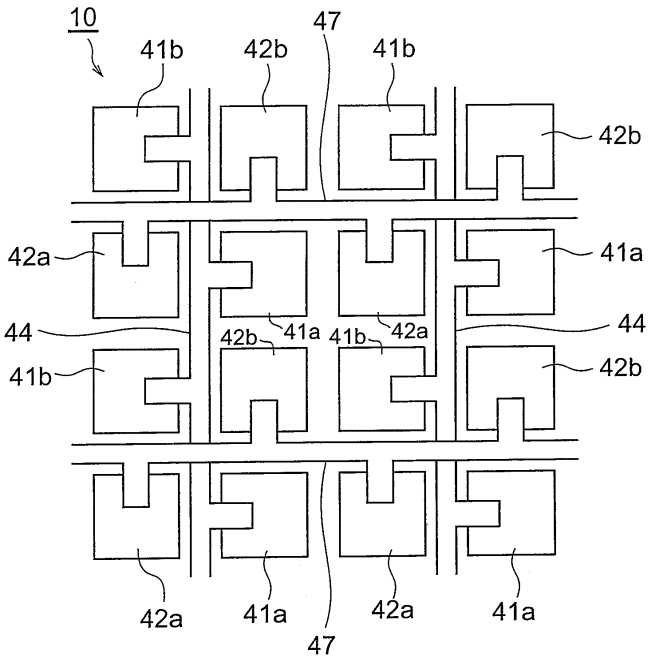
도면4


10
41
42
41
47
42
47
44
41
42
44
41
42
40

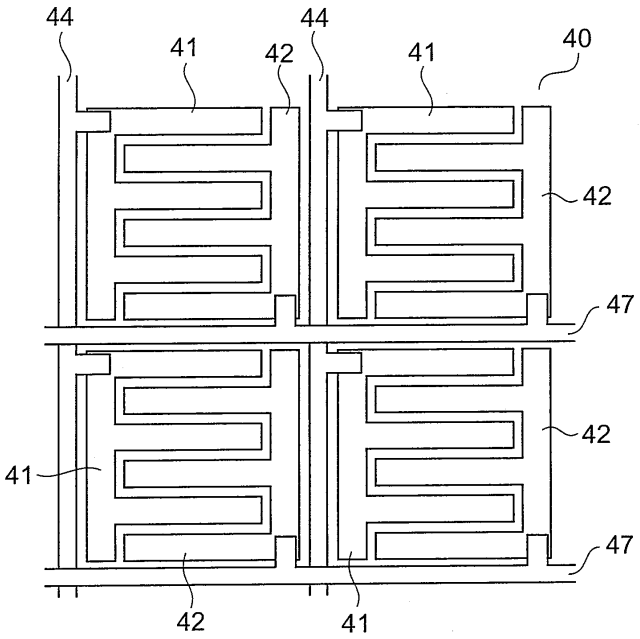
도면5


10
42
47
41
42
41
47
44
42
41
42
44
41

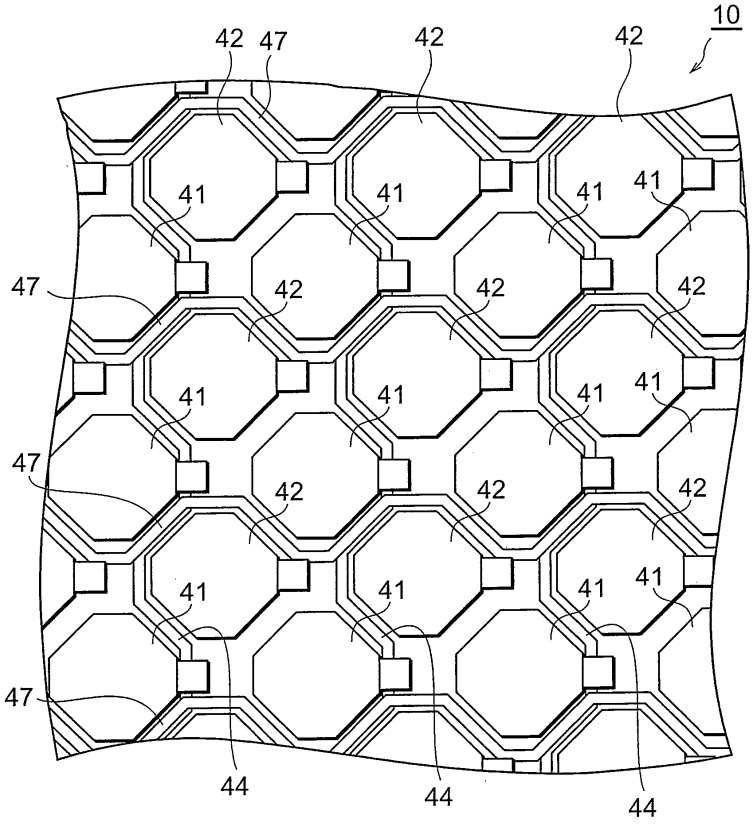
도면6


10
41b
42b
47
41b
42b
42a
41a
44
42b
41a
41b
42a
44
41b
42b
42a
41a
42a
41a
47

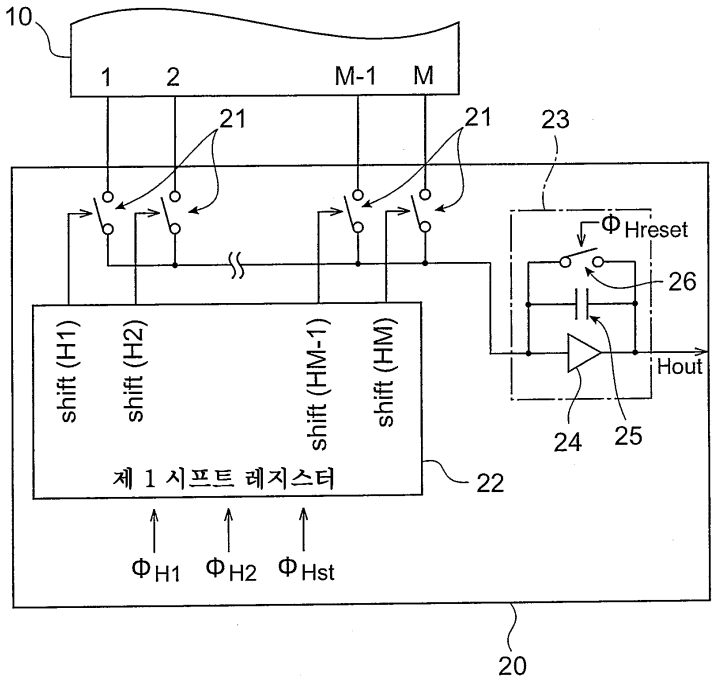
도면7


44
41
42
44
41
40
42
47
41
42
47
42
41

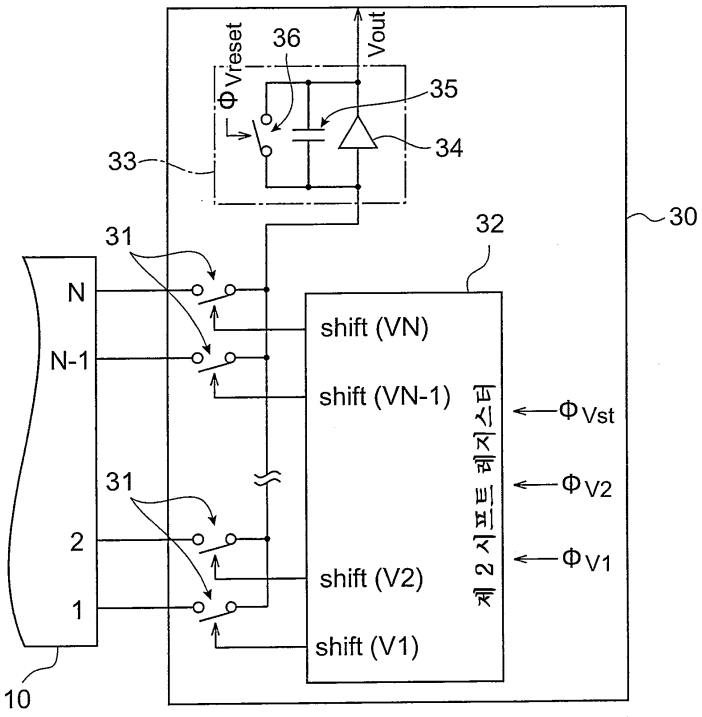
도면8


10
42
47
41
44

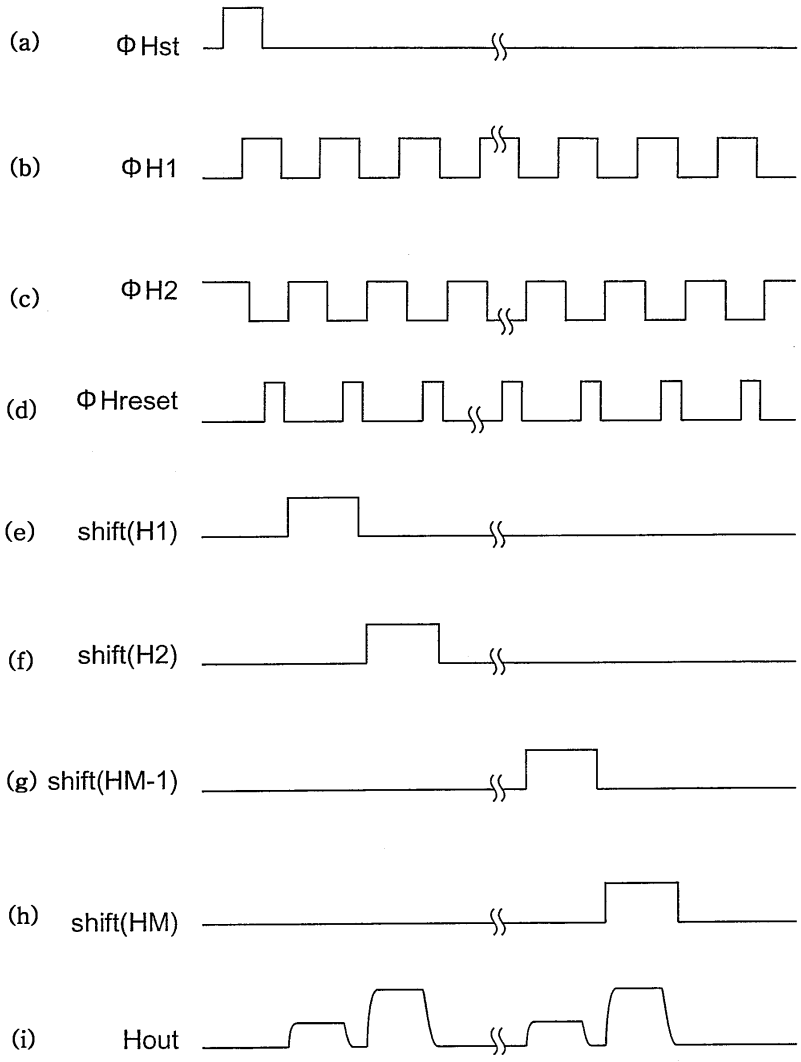
도면9


10
1
2
M-1
M
21
23
ΦHreset
26
Hout
24
25
shift (H1)
shift (H2)
shift (HM-1)
shift (HM)
제 1 시프트 레지스터
22
ΦH1
ΦH2
ΦHst
20

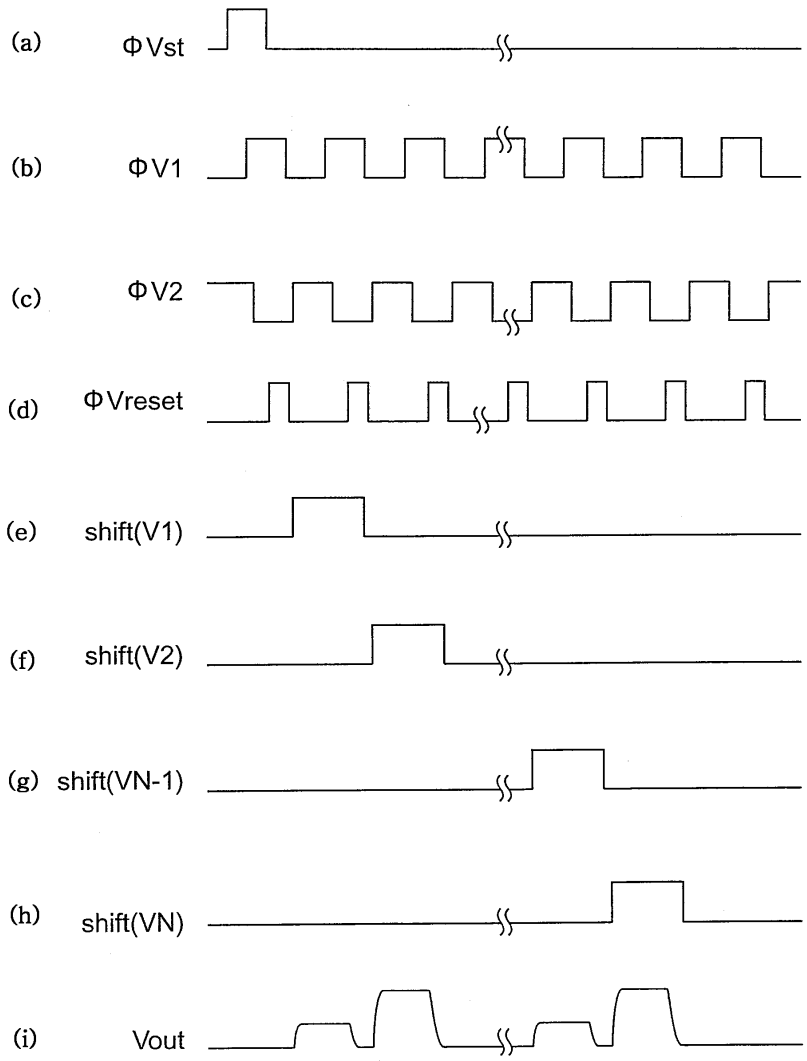
도면10


ΦVreset
36
Vout
35
34
33
30
32
31
N
N-1
31
2
1
shift (VN)
shift (VN-1)
shift (V2)
shift (V1)
제 2 시프트 레지스터
ΦVst
ΦV2
ΦV1
10

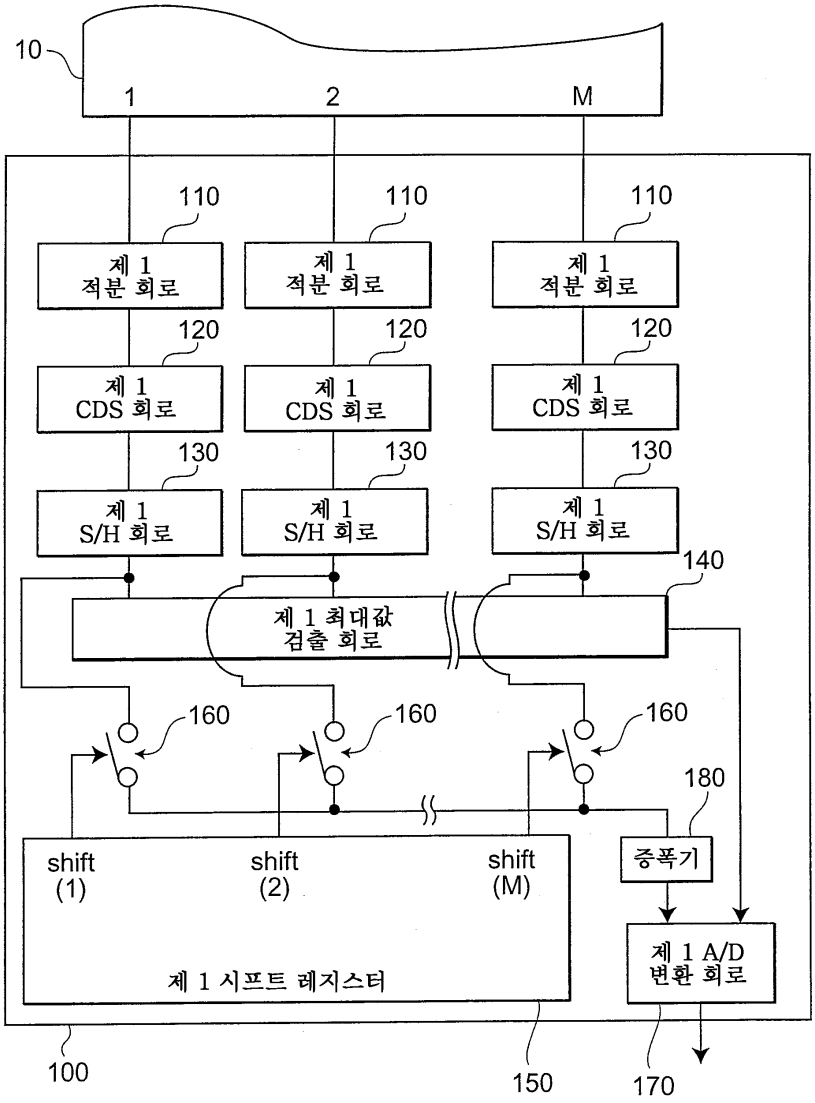
도면11


(a) ΦHst
(b) ΦH1
(c) ΦH2
(d) ΦHreset
(e) shift(H1)
(f) shift(H2)
(g) shift(HM-1)
(h) shift(HM)
(i) Hout

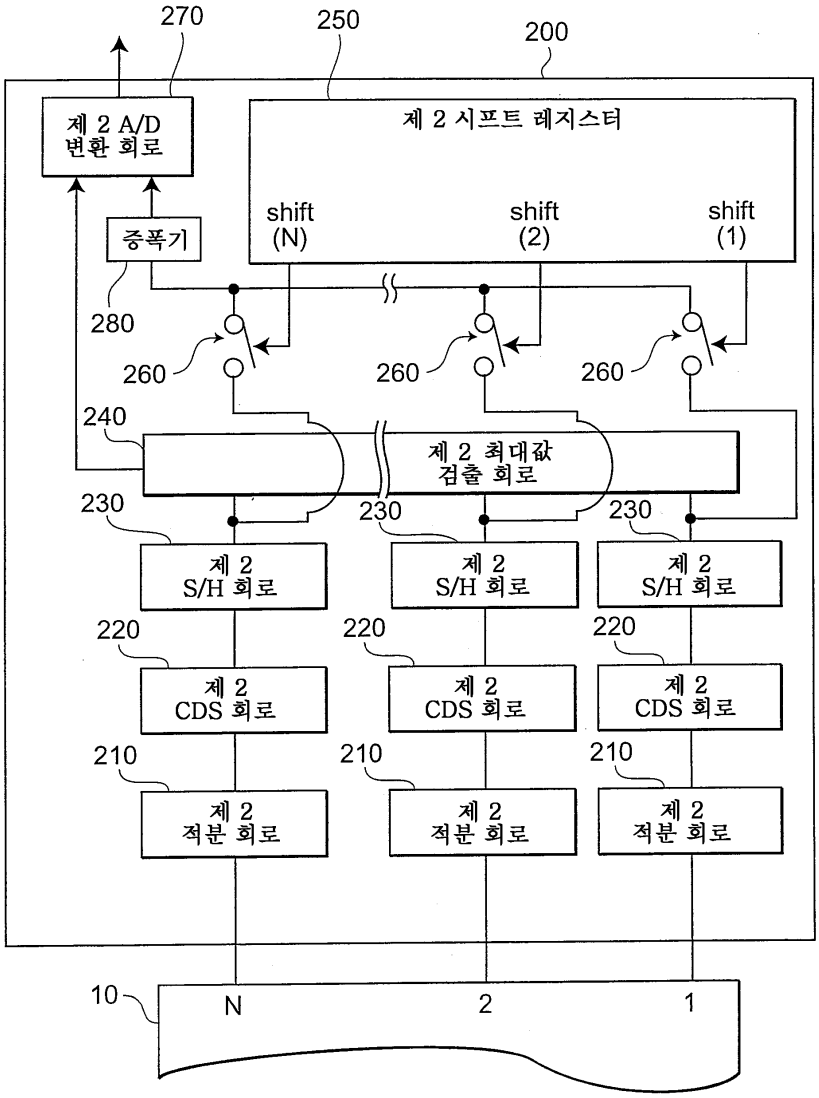
도면12


(a) ΦVst
(b) ΦV1
(c) ΦV2
(d) ΦVreset
(e) shift(V1)
(f) shift(V2)
(g) shift(VN-1)
(h) shift(VN)
(i) Vout

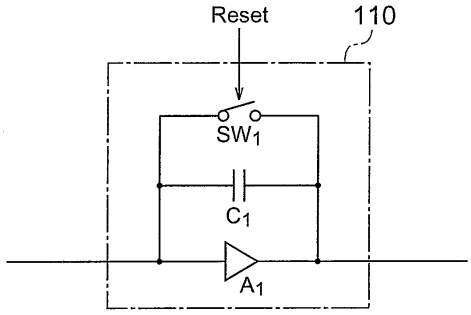
도면13


10
1
2
M
110
제 1
적분 회로
120
제 1
CDS 회로
130
제 1
S/H 회로
140
제 1 최대값
검출 회로
160
180
증폭기
shift
(1)
shift
(2)
shift
(M)
제 1 시프트 레지스터
제 1 A/D
변환 회로
100
150
170

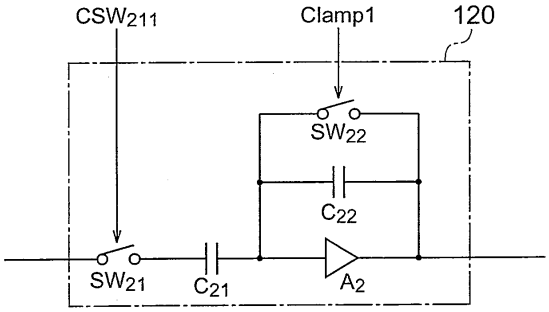
도면14



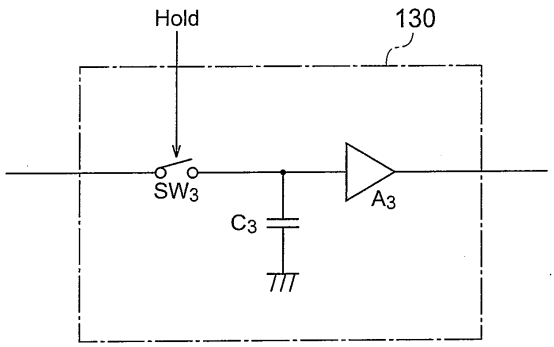
도면15



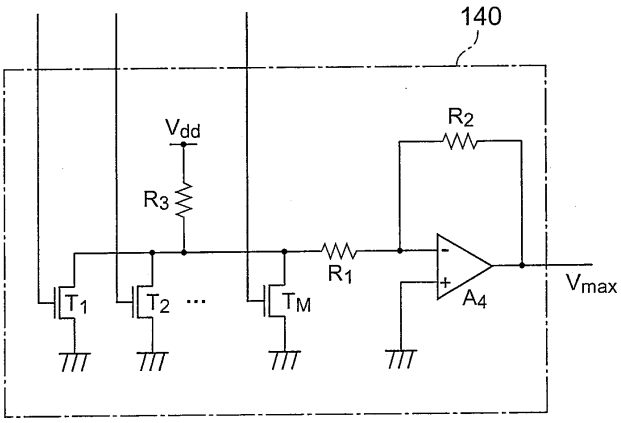
도면16



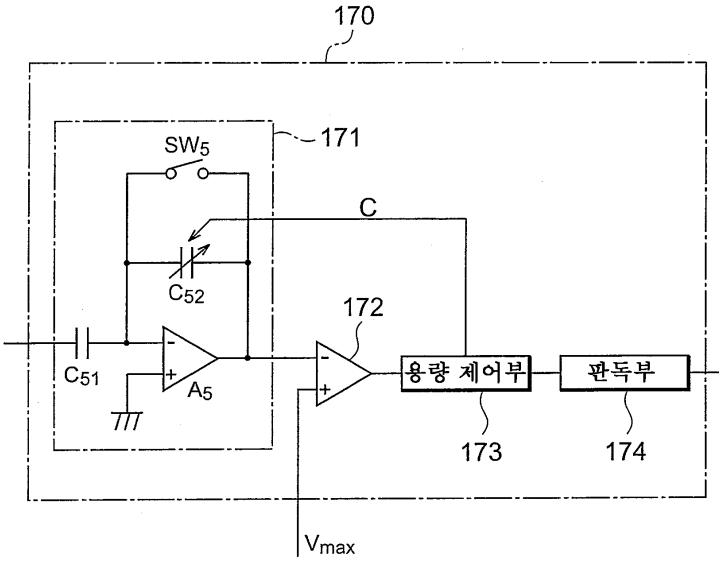
도면17



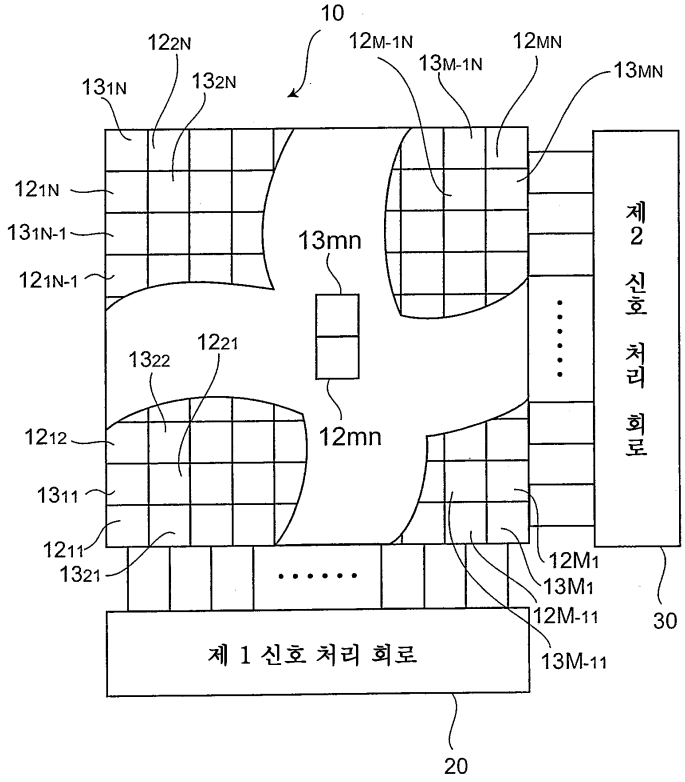
도면18



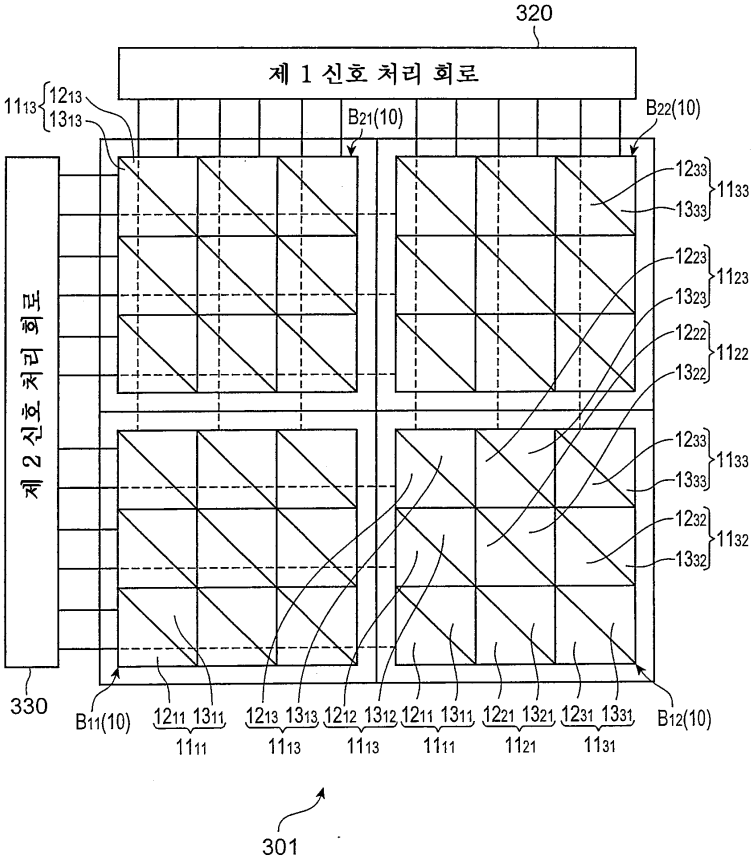
도면19



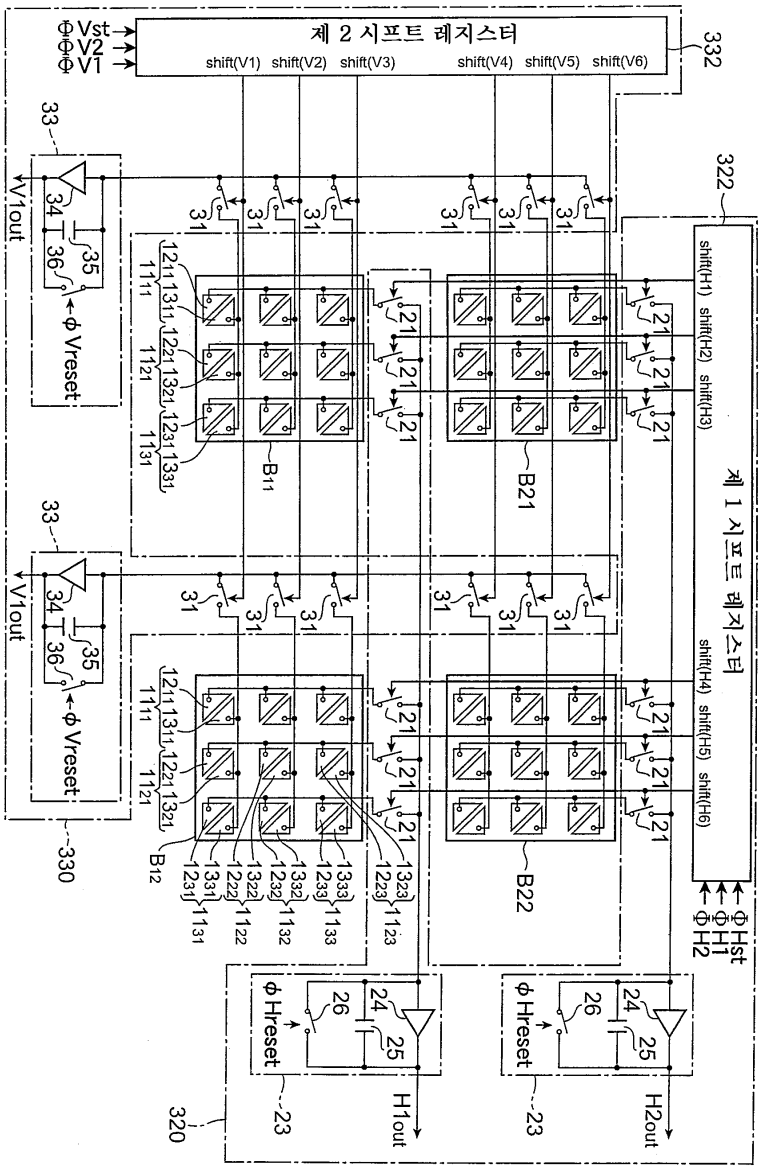
도면20


10
12₂N
12M-1N
12MN
13M-1N
13MN
13₁N
13₂N
12₁N
13₁N-1
12₁N-1
13mn
제 2 신호 처리 회로
12₂₁
13₂₂
12₁₂
13₁₁
12₁₁
13₂₁
12mn
12M₁
13M₁
12M-11
13M-11
30
제 1 신호 처리 회로
20

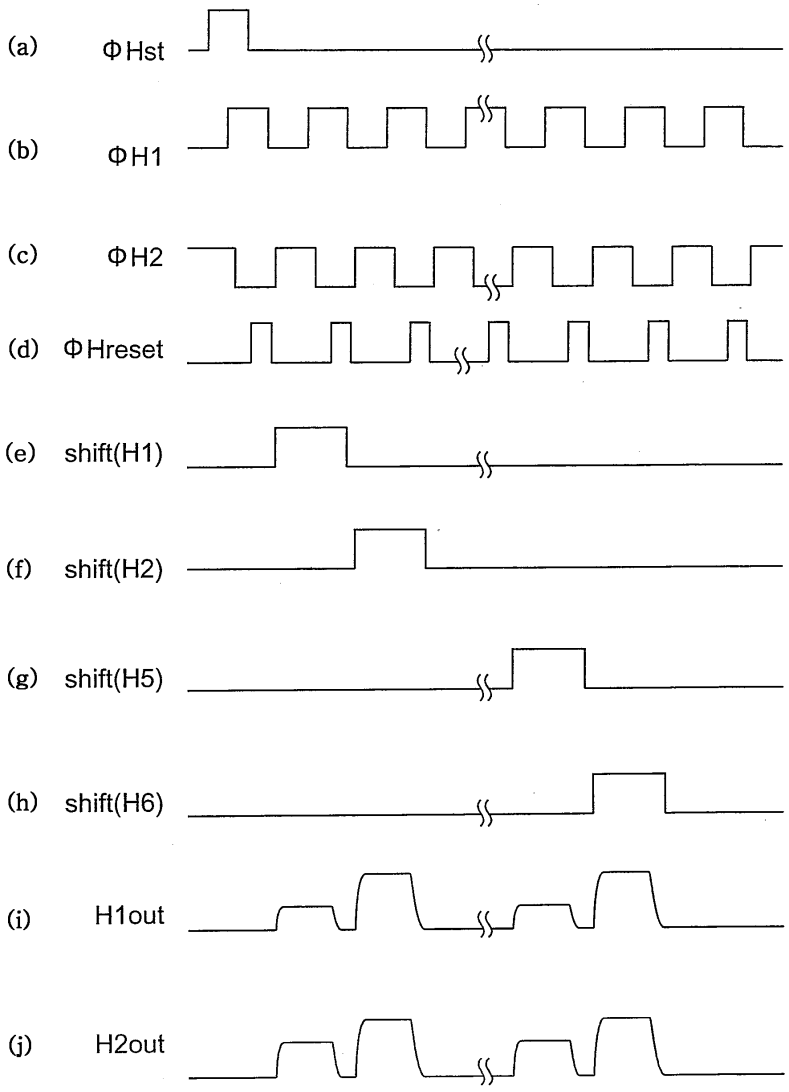
도면21


320
제 1 신호 처리 회로
11₁₃ 12₁₃ 13₁₃
B21(10)
B22(10)
제 2 신호 처리 회로
12₃₃ 13₃₃ 11₃₃
12₂₃ 13₂₃ 11₂₃
12₂₂ 13₂₂ 11₂₂
12₃₃ 13₃₃ 11₃₃
12₃₂ 13₃₂ 11₃₂
330
B11(10)
12₁₁ 13₁₁ 11₁₁
12₁₃ 13₁₃ 11₁₃
12₁₂ 13₁₂ 11₁₃
12₁₁ 13₁₁ 11₁₁
12₂₁ 13₂₁ 11₂₁
12₃₁ 13₃₁ 11₃₁
B12(10)
301

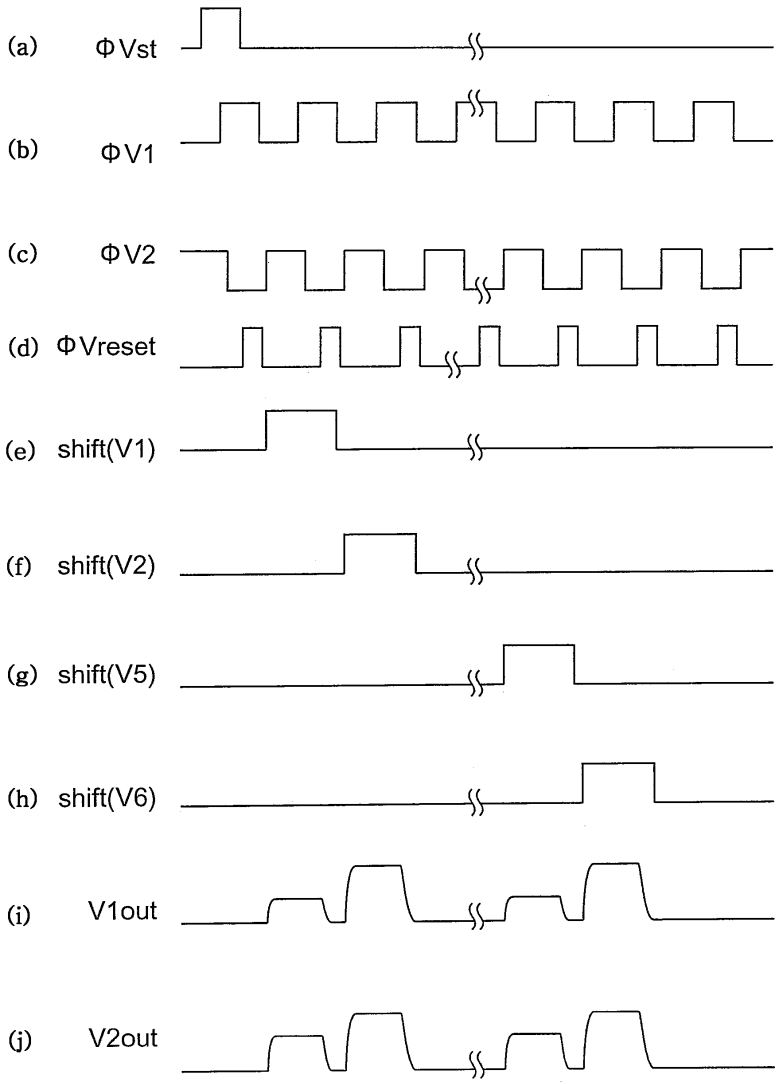
도면22


제 2 시프트 레지스터
ΦVst
ΦV2
ΦV1
shift(V1) shift(V2) shift(V3) shift(V4) shift(V5) shift(V6)
332
322
제 1 시프트 레지스터
shift(H1) shift(H2) shift(H3) shift(H4) shift(H5) shift(H6)
ΦHst
ΦH1
ΦH2
330
320
B11
B12
B21
B22
φ Vreset
V1out
φ Hreset
H1out
H2out

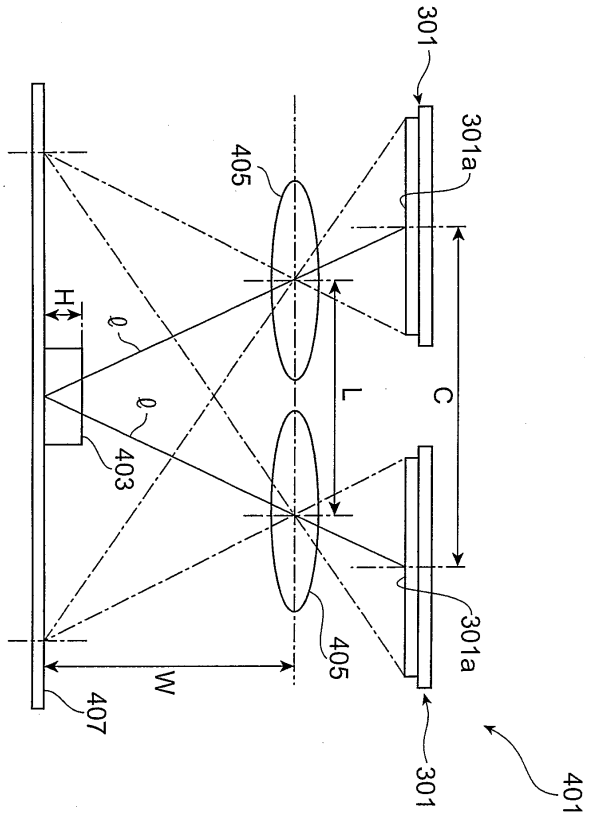
도면23


(a) ΦHst
(b) ΦH1
(c) ΦH2
(d) ΦHreset
(e) shift(H1)
(f) shift(H2)
(g) shift(H5)
(h) shift(H6)
(i) H1out
(j) H2out

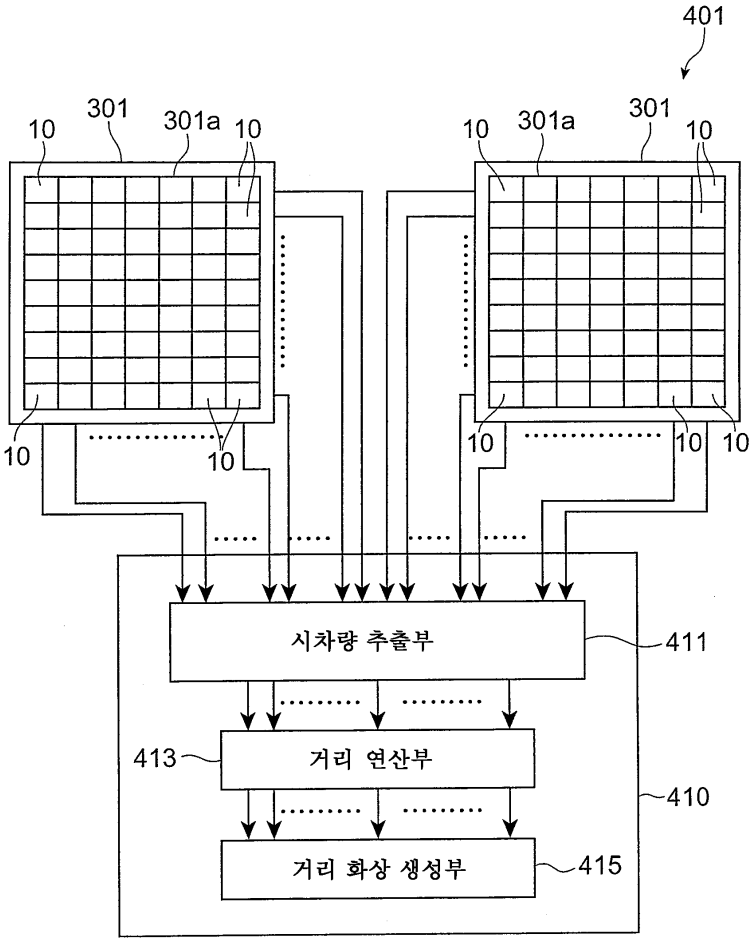
도면24


(a) ΦVst
(b) ΦV1
(c) ΦV2
(d) ΦVreset
(e) shift(V1)
(f) shift(V2)
(g) shift(V5)
(h) shift(V6)
(i) V1out
(j) V2out

도면25


301
301a
405
H
ℓ
ℓ
403
L
C
405
301a
W
407
301
401

도면26


401
301
301a
10
시차량 추출부
411
413
거리 연산부
410
거리 화상 생성부
415