(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 42 32 819 B4** 2010.07.08

(12) # Patentschrift

(21) Aktenzeichen: **P 42 32 819.5**
(22) Anmeldetag: **30.09.1992**
(43) Offenlegungstag: **15.04.1993**
(45) Veröffentlichungstag der Patenterteilung: **08.07.2010**

(51) Int Cl.[8]: ***G11C 11/407*** (2006.01)
G11C 11/4074 (2006.01)
G11C 5/14 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
91-16701 U 10.10.1991 KR

(73) Patentinhaber:
LG Semicon Co. Ltd., Cheongju, Choongcheongbuk, KR

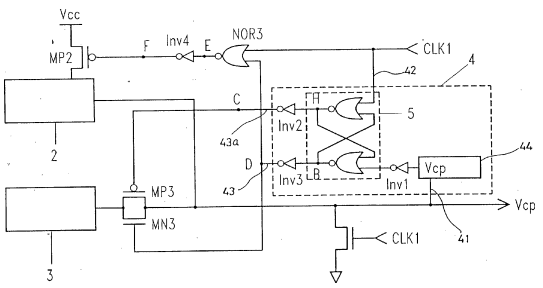
(74) Vertreter:
Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049 Pullach

(72) Erfinder:
Kim, Tae Hoon, Seoul/Soul, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 49 85 869
US 46 31 421

(54) Bezeichnung: **Dynamischer Speicher**

(57) Hauptanspruch: Dynamischer Speicher mit einer Mehrzahl von Speicherzellen, wobei jede Zelle einen Kondensator mit einer Plattenelektrode aufweist, wobei die Plattenelektroden mit einem gemeinsamen Plattenknoten (Vcp) gekoppelt sind, und mit einer Schaltung zum Bereitstellen einer Spannung an den gemeinsamen Plattenknoten (Vcp), mit folgenden Merkmalen:
einer ersten Spannungseinrichtung (2) zum Erzeugen einer Spannung, wobei die erste Spannungseinrichtung (2) eine erste Stromtreiberkapazität aufweist; und
einer zweiten Spannungseinrichtung (3) zum Erzeugen einer Spannung, wobei die zweite Spannungseinrichtung (3) eine zweite Stromtreiberkapazität aufweist;
einer Steuereinrichtung (4), die mit dem Plattenknoten (Vcp) gekoppelt ist, um ein Steuersignal mit einem ersten Zustand und einem zweiten Zustand zu erzeugen, wobei das Steuersignal anfänglich auf den ersten Zustand eingestellt ist und in den zweiten Zustand wechselt, wenn die Plattenknotenspannung (Vcp) einen vorbestimmten Spannungspegel erreicht; und
einer Schalteinrichtung (MP2, MN3, MP3, MN4, MP4, MN5, MP5, MN6, MP6), die mit der ersten und der zweiten Spannungseinrichtung (2,...



Beschreibung

[0001] Die Erfindung betrifft einen dynamischen Speicher mit einem Set-Up-Ladeschaltkreis zum Aufladen von (bzw. zum Erzeugen einer Anfangsspannung in) Deckelelektroden von Halbleiter-Speicherzellkondensatoren während eines Initialisier- bzw. Einschaltvorganges eines Halbleiterbausteines – auch Set-Up genannt.

[0002] Bei DRAMs bzw. bei DRAM-Halbleiterbausteinen (DRAM steht für ”dynamic random access memory”) werden die Plate- bzw. Deckelelektroden (auch Plattenelektroden genannt) der Kondensatoren der einzelnen Speicherzellen des Halbleiterbausteines bei einer Inbetriebnahme des Bausteines zunächst auf eine Spannung der Größe 1/2 Vcc vorgeladen. Das bedeutet, daß die Deckel-Elektroden der einzelnen Speicherzellen zunächst auf einer Anfangs- bzw. Grundspannung gehalten werden, bis die Spannung in den verschiedenen Teilen des Systems bzw. der Speicherzelle stabilisiert ist, nachdem an der DRAM-Zelle bzw. dem Baustein eine Spannung anliegt. Danach wird den Deckelelektroden der Speicherzellen durch Aktivierung eines Zellplate- bzw. Zelldeckel-Spannungsgenerators eine Spannung zugeführt.

[0003] Einen bekannten Schaltkreis zum Aufladender Deckelelektroden der Speicherzellen zeigt Fig. 5. Nach dieser Fig. umfaßt der bekannte Schaltkreis einen Zelldeckel-Spannungsgenerator **1**, Schalttransistoren MN1 und MP1 zum Verbinden und Trennen der Ausgabespannung des Spannungsgenerators **1** mit und von einem Vcp-Anschluß (ein mit den Zelldeckelelektroden bzw. dem ”Zelldeckel” verbundener Anschluß) sowie einen Schalttransistor MN2 zum Erden des Vcp-Anschlusses.

[0004] Fig. 6 zeigt ein Zeitflußdiagramm, welches die Arbeits- bzw. Wirkungsweise des bekannten Schaltkreises veranschaulicht. In dieser Zeichnung illustriert ein Signal P die Struktur der Energiezufuhr. Aus der Zeichnung ist ferner zu entnehmen, daß nach einem Zuschalten der Energiezufuhr ein Signal P-U dann auf einen hohen Pegel gesetzt wird, wenn die zugeführte Energie stabilisiert ist. Dagegen wird das Signal P-U auf einen niedrigen Pegel umgeschaltet, wenn eine Spannung Vbb eines Back-Bias-Spannungsgenerators eingeschaltet wird. Während des Zeitintervalles, in dem das Signal P-U auf seinem hohen Pegel steht, sind eine Elektrode A und ein Vcp-Elektrodenanschluß (der mit dem Zelldeckel verbunden ist) voneinander durch die Transistoren MN1 und MP1 isoliert, während die Vcp-Elektrode durch den Transistor MN2 geerdet ist.

[0005] Bei Speicherbausteinen größerer Speicherkapazität bzw. bei einer Erhöhung der Anzahl an Speicherzellen eines DRAM-Speicherbausteines nimmt auch die Kapazität des Speicherbausteines zu. Die Gesamtkapazität bzw. die Summe der Kapazitäten der Plateelektroden der Zell-Kondensatoren wird nämlich vergrößert. Um sämtliche Zellelektroden innerhalb eines kurzen Zeitintervalles zu laden, wird in diesem Fall eine Versorgungseinheit bzw. ein Ladeschaltkreis mit einer großen bzw. größeren Stromversorgungskapazität benötigt. Eine derart große Versorgungskapazität muß jedoch nach dem Stand der Technik auch während eines Stand-by-Intervalles kontinuierlich Weiterbetrieben werden. Daraus resultiert ein zu großer Energieverlust während des Stand-by-Intervalles.

[0006] Die US-A-4,631,421 beschreibt einen Generator zum Erzeugen einer negativen Vorspannung auf einem Halbleiterbauelement, welcher einen On-Chip-Oszillator aufweist, der durch zwei Ladungspumpenschaltungen getrieben wird. Der Oszillator erzeugt unter Verwendung einer Rückkopplungsschaltung eine invers auf die negative Vorspannung bezogene Frequenz, wodurch Standby-Ströme reduziert werden. Jede der Schaltungspumpen umfasst einen CMOS-Inverter zum Steuern des Transistors, der als Diodenverbindung zum Masseanschluss wirksam ist, zum Erzeugen einer effizienten Ladungsübertragung und zum Beschleunigen der Erzeugung der Vorspannung. Beide Ladungspumpen werden während des Einschaltens verwendet, so dass sich die Vorspannung schnell auf den Betriebspegel erhöht. Anschließend daran, wird eine der Ladungspumpen abgeschaltet.

[0007] Die US-A-4,985,869 beschreibt einen Generator zur Erzeugung einer Substratvorspannung, der einen ersten Spannungsgenerator mit einer relativ hohen Stromversorgungskapazität, einen zweiten Spannungsgenerator mit einer relativ kleinen Stromversorgungskapazität und eine Vorspannungserfassungsschaltung zum Steuern des ersten Spannungsgenerators umfasst. Abhängig von vorbestimmen Betriebszuständen eines Bauelements, welches den Generator aufweist, werden entweder der erste oder der zweite Spannungsgenerator verwendet.

[0008] Die Aufgabe der vorliegenden Erfindung besteht darin, einen verbesserten dynamischen Speicher zu schaffen, der einen schnellen Set-up-Vorgang auch bei einer hohen Gesamtkapazität der Speicherzelle ermöglicht und ferner den Energieverlust während eines Standby-Intervalls möglichst niedrig hält.

[0009] Diese Aufgabe wird durch einen dynamischen Speicher gemäß Anspruch 1 gelöst.

[0010] Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen im Zusammenhang mit der Zeichnung näher beschrieben. Dabei werden auch weitere Vorteile und Möglichkeiten der Erfindung

deutlich. Es zeigen:

[0011] Fig. 1 eine Schaltkreis-Darstellung eines bevorzugten Ausführungsbeispieles der Erfindung;

[0012] Fig. 2 ein Zeitflußdiagramm, das die Wirkungsweise des Schaltkreises aus Fig. 1 verdeutlicht;

[0013] Fig. 3 eine Schaltkreis-Darstellung eines zweiten Ausführungsbeispieles der Erfindung;

[0014] Fig. 4 ein Zeitflußdiagramm, das die Wirkungsweise des Schaltkreises aus Fig. 3 veranschaulicht;

[0015] Fig. 5 einen bekannten Set-Up-Ladeschaltkreis zum Aufladen von Deckelelektroden von Halbleiterspeicher-Zellkondensatoren während eines Initialisier- bzw. Einschaltvorganges;

[0016] Fig. 6 ein Zeitflußdiagramm, das die Wirkungsweise des Schaltkreises aus Fig. 5 veranschaulicht.

[0017] Zunächst sei das Ausführungsbeispiel der Fig. 1 beschrieben. Bei dem hier gezeigten erfindungsgemäßen Set-Up-Ladeschaltkreis ist ein Eingang eines ersten Spannungsgenerators **2** über eine erste Schalteinrichtung MP2 mit einer Energiequelle Vcc verbunden, während ein Ausgangsanschluß des ersten Spannungsgenerators **2** mit einem Vcp-Zell-Deckelelektrodenanschluß – der Einfachheit halber auch "Vcp-Elektrode" (Vcp: V cell plate) genannt – verbunden ist.

[0018] Ferner ist ein Ausgangsanschluß eines zweiten Spannungsgenerators **3** über zweite Schalteinrichtungen MP3 und MN3 mit der Vcp-Elektrode verbunden.

[0019] Weiterhin ist ein erster Eingang **41** eines Steuerungssignal-Generators **4** mit der Vcp-Elektrode verbunden. An einen zweiten Eingang **42** des Signal-Generators **4** ist eine Taktsignal-Leitung CLK1 angeschlossen. Ferner ist ein Ausgang **43** (von dem Steuersignale abgegeben werden) des Steuerungssignal-Generators **4** mit einem Steuergate (bzw. dem Gateanschluß) der zweiten Schalteinrichtungen MP3 verbunden. Der Ausgang **43** ist ferner über ein Nor-Gate NOR3 und einen Inverter Inv4 an ein Steuergate der ersten Schalteinrichtung MP2 angeschlossen. Ein weiterer Ausgang **43a** (an dem ebenfalls Steuersignale abgegeben werden) des Steuerungssignal-Generators **4** ist mit einem Steuergate (bzw. einem Gateanschluß) der zweiten Schalteinrichtungen MN3 verbunden.

[0020] Der Steuerungssignal-Generator **4** umfaßt einen an die Vcp-Elektrode angeschlossenen Vcp-Spannungs-Sensor **44**, der zum Detektieren bzw. Ermitteln der Spannungsveränderungen bzw. -werte der Vcp-Elektrode dient. Er umfaßt ferner ein RS-Latch **5**, das die Ausgaben des Vcp-Sensors **44** über einen Inverter Inv1 an seinem Eingang "R" empfängt. Das RS-Latch **44** empfängt außerdem an seinem Eingang "S" ebenfalls die Taktsignale CLK1. Ferner sind Inverter Inv2 und Inv3 an eine Elektrode H (Q*: * bedeutet "Bar") als auch an eine Elektrode B (Q) des Latches **5** angeschlossen und dienen als Puffer.

[0021] Fig. 2 zeigt ein Zeitfluß- bzw. Ablaufdiagramm, das die Wirkungsweise des Set-Up-Ladeschaltkreises aus Fig. 1 veranschaulicht. Nachfolgend sei die Wirkungsweise des Set-Up-Ladeschaltkreises beim Aufladen der Zell-Deckel anhand der Fig. 1 und Fig. 2 näher erläutert.

[0022] In Fig. 2 veranschaulicht ein Signal P die Struktur der Anfangsenergiezufuhr Vcc analog zur Fig. 6. Ein Signal CLK1 wird zunächst auf einen hohen Pegel gesetzt. Das Signal CLK1 fällt auf einen tiefen Pegel, wenn eine Spannung Vbb (V back bias) durch einen Back-Biss-Spannungsgenerator (analog zum Signal P) zugeschaltet wird.

[0023] Wenn das Signal CLK1 auf seinem hohen Pegel steht, fällt eine Elektrode E auf einen niedrigen Pegel zurück. Dabei wird ferner eine Elektrode F auf einen hohen Pegel gesetzt, so daß die Schalteinrichtung MP2 ausgeschaltet ist. Wenn das Signal CLK1 dagegen auf einen niedrigen Pegel fällt, wird die Schalteinrichtung MP2 eingeschaltet, so daß die Spannung Vcc dem ersten Spannungsgenerator – Beginn des Betriebs – zugeführt wird. Dadurch wird die Vcp-Elektrode aufgeladen.

[0024] Wenn die Spannung der Vcp-Elektrode auf einen vorgegebenen Pegel ansteigt – wie durch die Wellenstruktur des Signales Vcp in Fig. 2 angezeigt – fällt der Vcp-Sensor von seinem hohen auf einen niedrigen Pegel. Ferner wird ein Signal hohen Pegels in den Eingang R des RS-Latches eingegeben, was das RS-Latch zurücksetzt bzw. resettet. Dies hat zur Folge, das die logischen Pegel der Elektroden C und D zueinander entgegengesetzt werden. D. h., daß dann, wenn die logischen Pegel auf ihrem hohen Zustand standen, sie anschließend in einen niedrigen Zustand fallen. Wenn sie dagegen auf ihrem niedrigen Pegel standen, werden sie auf ihren hohen Pegel bewegt. Wenn ein Taktsignal CLK1 (auf seinem hohen Pegel) in den Eingang S des RS-Latches zum Set-Up desselben eingegeben wird, wird die Elektrode C in einen hohen Zustand versetzt, während die Elektrode D in einen niedrigen Zustand bewegt wird. Entsprechend werden die zweiten Schalteinrichtungen MP3 und MN3 in einem Ausschalt-Zustand (Turn-Off) gehalten. Wenn die Ausgabe des Vcp-Sensors über den Inverter Inv1 in den Eingang R

des RS-Latches eingegeben wird, wird das RS-Latch zurückgesetzt (Reset). Entsprechend wird die Elektrode C in einen niedrigen Pegel und die Elektrode D in einen hohen Pegel bewegt, so daß die zweiten Schalteinrichtungen eingeschaltet werden. Damit wird der zweite Spannungsgenerator mit der Vcp-Elektrode verbunden. Wenn die Elektrode D in einen hohen Pegel geschaltet wird, wird die Elektrode E in einen niedrigen Pegel und die Elektrode F in einen hohen Pegel bewegt, so daß die erste Schalteinrichtung ausgeschaltet und der erste Spannungsgenerator außer Betrieb ist.

[0025] Fig. 3 veranschaulicht ein zweites Ausführungsbeispiel des erfindungsgemäßen Set-Up-Ladeschaltkreises. Bei diesem Ausführungsbeispiel wird der erste Spannungsgenerator **2** kontinuierlich betrieben. Seine Ausgabespannung kann daher kontinuierlich auch einer anderen Elektrode als der Vcp-Elektrode zugeführt werden.

[0026] Nach Fig. 3 entspricht die Verbindung bzw. Anordnung des zweiten Spannungsgenerators **3** dem ersten Ausführungsbeispiel (die zweiten Schalteinrichtungen sind hier mit MN6, MP6 bezeichnet). Dagegen ist der Ausgangsanschluß des ersten Spannungsgenerators **2** über dritte Schalteinrichtungen MN4 und MP4 und vierte Schalteinrichtung MP5 und MN5 an die Vcp-Elektrode angeschlossen. Die dritten Schalteinrichtungen werden durch Taktsignale CLK1 und die vierten Schalteinrichtungen durch die Ausgaben am Ausgang **43** des Steuerungs-Signalgenerators **4** gesteuert.

[0027] Fig. 4 veranschaulich anhand eines Zeitablaufdiagrammes die Wirkungsweise des zweiten Ausführungsbeispieles der Erfindung.

[0028] Bei diesem Ausführungsbeispiel erzeugt der erste Spannungsgenerator **2** seine Ausgabe nach bzw. bei einem Einschalten der Spannung. Das Einschalten der Spannung setzt den Generator somit in Betrieb. Dabei ist der erste Spannungsgenerator sowohl von einer Elektrode Vout und der Vcp-Elektrode getrennt, denn die dritten Schalteinrichtungen sind so lange ausgeschaltet, wie das Taktsignal CLK1 auf seinem hohen Pegel steht. Wenn das Taktsignal CLK1 dagegen auf seinen niedrigen Pegel fällt, werden die dritten Schalteinrichtungen eingeschaltet und der Elektrode Vout eine Spannung zugeführt. In diesem Zustand ist die Elektrode C in einem hohen Zustand und die Elektrode D in einem niedrigen Zustand. Die vierten Schalteinrichtungen sind dabei ebenfalls eingeschaltet. Der Steuerungssignal-Generator **4** arbeitet daher derart, daß die Vcp-Elektrode dieselbe Spannung empfängt wie die Vout-Elektrode, wodurch die Zelldeckel aufgeladen werden.

[0029] Wenn die Spannung der Vcp-Elektrode auf den vorbestimmten Pegel steigt, wird das RS-Latch analog zum ersten Ausführungsbeispiel zurückgesetzt. Daher wechseln die Elektroden C und D ihre logischen Pegel. Entsprechend werden die vierten Schalteinrichtungen ausgeschaltet und die zweiten Schalteinrichtungen eingeschaltet. Dies hat zum Ergebnis, daß jetzt der zweite Spannungsgenerator zur Vcp-Elektrode durchgeschaltet wird.

[0030] Fig. 4 veranschaulicht ferner die Erscheinung, daß die Pegelstrukturen an den Elektroden C und D durch den Anstieg des Pegels der Vcp-Elektrode variiert werden.

[0031] Sowohl beim ersten als auch beim zweiten Ausführungsbeispiel der Erfindung wird die Vcp-Elektrode durch einen MOS-Transistor so lange geerdet, wie das Taktsignal CLK1 in seinem hohen Zustand verbleibt. Dies entspricht der bekannten Arbeitsweise.

[0032] Durch die Erfindung wird der Eingangs-Set-Up durch einen Spannungsgenerator großer Betriebsversorgungskapazität durchgeführt. Damit ist es trotz einer Vergrößerung der Kapazität der Gesamt-Deckel-Elektrode möglich, die Set-Up-Zeit stark zu verringern. Außerdem wird der Energieverlust während des Stand-By-Intervalles reduziert.

Patentansprüche

1. Dynamischer Speicher mit einer Mehrzahl von Speicherzellen, wobei jede Zelle einen Kondensator mit einer Plattenelektrode aufweist, wobei die Plattenelektroden mit einem gemeinsamen Plattenknoten (Vcp) gekoppelt sind, und mit einer Schaltung zum Bereitstellen einer Spannung an den gemeinsamen Plattenknoten (Vcp), mit folgenden Merkmalen:
einer ersten Spannungseinrichtung (**2**) zum Erzeugen einer Spannung, wobei die erste Spannungseinrichtung (**2**) eine erste Stromtreiberkapazität aufweist; und
einer zweiten Spannungseinrichtung (**3**) zum Erzeugen einer Spannung, wobei die zweite Spannungseinrichtung (**3**) eine zweite Stromtreiberkapazität aufweist;
einer Steuereinrichtung (**4**), die mit dem Plattenknoten (Vcp) gekoppelt ist, um ein Steuersignal mit einem ersten Zustand und einem zweiten Zustand zu erzeugen, wobei das Steuersignal anfänglich auf den ersten Zustand eingestellt ist und in den zweiten Zustand wechselt, wenn die Plattenknotenspannung (Vcp) einen vorbestimmten Spannungspegel erreicht; und
einer Schalteinrichtung (MP2, MN3, MP3, MN4, MP4, MN5, MP5, MN6, MP6), die mit der ersten und der zweiten Spannungseinrichtung (**2**, **3**) und der Steuereinrichtung gekoppelt ist, um:
die erste Spannungseinrichtung (**2**) auswahlmäßig zu aktivieren, wenn das Steuersignal in dem ersten Zustand ist; und

die erste Spannungseinrichtung (**2**) zu deaktivieren und die zweite Spannungseinrichtung (**3**) zu aktivieren, wenn das Steuersignal in dem zweiten Zustand ist;
wobei die erste Stromtreiberkapazität größer ist als die zweite Stromtreiberkapazität.

2. Speicher nach Anspruch 1, der ferner eine Zeitgebereinrichtung zum Erzeugen eines Taktpulses (CLK) zum Definieren einer anfänglichen Periode umfasst, wobei die Schalteinrichtung (MP2) auf den Taktpuls (CLK) anspricht, um eine Aktivierung der ersten Spannungseinrichtung (**2**) bis zum Ablauf der anfänglichen Periode zu verzögern.

3. Speicher nach Anspruch 2, bei dem die Steuereinrichtung (**4**) auf den Taktpuls (CLK) anspricht, um das Steuersignal in den ersten Zustand zu versetzen.

4. Speicher nach einem der Ansprüche 1 bis 3, bei dem die erste Spannungseinrichtung (**1**) eine Leistungsversorgung (Vcc) aufweist, und bei dem die Schalteinrichtung (MP2) die erste Spannungseinrichtung (**2**) durch auswahlmäßiges Koppeln und Entkoppeln der ersten Spannungseinrichtung (**2**) von ihrer Leistungsversorgung (Vcc) aktiviert und deaktiviert.

5. Speicher nach einem der Ansprüche 1 bis 4, bei dem die erste Spannungseinrichtung (**2**) einen Spannungsausgang aufweist, und bei dem die Schalteinrichtung (MN4, MP4) die erste Spannungseinrichtung (**2**) durch auswahlmäßiges Koppeln und Entkoppeln des Spannungsausgangs mit den Elektrodenplatten aktiviert und deaktiviert.

6. Speicher nach Anspruch 1, bei dem
die erste Spannungseinrichtung (**2**) eine Leistungsversorgung (Vcc) und einen ersten Spannungsausgang, der mit dem gemeinsamen Plattenknoten (Vcp) gekoppelt ist, aufweist;
die zweite Spannungseinrichtung (**3**) einen zweiten Spannungsausgang aufweist;
die Schalteinrichtung eine erste Schalteinrichtung (MP2) und eine zweite Schalteinrichtung (MP3, MN3) aufweist,
wobei die erste Schalteinrichtung (MP2) mit der Steuereinrichtung (**4**) gekoppelt ist, um die erste Spannungseinrichtung (**2**) mit der Leistungsversorgung (Vcc) ansprechend darauf, dass das Steuersignal einen ersten Wert aufweist, zu koppeln, und um die erste Spannungseinrichtung (**2**) von der Leistungsversorgung (Vcc) ansprechend darauf, dass das Steuersignal einen zweiten Wert aufweist, zu entkoppeln; und
wobei die zweite Schalteinrichtung (MP3, MN3) mit der Steuereinrichtung (**4**) gekoppelt ist, um den zweiten Spannungsausgang mit dem gemeinsamen Plattenknoten (Vcp) zu koppeln, wenn das Steuersignal den zweiten Wert aufweist, und um den zweiten Spannungsausgang von dem gemeinsamen Plattenknoten (Vcp) zu entkoppeln, wenn das Steuersignal den ersten Wert aufweist.

7. Speicher nach Anspruch 6, der ferner eine Zeitgebereinrichtung umfasst, um einen Taktpuls (CLK) zu erzeugen, der eine anfängliche Periode definiert, wobei die erste Schalteinrichtung (MP2) auf den Taktpuls zum Entkoppeln der ersten Spannungseinrichtung (**2**) von der Leistungsversorgung (Vcc) während der anfänglichen Periode anspricht.

8. Speicher nach Anspruch 7, der ferner eine Einrichtung aufweist, die auf die Zeitgebereinrichtung anspricht, um den gemeinsamen Plattenknoten (Vcp) mit einer elektrischen Masse während der anfänglichen Periode zu verbinden.

9. Speicher nach Anspruch 7, bei dem die Steuereinrichtung (**4**) einen bistabilen Multivibrator (**5**) aufweist, der einen ersten und einen zweiten Zustand zeigt, der dem ersten bzw. dem zweiten Steuersignalwert entspricht, wobei der Multivibrator (**5**) einen Eingang (**42**) aufweist, der mit der Zeitgebereinrichtung gekoppelt ist, wobei der Multivibrator angepasst ist, um ansprechend auf den Taktpuls (CLK) in den ersten Zustand zu treten.

10. Speicher nach Anspruch 9, bei dem die Steuereinrichtung (**4**) eine Erfassungseinrichtung (**44**) zum Erzeugen eines Erfassungssignals einschließt, das anzeigt, wann der Spannungspegel des gemeinsamen Plattenknotens (Vcp) einen vorbestimmten Pegel erreicht, wobei der bistabile Multivibrator (**5**) auf das Erfassungssignal anspricht, um in den zweiten Zustand zu treten, wenn der Spannungspegel des gemeinsamen Plattenknotens den vorbestimmten Pegel erreicht.

11. Speicher nach Anspruch 1, bei dem
die erste Spannungseinrichtung (**2**) einen ersten Spannungsausgang mit der ersten Stromtreiberkapazität aufweist;
die zweite Spannungseinrichtung (**3**) einen zweiten Spannungsausgang mit der zweiten Stromtreiberkapazität aufweist;
die Schalteinrichtung eine erste Schalteinrichtung (MP4, MN4, MP5, MN5) und eine zweite Schalteinrichtung (MP6, MN6) aufweist,
wobei die erste Schalteinrichtung (MP4, MN4, MP5, MN5) mit der Steuereinrichtung (**4**) gekoppelt ist, um den ersten Spannungsausgang ansprechend darauf, dass das Steuersignal den ersten Wert hat, mit dem gemeinsamen Plattenknoten (Vcp) zu koppeln, und um den ersten Spannungsausgang von dem gemeinsamen Plattenknoten (Vcp) ansprechend darauf, dass das Steuersignal den zweiten Wert aufweist, zu entkoppeln; und
wobei die zweite Schalteinrichtung (MP6, MN6) mit der Steuereinrichtung (**4**) gekoppelt ist, um den zwei-

ten Spannungsausgang mit dem gemeinsamen Plattenknoten (Vcp) ansprechend darauf, dass das Steuersignal einen zweiten Wert aufweist, zu koppeln, und um den zweiten Spannungsausgang von dem gemeinsamen Plattenknoten (Vcp) ansprechend darauf, dass das Steuersignal einen ersten Wert aufweist, zu entkoppeln.

12. Speicher nach Anspruch 11, der ferner eine Zeitgebereinrichtung umfasst, um einen Taktpuls (CLK) zu erzeugen, der eine anfängliche Periode definiert, wobei die erste Schalteinrichtung (MN4, MP4) auf den Taktpuls (CLK) anspricht, um den ersten Spannungsausgang von dem gemeinsamen Plattenknoten (Vcp) während der anfänglichen Periode zu entkoppeln.

13. Speicher nach Anspruch 12, der ferner eine Einrichtung umfasst, um den gemeinsamen Plattenknoten (Vcp) während der anfänglichen Periode mit einer elektrischen Masse zu verbinden.

14. Speicher nach Anspruch 12, bei dem die Steuereinrichtung (**4**) einen bistabilen Multivibrator (**5**) aufweist, der einen ersten und einen zweiten Zustand hat, der dem ersten bzw. dem zweiten Steuersignalwert entspricht, wobei der Multivibrator (**5**) auf den Taktpuls (CLK) anspricht, um in den ersten Zustand einzutreten.

15. Speicher nach Anspruch 14, bei dem die Steuereinrichtung (**4**) eine Erfassungseinrichtung (**44**) zum Erzeugen eines Erfassungssignals aufweist, um anzuzeigen, wann der Spannungspegel an dem gemeinsamen Plattenknoten (Vcp) einen vorbestimmten Pegel erreicht, wobei der bistabile Multivibrator (**5**) auf das Erfassungssignal anspricht, um in den zweiten Zustand einzutreten, wenn der Spannungspegel an dem gemeinsamen Plattenknoten die vorbestimmte Schwelle übersteigt.

16. Speicher nach Anspruch 1, mit:
einer Zeitgebereinrichtung zum Erzeugen eines Taktpulses (CLK), der eine anfängliche Periode definiert;
einer Sensoreinrichtung (**44**), die mit dem gemeinsamen Plattenknoten (Vcp) verbunden ist, um ein Sensorsignal zu erzeugen, welches anzeigt, ob der Spannungspegel an dem gemeinsamen Plattenknoten (Vcp) einen vorbestimmten Schwellenwert erreicht hat; und
einem bistabilen Multivibrator (**5**), der einen ersten Eingang (**42**), der mit der Zeitgebereinrichtung gekoppelt ist, und einen zweiten Eingang, der mit der Sensoreinrichtung (**44**) gekoppelt ist, aufweist, wobei der Multivibrator (**5**) einen ersten stabilen Zustand ansprechend auf das Vorhandensein des Taktpulses (CLK) und einen zweiten stabilen Zustand ansprechend darauf, dass das Sensorsignal anzeigt, dass der Spannungspegel des gemeinsamen Plattenknotens (Vcp) den vorbestimmten Schwellenwert übersteigt, aufweist;
wobei die Schalteinrichtung eine erste Schalteinrichtung (MP5, MN5) und eine zweite Schalteinrichtung (MP6, MN6) aufweist,
wobei die erste Schalteinrichtung (MP5, MN5) mit dem Multivibrator (**5**) gekoppelt ist, um die erste Spannungseinrichtung (**2**) auswahlmäßig zu aktivieren, um den gemeinsamen Plattenknoten (Vcp) zu laden, wenn der Multivibrator (**5**) den ersten stabilen Zustand aufweist, und
wobei die zweite Schalteinrichtung (MP6, MN6) mit dem Multivibrator (**5**) gekoppelt ist, um die zweite Spannungseinrichtung (**3**) selektiv zu aktivieren, um den gemeinsamen Plattenknoten (Vcp) zu laden, wenn der Multivibrator (**5**) den zweiten stabilen Zustand zeigt.

17. Speicher nach Anspruch 16, bei dem die erste Spannungseinrichtung (**2**) eine Leistungsversorgung (Vcc) aufweist, und bei der die erste Schalteinrichtung die erste Spannungseinrichtung (**2**) durch selektives Koppeln und Entkoppeln der ersten Spannungseinrichtung (**2**) von der zugeordneten Leistungsversorgung aktiviert und deaktiviert.

18. Speicher nach Anspruch 16 oder 17, bei dem die erste Spannungseinrichtung (**2**) einen Spannungsausgang aufweist, und bei der die Schalteinrichtung die erste Spannungseinrichtung (**2**) durch selektives Koppeln und Entkoppeln des Spannungsausgangs den gemeinsamen Plattenknoten (Vcp) aktiviert und deaktiviert.

19. Speicher nach Anspruch 16, bei dem der bistabile Multivibrator (**5**) ein RS-Flip-Flop ist, das Eingänge R und S aufweist, wobei der S-Eingang mit der Zeitgebereinrichtung gekoppelt ist, und wobei der R-Eingang mit der Sensoreinrichtung (**44**) gekoppelt ist.

20. Speicher nach Anspruch 15, der ferner eine Masseeinrichtung umfasst, um den gemeinsamen Plattenknoten (Vcp) während der anfänglichen Periode auswahlmäßig mit Masse zu verbinden, wobei die erste Schalteinrichtung auf die Zeitgebereinrichtung anspricht, um die erste Spannungseinrichtung (**2**) während der anfänglichen Periode zu deaktivieren.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

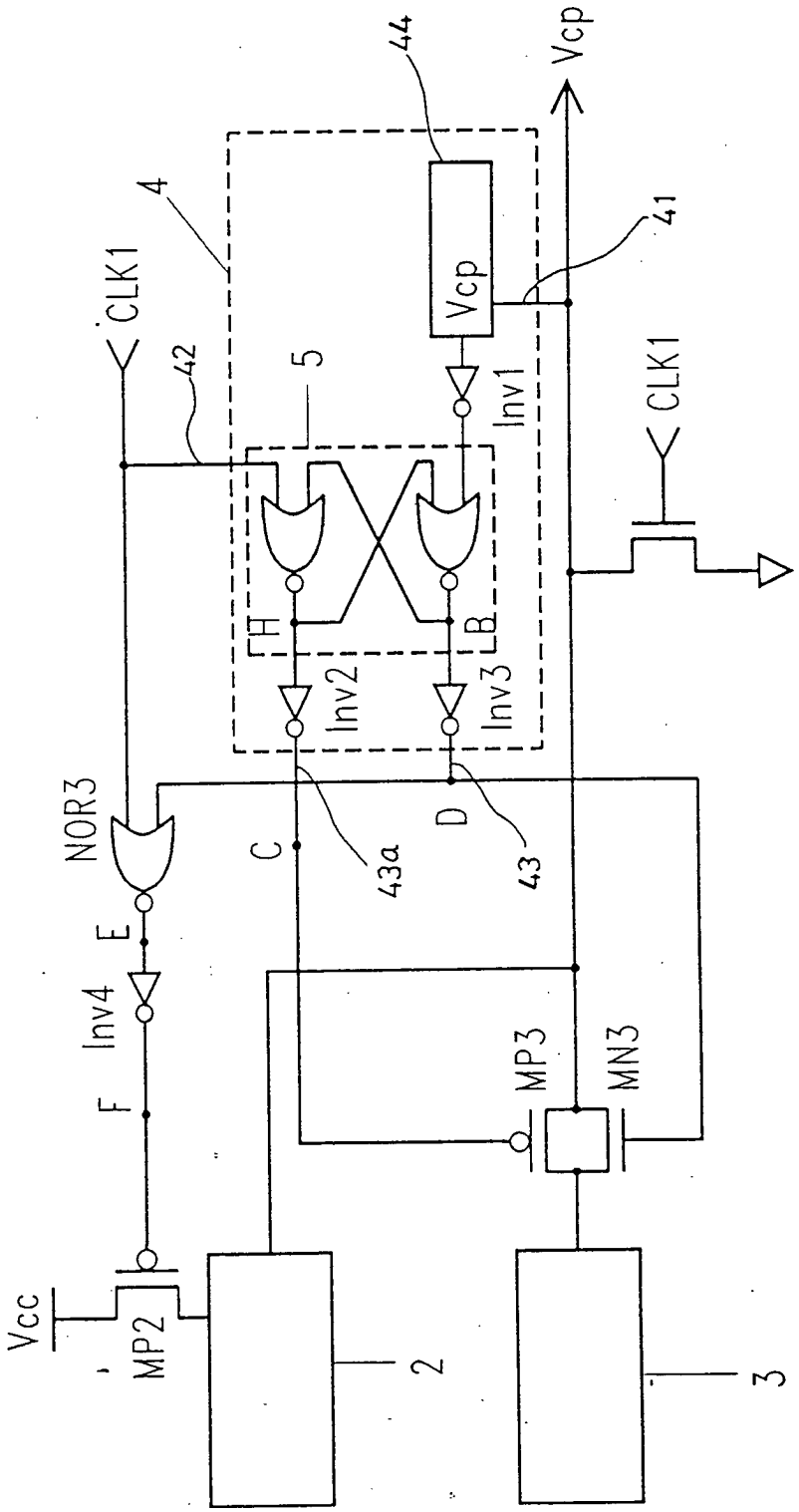


FIG. 4

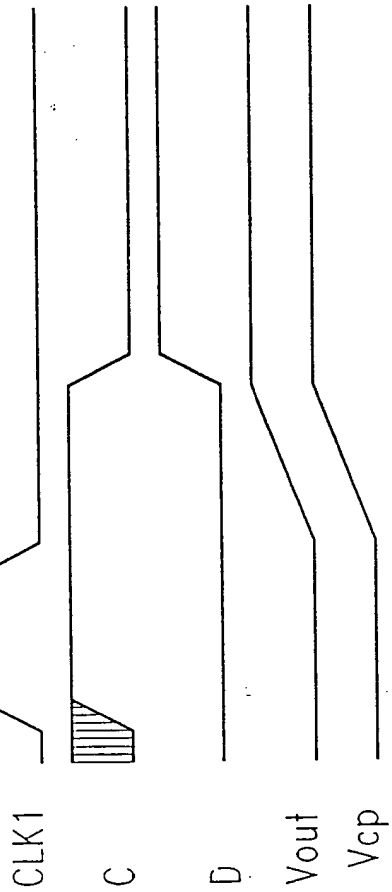
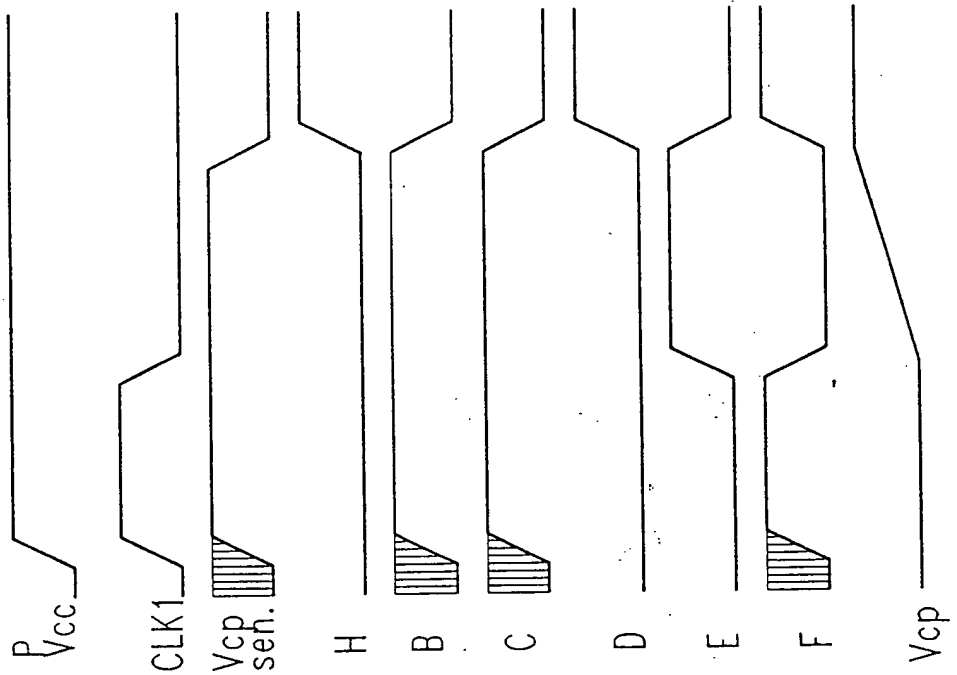


FIG. 2



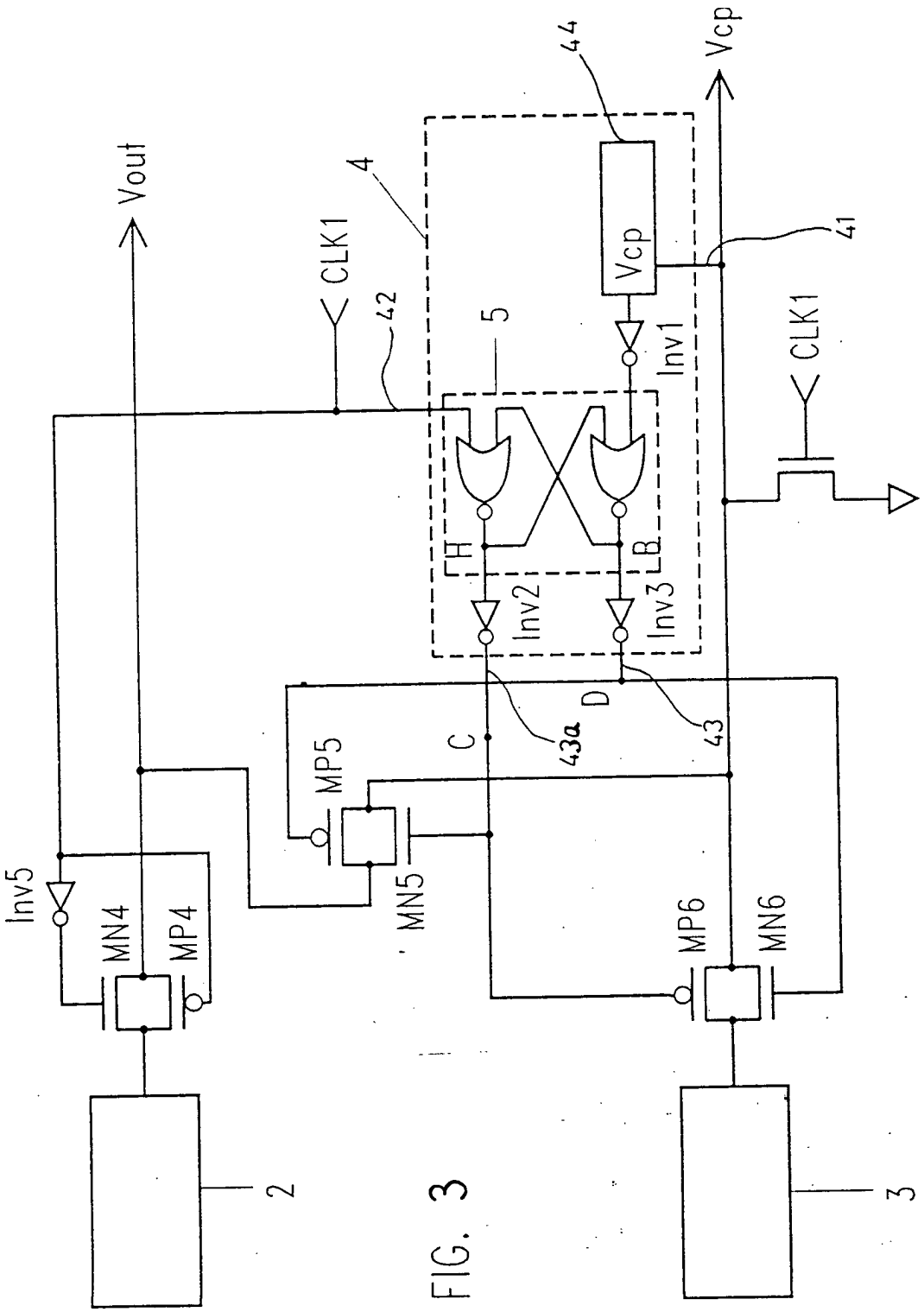

Vout
CLK1
4
44
Vcp
41
42
5
Vcp
Inv1
CLK1
H
LB
Inv2
Inv3
D
C
43a
43
MP5
MN5
Inv5
MN4
MP4
MP6
MN6
2
3

FIG. 3

FIG. 6

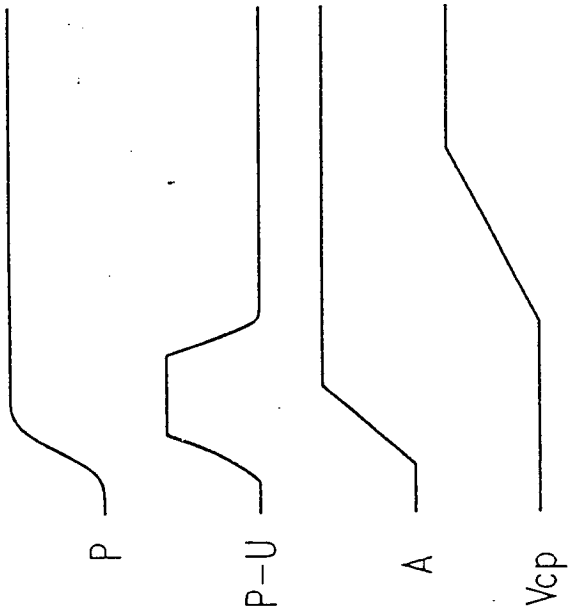


FIG. 5

