

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年7月1日 (2010.7.1)

【公開番号】特開2008-276408(P2008-276408A)

【公開日】平成20年11月13日 (2008.11.13)

【年通号数】公開・登録公報2008-045

【出願番号】特願2007-117561(P2007-117561)

【国際特許分類】

G 0 6 T 1/60 (2006.01)

H 0 4 N 1/19 (2006.01)

H 0 4 N 1/21 (2006.01)

【F I】

G 0 6 T 1/60 4 5 0 G

H 0 4 N 1/04 1 0 3 Z

H 0 4 N 1/21

【手続補正書】

【提出日】平成22年5月17日 (2010.5.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のセンサ素子がライン状に並び、1 つまたは複数のラインセンサにより取得された 1 ライン分の画素信号を、連続する p 個 (p は 1 以上の整数) の画素信号を前記 1 ライン分の画素信号から $p \times (m - 1)$ 画素おきに抽出して得られる m 個のライン (m は 2 以上の整数) の画素信号に分割して、前記 m 個のラインの画素信号を出力する撮像手段と、

前記撮像手段より前記 m 個のラインに分割して出力された画素信号を格納するメモリと

、

前記撮像手段により得られる画像の前記複数のセンサ素子が並び、方向に対応した X 方向の位置を示す、複数ビットからなる X 位置信号を生成する X 位置生成手段と、

前記画像の前記 X 方向に直交する Y 方向の位置を示す、複数ビットからなる Y 位置信号を生成する Y 位置生成手段と、

前記 1 ライン分の画素信号が前記 m 個のラインに分割して格納された前記メモリから、前記複数のセンサ素子が並び、方向に対応した X 方向の位置と前記 X 方向に直交する Y 方向の位置により特定される位置の画素信号が読み出されるように、前記 X 位置信号のビット配列の一部のビットを上位側に移動させて、前記 Y 位置信号を前記 X 位置信号の上位側に結合することにより、前記メモリから前記画素信号を読み出すためのアクセスアドレス信号を生成するアドレス生成手段と、

前記アドレス生成手段で生成されたアクセスアドレス信号で前記メモリをアクセスして画素信号を取得して画像処理を施す画像処理手段とを備えることを特徴とする画像処理装置。

【請求項 2】

前記アドレス生成手段は、

前記 X 位置の生成手段で生成された前記 X 位置信号の最下位ビット側より $p \times m - 1$ の数値を表現するのに必要なビット数のビットを抽出し、

抽出されたビットのうちの低位側から $p - 1$ の数値を表現するのに必要なビット数のビ

ットを除外した残りのビットを前記 Y 位置信号の最下位側に結合し、

前記除外されたビットをビット抽出後の前記 X 位置信号の最下位側に結合することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記アドレス生成手段は、前記 X 位置信号のビット配列を並べ替えて、前記 Y 位置信号と結合することにより生成されたアドレスの下位側に、1 画素のデータが連続する 2 つのアクセスアドレスを必要とする場合には値が 0 の 1 ビットを結合し、1 画素のデータが連続する 4 つのアクセスアドレスを必要とする場合には値が 0 の 2 ビットを結合して、前記アクセスアドレス信号とすることを特徴とする請求項 1 又は 2 に記載の画像処理装置。

【請求項 4】

前記アドレス生成手段は、前記 X 位置信号のビット配列のうち、前記移動の対象となる前記一部のビットに対して、前記一部のビットのビット数で表現可能な範囲の数値の中から選択された整数値を加算する加算手段を有することを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の画像処理装置。

【請求項 5】

前記撮像手段は、前記複数のセンサ素子が並ぶライン方向と直交する方向に複数のラインセンサが並列に配置された構成を有し、前記ラインセンサ内の隣接した画素の中心間の距離を d とした場合に、前記複数のラインセンサ間で画素の位置が前記ライン方向に $= d / N$ ずつずれるように配置されていることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 6】

前記メモリは前記センサ素子からの予め定められたライン数分の画素データを格納するバンドメモリであることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の画像処理装置。

【請求項 7】

複数のセンサ素子がライン状方向に並ぶ 1 つまたは複数のラインセンサにより取得された 1 ライン分の画素信号を、連続する p 個 (p は 1 以上の整数) の画素信号を前記 1 ライン分の画素信号から $p \times (m - 1)$ 画素おきに抽出して得られる m 個のライン (m は 2 以上の整数) の画素信号に分割して、前記 m 個のラインの画素信号を出力する撮像手段から出力された画素信号を処理するための画像処理装置によるメモリのアクセス制御方法であって、

格納手段が、前記撮像手段より前記 m 個のラインに分割して出力された画素信号をメモリに格納する格納工程と、

X 位置生成手段が、前記撮像手段により得られる画像の前記複数のセンサ素子が並ぶ方向に対応した X 方向の位置を示す、複数ビットからなる X 位置信号を生成する X 位置生成工程と、

Y 位置生成手段が、前記画像の前記 X 方向に直交する Y 方向の位置を示す、複数ビットからなる Y 位置信号を生成する Y 位置生成工程と、

アドレス生成手段が、前記 1 ライン分の画素信号が前記 m 個のラインに分割して格納された前記メモリから、前記複数のセンサ素子が並ぶ方向に対応した X 方向の位置と前記 X 方向に直交する Y 方向の位置により特定される位置の画素信号が読み出されるように、前記 X 位置信号のビット配列の一部のビットを上位側に移動させて、前記 Y 位置信号と結合することにより、前記メモリから前記画素信号を読み出すためのアクセスアドレス信号を生成するアドレス生成工程と、

取得手段が、前記アドレス生成工程で生成されたアクセスアドレス信号で前記メモリをアクセスして画素信号を取得する取得工程とを有することを特徴とするメモリのアクセス制御方法。

【請求項 8】

前記アドレス生成工程では、前記アドレス生成手段が、

前記 X 位置の生成工程で生成された前記 X 位置信号の最下位ビット側より $p \times m - 1$ の

数値を表現するのに必要なビット数のビットを抽出し、

抽出されたビットのうちの下位側から $p - 1$ の数値を表現するのに必要なビット数のビットを除外した残りのビットを前記 Y 位置信号の最下位側に結合し、

前記除外されたビットをビット抽出後の前記 X 位置信号の最下位側に結合することを特徴とする請求項 7 に記載のメモリのアクセス制御方法。

【請求項 9】

前記アドレス生成工程では、前記アドレス生成手段が、前記 X 位置信号のビット配列を並べ替えて、前記 Y 位置信号と結合することにより生成されたアドレスの下位側に、1 画素のデータが連続する 2 つのアクセスアドレスを必要とする場合には値が 0 の 1 ビットを結合し、1 画素のデータが連続する 4 つのアクセスアドレスを必要とする場合には値が 0 の 2 ビットを結合して、前記アクセスアドレス信号とすることを特徴とする請求項 7 又は 8 に記載のメモリのアクセス制御方法。

【請求項 10】

前記アドレス生成工程では、前記アドレス生成手段が、前記 X 位置信号のビット配列のうち、前記移動の対象となる前記一部のビットに対して、前記一部のビットのビット数で表現可能な範囲の数値の中から選択された整数値を加算する加算工程を有することを特徴とする請求項 7 乃至 9 の何れか 1 項に記載のメモリのアクセス制御方法。

【請求項 11】

前記撮像手段は、前記複数のセンサ素子が並ぶライン方向と直交する方向に複数のラインセンサが並列に配置された構成を有し、前記ラインセンサ内の隣接した画素の中心間の距離を d とした場合に、前記複数のラインセンサ間で画素の位置が前記ライン方向に $= d / N$ ずつずれるように配置されていることを特徴とする請求項 7 に記載のメモリのアクセス制御方法。

【請求項 12】

前記メモリは前記センサ素子からの予め定められたライン数分の画素データを格納するバンドメモリであることを特徴とする請求項 7 乃至 11 の何れか 1 項に記載のメモリのアクセス制御方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

上記の目的を達成するための、本発明の一態様による画像処理装置は以下の構成を備える。すなわち、

複数のセンサ素子がライン状に並ぶ 1 つまたは複数のラインセンサにより取得された 1 ライン分の画素信号を、連続する p 個 (p は 1 以上の整数) の画素信号を前記 1 ライン分の画素信号から $p \times (m - 1)$ 画素おきに抽出して得られる m 個のライン (m は 2 以上の整数) の画素信号に分割して、前記 m 個のラインの画素信号を出力する撮像手段と、

前記撮像手段より前記 m 個のラインに分割して出力された画素信号を格納するメモリと

、
前記撮像手段により得られる画像の前記複数のセンサ素子が並ぶ方向に対応した X 方向の位置を示す、複数ビットからなる X 位置信号を生成する X 位置生成手段と、

前記画像の前記 X 方向に直交する Y 方向の位置を示す、複数ビットからなる Y 位置信号を生成する Y 位置生成手段と、

前記 1 ライン分の画素信号が前記 m 個のラインに分割して格納された前記メモリから、前記複数のセンサ素子が並ぶ方向に対応した X 方向の位置と前記 X 方向に直交する Y 方向の位置により特定される位置の画素信号が読み出されるように、前記 X 位置信号のビット配列の一部のビットを上位側に移動させて、前記 Y 位置信号を前記 X 位置信号の上位側に結合することにより、前記メモリから前記画素信号を読み出すためのアクセスアドレス信

号を生成するアドレス生成手段と、

前記アドレス生成手段で生成されたアクセスアドレス信号で前記メモリをアクセスして画素信号を取得して画像処理を施す画像処理手段とを備える。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

また、上記の目的を達成するための本発明の他の態様によるメモリのアクセス制御方法は、

複数のセンサ素子がライン状方向に並び1つまたは複数のラインセンサにより取得された1ライン分の画素信号を、連続する p 個 (p は1以上の整数)の画素信号を前記1ライン分の画素信号から $p \times (m - 1)$ 画素おきに抽出して得られる m 個のライン (m は2以上の整数)の画素信号に分割して、前記 m 個のラインの画素信号を出力する撮像手段から出力された画素信号を処理するための画像処理装置によるメモリのアクセス制御方法であって、

格納手段が、前記撮像手段より前記 m 個のラインに分割して出力された画素信号をメモリに格納する格納工程と、

X位置生成手段が、前記撮像手段により得られる画像の前記複数のセンサ素子が並び方向に対応したX方向の位置を示す、複数ビットからなるX位置信号を生成するX位置生成工程と、

Y位置生成手段が、前記画像の前記X方向に直交するY方向の位置を示す、複数ビットからなるY位置信号を生成するY位置生成工程と、

アドレス生成手段が、前記1ライン分の画素信号が前記 m 個のラインに分割して格納された前記メモリから、前記複数のセンサ素子が並び方向に対応したX方向の位置と前記X方向に直交するY方向の位置により特定される位置の画素信号が読み出されるように、前記X位置信号のビット配列の一部のビットを上位側に移動させて、前記Y位置信号と結合することにより、前記メモリから前記画素信号を読み出すためのアクセスアドレス信号を生成するアドレス生成工程と、

取得手段が、前記アドレス生成工程で生成されたアクセスアドレス信号で前記メモリをアクセスして画素信号を取得する取得工程とを有する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

従って、本発明を適用可能なCCDセンサ124のセンサ構造は前述したものに限られるものではない。例えば、図4Bにおいて、センサ出力部411にシフトレジスタ401、402を接続し、センサ出力部412にシフトレジスタ403、404を接続すれば、2ラインの各ラインから1画素ずつが順次に出力されることになる。これを、2分割1画素の形式と称し、この場合、バンドメモリ540には図10の(b)に示すような配置で画素データが格納されることになる。図10の(c)、(d)はそれぞれ図4A及び図9Aのセンサ構造を用いた場合の、バンドメモリ540における画素データの配置状態を示す。図10の(e)は、4つのラインから2画素ずつが順次に出力される形態(4分割2画素)による、バンドメモリ540における画素データの配置状態を示す(センサ構造の図示は省略する)。図10の(a)はライン分割を行わない場合のバンドメモリ540における画素データの配置状態を示している。