



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I550829 B

(45)公告日：中華民國 105 (2016) 年 09 月 21 日

(21)申請案號：101107467

(22)申請日：中華民國 101 (2012) 年 03 月 06 日

(51)Int. Cl. : H01L27/10 (2006.01)

H01L29/78 (2006.01)

G11C16/04 (2006.01)

(30)優先權：2011/03/10 日本

2011-052270

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：野田耕生 NODA, KOSEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2002-94029A

JP 2009-16368A

US 2009/0152506A1

US 2010/0224872A1

審查人員：毛弘瑋

申請專利範圍項數：14 項 圖式數：4 共 36 頁

(54)名稱

半導體儲存裝置

SEMICONDUCTOR MEMORY DEVICE

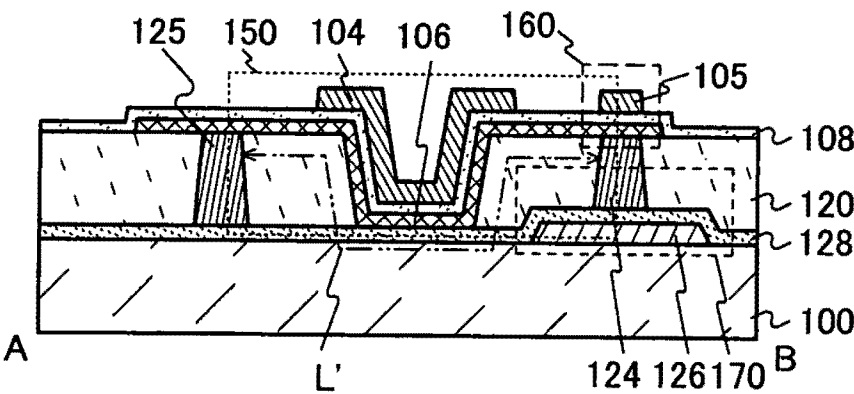
(57)摘要

本發明的目的之一在於提供一種集體度高且資料保持時間長的半導體儲存裝置。本發明的半導體儲存裝置包括：基板上的半導體膜；覆蓋半導體膜的第一閘極絕緣膜；夾著第一閘極絕緣膜設置在半導體膜上的第一閘極電極；位於第一閘極電極上且不與半導體膜重疊的由與第一閘極電極相同的層及相同的材料構成的第一導電膜；位於第一閘極絕緣膜上且使第一閘極電極及第一導電膜的上表面露出且在第一閘極電極和第一導電膜之間具有槽部的絕緣膜；位於該絕緣膜上且與第一閘極電極、第一導電膜以及槽部接觸的氧化物半導體膜；覆蓋氧化物半導體膜的第二閘極絕緣膜；夾著第二閘極絕緣膜設置在氧化物半導體膜及槽部上的第二閘極電極；以及夾著第二閘極絕緣膜及氧化物半導體膜設置在第一閘極電極上的由與第二閘極電極相同的層及相同的材料構成的第二導電膜。

A semiconductor memory device includes a semiconductor film; a first gate insulating film covering the semiconductor film; a first gate electrode provided over the semiconductor film with the first gate insulating film interposed therebetween; a first conductive film which is provided over the first gate insulating film; an insulating film which is provided over the first gate insulating film, exposes top surfaces of the first gate electrode and the first conductive film, and has a groove portion between the first gate electrode and the first conductive film; an oxide semiconductor film which is provided over the insulating film and is in contact with the first gate electrode, the first conductive film, and the groove portion; a second gate insulating film covering the oxide semiconductor film; and a second gate electrode provided over the oxide semiconductor film and the groove portion with the second gate insulating film interposed therebetween.

指定代表圖：

圖 1B



符號簡單說明：

- 100 . . . 基板
- 104 . . . 導電膜
- 105 . . . 導電膜
- 106 . . . 氧化物半導體膜
- 108 . . . 絕緣膜
- 120 . . . 絕緣膜
- 124 . . . 導電膜
- 125 . . . 導電膜
- 126 . . . 半導體膜
- 128 . . . 絕緣膜
- 150 . . . 電晶體
- 160 . . . 電容器
- 170 . . . 電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101107467

※申請日：101 年 03 月 06 日

※IPC 分類：H01L 27/10 (2006.01)

一、發明名稱：(中文／英文)

H01L 29/78 (2006.01)

半導體儲存裝置

G11C 16/04 (2006.01)

Semiconductor memory device

二、中文發明摘要：

本發明的目的之一在於提供一種集體度高且資料保持時間長的半導體儲存裝置。本發明的半導體儲存裝置包括：基板上的半導體膜；覆蓋半導體膜的第一閘極絕緣膜；夾著第一閘極絕緣膜設置在半導體膜上的第一閘極電極；位於第一閘極電極上且不與半導體膜重疊的由與第一閘極電極相同的層及相同的材料構成的第一導電膜；位於第一閘極絕緣膜上且使第一閘極電極及第一導電膜的上面露出且在第一閘極電極和第一導電膜之間具有槽部的絕緣膜；位於該絕緣膜上且與第一閘極電極、第一導電膜以及槽部接觸的氧化物半導體膜；覆蓋氧化物半導體膜的第三閘極絕緣膜；夾著第三閘極絕緣膜設置在氧化物半導體膜及槽部上的第三閘極電極；以及夾著第三閘極絕緣膜及氧化物半導體膜設置在第一閘極電極上的由與第三閘極電極相同的層及相同的材料構成的第三導電膜。

三、英文發明摘要：

A semiconductor memory device includes a semiconductor film; a first gate insulating film covering the semiconductor film; a first gate electrode provided over the semiconductor film with the first gate insulating film interposed therebetween; a first conductive film which is provided over the first gate insulating film; an insulating film which is provided over the first gate insulating film, exposes top surfaces of the first gate electrode and the first conductive film, and has a groove portion between the first gate electrode and the first conductive film; an oxide semiconductor film which is provided over the insulating film and is in contact with the first gate electrode, the first conductive film, and the groove portion; a second gate insulating film covering the oxide semiconductor film; and a second gate electrode provided over the oxide semiconductor film and the groove portion with the second gate insulating film interposed therebetween.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

104：導電膜

105：導電膜

106：氧化物半導體膜

108：絕緣膜

120：絕緣膜

124：導電膜

125：導電膜

126：半導體膜

128：絕緣膜

150：電晶體

160：電容器

170：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種包括具有電晶體等半導體元件的電路的半導體儲存裝置。

【先前技術】

對具備能夠進行資料的寫入、資料的讀出以及資料的擦除的儲存電路的半導體儲存裝置進行開發。

作為半導體儲存裝置，例如可以舉出具備記憶元件的電晶體（也稱為儲存電晶體）或包括使用鐵電材料的元件的半導體儲存裝置等（參照專利文獻 1 及專利文獻 2）。

[專利文獻 1]日本專利申請公開 昭 57-105889 號公報

[專利文獻 2]日本專利申請公開 平 06-196647 號公報

但是，習知的半導體儲存裝置有如下問題，即：在將資料寫入到儲存電晶體之後，由於電荷的洩漏資料消失。因此，需要定期寫入資料的刷新工作，由此導致半導體儲存裝置的耗電量增大。

另外，為了提高半導體儲存裝置的集體度，縮小構成半導體儲存裝置的元件（電晶體、電容器等）的尺寸。當按比例定律縮小電晶體的尺寸時，發生如下問題：例如，在通道長度為 100nm 以下時因為不能忽視短通道效應的影響，並且由穿通現象而漏電流容易流過，所以電晶體不

起到切換元件的作用。

【發明內容】

本發明的一個方式的目的是在於：在半導體儲存裝置中，在提高集體度的同時延長資料的保持時間。

本發明的一個方式是一種半導體儲存裝置，包括第一電晶體、第二電晶體、以及電容器，其中第二電晶體的源極或汲極的一方兼作第一電晶體的閘極和構成電容器的電容電極的一方。

上述半導體儲存裝置包括：基板；設置在基板上的半導體膜；覆蓋半導體膜的第一閘極絕緣膜；夾著第一閘極絕緣膜設置在半導體膜上的第一閘極電極；位於第一閘極絕緣膜上且不與半導體膜重疊的由與第一閘極電極相同的層及相同的材料構成的第一導電膜；位於第一閘極絕緣膜上且使第一閘極電極及第一導電膜的上面露出且具有使第一閘極絕緣膜露出的槽部的絕緣膜；位於該絕緣膜上且與第一閘極絕緣膜、第一閘極電極及第一導電膜接觸的氧化物半導體膜；覆蓋氧化物半導體膜的第二閘極絕緣膜；夾著第二閘極絕緣膜設置在氧化物半導體膜及槽部上的第二閘極電極；以及夾著第二閘極絕緣膜及氧化物半導體膜設置在第一閘極電極上的由與第二閘極電極相同的層及相同的材料構成的第二導電膜。

在此，第一閘極電極兼作第一電晶體的閘極電極、第二電晶體的源極電極或汲極電極的一方、以及構成電容器

的電容電極的一方。此外，半導體膜及第一閘極絕緣膜分別用作第一電晶體的通道區域及閘極絕緣膜。

此外，第一導電膜用作第二電晶體的源極電極或汲極電極的另一方。

此外，氧化物半導體膜、第二閘極絕緣膜、以及第二閘極電極分別用作第二電晶體的通道區域、閘極絕緣膜、以及閘極電極。

另外，藉由將氧化物半導體膜用於電晶體的通道區域，可以降低電晶體的截止電流。

此外，第二閘極絕緣膜及第二導電膜分別用作構成電容器的介電膜及電容電極的另一方。

另外，為使第一閘極絕緣膜露出而形成在絕緣膜中的槽部是為延長第二電晶體的實效的通道長度 L' 而形成的。例如，選擇絕緣膜的厚度，以使從剖面來看的源極電極和汲極電極之間的距離（第一導電膜和第一閘極電極之間沿氧化物半導體膜的距離）即實效的通道長度 L' 的長度為俯視的源極電極和汲極電極之間的距離（第一導電膜和第一閘極電極之間的直線距離）即外觀上的通道長度 L 的二倍以上。為此，例如藉由使絕緣膜的厚度為俯視的源極電極和汲極電極之間的距離的二分之一以上，即可。但是，絕緣膜的厚度不侷限於上述範圍。

在本說明書中，在記載“第一膜和第二膜由相同的層及相同的材料構成”時，既可為第一膜延伸的部分是第二膜，又可為第一膜和第二膜分離。

藉由使用本發明的一個方式，可以提供一種保持資料的時間長且集體度高的半導體儲存裝置。

此外，因為可以製造集體度高的半導體儲存裝置，可以降低每儲存電容的半導體儲存裝置的價格。

藉由以與形成在絕緣膜中的槽部接觸的方式設置通道區域，可以在提高半導體儲存裝置的集體度的同時延長資料的保持時間。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同目標的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加標記。

以下將對本發明進行說明，首先對在本說明書中使用的用詞進行簡單的說明。首先，在本說明書中，關於電晶體的源極和汲極，在一方稱為汲極時另一方稱為源極。換言之，不根據電位的高低來區別它們。從而，在本說明書中，也可以將記為源極的部分稱為汲極。

另外，電壓大多指某個電位和標準電位（例如，接地電位）之間的電位差。因此，電壓、電位和電位差可以分

別稱為電位、電壓和電壓差。

在本說明書中，即使當描述為“連接”時，在現實的電路中，有時也沒有物理連接的部分，而只是佈線延伸的情況。

注意，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書中的序數詞不表示特定發明的事項的固有名稱。

實施方式 1

在本實施方式中，參照圖 1A 至圖 3E 說明構成使用本發明的一個方式的半導體儲存裝置的非揮發性記憶體的電晶體及電容器的結構、電路結構、以及其製造方法。

圖 1A 是半導體儲存裝置的非揮發性記憶體的俯視圖。圖 1B 示出對應於圖 1A 的鏈式線 A-B 的剖面 A-B。但是，在圖 1A 中為了簡便起見而省略絕緣膜 108。

圖 1C 示出非揮發性記憶體的電路結構。非揮發性記憶體包括：截止電流極小的電晶體 150；與電晶體 150 的閘極連接的閘極佈線 GL；與電晶體 150 的源極連接的源極佈線 SL₁；電晶體 170；與電晶體 170 的源極連接的源極佈線 SL₂；與電晶體 170 的汲極連接的汲極佈線 DL；電容器 160；與電容器 160 的一端連接的電容佈線 CL；以及與電容器 160 的另一端、電晶體 150 的汲極、以及電晶體 170 的閘極連接的節點 N。

注意，本實施方式所示的非揮發性記憶體是利用對應

於節點 N 的電壓而電晶體 170 的臨界電壓變動的。例如，圖 1D 是說明電容佈線 CL 的電壓 V_{CL} 和流過電晶體 170 中的汲極電流 I_{ds} 之間的關係的圖。

這裏，可以經過電晶體 150 調整節點 N 的電壓。例如，使源極佈線 SL_1 的電壓為 VDD。此時，藉由使閘極佈線 GL 的電壓為對電晶體 150 的臨界電壓 V_{th} 加 VDD 的電壓以上，來可以使節點 N 的電壓為 N=HIGH。另外，藉由使閘極佈線 GL 的電壓為電晶體 150 的臨界電壓 V_{th} 以下，來可以使節點 N 的電壓為 N=LOW。

因此，可以獲得由 N=LOW 表示的 V_{CL} - I_{ds} 曲線和由 N=HIGH 表示的 V_{CL} - I_{ds} 曲線的任何一個。就是說，在 N=LOW 時，因為在 $V_{CL}=0V$ 處 I_{ds} 小，所以資料為 0。另外，在 N=HIGH 時，因為在 $V_{CL}=0V$ 處 I_{ds} 大，所以資料為 1。如上那樣，可以儲存資料。

這裏，藉由將截止電流極小的電晶體用於電晶體 150，可以抑制累積在節點 N 的電荷無意中經過電晶體 150 洩漏。因此，可以在很長時間保持資料。

接下來，參照圖 1B 所示的剖面 A-B 說明構成本發明的一個方式的非揮發性記憶體的電晶體及電容器的結構。

半導體儲存裝置包括：基板 100；基板 100 上的半導體膜 126；覆蓋半導體膜 126 的絕緣膜 128；夾著絕緣膜 128 設置在半導體膜 126 上的導電膜 124；位於絕緣膜 128 上且不與半導體膜 126 重疊的由與導電膜 124 相同的層及相同的材料構成的導電膜 125；位於絕緣膜 128 上且

使導電膜 124 及導電膜 125 的上面露出且具有使絕緣膜 128 露出的槽部的絕緣膜 120；位於絕緣膜 120 上且與絕緣膜 120 的槽部的側面、底面（絕緣膜 128）、導電膜 124 及導電膜 125 接觸的氧化物半導體膜 106；覆蓋氧化物半導體膜 106 的絕緣膜 108；夾著絕緣膜 108 設置在氧化物半導體膜 106 及絕緣膜 120 的槽部上的導電膜 104；以及夾著絕緣膜 108 及氧化物半導體膜 106 與導電膜 124 重疊的由與導電膜 104 相同的層及相同的材料構成的導電膜 105。

另外，形成在絕緣膜 120 中的槽部也可以使基板 100 露出而不使絕緣膜 128 露出。此外，槽部形成在導電膜 124 和導電膜 125 之間。

這裏，在電晶體 150 中，導電膜 124 用作源極電極或汲極電極的一方。此外，導電膜 125 用作源極電極或汲極電極的另一方。此外，氧化物半導體膜 106 具有通道區域。此外，絕緣膜 108 用作閘極絕緣膜。此外，導電膜 104 用作閘極電極。

此時，因為具有通道區域的氧化物半導體膜 106 以接觸於絕緣膜 120 的槽部的方式設置，所以與俯視的源極電極和汲極電極（導電膜 124 和導電膜 125）之間的距離即外觀上的通道長度 L （參照圖 1A）相比，可以使從剖面來看的通道區域（氧化物半導體膜 106）中的通道區域的長度即實效的通道長度 L' （參照圖 1B）為長。例如，藉由使形成在絕緣膜 120 中的槽部的深度為俯視的導電膜

124 和導電膜 125 之間的距離的二分之一以上，可以使實效的通道長度 L' 的長度為外觀上的通道長度 L 的長度的二倍以上。較佳的是，藉由選擇絕緣膜 120 的厚度及槽部的深度，使實效的通道長度 L' 的長度為外觀上的通道長度 L 的長度的三倍以上，更佳為四倍以上。例如，在外觀上的通道長度 L 為 15nm 以上且 100nm 以下的情況下，將形成在絕緣膜 120 中的槽部的深度設定為 7.5nm 以上且 200nm 以下的範圍內即可。形成在絕緣膜 120 中的槽部的深度不侷限於上述範圍。注意，不言而喻，如果不使氧化物半導體膜 106 的厚度比槽部的深度為薄，就不能使實效的通道長度 L' 比外觀上的通道長度 L 為長。因此，將槽部的深度設定為氧化物半導體膜 106 的厚度以上。

形成在絕緣膜 120 中的槽部使絕緣膜 128 或基板 100 露出，但是不侷限於此。例如，也可以在絕緣膜 120 中具有槽部的底面。另外，也可以在絕緣膜 128 或基板 100 上另行形成蝕刻停止膜，並且使該蝕刻停止膜露出。

電容器 160 的結構為如下那樣。導電膜 124 用作第一電容電極。絕緣膜 108 用作介電膜。導電膜 105 用作第二電容電極。

電晶體 170 的結構為如下那樣。導電膜 124 用作閘極電極。此外，半導體膜 126 具有通道區域。此外，絕緣膜 128 用作閘極絕緣膜。雖然未圖示，在半導體膜 126 的至少不與導電膜 124 重疊的區域中設置其電阻低於設置在半導體膜 126 中的通道區域的源極區域及汲極區域。此外，

具有與源極區域及汲極區域接觸且由與導電膜 124 及導電膜 125 不同的層構成的源極佈線 SL_2 及汲極佈線 DL。此外，除了源極區域及汲極區域以外，還可以設置其電阻低於通道區域且高於源極區域及汲極區域的 LDD（輕摻雜汲極）區域。藉由設置 LDD 區域，可以降低由通道長度縮短而導致的熱載子劣化等的電晶體的劣化，還可以減小短通道效應。

儘管對基板 100 沒有很大的限制，但是該基板至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，作為基板 100，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，作為基板 100，也可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽晶片）基板等，並且也可以使用在這些基板上設置有半導體元件的基板。此外，也可以使用電晶體 170 代替該半導體元件。

作為基板 100，也可以使用撓性基板。當使用撓性基板時，可以直接在撓性基板上製造電晶體。另外，作為在撓性基板上設置電晶體的方法，可以舉出如下方法：在不具有撓性的基板上形成電晶體之後，將電晶體剝離並將該電晶體轉置到撓性基板的基板 100 上。在此情況下，較佳為在不具有撓性的基板和電晶體之間設置剝離層。

作為半導體膜 126，可以使用非晶矽、微晶矽、多晶矽或單晶矽等的矽材料、鍺材料、矽鍺材料、砷化鎵材料

或碳材料等。

作為導電膜 124、導電膜 125、導電膜 104 及導電膜 105，可以使用選自 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、W 以及這些元素的氮化物、氧化物或合金中的一種以上材料，並採用單層結構或疊層結構。此外，在作為導電膜 104 使用氧化物的情況下，也可以包含 $5 \times 10^{19} \text{cm}^{-3}$ 以上且 20atomic% 以下或 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 7atomic% 以下的氮。例如，較佳為使用包含 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 7atomic% 以下的氮且包含 In、Ga 及 Zn 的氧化物膜。在將氧化物膜用於導電膜 104 的情況下，因為氧化物膜的電阻比金屬膜高，所以較佳為採用氧化物膜和其薄層電阻為 $10 \Omega/\text{sq}$ 以下的低電阻膜的疊層以減少閘極電極整體的電阻。另外，由單位 cm^{-3} 表示的濃度可以使用 SIMS（二次離子質譜分析法；Secondary Ion Mass spectrometry）分析進行定量化，並且由單位 atomic% 表示的濃度可以使用 XPS（X 射線光電子光譜；X-ray Photoelectron Spectroscopy）分析進行定量化。

氧化物半導體膜 106 的厚度為 6nm 以上且 100nm 以下，較佳為 15nm 以上且 40nm 以下。在縮短電晶體 150 的通道長度的情況下，根據比例定律較佳為減薄氧化物半導體膜 106 的厚度。但是，藉由使用本發明的一個方式，因為可以在外觀上的通道長度 L 短的狀態下延長實效的通道長度 L'，所以可以將氧化物半導體膜 106 的厚度在於上述範圍內。

氧化物半導體膜 106 可以藉由濺射法、電漿 CVD 法、PLD (Pulse Laser Deposition ; 脈衝雷射沉積) 法、MBE (Molecular Beam Epitaxy ; 分子束外延) 法或蒸鍍法等，並且例如使用包含選自 In、Ga、Zn 及 Sn 中的兩種以上的材料來形成。

作為氧化物半導體膜 106，例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Sn-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料；In-O 類材料、Sn-O 類材料、Zn-O 類材料等。在此，例如，In-Ga-Zn-O 類材料是指具有銦 (In)、鎵 (Ga)、鋅 (Zn) 的氧化物，並對其組成比並沒有特別的限制。此外，也可以包含 In、Ga、Zn 以外的元素。此時，較佳為將 O 的含量設定為超過氧化物半導體膜 106 的化學計量比的程度。藉由將 O 的含量設定為超過氧化物半導體膜 106 的化學計量比的程度，可以抑制氧化物半導體膜 106 的起因於氧缺陷的載子生成。

另外，作為一個例子，在將 In-Zn-O 類材料用於氧化物半導體膜 106 時，原子數比是 $\text{In/Zn}=0.5$ 以上且 50 以下，較佳的是 $\text{In/Zn}=1$ 以上且 20 以下，更佳的是 $\text{In/Zn}=1.5$ 以上且 15 以下。藉由將 Zn 的原子數比設定為

上述範圍內，可以提高電晶體的場效應遷移率。在此，較佳的是，在化合物的原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 時，滿足 $\text{Z}>1.5\text{X}+\text{Y}$ 。

作為氧化物半導體膜 106，可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，也可以使用：Ga；Ga 及 Al；Ga 及 Mn；或 Ga 及 Co 等。

作為氧化物半導體膜 106，選擇能隙為 2.5eV 以上，較佳為 3.0eV 以上的材料。因為能隙大，所以很少載子由熱等的影響從價電子帶激發到傳導帶，從而不容易產生起因於該載子的激發的電流。加上，在氧化物半導體膜 106 中形成能階的雜質等很少的狀態是較佳的。

在此，氧化物半導體膜 106 是降低了氫、鹼金屬及鹼土金屬等而雜質濃度極低的氧化物半導體膜。因此，將氧化物半導體膜 106 用於通道區域的電晶體能夠減小截止電流。

氧化物半導體膜 106 中的氫濃度低於 $5\times 10^{18}\text{cm}^{-3}$ ，較佳的是 $1\times 10^{18}\text{cm}^{-3}$ 以下，更佳的是 $5\times 10^{17}\text{cm}^{-3}$ 以下，進一步較佳的是 $1\times 10^{16}\text{cm}^{-3}$ 以下。

因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。鹼土金屬在它不是構成氧化物半導體的元素時也是雜質。尤其是，鹼金屬中的鈉 (Na) 在與氧化物半導體膜接觸的絕緣膜中擴散到該絕緣膜中而成為 Na^+ 。此外，Na

在氧化物半導體膜中將構成氧化物半導體的金屬和氧的接合分斷或進入在該接合中。結果，導致電晶體特性的劣化，例如因臨界電壓遷移到負方向而產生的常開啓化、場效應遷移率的降低等。再者，還產生特性的不均勻。在氧化物半導體膜中的氫濃度充分低的情況下顯著地出現雜質所導致的電晶體的上述特性劣化及特性不均勻。因此，當氧化物半導體膜中的氫濃度為 $1 \times 10^{18} \text{cm}^{-3}$ 以下或 $1 \times 10^{17} \text{cm}^{-3}$ 以下時，較佳為降低上述雜質的濃度。明確而言，Na 濃度的測量值為 $5 \times 10^{16} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{16} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下。同樣地，鋰 (Li) 濃度的測量值為 $5 \times 10^{15} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下。同樣地，鉀 (K) 濃度的測定值為 $5 \times 10^{15} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

藉由將以上所示的氧化物半導體膜 106 用於電晶體的通道區域，可以減小電晶體的截止電流。明確而言，藉由使用氧化物半導體膜 106，例如，可以使當通道長度為 $3 \mu\text{m}$ 、通道寬度為 $1 \mu\text{m}$ 時的電晶體的截止電流為 $1 \times 10^{-18} \text{A}$ 以下、或 $1 \times 10^{-21} \text{A}$ 以下、或 $1 \times 10^{-24} \text{A}$ 以下。

氧化物半導體膜 106 有可能處於單晶、多晶 (polycrystal) 或非晶等狀態。

較佳的是，氧化物半導體膜 106 是 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。

CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85°以上且 95°以下的範圍。另外，在只記載“平行”時，也包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因爲包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

絕緣膜 108 的等效氧化膜厚度（Equivalent Oxide Thickness；換算爲氧化矽膜厚度）爲 0.5nm 以上且 50nm 以下，較佳爲 5nm 以上且 30nm 以下。在縮短電晶體 150 的通道長度的情況下，根據比例定律較佳爲減薄絕緣膜 108 的厚度。但是，藉由使用本發明的一個方式，因爲可以在外觀上的通道長度 L 短的狀態下延長實效的通道長度 L'，所以可以將絕緣膜 108 的厚度在於上述範圍內。

絕緣膜 128、絕緣膜 120 及絕緣膜 108 例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化釷或氧化鈾等，以疊層或單層的結構形成。例如，可以藉由熱氧化法、電漿 CVD 法、濺射法等形成。

絕緣膜 128 較佳爲具有在加工絕緣膜 120 時的蝕刻停止膜的功能。因此，作爲絕緣膜 128 和絕緣膜 120，較佳

為選擇在加工時可以得到選擇比的材料。例如，作為絕緣膜 128 使用氧化矽膜，作為絕緣膜 120 使用氮化矽膜，這樣使用彼此不同的材料即可。

作為絕緣膜 128、絕緣膜 120 及絕緣膜 108，較佳為使用藉由加熱處理釋放氧的膜。藉由使用藉由加熱處理釋放氧的膜，可以修復在氧化物半導體膜 106 及氧化物半導體膜 106 的介面近旁中產生的缺陷，而可以抑制電晶體的電特性的劣化。

“藉由加熱處理釋放氧”是指當利用 TDS (Thermal Desorption Spectroscopy: 熱脫附譜) 分析時，換算為氧原子時的氧的釋放量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

在此，以下說明利用 TDS 分析換算為氧原子的氧的釋放量的測量方法。

進行 TDS 分析時的氣體的釋放量與在所定溫度範圍內的離子強度的積分值成正比。因此，可以根據測量的離子強度的積分值和標準樣品的基準值的比率計算出氣體的釋放量。標準樣品的基準值是指含有所定密度的原子的樣品的在相當於所定原子的離子強度的積分值中所定原子密度所占的比例。

例如，從對標準樣品的包含所定密度的氫的矽晶片的 TDS 分析結果及對絕緣膜的 TDS 分析結果，使用公式 1 可以算出絕緣膜中的氧分子的釋放量 (N_{O_2})。在此，假定利用 TDS 分析來得到的被檢出為質量數 32 的所有氣體

都是來源自氧分子。作為質量數 32 的氣體，還有 CH_3OH ，但是 CH_3OH 存在的可能性很低，所以在此不考慮。另外，因為包含作為氧原子同位素的質量數為 17 的氧原子及質量數為 18 的氧原子的氧分子在自然界中的存在比例極微量，所以不加考慮。

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{公式 1})$$

N_{H_2} 是以密度換算從標準樣品脫離的氫分子的值。 S_{H_2} 是當對標準樣品進行 TDS 分析時的離子強度的積分值。在此，將標準樣品的基準值設定為 $N_{\text{H}_2} / S_{\text{H}_2}$ 。 S_{O_2} 是當對絕緣膜進行 TDS 分析時的離子強度的積分值。 α 是影響到 TDS 分析中的離子強度的係數。關於公式 1 的詳細情況，參照日本專利申請公開 平 6-275697 號公報。另外，上述絕緣膜的氧釋放量是使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W 以包含 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子的矽晶片為標準樣品來測量的。

此外，在 TDS 分析中，氧的一部作為氧原子而被檢出。氧分子和氧原子的比率可以從氧分子的離子化比率算出。另外，因為上述的 α 包括氧分子的離子化比率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

注意， N_{O_2} 是氧分子的釋放量。當換算為氧原子時的氧釋放量成為氧分子的釋放量的 2 倍。

在上述結構中，藉由加熱處理而釋放出氧的膜也可以

為氧過剩的氧化矽 (SiO_x ($x > 2$))。氧過剩的氧化矽 (SiO_x ($x > 2$)) 是指每單位體積的氧原子多於矽原子數的兩倍的氧化矽。每單位體積的矽原子數及氧原子數為藉由盧瑟福背散射光譜學法測量的值。

藉由從絕緣膜 128、絕緣膜 120、以及絕緣膜 108 將氧供應到氧化物半導體膜 106 中，可以降低氧化物半導體膜 106 與絕緣膜 128 之間的介面能階密度、氧化物半導體膜 106 與絕緣膜 120 之間的介面能階密度、或者氧化物半導體膜 106 與絕緣膜 108 之間的介面能階密度。其結果，可以抑制起因於電晶體的工作等而載子在氧化物半導體膜 106 與絕緣膜 128 之間的介面、氧化物半導體膜 106 與絕緣膜 120 之間的介面、或者氧化物半導體膜 106 與絕緣膜 108 之間的介面被俘獲，而可以獲得電特性優良的電晶體。

並且，有時起因於氧化物半導體膜 106 的氧缺損而產生電荷。一般來說，氧化物半導體膜中的氧缺損的一部分成為施體，而產生成為載子的電子。其結果，電晶體的臨界電壓漂移到負方向。藉由從絕緣膜 128、絕緣膜 120、以及絕緣膜 108 對氧化物半導體膜 106 供應足夠的氧，能夠降低氧化物半導體膜的氧缺陷，該氧缺陷是臨界電壓漂移到負方向的原因。

因為如上那樣製造的電晶體 150 藉由使用氧化物半導體膜 106 能夠降低截止電流，所以可以提供能夠在長時間保持累積在電容器 160 中的電荷的非揮發性記憶體。此外

，由於電晶體 150 工作的頻率降低而電特性的劣化少，所以可以提供可靠性高的非揮發性記憶體。

此外，藉由在絕緣膜 120 中形成槽部，並且形成與該槽部接觸的氧化物半導體膜 106，可以使實效的通道長度 L' 的長度為從俯視圖來看時的導電膜 124 和導電膜 125 之間的距離即外觀上的通道長度 L 的長度的二倍以上，較佳為三倍以上，更佳為四倍以上。因此，即使縮小電晶體 150 的尺寸，也可以降低短通道效應的影響，以能夠提高非揮發性記憶體的集體度。

接下來，參照圖 2A 至 2C 說明在圖 1A 至 1D 所示的非揮發性記憶體中不包括電容器的結構。

圖 2C 示出非揮發性記憶體的電路圖。非揮發性記憶體包括：電晶體 150；與電晶體 150 的閘極連接的閘極佈線 GL；與電晶體 150 的源極連接的源極佈線 SL₁；電晶體 170；與電晶體 170 的源極連接的源極佈線 SL₂；與電晶體 170 的汲極連接的汲極佈線 DL；以及與電晶體 150 的汲極及電晶體 170 的閘極連接的節點 N。

在將截止電流小的電晶體用於電晶體 150 的情況下，即使不設置電容器，也可以在電晶體 150 的汲極和電晶體 170 的閘極之間的節點 N 中保持電荷。由於採用不設置電容器的結構，所以電容佈線等被省略，以可以實現小面積化。因此，與設置有電容器的情況相比，進一步可以提高集體度。

此外，雖然在本實施方式中示出使用 4 個或 5 個佈線

的非揮發性記憶體，但是不侷限於此。例如，也可以採用共同使用源極佈線 SL₁ 和汲極佈線 DL 的結構。

另外，也可以組合而集體本實施方式所示的多個非揮發性記憶體，來製造儲存單元陳列。在此情況下，適當地添加位址線等。藉由使用本實施方式所示的非揮發性記憶體，可以提高儲存單元陳列的集體度。

接下來，參照圖 3A 至 3E 說明製造本實施方式所示的電晶體 150、電容器 160、以及電晶體 170 的方法的一例。

首先，在基板 100 上形成半導體膜 126。接著，形成絕緣膜 128（參照圖 3A）。

接下來，形成導電膜 124 及導電膜 125（參照圖 3B）。另外，之後，也可以將導電膜 124 用作掩模藉由離子植入或離子摻雜對半導體膜 126 添加產生載子的雜質（當使用矽類材料時添加磷、砷、硼等）。藉由對半導體膜 126 添加雜質，可以設置源極區及汲極區、或者 LDD 區。

接著，形成絕緣膜 120（參照圖 3C）。在絕緣膜的成膜後，進行化學機械拋光（CMP：Chemical Mechanical Polishing）或回蝕，然後藉由光刻製程形成使絕緣膜 128 露出的槽部來可以形成絕緣膜 120。或者，藉由光刻製程形成使絕緣膜 128 露出的槽部，然後藉由 CMP 或回蝕使導電膜 124 及導電膜 125 露出來可以形成絕緣膜 120。另外，也可以藉由 CMP 或回蝕，導電膜 124 及導電膜 125 的一部分被除去。

回蝕是指如下製程：在具有凹凸的膜表面上形成平坦化膜，對該平坦化膜和具有凹凸的膜進行各向異性高的蝕刻（例如，乾蝕刻）來減少膜的凹凸。或者，回蝕簡單地是指對形成在整個表面上的膜進行蝕刻直到被形成面的一部分被露出的製程。

接著，形成氧化物半導體膜，藉由光刻製程形成氧化物半導體膜 106。較佳的是，在形成氧化物半導體膜 106 之前，進行反濺射處理等的電漿處理，以將絕緣膜 120 的槽部所具有的剖面形狀上的角加工為曲面形狀。藉由這樣製程，可以在絕緣膜 120 的槽部中的氧化物半導體膜 106 的覆蓋性提高，並且可以降低電晶體 150 的電特性上的缺陷。接著，形成絕緣膜 108（參照圖 3D）。另外，也可以在形成用作氧化物半導體膜 106 的氧化物半導體膜之後或在形成絕緣膜 108 之後的任何一方之後或兩者之後進行熱處理。在 150℃ 以上且 650℃ 以下，較佳為在 250℃ 以上且 450℃ 以下進行該熱處理。藉由熱處理，從絕緣膜 128、絕緣膜 120、或者絕緣膜 108 釋放氧，來可以降低氧化物半導體膜 106 中及氧化物半導體膜 106 的介面近旁的缺陷。另外，該熱處理不侷限於在形成絕緣膜 108 之後進行，既可在形成導電膜 144 之後進行，又可在形成絕緣膜 108 之後的任何製程之後進行。

接下來，形成導電膜 144（參照圖 3E）。接著，加工導電膜 144 來形成與氧化物半導體膜 106 重疊的導電膜 104 及與導電膜 124 重疊的導電膜 105（參照圖 1B）。在

此，也可以將導電膜 104 用作掩模藉由離子植入法或離子摻雜法對氧化物半導體膜 106 添加間接或直接地產生載子的雜質（氫、氮、氟、氫、氮、氫、氮、以及磷等）。藉由對氧化物半導體膜 106 添加雜質，可以設置源極區及汲極區、或者 LDD 區。

藉由以上製程，可以製造圖 1A 至 1D 所示的電晶體 150、電容器 160、以及電晶體 170。

另外，為了形成圖 2A 至 2C 所示的電晶體 150 及電晶體 170，在圖 1B 所示的電晶體的製造製程中不形成導電膜 105，即可。

像這樣，由於可以同時製造電晶體 150、電容器 160、以及電晶體 170，所以可以減少用來製造非揮發性記憶體的光刻製程的次數。

如上所述，藉由使用三維形狀，可以提供即使提高集體度也降低短通道效應的影響，並且光刻製程的次數的增加被抑制的半導體儲存裝置即非揮發性記憶體。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，說明採用實施方式 1 的電子裝置的例子。

圖 4A 是可攜式資訊終端。該可攜式資訊終端具備外殼 9300、按鈕 9301、麥克風 9302、顯示部分 9303、揚聲器 9304、以及影像拍攝裝置 9305，並且具有行動電話機

的功能。本發明的一個方式可以用於可攜式資訊終端內部的儲存模組。

圖 4B 是數位相機。該數位相機具備外殼 9320、按鈕 9321、麥克風 9322、以及顯示部分 9323。本發明的一個方式可以用於數位相機內部的儲存模組。

藉由採用本發明的一個方式，能夠降低電子裝置的耗電量，還可以降低電子裝置的價格。

本實施方式可以與其他實施方式適當地組合而使用。

【圖式簡單說明】

在圖式中：

圖 1A 至 1D 是示出本發明的一個方式的半導體儲存裝置的例子的俯視圖、剖面圖、電路圖、以及電特性；

圖 2A 至 2C 是示出本發明的一個方式的半導體儲存裝置的例子的俯視圖、剖面圖、以及電路圖；

圖 3A 至 3E 是示出本發明的一個方式的半導體儲存裝置的製造方法的例子的剖面圖；

圖 4A 和 4B 是示出具備本發明的一個方式的半導體儲存裝置的電子裝置的例子的透視圖。

【主要元件符號說明】

100：基板

104：導電膜

105：導電膜

106：氧化物半導體膜

108：絕緣膜

120：絕緣膜

124：導電膜

125：導電膜

126：半導體膜

128：絕緣膜

144：導電膜

150：電晶體

160：電容器

170：電晶體

9300：外殼

9301：按鈕

9302：麥克風

9303：顯示部分

9304：揚聲器

9305：影像拍攝裝置

9320：外殼

9321：按鈕

9322：麥克風

9323：顯示部分

七、申請專利範圍：

1. 一種半導體儲存裝置，包括：

半導體層；

在該半導體層上的第一閘極絕緣層；

在該第一閘極絕緣層上的絕緣層；

夾著該第一閘極絕緣層設置在該半導體層上的第一閘極電極，該第一閘極電極設置在該絕緣層中；

設置在該絕緣層中的導電層；

與該第一閘極電極、該導電層以及該絕緣層中的槽部的側面接觸的氧化物半導體層；

覆蓋該氧化物半導體層的第二閘極絕緣層；以及

夾著該第二閘極絕緣層設置在該氧化物半導體層上的第二閘極電極，

其中，該槽部到達該第一閘極絕緣層。

2. 一種半導體儲存裝置，包括：

半導體層；

在該半導體層上的第一閘極絕緣層；

在該第一閘極絕緣層上的絕緣層；

夾著該第一閘極絕緣層設置在該半導體層上的第一閘極電極，該第一閘極電極設置在該絕緣層中；

設置在該絕緣層中的第一導電層；

與該第一閘極電極、該第一導電層以及該絕緣層中的槽部的側面接觸的氧化物半導體層；

覆蓋該氧化物半導體層的第二閘極絕緣層；

夾著該第二閘極絕緣層設置在該氧化物半導體層上的第二閘極電極；以及

包括由與該第二閘極電極相同的層及相同的材料構成的第二導電層的電容器，

其中，該氧化物半導體層和該第二閘極絕緣層夾在該第二導電層和該第一閘極電極之間，且

其中，該槽部到達該第一閘極絕緣層。

3.根據申請專利範圍第 2 項之半導體儲存裝置，其中該槽部設置在該第一閘極電極和該第一導電層之間。

4.根據申請專利範圍第 2 項之半導體儲存裝置，其中該第一閘極電極的上面及該第一導電層的上面與該絕緣層的表面在一面上一致。

5.根據申請專利範圍第 1 或 2 項之半導體儲存裝置，其中該氧化物半導體層與該槽部的底面接觸。

6.根據申請專利範圍第 2 項之半導體儲存裝置，其中該槽部的深度至少為俯視的該第一閘極電極和該第一導電層之間的距離的二分之一。

7.根據申請專利範圍第 2 項之半導體儲存裝置，其中該第一導電層由與該第一閘極電極相同的層及相同的材料構成。

8.根據申請專利範圍第 2 項之半導體儲存裝置，其中該氧化物半導體層包括具有與該氧化物半導體層的表面實質上垂直的 c 軸的結晶。

9.一種半導體儲存裝置，包括：

半導體層；

在該半導體層上的第一閘極絕緣層；

在該第一閘極絕緣層上的絕緣層；

夾著該第一閘極絕緣層設置在該半導體層上的第一閘極電極，該第一閘極電極設置在該絕緣層中；

設置在該絕緣層中的導電層；

與該第一閘極電極、該導電層、該絕緣層中的槽部的側面以及該第一閘極絕緣層接觸的氧化物半導體層；

覆蓋該氧化物半導體層的第二閘極絕緣層；以及

夾著該第二閘極絕緣層設置在該氧化物半導體層上的第二閘極電極，

其中，該槽部到達該第一閘極絕緣層。

10.根據申請專利範圍第 1 或 9 項之半導體儲存裝置，其中該槽部設置在該第一閘極電極和該導電層之間。

11.根據申請專利範圍第 1 或 9 項之半導體儲存裝置，其中該第一閘極電極的上面及該導電層的上面與該絕緣層的表面在一面上一致。

12.根據申請專利範圍第 1 或 9 項之半導體儲存裝置，其中該槽部的深度至少為俯視的該第一閘極電極和該導電層之間的距離的二分之一。

13.根據申請專利範圍第 1 或 9 項之半導體儲存裝置，其中該導電層由與該第一閘極電極相同的層及相同的材料構成。

14.根據申請專利範圍第 1 或 9 項之半導體儲存裝置

，其中該氧化物半導體層包括具有與該氧化物半導體層的表面實質上垂直的 c 軸的結晶。

圖 1A

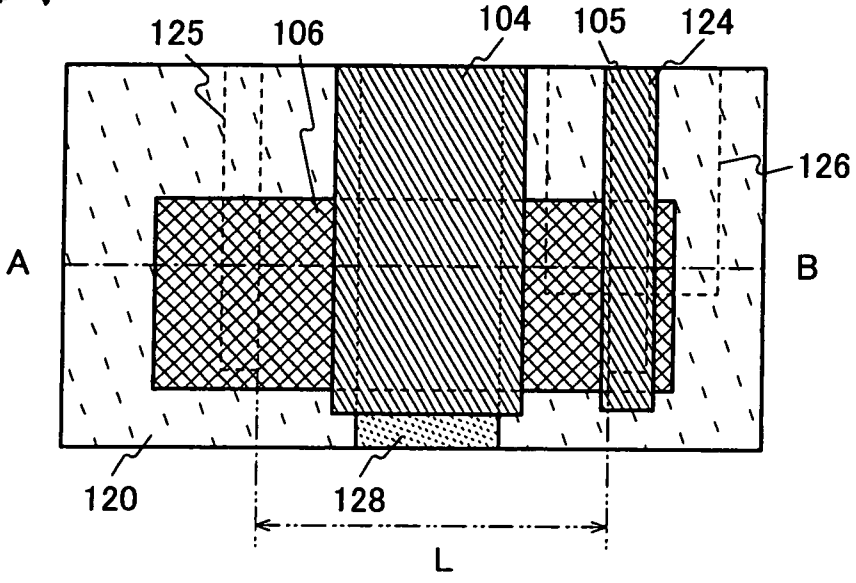


圖 1B

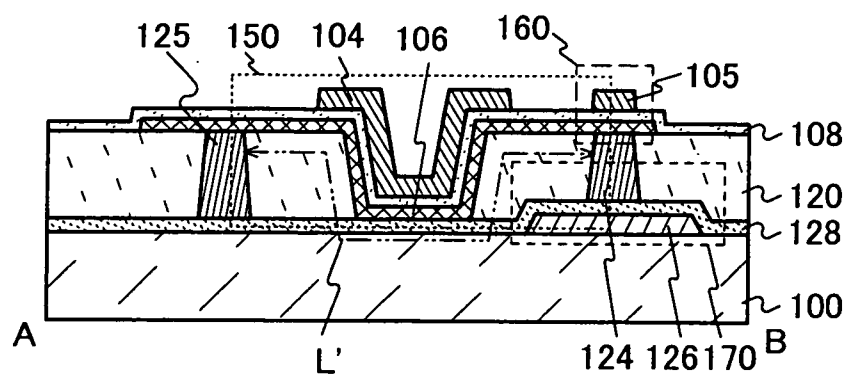


圖 1C

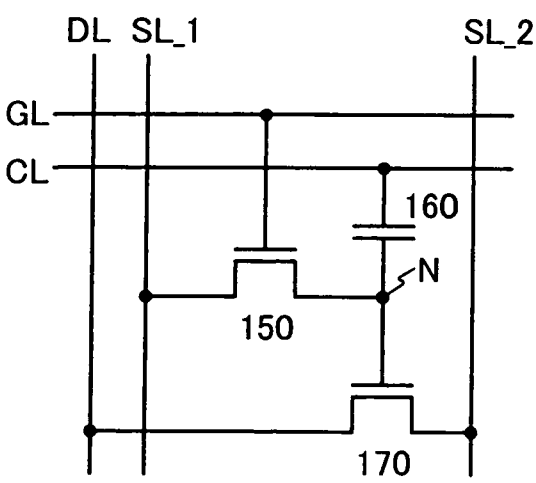


圖 1D

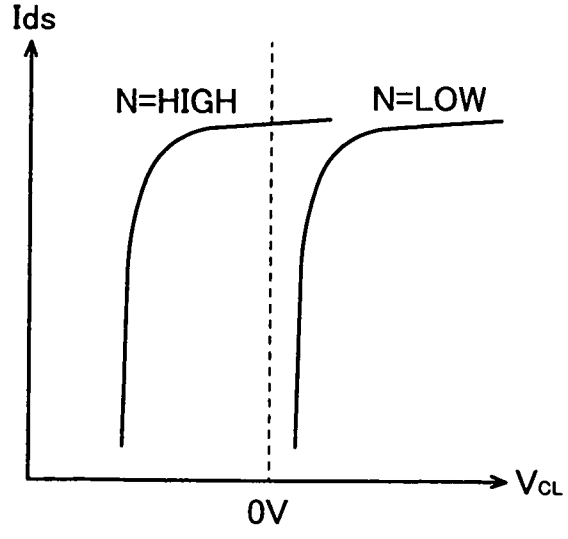


圖 2A

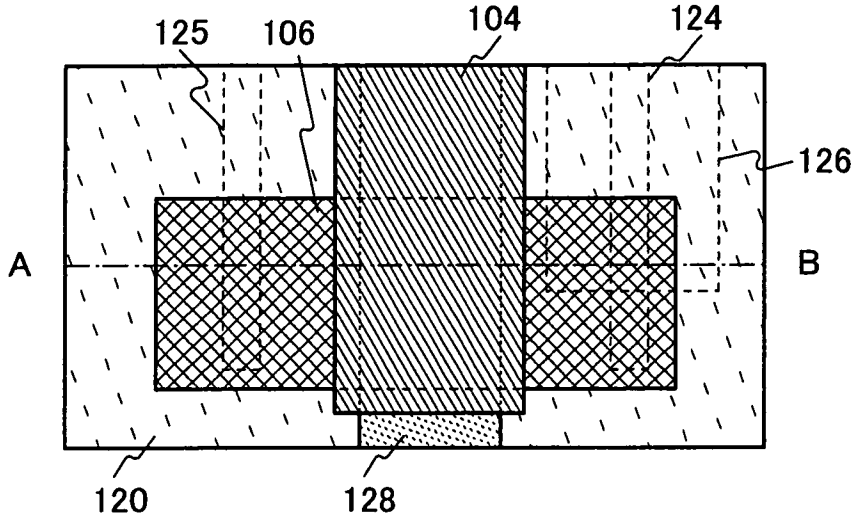


圖 2B

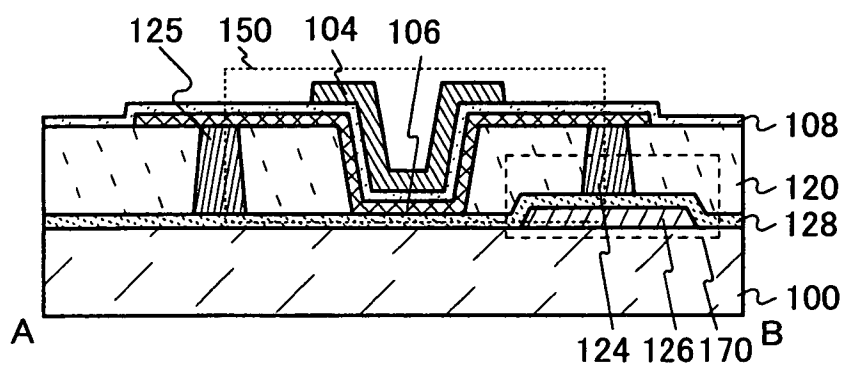


圖 2C

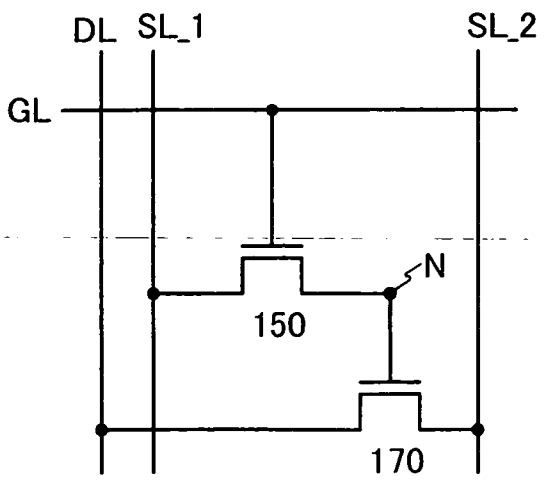


圖 3A

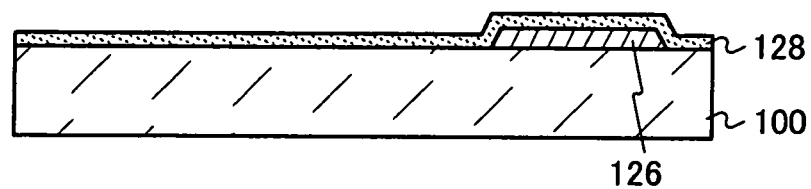


圖 3B

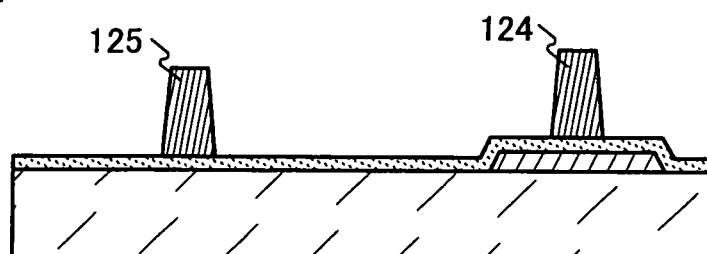


圖 3C

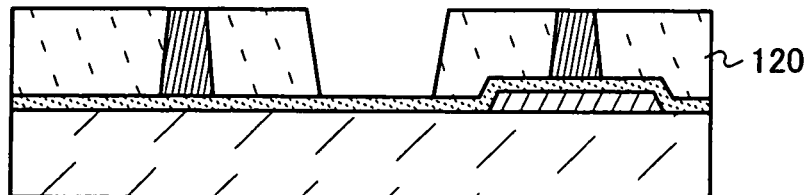


圖 3D

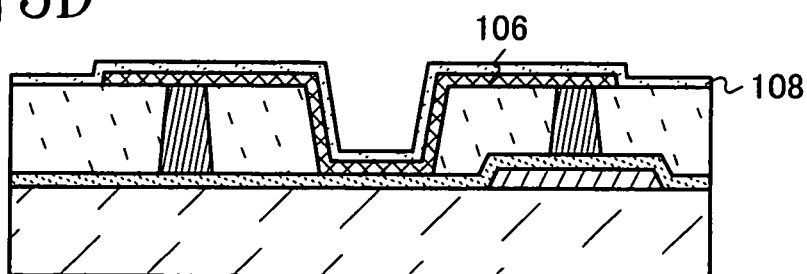


圖 3E

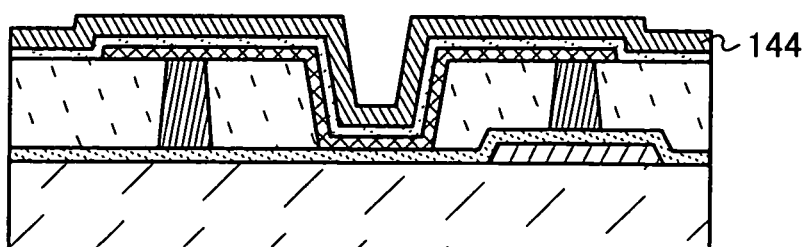


圖 4A

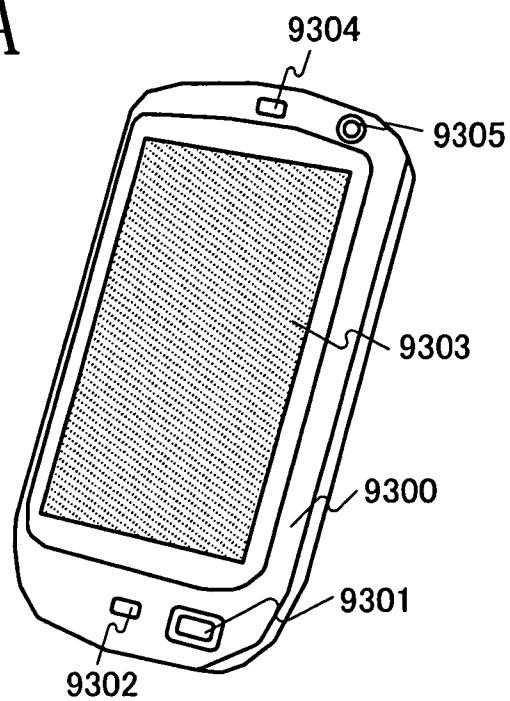


圖 4B

