

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 09002

(54) **Système de mise en phase de trains numériques et son application à la commutation desdits trains.**

(51) **Classification internationale (Int. Cl. ³). H 04 B 1/74; H 04 L 1/00.**

(22) **Date de dépôt..... 6 mai 1981.**

(33) (32) (31) **Priorité revendiquée :**

(41) **Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 45 du 12-11-1982.**

(71) **Déposant : SOCIETE ANONYME DE TELECOMMUNICATIONS (SAT), résidant en France.**

(72) **Invention de : Charles Henri Georges Ab Der Halden et Pierre Henri Berenguier.**

(73) **Titulaire : *Idem* (71)**

(74) **Mandataire : Béatrice Busnel, service propriété industrielle,
société anonyme de Télécommunications,
41, rue Cantagrel, 75624 Paris Cedex 13.**

La présente invention concerne la transmission numérique d'informations et plus particulièrement la mise en phase de trains numériques en vue de satisfaire un ordre de commutation, lesdits trains contenant des signaux de données identiques et
5 des signaux d'horloge de même fréquence.

Les systèmes modernes de transmissions numériques exigent des systèmes d'exploitation, de maintenance et de sécurisation de plus en plus performants, d'autant plus que les débits croissent (2 Mbit/s, 8 Mbit/s, 34 Mbit/s, 2x34 Mbit/s,
10 140 Mbit/s). De telles exigences se retrouvent aussi bien dans la transmission d'informations par faisceaux hertziens que par câbles électriques ou câbles de fibres optiques.

Le dispositif de l'invention s'applique à tout système de transmission numérique véhiculant des informations numériques
15 par deux chemins différents, le choix du chemin étant fonction de critères déterminés propres au système ou pouvant être commandé de l'extérieur.

En particulier dans les systèmes de transmission numérique par faisceaux hertziens, aux n canaux en service est ajouté un
20 canal de secours capable de se substituer sur toute une section de commutation à un canal indisponible. Les raisons habituelles de tels ordres de commutation sont des fadings sur un canal de service, la maintenance ou bien des défauts.

Un dispositif de commutation de trains numériques a été
25 déjà décrit dans la demande de brevet 79 18 479 de la demanderesse. Il évoquait la nécessité que la commutation n'introduise pas de transition supplémentaire dans le signal d'horloge. En effet une telle commutation doit se faire très rapidement après une demande issue de la logique réception à la suite par
30 exemple du résultat fourni par un appréciateur de qualité, l'ordre de commutation étant transmis grâce aux voies d'ordre. Cette commutation doit aussi se faire sans perte ni addition d'information. Cette condition est impérative car un tel défaut entraînerait des pertes de synchronisation des matériels
35 placés en aval.

Des millions d'informations binaires (bits) pourraient ainsi être perdus. Il est de plus souhaitable que cette commutation n'introduise pas d'information erronée en particulier en cas de prise du canal de secours pour la maintenance.

40 Le brevet 79 18 479 permet déjà d'effectuer un lissage

du saut de phase d'horloge au moment de la commutation, mais seulement si ce saut n'est pas trop important.

Il est toutefois très difficile de prévoir la différence de phase des signaux d'horloge d'une part et des données d'autre part de chaque canal, un canal de secours devant être opérationnel indifféremment pour n canaux de façon quasi-instantanée.

En effet, les divers trains numériques présentent des décalages pouvant atteindre plusieurs périodes d'horloge du fait des différences de milieu de transmission, du vieillissement des matériels, des variations de température, etc...

Il est donc nécessaire de préparer les trains à commuter pour les adapter en phase avant de leur faire subir la commutation du brevet précité. D'autre part l'adaptation en phase des trains doit être compatible avec les gabarits admissibles par les matériels situés en aval, les jonctions par exemple.

La présente invention concerne plus particulièrement les tests de préparation pour effectuer une demande de mise en phase des trains numériques

L'objet de la présente invention est également, suite aux tests et à une demande de mise en phase, d'effectuer la mise en phase proprement dite, de façon satisfaisante quel que soit le contenu des trains numériques.

L'objet de la présente invention est non plus d'effectuer un changement de phase continu mais discontinu par sauts de phase de faible amplitude. L'objet de la présente invention est d'une part de commander des changements de phase, d'autre part de les réaliser sans risquer de dépasser la gigue admissible pour les équipements situés en aval.

Selon une première caractéristique l'invention comprend un dispositif de test des données permettant de comparer la coïncidence des bits par paquets de k bits contenus dans lesdits signaux de données et d'émettre un signal NOCO s'il y a eu au moins une non-coïncidence dans un paquet, ledit dispositif de test permettant alors de générer un signal de changement de phase.

Selon une autre caractéristique, la longueur d'un paquet est inversement proportionnelle à la richesse minimale en transitions et à la répartition temporelle desdits signaux de données.

En outre le dispositif de test selon l'invention émet un signal ABSCORR de mauvaise relation de phase dès qu'il y a eu q non coïncidences, le nombre q étant choisi de façon appropriée en fonction du signal de données traité.

- 5 De plus, si le dispositif de test n'a pas fourni d'impulsion de non coïncidence pendant un temps t_1 prédéterminé, un discriminateur de phase fournit un signal ABSPHA représentatif de la non concordance de phase desdites horloges.

Selon une autre caractéristique de l'invention, le temps
10 t_1 est long lorsque ledit signal de données est pauvre en transitions et court dans le cas contraire.

De plus un signal PAP de demande de changement de phase est généré soit par l'apparition d'un signal ABSCORR, soit par celle d'un signal ABSPHA.

- 15 Selon une autre particularité afin de transmettre un seul des deux trains numériques à la suite de la réception d'un signal d'ordre de commutation Tr_i , l'invention consiste à préparer lesdits trains numériques par un test desdits signaux de données par une comparaison de la coïncidence desdites données,
20 paquet par paquet, un paquet représentant un groupe de k bits, k étant choisi de longueur appropriée, une non coïncidence au moins par paquet donnant naissance à un signal PAP de demande de changement de phase desdites horloges des deux trains numériques.

- 25 Selon une autre caractéristique, l'invention comporte un dispositif de changement de phase faisant varier la phase du train numérique dit de secours, de façon discontinue, par exemple par saut de pas égal à $\frac{1}{P}$ iu, P étant un nombre entier prédéterminé, à la suite de chaque signal PAP de demande de
30 changement de phase, iu étant égal à la période du signal H_i entrant.

De plus, la suite discrète des phases variables, est parcourue dans un sens d'avance, puis dans un sens de retard, ladite plage correspondant à n bits.

- 35 Le système de l'invention permet d'effectuer une commutation rapide, d'un canal hertzien dégradé par un évanouissement; en un temps, de l'ordre de quelques millisecondes, tel que la commutation ait lieu avant que la qualité ait atteint un niveau inacceptable même pour les évanouissements les plus rapides.
40 Le système de l'invention du fait de son adaptation sur

le canal de secours évite les problèmes de convergence liés à l'utilisation d'un dispositif de retard ne pouvant pas fonctionner sur un canal en service.

Le système de l'invention conduit à une simplification et une économie des dispositifs de réception des canaux hertziens.

Le système de l'invention en assure la surveillance permanente, par affichage des retards, de l'équilibrage des temps de propagation des canaux hertziens et leur rééquilibrage éventuel sans coupure du trafic.

Le système de l'invention s'adapte aisément à des plages de déphasages variables plus ou moins grandes, par une simple augmentation des mémoires tampon de données sans modification des autres éléments du système.

Le système de l'invention s'adapte aisément aux diverses technologies en fonction des débits du train numérique.

D'autres avantages et caractéristiques apparaîtront à la lecture de la description suivante illustrée par des dessins.

La figure 1 est une représentation par blocs d'un circuit numérique de corrélation de données selon l'invention.

La figure 2 est un diagramme des temps de la partie rapide de la figure 1.

La figure 3 est un diagramme des temps de la partie lente de la figure 1.

La figure 4 est un diagramme des temps de la détection de non coïncidence de deux trains numériques.

La figure 5 est un schéma de réalisation préféré de l'invention de la figure 1 de test sur les données et sur les horloges.

La figure 6 est un diagramme des temps de la figure 5.

La figure 7 est un mode de réalisation préféré de l'invention de la figure 5.

La figure 8 est un schéma de l'application du dispositif des figures 1 à 7 à la commutation de trains numériques $D'_{ir} + H'_{ir}$ et $D_x + H_x$.

La figure 9 est un schéma en blocs diagramme du dispositif de variation de phase selon l'invention.

La figure 10 est un schéma détaillé du dispositif de variation de phase proprement dit de la figure 9.

La figure 11 est un schéma du code cyclique commandant le

déphasage.

La figure 12 est un diagramme des temps de déphasage variable lors d'un changement de déphasage.

La figure 13 est un diagramme des temps de la mémoire tampon 175 dans les cas de changement de retard du déphasage variable.

La figure 14 est un mode de réalisation préféré de l'invention illustrant la figure 10.

La figure 15 est un schéma détaillé du dispositif de commande 10 du dispositif des figures 10 et 14.

La figure 16 est un mode d'utilisation du dispositif de déphasage variable de l'invention appliqué à la commutation de trains numériques identiques.

En se référant à la figure 1 les deux trains de données 15 D'_{ir} et D_{xr} proviennent de deux chemins différents et devraient être identiques. On recherche selon l'invention la non coïncidence des deux trains D'_{ir} et D_{xr} de données. Un signal d'horloge H_i présentant même fréquence nominale que les signaux d'horloge H'_{ir} et H_{xr} desdits trains mais une phase bien déterminée 20 rythme le fonctionnement d'un comparateur 1 qui reçoit les signaux D'_{ir} et D_{xr} .

Ce comparateur 1 compare les signaux D'_{ir} et D_{xr} préalablement synchronisés par H_i et fournit en sortie un signal DIV (divergence) représentatif du test de coïncidence des données. 25 Pour un décalage d'un signal par rapport à l'autre (figure 2) les instants de comparaison (signal C) correspondent aux fronts descendants du signal H_i d'horloge. A certains instants de ce signal d'horloge (signal C') on détecte une non coïncidence des deux signaux D'_{ir} et D_{xr} de données. Le signal 30 de non coïncidence DIV est encore exprimé par un signal non nul (bits b_1 et b_3 non identiques) sur la figure 3.

Un oscillateur 3 indépendant, de fréquence très inférieure au rythme des trains numériques, fournit un signal carré h définissant un paquet de bits de longueur fixe p (p étant un nombre 35 entier).

Le signal DIV de non coïncidence est mis en mémoire dans un circuit 2 de mémorisation jusqu'à la fin d'un paquet défini par h qui lui est également appliqué. En sortie le circuit 2 fournit un signal PER (paquet erroné) indiquant qu'un paquet de 40 bits contient au moins une non coïncidence entre les données

D_{xr} et D'_{ir} . Ainsi ce signal n'est pas sensible à une seconde erreur pouvant exister dans le même paquet.

Dans le circuit de mémorisation 4, le signal PER est mis en mémoire pendant la durée du paquet suivant (en appliquant 5 le signal h à l'entrée du circuit 4).

Le circuit 4 émet en sortie une impulsion NoCo de non coïncidence égale à 1 pendant un temps fixe prédéterminé s'il y a au moins une non coïncidence de données dans le paquet précédent. Ce temps fixe de durée d'émission de l'impulsion 10 NoCo doit en effet être compatible avec le fonctionnement de la partie lente du dispositif de corrélation des données. La partie décrite ci-dessus formée de 1, 2, 3, 4 fonctionne au rythme de H_1 et est une partie "rapide" volontairement réduite eu égard à la consommation.

15 Le signal NoCo est appliqué à l'entrée d'un compteur 6 programmable de non coïncidence qui compte les signaux NoCo entre deux impulsions INIT (initialisation) fournies par un compteur de temps 7. Si ce compteur 6 arrive à son compte maximum q (q valeur prédéterminée) avant l'arrivée d'une autre 20 impulsion du signal INIT, il émet une impulsion d'absence de corrélation ABSCORR en sortie (cf.figure 4). Si l'impulsion ABSCORR se produit avant la fin du temps t_1 , le compteur de temps 7 est initialisé. Dans ce cas, et quand le compteur 7 arrive à t_1 une impulsion INIT va initialiser le compteur pro- 25 grammable 6. Le temps t_1 est choisi pour garantir la reconnaissance de l'absence de corrélation sur le train le plus pauvre en transitions. En effet les données véhiculées normalement par les faisceaux hertziens contiennent une trame de données proprement dites et un certain nombre de mots ou de bits d'insertion systématique. Ainsi la fréquence du signal h, donc la 30 longueur d'un paquet est l'un des paramètres permettant d'optimiser le corrélateur selon l'invention. La longueur d'un paquet doit tenir compte de la richesse en transitions des données considérées ainsi que de leur répartition temporelle. La figure 3 représente un cas particulier où la longueur p d'un paquet 35 est égale à 10 bits.

De la même façon le paramètre q comptant les signaux NoCo entre deux impulsions INIT est choisi de telle sorte que le corrélateur selon l'invention soit insensible aux erreurs 40 pouvant exister sur les données et pour que pq soit compatible

avec les gabarits de gigue admissibles.

Un tel dispositif corrélateur de données selon l'invention est avantageusement appliqué dans le cas d'une demande de commutation de faisceaux pour autoriser une demande Tr_i de commutation issue de la voie d'ordre i_1 signifiant que le canal i souhaite être en secours ou s'il l'est déjà, ne souhaite plus l'être. Le signal Tr_i est à 1 lorsque le canal i est en réception normale et à 0 lorsque le canal i est secouru. Appelons x le canal secours, alors le train D'_{ir} associé à son horloge H'_{ir} est comparé au train D_{xr} associé à son horloge H_{xr} .

Sur la figure 5, un dispositif 11 discriminateur de phase d'horloge reçoit les signaux d'horloge H_{xr} et H'_{ir} et fournit en sortie un signal $\emptyset_0$ représentatif du déphasage entre les horloges des deux trains.

Ainsi tandis que le dispositif corrélateur numérique 10 de la figure 1 teste les non-coïncidences des données le discriminateur 11 de phase d'horloge fournit un état du déphasage des horloges à l'entrée d'un circuit 8 de décision.

Si c'est $\emptyset_0 = 0$ il y a un déphasage inacceptable car trop important et le circuit 8 génère un signal ABSPHA, signifiant l'absence de mise en phase des horloges des deux trains numériques, à l'entrée d'un circuit 9 d'aiguillage qui à son tour produit en sortie une impulsion PAP (pas à pas) significative d'une mauvaise phase.

Le circuit 8 fournit également lorsque la phase est mauvaise en sortie un signal N non nul ($N = 0$ signifie que les signaux sont en phase) qui est appliqué à l'entrée d'un circuit 5 de comparaison qui reçoit également Tr_i le signal de demande de commutation du canal i . Le signal N indique dans quel état est la commutation : si $N = 1$ le canal i est en transmission normale, si $N = 0$ le canal x de secours est en service. Quand Tr_i et N ne sont pas dans le même état le circuit 5 de comparaison fournit un signal REC (recherche) autorisant la recherche de la bonne position de la phase du canal secours. Ce signal REC est appliqué à l'entrée du compteur 7 de temps et sert à l'initialiser. On a vu à l'aide de la figure 1 que le compteur programmable 6 de non coïncidence compte les signaux NoCo entre deux impulsions INIT fournies par ce compteur 7 de temps et que s'il arrive à son compte maximum q avant l'arrivée de INIT, il émet une impulsion

d'absence de corrélation ABSCORR à sa sortie signifiant que les données ne sont pas dans une bonne relation de phase. Ce signal ABSCORR, également appliqué à l'entrée du circuit 9 d'aiguillage, permet également de générer une impulsion PAP en
5 sortie.

Le signal ABSCORR initialise le compteur de temps 7. Si au bout d'un temps t_1 il n'y a pas eu d'autre impulsion ABSCORR, une impulsion TTEST est appliquée par ce compteur 7 à l'entrée du circuit 8. Ce circuit 8 peut alors, suivant l'état de ϕ_0
10 fourni par le discriminateur d'horloge 11, libérer une impulsion PAP à la sortie du circuit 9 en lui appliquant une impulsion ABSPHA représentative d'une mauvaise phase (cf. Figure 6).

Ainsi le corrélateur 10 de l'invention permet de tester très vite (il fonctionne au rythme H_1) la relation, et souvent
15 mauvaise relation, de phase entre les deux trains numériques sans attendre que le discriminateur de phase 11, plus lent, donne son résultat. Le choix de q impulsions permettant de générer PAP est tel que l'on se protège des erreurs éventuelles sur les données ainsi que de la gigue. Le temps minimum de test
20 de données sur une position est donc p_{qiu} .

Inversement un bon résultat sur les données peut encore être confirmé par un test de phase ϕ_0 au bout du temps t_1 . Les temps t_1 de test sont jointifs et sont choisis d'une durée compatible avec les technologies des dispositifs 10, 11 et 12.

25 La figure 7 illustre un exemple de réalisation préféré de l'invention.

Le dispositif 10 de corrélation est formé d'un circuit 1 de comparaison fournissant le signal DIV. Ce circuit 1 de comparaison est lui-même constitué de la porte "OU exclusif"
30 (101) recevant D_{ir} et D_{xr} de la bascule 102 dont l'entrée D est reliée à la sortie de la porte 101 et dont l'entrée C est reliée à l'horloge H_1 . Le signal DIV est disponible sur la sortie Q de la bascule 102.

Le circuit de mémorisation 2 de la figure 5 est formé des
35 bascules 201 et 202. La bascule 201 reçoit les signaux DIV sur son entrée D et H_1 sur son entrée horloge C. Sur sa sortie Q le signal PER est disponible. Il est relié à l'entrée $\overline{CE}$ (inverse de l'horloge de validation de la même bascule assurant le blocage de la bascule 201 à l'état "1").

40 La bascule 202 reçoit le signal PER sur son entrée D et

le signal h représentatif d'un paquet sur son entrée horloge C . Sa sortie Q est reliée à l'entrée RS (remise à zéro) de la bascule 201. Son entrée RS (remise à zéro) est reliée à la sortie $\bar{Q}$ de la bascule 201. Cette interconnexion garantit que
5 H_i et h étant indépendants, PER est remis à zéro avec le front de montée du signal h , tout en laissant à la bascule 400 le temps de mémoriser l'information PER.

L'oscillateur 3 de la figure 5 comprend un circuit classique 300 d'oscillateur LC (condensateur inductance) dont la
10 sortie est reliée à l'entrée d'un circuit séparateur 301. A la sortie de celui-ci le signal h est disponible.

Le circuit de mémorisation 4 de la figure 5 comprend la bascule 400 et la porte 401. La bascule 400 reçoit sur son entrée D le signal PER issu de la bascule 201 et h sur son
15 entrée horloge C . Sa sortie $\bar{Q}$ fournit le signal $\overline{NC}$ à la porte 401 dont l'autre entrée reçoit le signal h . Cette porte "OU" 401 fournit en sortie le signal $\overline{NOCO}$ qui délimite également la partie rapide 10 du corrélateur.

La partie lente 12 de ce corrélateur se compose d'un comp-
20 teur programmable 6 constitué d'un circuit 600 qui compte les impulsions $\overline{NOCO}$ reçues sur son entrée Cu de comptage. Son entrée lo de chargement reçoit le signal INIT qui l'initialise à une valeur dépendant du câblage des entrées D_A , D_B , D_C et D_D . L'impulsion ABSCORR, disponible sur la sortie Ca (avance) de ce
25 circuit 600 indique que le compteur est arrivé au bout de son comptage.

Le circuit de comparaison 5 de la figure 5 est constitué d'une porte "OU exclusif" 500 recevant sur ses entrées les signaux TR_1 et N et fournissant REC en sortie.

30 Le compteur de temps 7 de la figure 5 est constitué d'un circuit monostable 700 des inverseurs 701 et 702 et de la porte 703.

Le monostable 700 est déclenché par le signal REC arrivant à son entrée Cl d'effacement. Le signal TTEST est disponible à
35 sa sortie $\bar{Q}$. L'inverseur 701 reçoit le signal de sortie de la porte 900 et fournit en sortie son inverse à l'entrée d'une porte 703 "ET". L'autre entrée de cette porte 703 reçoit le signal REC.

La sortie de la porte 703 est reliée à l'entrée A du monos-
40 table 700 qu'il réinitialise et à l'entrée de l'inverseur

702 dont la sortie fournit le signal INIT. Ce signal INIT est appliqué d'une part à l'entrée chargement du compteur programmable 600 permettant de charger celui-ci et à l'entrée prépositionnement de la bascule 800.

5 Le circuit de décision 8 de la figure 5 se compose des bascules 800, 801 et 802. Les bascules 800 et 801 reçoivent toutes deux d'une part le déphasage ϕ_0 fourni par le discriminateur 11 sur leurs entrées D et d'autre part le signal TTEST venant de $\bar{Q}$ du monostable 700 sur leur entrée horloge CK. La bascule 800
10 est initialisée à 1 par le signal INIT arrivant sur son entrée Pr (prépositionnement). La bascule 801 est initialisée à 0 par le signal REC arrivant sur son entrée Cl d'effacement. Le signal $\overline{ABS PHA}$ est disponible sur la sortie Q de la bascule 800 tandis que la sortie Q de la bascule 801 est raccordée à l'en-
15 trée horloge CK de la bascule 802. Celle-ci est montée en diviseur par 2 par la liaison entre sa sortie $\bar{Q}$ et son entrée D.

Le signal N est disponible sur la sortie Q de cette bascule 802 ainsi qu'à l'entrée de la porte 500 "OU exclusif" recevant sur son autre entrée le signal TR_1 .

20 Le circuit d'aiguillage 9 de la figure 5 comprend la porte 900 et le monostable 901. La porte 900 "ET" a une entrée reliée à la sortie Ca (report) du compteur 600 et l'autre à la sortie de la bascule 800 recevant ainsi respectivement $\overline{ABSCORR}$ et $\overline{ABSPHA}$. La sortie de la porte 900 fournit une impulsion positive chaque fois que $\overline{ABSCORR}$ ou $\overline{ABSPHA}$ passent à zéro.
25

Cette sortie est reliée à l'entrée B du monostable 901 qui fournit sur sa sortie Q le signal PAP, impulsion large pour chaque impulsion envoyée en son entrée.

La figure 8 illustre l'application du dispositif de mise
30 en phase de trains numériques de l'invention à la demande de commutation desdits trains. Une demande de commutation arrive, au moyen de sa voie d'ordre TR_1 au niveau du dispositif logique 12, pour le canal i formé du train $D_{ir} + H_{ir}$ de données et de son signal d'horloge associé. Ce train i est reçu au moyen d'un
35 dispositif égaliseur 19 qui fournit en sortie un train D'_{ir} de données associé à un signal H'_{ir} d'horloge (figure 16). Simultanément le canal de secours x est reçu au moyen du dispositif 13 et adopte la phase de ces signaux $D_x + H_x$ en fonction du signal PAP pour fournir à l'entrée des disposi-
40 tifs 10, 11 et 14 un train numérique $D_{xr} + H_{xr}$ présentant

une relation de phase correcte avec le train i demandant d'être secouru. Le dispositif 14 est avantageusement un dispositif de commutation tel que celui décrit dans la demande de brevet 79_18 479. Ce dispositif 14 reçoit le signal N de demande de commutation fourni par le dispositif logique 12 autorisant la demande de commutation uniquement lorsque les résultats fournis par les dispositifs 10 et 11 sont satisfaisants. Ce dispositif 14 fournit également le rythme H_i de fonctionnement au dispositif 10 qui est le rythme du train numérique après commutation.

Les dispositifs 10, 11 et 12 ont été décrits précédemment. Le dispositif 10 permet de tester les signaux D_{xr} et D'_{ir} tandis que les phases H'_{ir} et H_{xr} sont comparées au moyen du discriminateur 11. Ceci permet en sortie au dispositif logique 12 de décision de générer le signal PAP, impulsion large, représentative d'une mauvaise phase à l'entrée d'un dispositif 13 de changement de phase du canal de secours $D_{xr} + H_{xr}$.

En se référant à la figure 9 le dispositif 13 de changement de phase se compose essentiellement d'un dispositif 15 de commande logique recevant un ordre PAP de demande de modification de phase et d'un dispositif 16 de modification de phase proprement dit recevant le train numérique $H_x + D_x$ entrant et fournissant en sortie un train numérique $D_{xr} + H_{xr}$ sortant déphasé suite à un ordre fourni par le dispositif 15 de commande. De plus le dispositif 13 comprend un dispositif 17 d'affichage dudit déphasage en fonction du canal i considéré. Le dispositif de déphasage 16 selon l'invention illustré au moyen de la figure 9, se compose essentiellement d'une mémoire tampon 160 inscrivant en parallèle les données D_x issues du canal secours au rythme d'un compteur écriture 161 qui reçoit le signal H_x de ce même canal secours. Le déphaseur variable selon l'invention consiste à faire varier l'horloge du compteur de lecture 163 par rapport à l'horloge H_x du compteur d'écriture 161 d'une grandeur fournie par un déphaseur variable 164. Les données stockées dans la mémoire 160 sont lues et multiplexées dans un multiplexeur 162 au rythme fourni par le compteur 163 de lecture, ledit multiplexeur 162 fournissant en sortie un train numérique de données D_{xr} .

La figure 10 représente un exemple de réalisation préféré du déphaseur variable selon l'invention.

Le déphaseur variable 164 selon l'invention consiste à

varier non plus de façon continue comme dans les techniques connues mais de façon discrète dans une plage prédéterminée. A cet effet P déphaseurs commutables et couvrant une période en P valeurs discrètes permettent, en réponse à une demande PAP 5 de changement de phase, de corriger le décalage des horloges. Le pas P correspondant à un saut de phase de $\frac{1}{P}$ iu est une grandeur choisie de telle sorte qu'elle soit compatible avec la gigue tolérable avec les matériels situés en aval; iu est un intervalle de temps égal à une période, ce saut de phase pour- 10 vant être effectué sur le canal secours en service.

Dans le mode de réalisation de la figure 10 on convient de choisir P égal à 8. En effet c'est une grandeur se prêtant à une bonne utilisation des circuits logiques car $8 = 2^3$; en outre cette valeur de P permet de ne pas trop multiplier les 15 organes et d'avoir un pas assez fin.

Le déphaseur 16 selon l'invention permet de faire varier la phase d'autant de périodes que l'on veut, le train numérique D_{xr} sortant étant susceptible de varier dans une plage de n bits.

20 Le déphaseur 16 selon l'invention assure au train numérique secours un retard variable par sauts, dans un sens ou dans l'autre le déphasage pouvant être parcouru dans les deux sens jusqu'à des butées changeant le sens de balayage aux extrémités de la plage.

25 Le déphasage 164 selon l'invention est laissé à la dernière position commandée par la dernière commutation.

En se référant à la figure 10, le signal H_x d'horloge arrivant du canal x secours est appliqué à l'entrée d'un circuit 165 distributeur de temps qui fournit l'horloge H_x aux 8 sorties différentes $He_1, He_2, He_3, He_4, He_5, He_6, He_7, He_8$ avec 30 la même phase. Ces signaux d'horloge sont appliqués à l'entrée de huit circuits 166 à 173 fournissant respectivement en sortie une horloge retardée d'une quantité Δt de temps correspondante.

Le circuit 166 retarde de $\Delta t = \Delta t_o$
 35 Le circuit 167 retarde de $\Delta t = \Delta t_o + \frac{1iu}{8}$
 Le circuit 168 retarde de $\Delta t = \Delta t_o + \frac{2iu}{8}$

Le circuit 173 retarde de $\Delta t = \Delta t_o + \frac{7iu}{8}$
 permettant de fournir 8 retards décalés de $\frac{1iu}{8}$, iu étant égal à une période d'horloge H_{ir} .

40 Un signal H'_x déduit de H_x par une phase appropriée est

fourni par le circuit 165 et appliqué à l'entrée d'un circuit 174 de recalage de phase du train D_x d'entrée. Ce circuit 174 fournit un train D'_x en sortie qui est appliqué à l'entrée d'une mémoire tampon 175. Un compteur d'écriture 176 reçoit le
 5 signal H_{CE} qui lui sert de signal d'horloge écriture. H_{CE} est déduit de H_x par le circuit 165 avec une phase appropriée.

Le compteur 176 est du type Johnson, synchrone, solution classique pour que l'écriture des données D'_x dans la mémoire 175 se fasse sans risques d'ambiguïté. Le compteur 176 produit
 10 8 signaux synchrones B_0, B_1, B_2, B_3 et leurs compléments logiques qui fournissent huit signaux d'inscription des données dans la mémoire 175.

Un circuit 177 de commande mémorise les signaux A B C de commande fournis par le dispositif logique de commande 15 (ce
 15 qui sera explicité ultérieurement) au rythme de l'horloge H_C fourni par le circuit 165 à partir de H_x , chaque fois que les signaux A, B, C sont validés par un signal VAL également fourni par le dispositif logique 15. Le circuit 177 produit un signal EEN (exécution enregistrement), qui indique que ces ordres ont
 20 été enregistrés, également à destination du dispositif 15.

En sortie le circuit 177 produit également des signaux a, b, c à destination des huit circuits de déphasage 166 à 173. Ces huit circuits 166 à 173 sont inhibés par l'état de abc de sorte qu'un seul soit actif à la fois. Les signaux a, b, c se
 25 déduisent de l'ordre ABC par validation de VAL. Ce code peut par exemple être celui illustré sur la figure 11. Les lettres a, b et c représentent huit positions différentes des déphasages rendant un seul circuit 166 à 173 actif, pour lesquelles a, b, c représentent 1 ou 0. Le code a b c est un code cyclique
 30 tel que le passage d'un circuit à un circuit voisin se fasse sans parasite en sortie. Sur une seule sortie de ces huit horloges 166 à 173, une horloge est disponible. Les sept autres sont dans un état fixe. Les signaux a, b, c changent de façon synchrone quand l'état du circuit 166 à 173 momentanément
 35 actif est son état de repos ce qui permet de n'ajouter ni de retrancher de front d'horloge. C'est cela qui fixe la phase de l'horloge H_c synchronisant le circuit 177. Selon la configuration ainsi décrite on ne saute que de $\frac{1}{8}$ iu à chaque nouvel ordre a b c. Les sorties des circuits 166 à 173 sont raccordées
 40 aux 8 entrées d'un circuit 178 d'aiguillage, fournissant l'un

des signaux $\bar{H}s_1, \bar{H}s_2 \dots \bar{H}s_8$ respectivement. A la sortie du circuit 178 seul est disponible le signal $\bar{h}_x$ d'horloge d'entrée qui est actif. Les retards apportés ainsi aux huit signaux d'entrée doivent être identiques pour ne pas créer de parasites
 5 lors des commutations de retards. Le signal $\bar{h}_x$ sortant du circuit 178 traverse un filtre 179 passe bande à bande étroite centrée sur la fréquence nominale de H_x . Ce filtre 179 permet de transformer le saut de phase $\frac{\mu}{8}$ inévitable à chaque changement de retard $\frac{\mu}{8}$ (ou $\frac{\mu}{p}$ dans le cas général), m étant un
 10 entier compris entre 0 et 7, un glissement de phase étalé sur plus d'une dizaine de bits, beaucoup plus facile à accepter pour les matériels situés en aval. Il garantit de plus que le saut de phase ne fait apparaître ni disparaître de front d'horloge.

15 La sortie du filtre 179 est reliée au circuit 180 de mise en forme qui assure en sortie un signal H_{xr} une forme compatible avec la technologie employée.

Les huit bits $b_0, b_1 \dots b_8$ stockés dans la mémoire tampon 175 sont reçus par un multiplexeur 181 rythmé par un comp-
 20 teur de lecture 182. Le compteur de lecture 182 a pour horloge le signal H_{xr} d'horloge fourni en sortie du circuit 180 de mise en forme. Ce compteur 182 de lecture est avantageusement du type Johnson synchrone. Il conduit à ces circuits logiques simples, à des temps de propagation faibles et permet un fonctionnement
 25 correct pour les débits élevés. Les quatre signaux de sortie de ce compteur 182 désignés par B_4, B_5, B_6, B_7 commandent le multiplexeur 181. En sortie, le multiplexeur 18 fournit un signal d qui est une reconstitution du signal D_x de données retardé en phase du temps Δt choisi.

30 Un circuit 183 de recalage recale en phase le signal d avec l'horloge H_{xr} issue du circuit 180 et fournit en sortie le signal D_{xr} de données.

Le diagramme des temps de la figure 12 illustre le fonctionnement du dispositif de changement de phase selon l'inven-
 35 tion de la figure 10. Initialement c'est le circuit 172 qui est le seul à ne pas être bloqué. Les signaux ABC donnent le code de l'état 001 alors que a, b, c sont à l'état 101. Une validation VAL intervient produisant EEN qui doit encadrer un plateau à 1 des horloges He_1 à He_8 issues du circuit 161 en utili-
 40 sant le réglage prévu dans le circuit 177. Les signaux a, b, c

sont alors modifiés conformément à A B C provoquant le blocage du circuit 172 de déphasage pendant que l'horloge H est dans le même état que l'ancien état a, b, $\bar{c}$. Des flèches indiquent sur le diagramme de la figure 12 comment les instants correspondant aux divers fronts de l'horloge et à la commutation de a, se propagent vers $\bar{H}s_7$ et $\bar{H}s_8$. La période allongée de $\bar{h}_x$ est aussi représentée.

Le fonctionnement de la mémoire tampon 175 est illustré au moyen de la figure 13 dans le cas d'un saut de phase de $1/8$ μ . Le retard apporté par la mémoire tampon 175 est à peu près au milieu de la plage possible, après le deuxième front montant du signal d'horloge H_{xr} . Les fronts des signaux d'horloges B_0 , B_1 , B_2 et B_3 fournis par le compteur d'écriture 176 décomposent le signal D'_x de données en huit signaux b_0 , b_1 , ..., b_7 en écriture dans la mémoire tampon 175. Le compteur de lecture 182 fournit quant à lui des signaux B_4 , B_5 , B_6 , B_7 permettant de lire les signaux b_0 , b_1 , ..., b_7 selon l'horloge H_{xr} ayant subi un glissement de phase de $\frac{1\mu}{8}$ étalé sur quelques périodes. Les sorties B_4 , B_5 , B_6 , B_7 du compteur 182 de lecture ont subi un glissement de phase de $\frac{1\mu}{8}$ avec le signal H_{xr} d'horloge. Le train d de données reconstitué par le multiplexeur 181 a aussi glissé et après relecture par le signal d'horloge H_{xr} au moyen du dispositif de calage 183, le train de données D_{xr} du canal de secours est identique au train D'_x mais a subi un retard de phase de $\frac{1\mu}{8}$.

En se référant à la figure 14 un exemple de réalisation est représenté. Le circuit de distribution des horloges désigné 165 sur la figure 10 se compose essentiellement de six portes 60, 61, 62, 63, 64, 65 montées en séparateurs. Le signal H_x d'entrée arrive sur les portes 60 et 61. Les sorties directe et inverse de cette porte 61 fournissent des horloges au circuit compteur d'écriture 24 et de recalage 66 respectivement. La sortie de la porte 60 est connectée à l'entrée de la porte 63. Le signal H_c obtenu après traversée des portes 63 et 65 présente un retard réglé par un condensateur 68 raccordé à la sortie de la porte 63. La sortie de la porte 60 fournit aussi un signal d'horloge aux portes 62 à 64 dont les sorties sont connectées aux circuits de retard du déphaseur variable 164 de la figure 9. Ce déphaseur variable 164 se compose de huit circuits de retard 166 à 173 selon la figure 10

recevant ainsi huit signaux d'horloge calés en phase He_1 à He_8 .

Le circuit logique 177 de la figure 10 se compose essentiellement de quatre bascules 84, 85, 86, 87. Le signal H_c issu de la porte 65 est relié aux entrées CC d'horloge commune de ces quatre bascules. Sur l'entrée D de la bascule 85 arrive un signal VAL de validation fourni par le dispositif de commande 15 qui sera explicité ultérieurement, sur sa sortie Q est disponible le signal EEN. Ce signal EEN d'une part transmis au dispositif 15 de commande, d'autre part appliqué aux entrées validation horloge CE des bascules 84, 86, 87. Sur les entrées D de ces trois bascules 84, 86, 87 arrivent les signaux A/B/C respectivement fournis par le même dispositif 15 de commande ; ces trois bascules 84, 86, 87 fournissent respectivement sur leur sortie Q les signaux a, b, c et sur leur sortie $\bar{Q}$ les signaux $\bar{a}$, $\bar{b}$, $\bar{c}$. Ces trois dernières bascules assurent ainsi la synchronisation des signaux A, B, C sur l'horloge H_c et donc sur H_x d'entrée. Les différents circuits de déphasage 166 à 173 de la figure 10 reçoivent d'une part les signaux He_1 à He_8 respectivement, d'autre part les signaux de commandes a, b, c ou leur complément fournis par le dispositif 177.

Ainsi le circuit 166 de la figure 10 se compose d'une porte OU émettrice 69 et d'une porte réceptrice 88. La porte émettrice 69 reçoit les signaux a, b, c de commande ainsi que He_1 . La porte réceptrice 88 fournit en sortie le signal $\bar{H}s_1$ d'horloge. La porte émettrice OU 70 recevant les signaux a, b, c forme avec la porte réceptrice 89 et la ligne à retard 77 séparant les portes 70 et 89 le circuit déphaseur 167 de la figure 10. La ligne à retard 77 assure un retard de $\frac{1}{8}$ iu au signal $\bar{H}s_2$ par rapport au signal $\bar{H}s_1$. Il en est de même pour le déphaseur 168 de la figure 10, constitué des portes OU 71, du circuit de retard 78 et de la porte 90 fournissant $\bar{H}s_3$. La porte OU 71 reçoit les signaux $\bar{a}$, $\bar{b}$, c tandis que la ligne de retard 78 retarde de $\frac{2}{8}$ iu et que la porte 90 fournit le signal $\bar{H}s_3$. Pour le circuit 169, les signaux a, $\bar{b}$, c et le signal d'horloge He_4 sont reçus par la porte OU 72 puis retardés par la ligne de retard 79 de $\frac{3iu}{8}$ puis appliqués à l'entrée de la porte 91 qui fournit le signal Hs_4 en sortie.

De la même façon le circuit 170 se compose de la porte

OU 73, de la ligne à retard 80 appliquant un retard égal à $\frac{4iu}{8}$ et de la porte 92 qui fournit le signal $\overline{Hs}_5$ en sortie

Ensuite le circuit 171 se compose de la porte OU 74, de la ligne à retard 81 appliquant le retard égal à $\frac{5iu}{8}$ et de la porte 93 qui fournit le signal $\overline{Hs}_6$ en sortie.

Puis le circuit 172 se compose de la porte OU 75, de la ligne à retard 82 appliquant le retard égal à $\frac{6iu}{8}$ et de la porte 94 qui fournit le signal $\overline{Hs}_7$ en sortie.

Enfin le circuit 173 se compose de la porte OU 76, de la ligne à retard 83 appliquant le retard égal à $\frac{7iu}{8}$ et de la porte 95 qui fournit le signal $\overline{Hs}_8$ en sortie.

Le circuit d'aiguillage 178 de la figure 10 se compose essentiellement de deux portes OU 96 et 97 et d'un séparateur 98. La porte 96 reçoit les signaux $\overline{Hs}_1$ à $\overline{Hs}_4$ tandis que la porte 97 reçoit les signaux $\overline{Hs}_5$ à $\overline{Hs}_8$. Les sorties de ces deux portes 96 et 97 sont connectées en "OU câblé" qui est relié à l'entrée d'une porte séparatrice 98 dont la sortie fournit le signal $\overline{h}_x$. Ce signal $\overline{h}_x$ est appliqué à l'entrée du filtre 179. Le circuit de mise en forme 180 de la figure 10, raccordé à la sortie du filtre 179, se compose essentiellement de deux comparateurs 20 et 21 montés en cascade suivis de deux portes séparatrices 22 et 23. La sortie inverse de la porte 23 fournit le signal H_{xr} de sortie.

Le compteur d'écriture 176 de la figure 10 se compose de quatre bascules 24, 25, 26, 27 montées en compteur Johnson par 8 et de la porte OU 28 dont la sortie est connectée en "OU câblé" avec la sortie $\overline{Q}$ de la bascule 27 permettant d'éviter le cycle interdit du compteur.

Sur les sorties Q et $\overline{Q}$ de ces quatre bascules 24, 25, 26, 27, les signaux B_0 , $\overline{B}_0$, B_1 , $\overline{B}_1$, B_2 , $\overline{B}_2$, B_3 et $\overline{B}_3$ sont disponibles respectivement ; ils servent d'horloge aux bascules formant la mémoire tampon 175 de la figure 10. De plus les signaux $\overline{B}_0$, B_1 et B_2 sont connectés aux entrées de la porte OU 28. La sortie inverse de cette porte 28 est appliquée à l'entrée D de la bascule 24.

Le circuit 174 de recalage de la figure 10 est formé d'une bascule 66 de type D dont l'horloge est issue de la sortie inverse de la porte 61 et dont l'entrée D reçoit le signal D_x de données.

Le circuit de mémoire tampon 175 de la figure 10 comprend

huit bascules 29 à 36. La sortie Q de la bascule 66 est reliée aux entrées D des quatre bascules 29 à 32 qui reçoivent respectivement pour horloge les signaux B_0 à B_3 provenant des sorties Q des bascules 24 à 27. Sur les sorties Q des bascules 29 à 32 on obtient les signaux b_0 à b_3 déjà illustrés sur la figure 13. Pour diminuer la charge de la sortie Q de la bascule 66, sa sortie $\bar{Q}$ est connectée aux entrées D des bascules 33 à 36 qui reçoivent pour horloges les signaux $\bar{B}_0$ à $\bar{B}_3$ provenant des sorties $\bar{Q}$ des bascules 24 à 27. Sur les sorties $\bar{Q}$ des bascules 33 à 36 les signaux b_4 à b_7 , sont disponibles. Le circuit de multiplexage 181 de la figure 10 comprend dix portes "OU" 37 à 46. Une entrée de chaque porte 37 à 44 reçoit les signaux b_0 à b_7 et est reliée à l'entrée Q des bascules 29 à 32 ou $\bar{Q}$ des bascules 33 à 36. Deux autres entrées de chaque porte sont reliées au compteur de lecture repéré 182 sur la figure 10. Ce compteur de lecture 182 est formé de quatre bascules 48 à 51 montées en compteur Johnson par huit également et d'une porte "OU" 52 dont la sortie est connectée en OU câblé avec la sortie $\bar{Q}$ de la bascule 51 afin d'éviter le cycle interdit du compteur. Sur les sorties Q et $\bar{Q}$ des quatre bascules 48 à 51 sont disponibles les signaux B_4 , $\bar{B}_4$, B_5 , $\bar{B}_5$, B_6 , $\bar{B}_6$, B_7 , $\bar{B}_7$ respectivement. Les quatre bascules 48 à 51 reçoivent sur leur entrée horloge le signal disponible à la sortie directe de la porte 22. De plus les signaux $\bar{B}_4$, B_5 et B_6 sont appliqués aux entrées de la porte 52.

Ainsi la porte 37 reçoit les signaux $\bar{B}_4$ et B_5 , la porte 38 les signaux $\bar{B}_5$ et B_6 , la porte 39 les signaux $\bar{B}_6$ et B_7 , la porte 40 les signaux $\bar{B}_7$ et $\bar{B}_4$. Les sorties inverses de ces quatre portes 37 à 40 sont connectées aux quatre entrées de la porte "OU" 45.

La porte 41 reçoit les signaux B_4 et $\bar{B}_5$, la porte 42 les signaux B_5 et $\bar{B}_6$, la porte 43 les signaux B_6 et $\bar{B}_7$, la porte 44 les signaux B_7 et B_4 . Les sorties inverses de ces quatre portes 41 à 44 sont connectées à l'entrée d'une porte "OU" 46. Les sorties des portes 45 et 47 sont reliées en "OU câblé" à l'entrée D d'une bascule 47 du type D dont l'entrée horloge reçoit le signal H_{xr} d'horloge. Sur la sortie Q de cette bascule 47 est disponible un signal D_{xr} de données retardées synchrone du signal d'horloge H_{xr} .

En reprenant les figures 9 et 10 le dispositif 15 de

commande de déphasage reçoit un signal PAP de demande de changement de phase et fournit au dispositif 16 des signaux VAL et A/B/C de commande ainsi que le signal EEN. Ce dispositif 15 illustré par la figure 15 se compose essentiellement d'un circuit 150 de mémorisation qui fournit un signal VAL sur le front de montée de PAP et qui est initialisé par le signal EEN fourni par le dispositif 16. Le comparateur 151 de phase compare la phase de deux signaux HCE et HCL respectivement d'écriture et de lecture, déjà appliqués respectivement aux compteurs 176 et 182 de la figure 10. Le comparateur 151 fournit en sortie une tension V telle que V soit à des valeurs extrêmes quand le décalage entre les deux compteurs 176 et 182 ne permet plus de faire une lecture correcte ou que l'on atteint les limites de la plage de variation désirée.

Le circuit 152 est un amplificateur qui amplifie et décale la tension V à une valeur "V écart" compatible avec les tensions requises pour un affichage. Ce signal "V écart" est appliqué à l'entrée d'un dispositif 17 d'affichage du retard. Cet affichage par application du signal V écart permet un contrôle et un réglage faciles de l'égalisation du canal i sans interrompre la liaison. Cette égalisation permet, dans des conditions normales de propagation, d'effectuer la commutation au milieu de la plage variable du canal secours, le signe de la variation du déphasage entre les canaux étant inconnu. Le dispositif 17 affiche avantageusement selon l'invention la valeur μ du déphasage μ .

Un dispositif 153 à seuil reçoit également la tension V fournie par le comparateur 151 et indique en sortie quand V atteint les zones correspondant aux positions relatives incorrectes des deux compteurs. Ce comparateur 153 fournit en sortie deux signaux BUT A et BUT B qui sont deux butées A et B limitant le balayage de déphasage. Les butées A et B laissent passer le signal PAP soit par le dispositif 154, soit par le dispositif 155. Le dispositif 154 reçoit donc outre le signal PAP, le signal BUT A et fournit en sortie un signal RET qui commandera un retard du déphasage. Au contraire le dispositif 155 reçoit outre le signal PAP un signal AV qui commandera une avance au déphasage. Le passage de RET à AV se fait par passage aux butées. Ces deux signaux RET et AV, appliqués à l'entrée d'un compteur 156 servent d'horloges de montée ou de descente

pour ce compteur 156 qui fournit en sortie un signal A/B/C dont le code a déjà été décrit au moyen de la figure 11. C'est le front arrière du signal PAP qui est actif au niveau des compteurs 154 et 155, préparant ainsi le changement de retard 5 suivant.

Ainsi la suite discrète des retards variables ($\frac{m \cdot i_u}{P}$) ($1 \leq m \leq p-1$), m étant un nombre entier naturel, peut être parcourue dans un sens puis dans l'autre. Les butées A et B changent le sens de balayage aux extrémités de la plage de 10 variation.

Cette plage de n bits présentant un pas de $\frac{i_u}{P}$ peut être représentée sur l'affichage du dispositif 17 d'affichage au moyen de diodes. Le retard exact est lu instantanément grâce au signal "V écart".

15 La figure 16 représente une application préférée de l'invention du retard par saut à la commutation de trains numériques transmis par faisceaux hertziens. Si $D_{ir} + H_{ir}$ est un train numérique acheminé par canal normal souhaite être remplacé par le canal de secours $D_x + H_x$ à la suite d'un ordre 20 Tr_i transmis par la voie d'ordre, il est tout d'abord appliqué à l'entrée d'un dispositif 19 d'égalisation qui fournit en sortie un train $D'_{ir} + H'_{ir}$. Le dispositif 18 reçoit le train $D'_{ir} + H'_{ir}$, teste le déphasage de ce train par rapport au train du canal x de secours et fournit un signal PAP de de- 25 mande de décalage de phase à l'entrée du dispositif 13 de déphasage. Ce dispositif 13 fournit en sortie un train numérique $D_{xr} H_{xr}$ déphasé par rapport à sa position d'origine. Le dispositif 18 déjà illustré sur la figure 8 se compose essentiellement du dispositif 10 corrélateur des données D'_{ir} et 30 D_{xr} fournissant un signal ABSCORR à l'entrée du dispositif 12 logique, du discriminateur 11 de phase fournissant un signal ϕ_0 , ledit dispositif 12 générant un signal PAP de demande de changement de phase ou un signal N de demande de commutation. Lorsque le dispositif 18 de test a considéré comme correct 35 le test des trains numériques, il fournit un signal N d'ordre de commutation à l'entrée d'un dispositif 14 de commutation. Ce dispositif 14 de commutateur synchrone a fait l'objet de la demande de brevet 79 18 479. Il reçoit les signaux $D'_{ir} + H'_{ir}$ après l'égalisation du canal i , ainsi que les si- 40 gnaux $D_{xr} + H_{xr}$ du canal secours et effectue une commutation

synchrone des trains pour fournir en sortie un train $D_i + H_i$ sans ajouter ni retrancher de transition juste au moment de la commutation, et ce au rythme de son signal H_i propre.

En effet le commutateur 14 précité reçoit les deux signaux D'_{ir} et D_{xr} synchrones. La différence de phase entre le signal H_i et celui H'_{ir} ou H_{xr} aiguillé est réglée de sorte que la commutation des horloges ait lieu quand H'_{ir} et H_{xr} sont toutes deux à zéro, compte tenu de l'écart maximum $\frac{1}{P}$ de période possible.

10 $\frac{1}{P}$ Un tel dispositif 13 de changement de phase peut ainsi être disposé dans la porte réception du canal secours et être utilisable lors de la commutation des n canaux pour lesquels ce canal x supplémentaire sert de secours. La présente invention permet ainsi de réaliser une simplification des équipements, une économie de réalisation et de consommation. En 15 outre l'utilisation d'un seul dispositif de retard variable placé sur le canal de secours évite les problèmes de convergence liés à l'utilisation d'un dispositif de retard ne pouvant pas fonctionner sur un canal en service.

20 En outre la structure du dispositif 13 de déphasage variable de trains numériques permet d'augmenter la plage de rattrapage automatique en augmentant seulement la capacité de la mémoire tampon 175 de la figure 10 sans modifier les autres éléments du système de commutation selon l'invention.

25 Le dispositif de déphasage variable selon l'invention est suffisamment rapide pour effectuer la commutation d'un canal hertzien i dégradé par un évanouissement en un temps de l'ordre de la milliseconde, donc tel que la commutation ait lieu avant que la qualité ait atteint un niveau inacceptable même 30 pour les évanouissements les plus rapides.

En outre le dispositif de déphasage variable selon l'invention garde en mémoire dans le dispositif 17 d'affichage la différence de temps de propagation ($\Delta t = \frac{\mu}{P}$) entre le canal/secouru et le canal de secours après chaque commutation et 35 après chaque retour au canal normal tant qu'un autre canal normal ne prend pas le secours. Une telle propriété permet un affichage aisé de la différence des temps de propagation même en service, sans utilisation de matériel de mesure encombrant et coûteux (générateurs, oscilloscopes). Ceci 40 assure la surveillance permanente de l'équilibrage des temps

de propagation des canaux hertziens et leur équilibrage éventuel sans coupure du trafic.

REVENDICATIONS

- 1 - Système de mise en phase de deux trains numériques, lesdits trains étant formés de signaux de données identiques et de signaux d'horloge de même fréquence, caractérisé par
5 le fait qu'un dispositif de test des données compare la coïncidence des bits par paquets de kbits contenus dans lesdits signaux de données et émet un signal NoCo s'il y a au moins une non-coïncidence dans un paquet, ledit dispositif de test générant un signal de changement de phase.
- 10 2 - Système selon la revendication 1 caractérisé par le fait que la longueur d'un paquet est inversement proportionnelle à la richesse minimale en transitions et à la répartition temporelle desdits signaux de données.
- 3 - Système selon la revendication 1 caractérisé par le
15 fait que le dispositif de test émet un signal ABSCORR de mauvaise relation de phase dès qu'il y a eu q non coïncidences, le nombre q étant choisi de façon appropriée avec le signal de données traité.
- 4 - Système selon l'une des revendications 1 et 3 caractérisé par le fait que si le dispositif de test n'a pas fourni
20 d'impulsion de non coïncidence pendant un temps t_1 prédéterminé, un discriminateur de phase fournit un signal ABSPHA représentatif de la (non) concordance de phase desdites horloges.
- 5 - Système selon la revendication 4 caractérisé par le
25 fait que le temps t_1 est long lorsque ledit signal de données est pauvre en transitions et court dans le cas contraire.
- 6 - Système selon l'une des revendications 1 à 5 caractérisé par le fait qu'un signal PAP de demande de changement de phase est généré soit par l'apparition d'un signal ABSCORR
30 soit par celle d'un signal ABSPHA.
- 7 - Système de commutation pour transmettre un seul de deux trains numériques à la suite d'un signal d'ordre de commutation Tr_i , les trains numériques contenant des signaux de données identiques, des signaux d'horloge de même fréquence,
35 ledit dispositif comprenant un circuit d'aiguillage pour les signaux de données, un circuit d'aiguillage pour les signaux d'horloge, un circuit de commande autorisant la commutation uniquement quand les deux signaux d'horloge sont dans le même état logique, système caractérisé par le fait qu'on prépare
40 lesdits trains numériques avant la commutation, d'une part par

un test desdits signaux de données par une comparaison de la coïncidence desdites données paquet par paquet, un paquet représentant un groupe de k bits, k étant choisi de longueur appropriée, une non coïncidence au moins par paquet donnant
5 naissance à un signal PAP de demande de changement de phase desdites horloges des deux trains numériques.

8 - Système de commutation selon la revendication 7 caractérisé par le fait^{que}/si pendant le temps t_1 prédéterminé ledit test de non coïncidence n'a pas fourni d'impulsion de
10 non coïncidence, un test des phases des horloges desdits trains fournit un signal ABSPHA de mauvaise relation de phase donnant naissance à un signal PAP de demande de changement de phase.

9 - Système de commutation selon la revendication 8
15 caractérisé par le fait qu'un dispositif de changement de phase fait varier la phase du train numérique dit de secours suite à la réception de chaque signal PAP.

10 - Système de commutation selon la revendication 9 caractérisé par le fait qu'un dispositif de changement de
20 phase fait varier la phase du train numérique dit de secours de façon discontinue.

11 - Système de commutation selon la revendication 11 caractérisé par le fait que la variation de la phase dudit train numérique de secours change par saut de pas égal à $\frac{1}{P} \text{iu}$,
25 P étant un nombre entier prédéterminé à la suite de la demande de chaque signal PAP.

12 - Système de commutation selon la revendication 10 caractérisé par le fait que la suite discrète des phases variables est parcourue dans un sens d'avance, puis dans un sens
30 de retard, ladite plage correspondant à n bits.

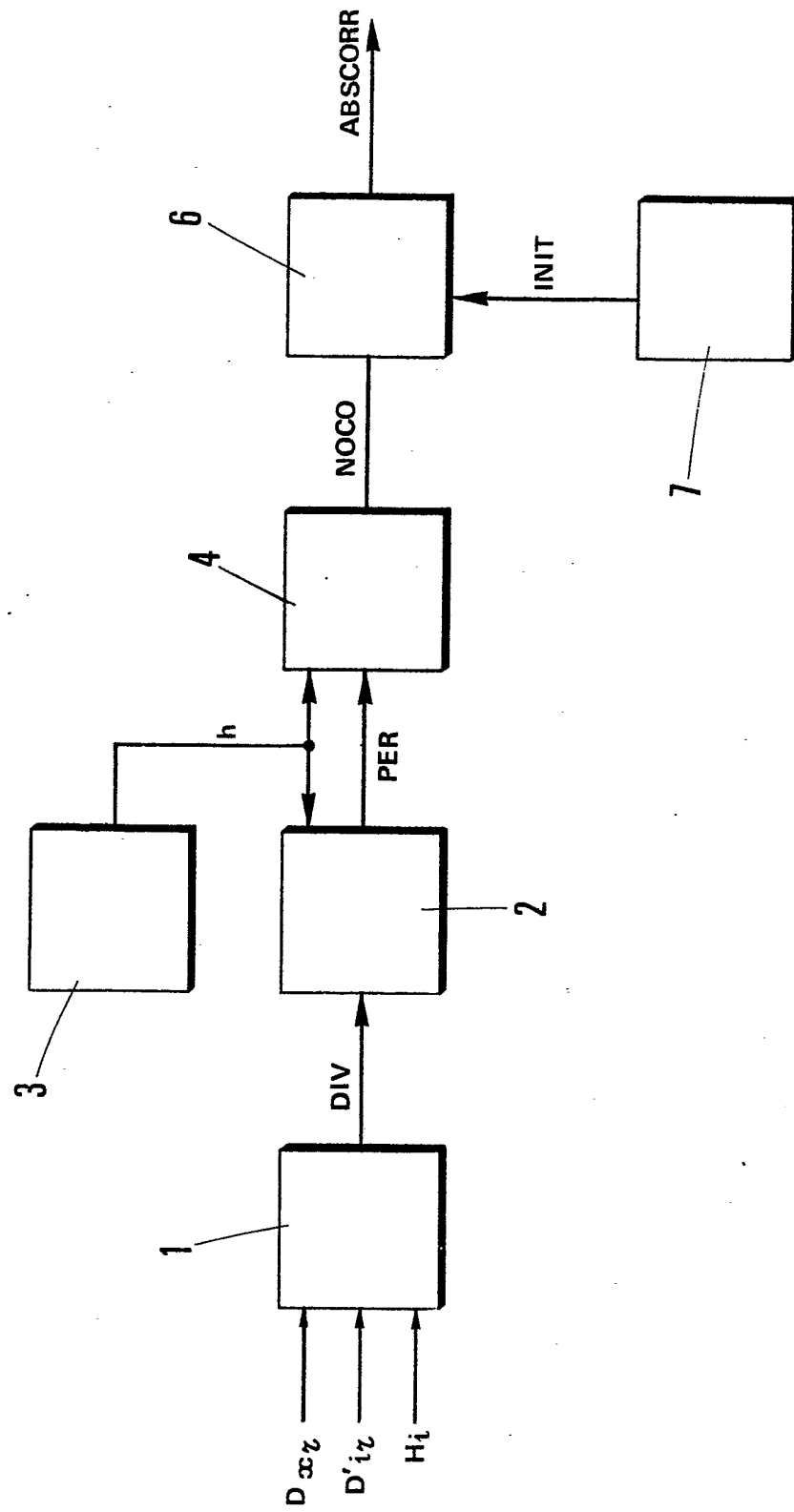


FIG. 1

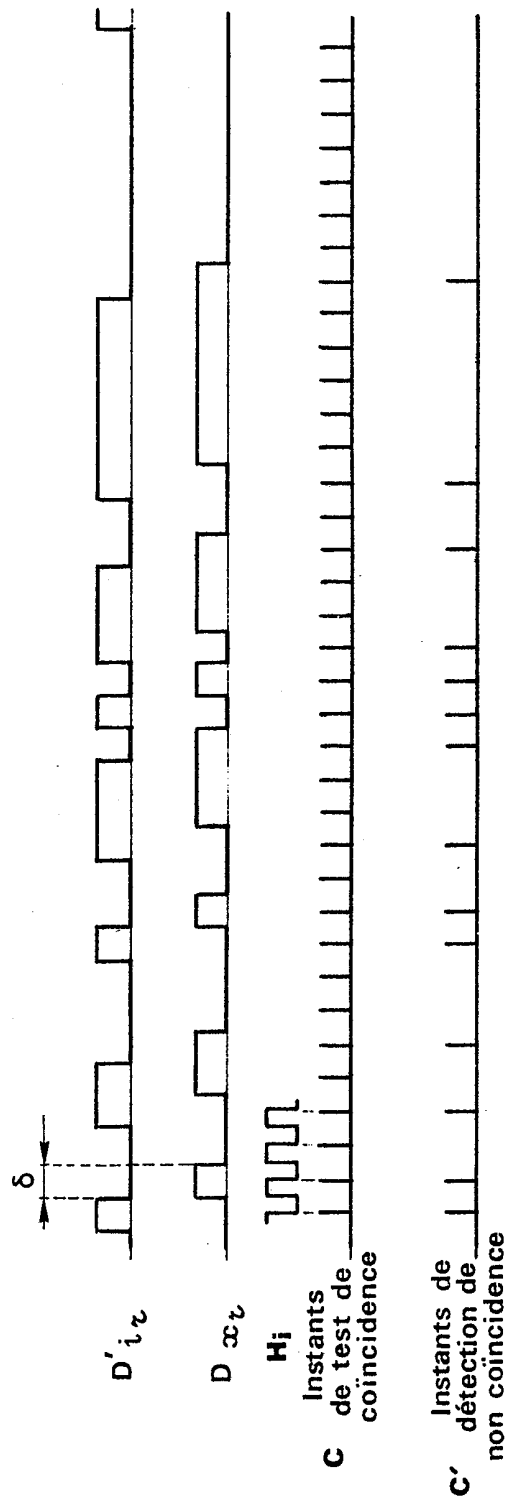


FIG. 2

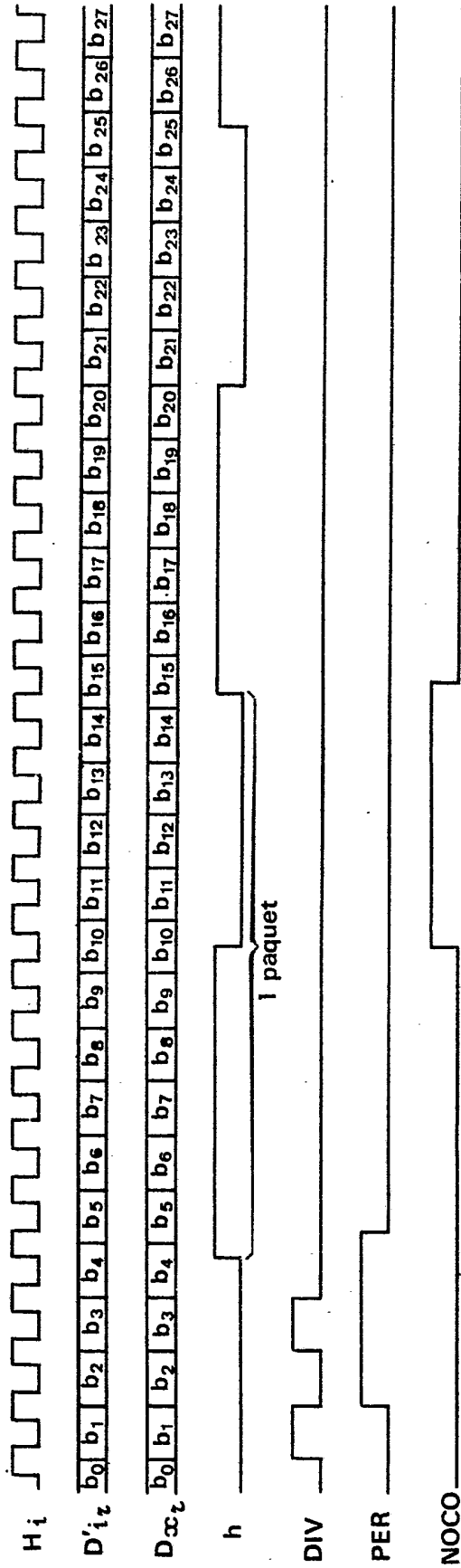


FIG. 3

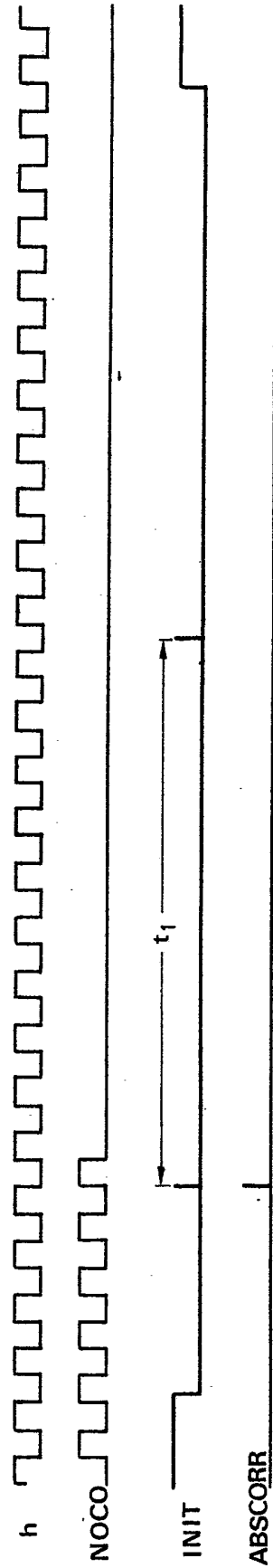


FIG. 4

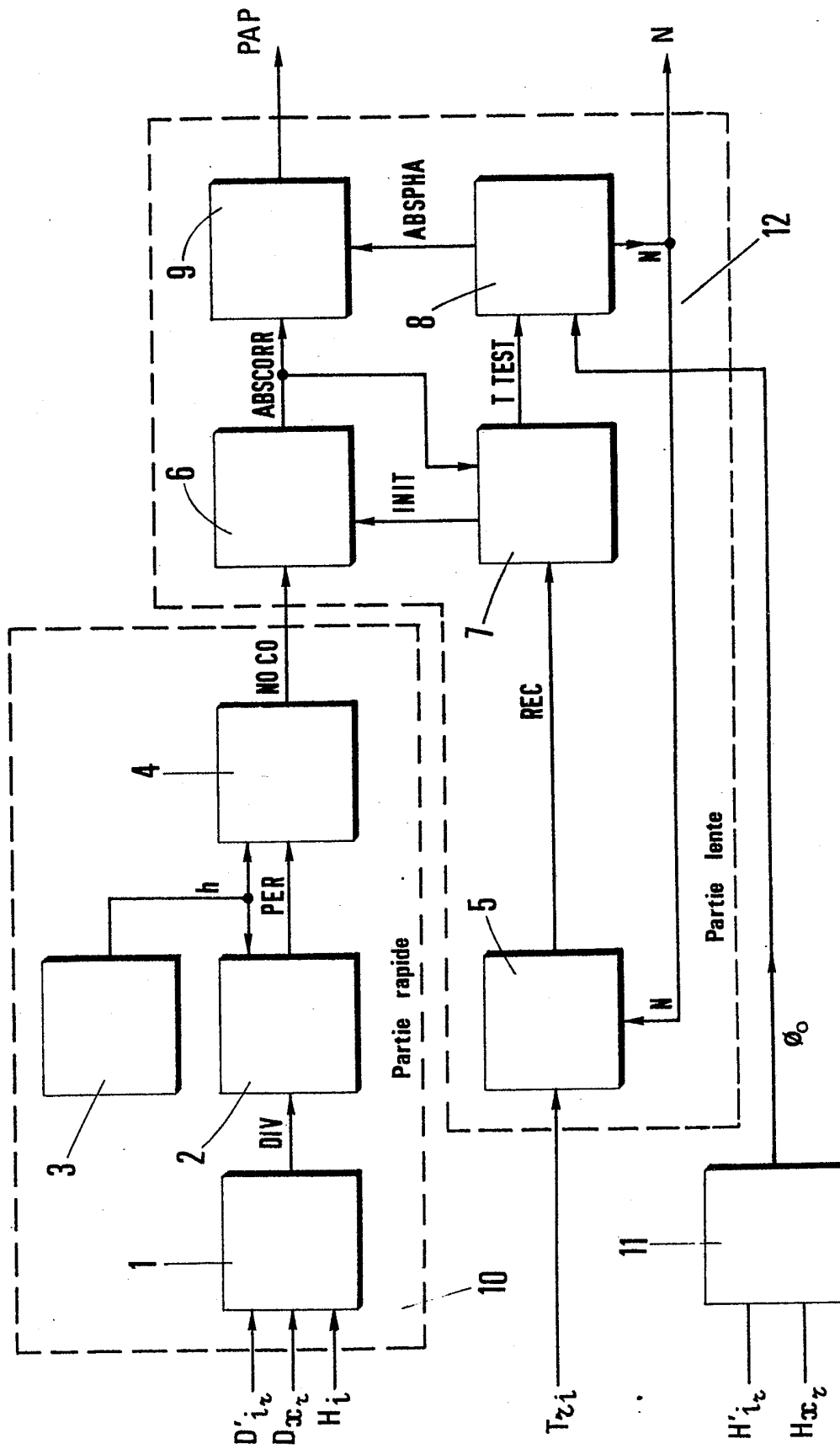


FIG. 5

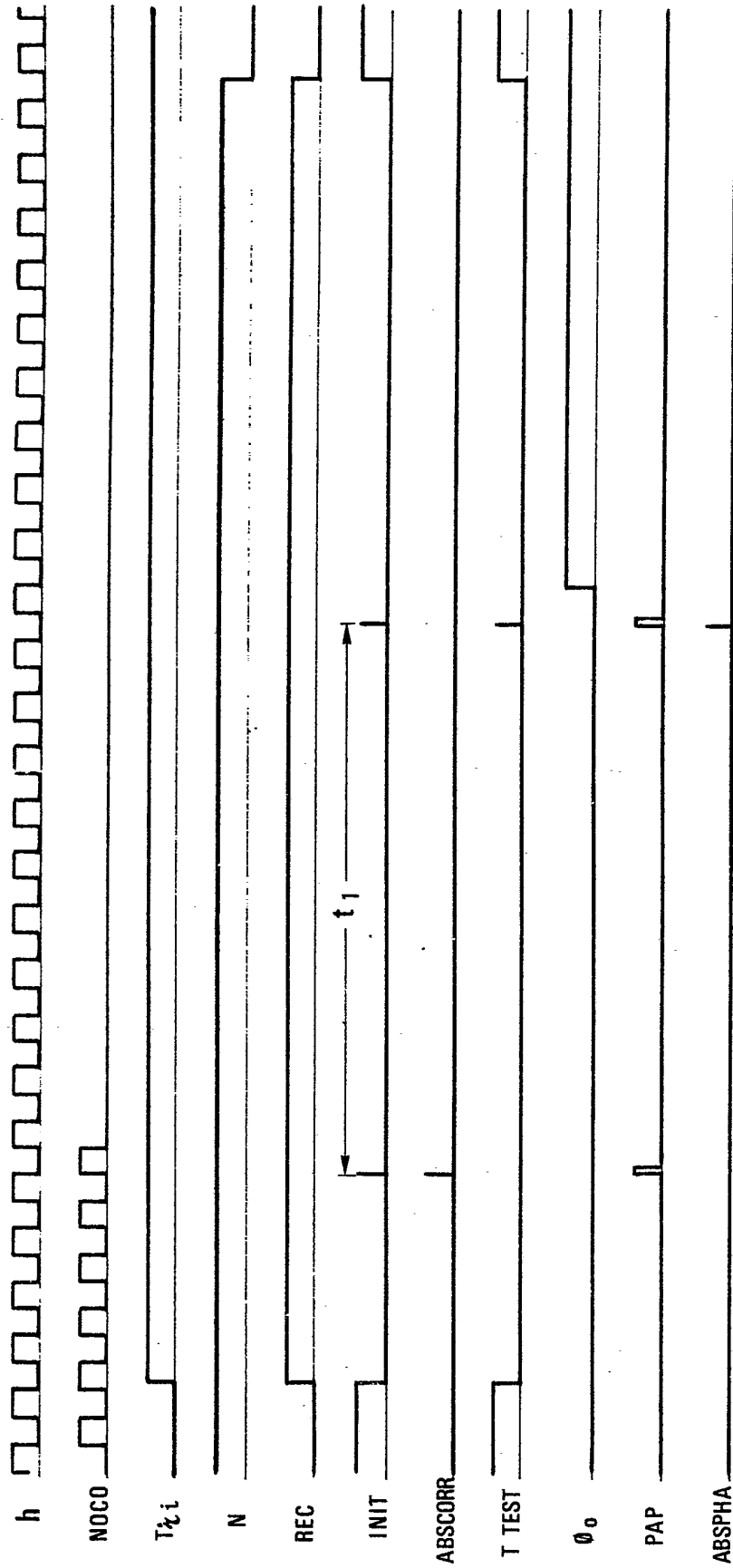


FIG. 6

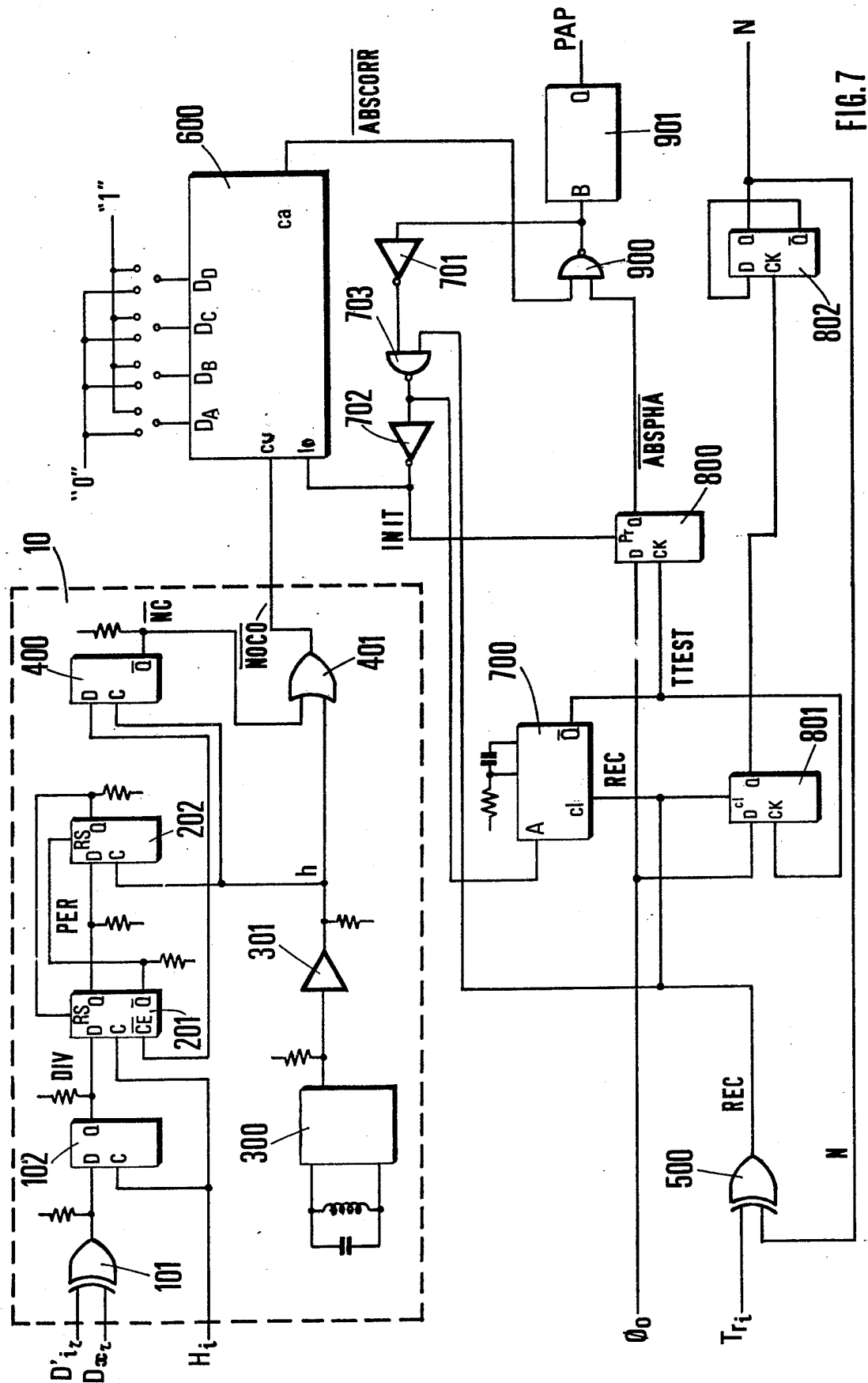


FIG. 7

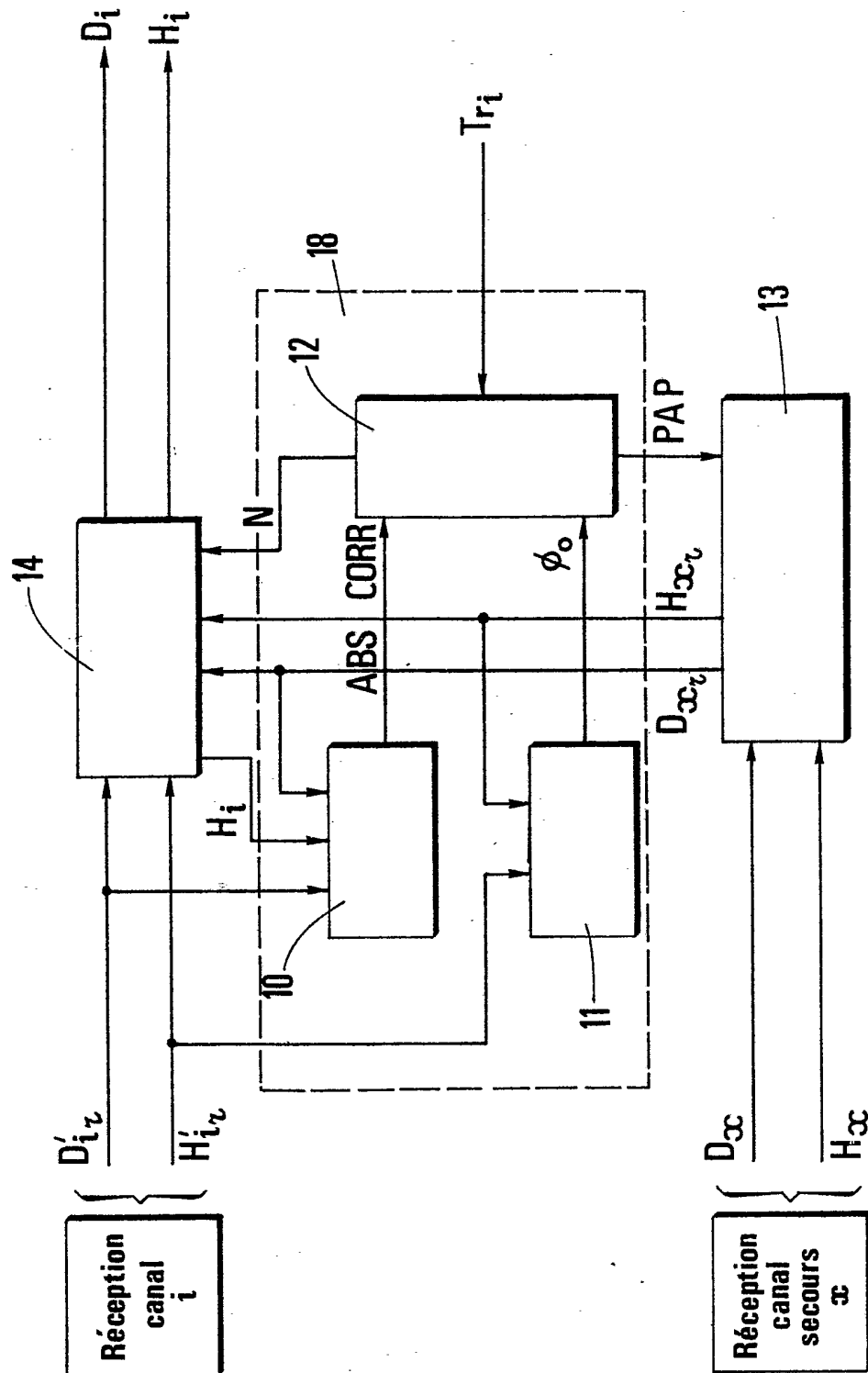


FIG. 8

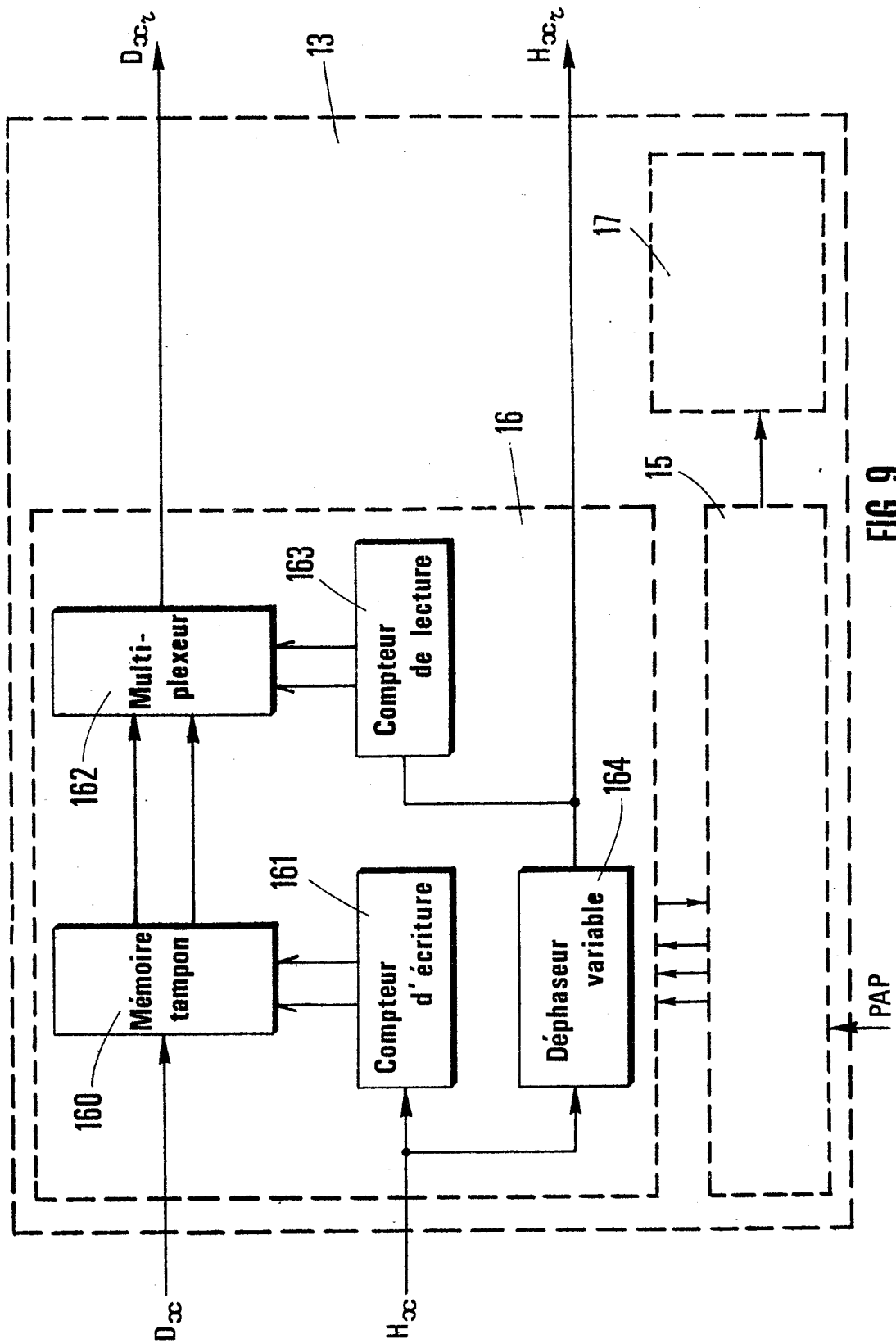


FIG. 9

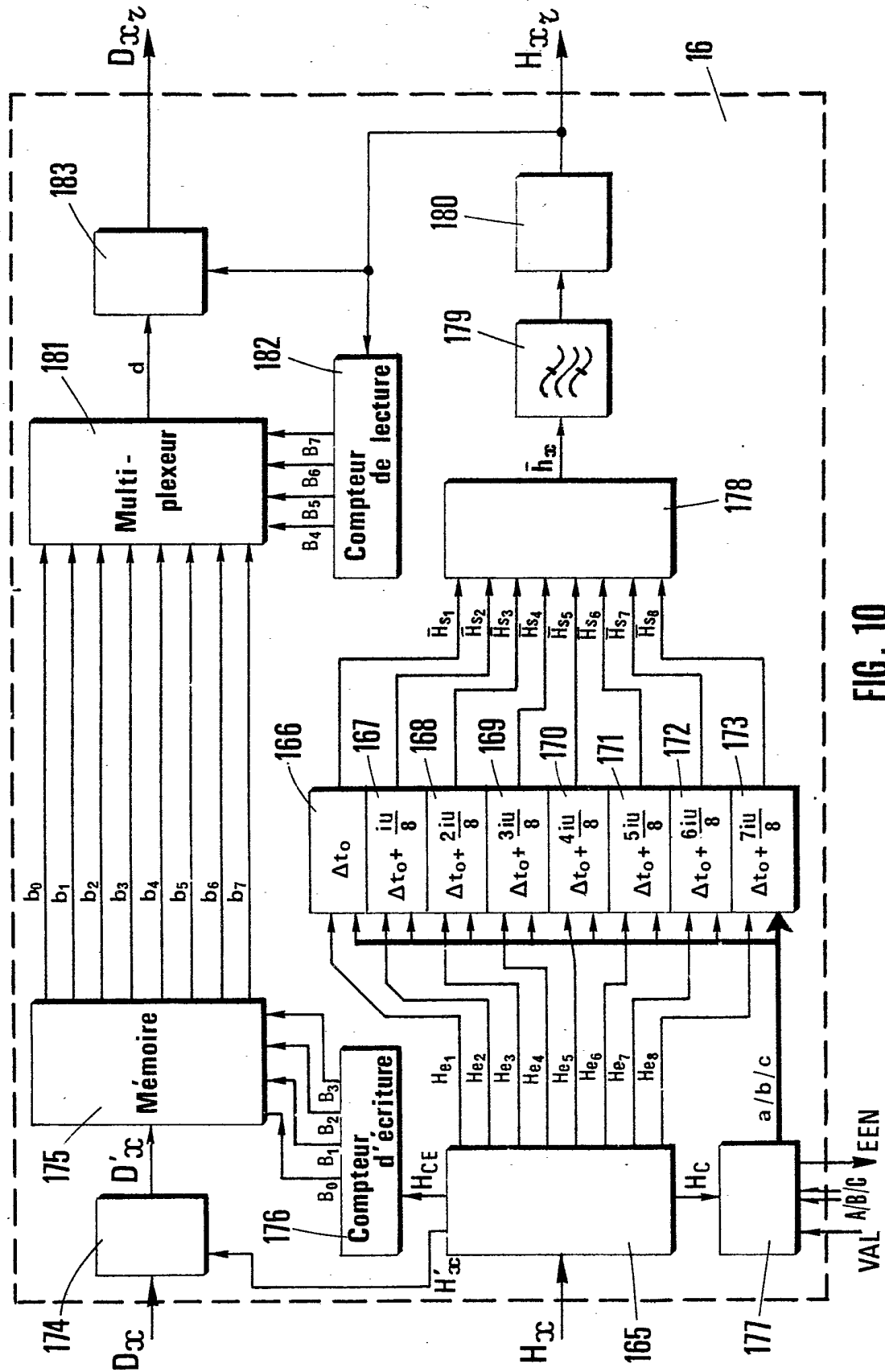


FIG. 10

a	b	c	Circuit de retard non bloqué
0	0	0	166
1	0	0	167
1	1	0	168
0	1	0	169
0	1	1	170
1	1	1	171
1	0	1	172
0	0	1	173

FIG.11

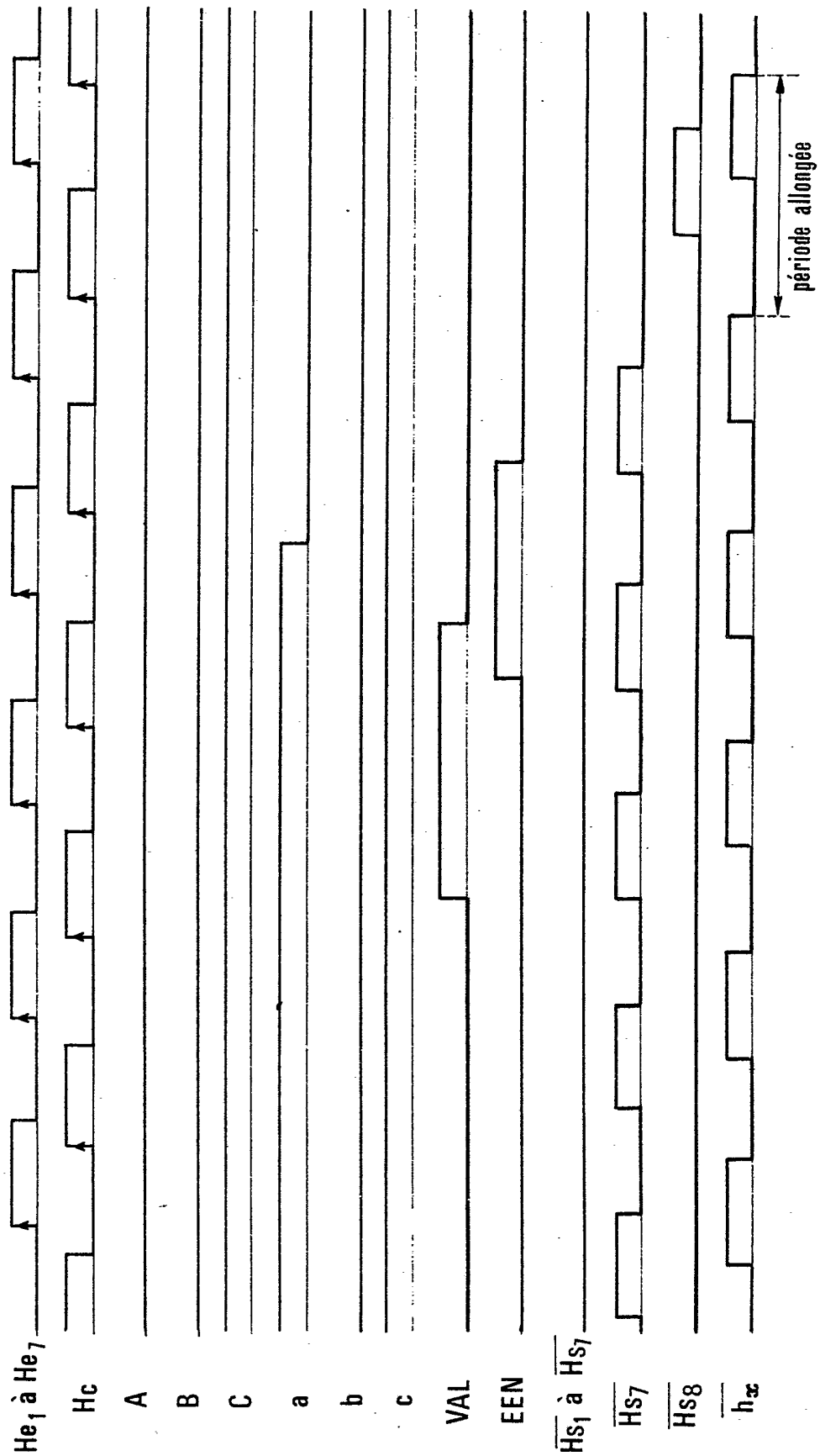


FIG. 12

Pl. 12/15

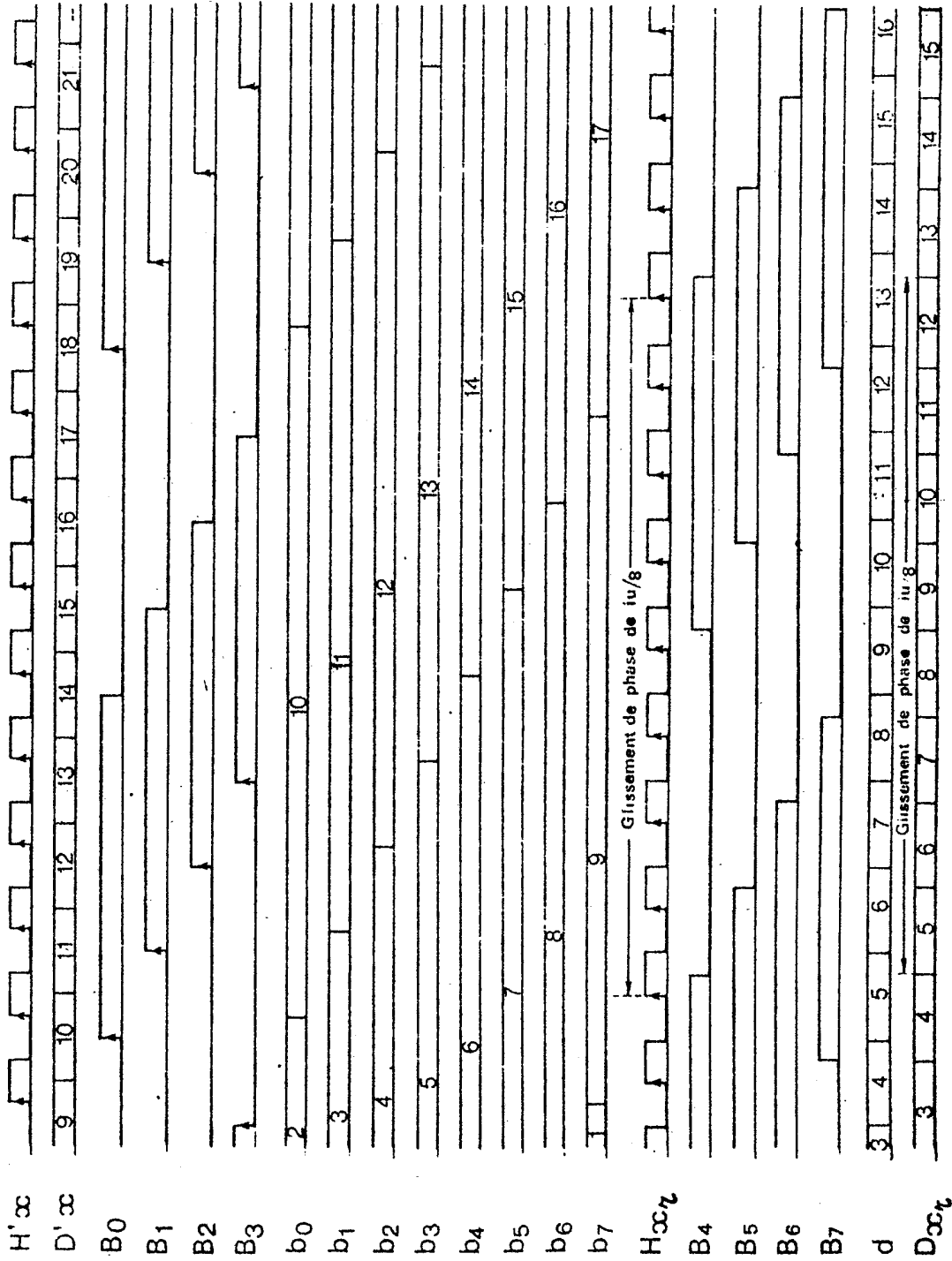
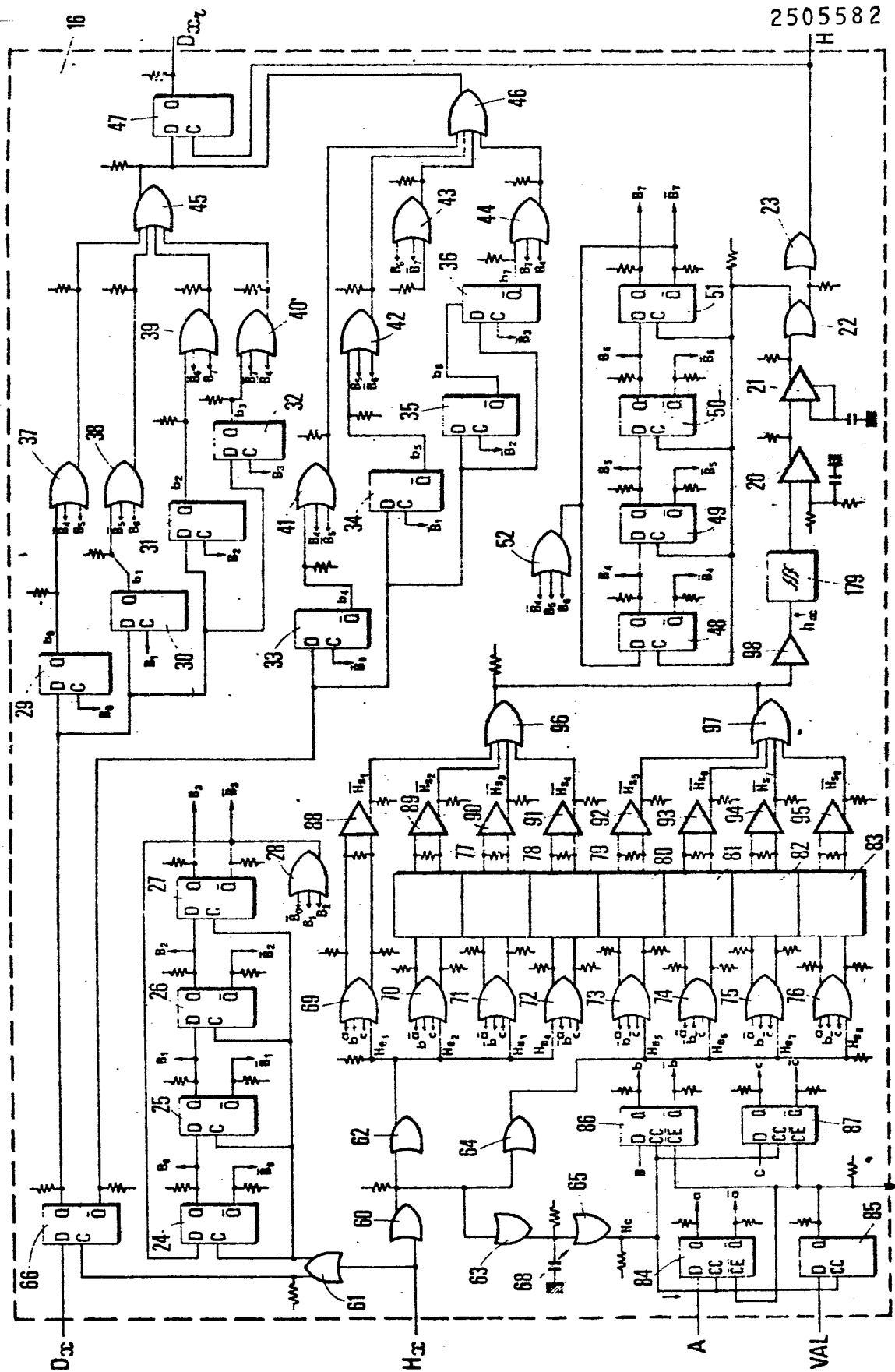


FIG. 13

Pl. 13/15

2505582



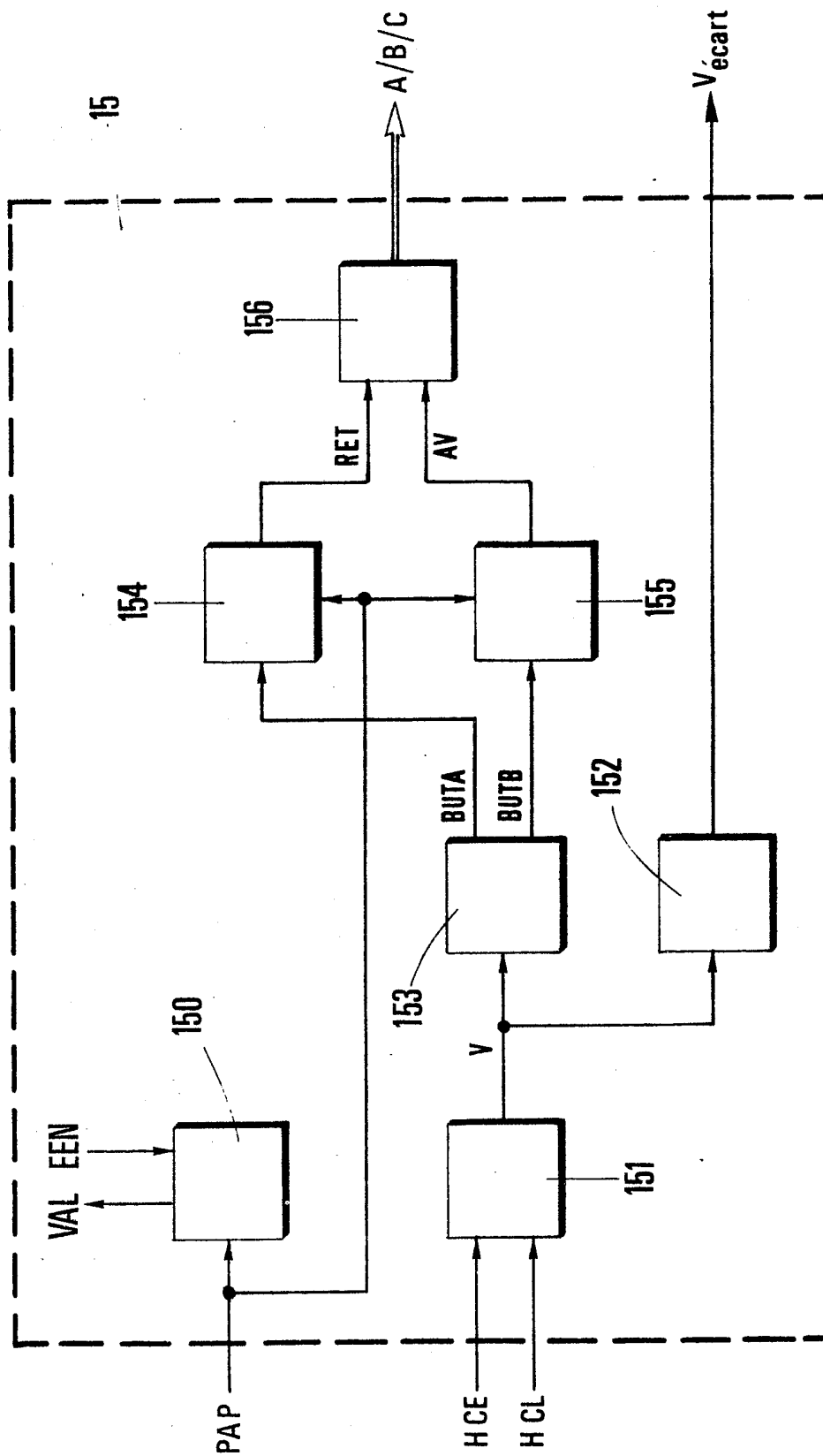


FIG.15

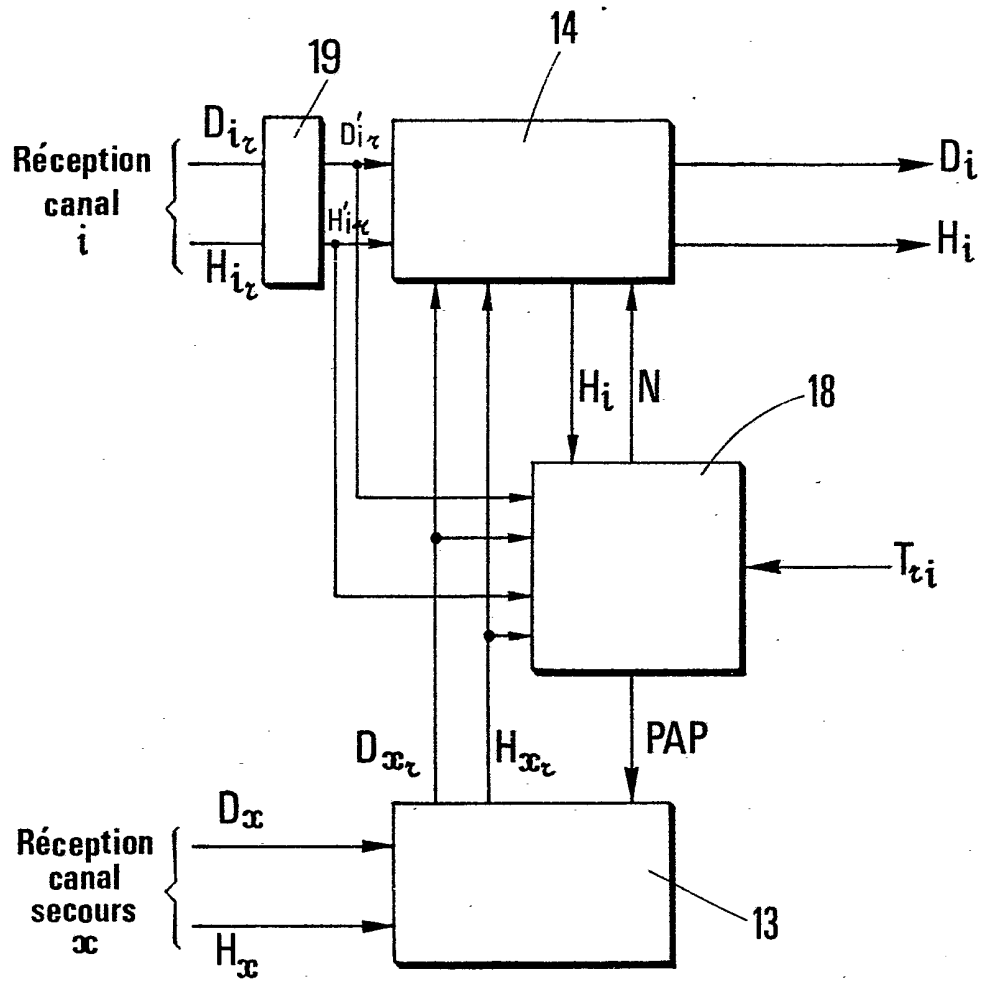


FIG. 16