(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3579277号
(P3579277)
(45)発行日　平成16年10月20日(2004.10.20)　(24)登録日　平成16年7月23日(2004.7.23)

(51)Int.Cl.[7]　F I
G06F 1/10　G06F 1/04 330A
G11C 11/407　G11C 11/34 354C
G11C 11/34 362S

請求項の数 8　(全 26 頁)

(21)出願番号　特願平10-374127
(22)出願日　平成10年12月28日(1998.12.28)
(65)公開番号　特開2000-194441(P2000-194441A)
(43)公開日　平成12年7月14日(2000.7.14)
審査請求日　平成13年10月1日(2001.10.1)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100076233
弁理士　伊藤　進
(72)発明者　鴨志田　昌弘
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　研究開発センター内
(72)発明者　戸田　春希
神奈川県川崎市幸区堀川町５８０－１　株式会社東芝　半導体システム技術センター内

最終頁に続く

(54)【発明の名称】クロック同期遅延制御回路

(57)【特許請求の範囲】
【請求項１】
複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、
前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、
前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、
前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記前進パルスのパルス幅を変更する第１のパルス幅変更手段とを具備し、
リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするクロック同期遅延制御回路。
【請求項２】
複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前

進パルス用遅延線と、
前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、
前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、
前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記第１の制御信号のパルス幅を変更する第２のパルス幅変更手段を具備し、
リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするクロック同期遅延制御回路。
【請求項３】
複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、
前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、
前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、
前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、
前記第３の制御信号のパルス幅を前記第１のクロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、
リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするクロック同期遅延制御回路。
【請求項４】
複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、
前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、
前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、
前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記前進パルスのパルス幅を変更する第１のパルス幅変更手段と、
　前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、
　前記第３の制御信号のパルス幅を前記第１のクロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、

リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするクロック同期遅延制御回路。

【請求項５】

複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、

前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、

前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、

前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記第１の制御信号のパルス幅を変更する第２のパルス幅変更手段を具備し、

前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、

前記第３の制御信号のパルス幅を前記第１のクロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、

リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするクロック同期遅延制御回路。

【請求項６】

前記第１又は第２のパルス幅変更手段は、前記前進パルスが前記前進パルス用遅延線に入力しているときに前記第１の制御信号によって前記前進パルス用遅延線の初期化が行われる場合には、前記前進パルス又は前記第１の制御信号のパルス幅を変更することを特徴とする請求項１、２、４及び５のいずれか１つに記載のクロック同期遅延制御回路。

【請求項７】

前記第３のパルス幅変更手段は、前記第２の制御信号によって前記状態保持部がリセット状態に設定される場合において、前記後退パルス用単位遅延素子の入力信号の論理値が変化したときに、前記第３の制御信号のパルス幅を変更して前記第２の制御信号を生成することを特徴とする請求項３乃至５のいずれか１つに記載のクロック同期遅延制御回路。

【請求項８】

前記前進パルスは、前記第１のクロックを第１の遅延時間だけ遅らせて生成され、

前記前進パルス用遅延線は、前記第１の制御信号で制御されて、前記前進パルスを前記第１のクロックの周期と前記第１の遅延時間との差だけ遅延させることを特徴とする請求項１乃至７のいずれか１つに記載のクロック同期遅延制御回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、シンクロナスＤＲＡＭ等のクロック同期型メモリ等のように高速クロックを用いて同期制御するものに好適なクロック同期遅延制御回路に関する。

【０００２】

【従来の技術】

近年、コンピュータシステムにおいては、処理の高速化の要求からシンクロナスＤＲＡＭ等のクロック同期型メモリを採用することがある。このようなクロック同期型のメモリは、メモリを制御するクロックに同期したクロックをメモリ内部でも使用する。メモリ内部で使用するクロック（以下、内部クロックという）とメモリを制御するクロック等の外部

クロックとの間に遅延が生じると、特に動作速度が高速である場合には遅延量がわずかであっても、回路の誤動作が発生しやすくなってしまう。そこで、内部クロックを外部クロックに同期させるためのクロック同期遅延制御回路が設けられる。

【０００３】

図２２は従来のクロック同期遅延制御回路を示すブロック図である。図２２の回路はクロック同期遅延制御回路として特願平８－１００９７６号明細書で提案されたＳＴＢＤ（Ｓｙｎｃｈｒｏｎｏｕｓ　Ｔｒａｃｅｄ　Ｂａｃｋｗａｒｄｓ　Ｄｅｌａｙ）を採用したものである。以後の説明では、ＳＴＢＤの動作を分かりやすくするため、Ｎ段目の前進パルス用単位遅延素子の出力はＮ段目の状態保持部の入力端に与え、Ｎ段目の状態保持部の出力を（Ｎ－１）段目の後退パルス用単位遅延素子の入力端に与えた状態を例に説明する。また、図２３はクロック同期遅延制御回路の動作原理を説明するための波形図である。

【０００４】

図２２と図２３をもとにクロック同期遅延制御回路の動作原理を説明する。図２３（ａ）に示す周期τの外部クロックＥｘｔＣＬＫがレシーバ１１に入力される。外部クロックＥｘｔＣＬＫはレシーバ１１により波形整形されると共に幅増され、クロックＣＬＫ　として出力される。外部クロックＥｘｔＣＬＫに対してクロックＣＬＫ　はレシーバ１１の遅延時間Ｔｒｃだけ遅延している（図２３（ｂ））。レシーバ１１の出力ＣＬＫ　は制御パルス生成回路１３、ディレイモニタ１２及び後退パルス用遅延線１８に供給される。

【０００５】

制御パルス生成回路１３は、クロックＣＬＫ　をパルス化して、クロックＣＬＫ　に同期して立ち上がり、周期τでパルス幅がＷｐ　の制御パルスＰを生成する（図２３（ｃ））。制御パルスＰのパルス幅Ｗｐ　は、ドライバ１９の遅延時間をＴｄｒとして、Ｗｐ　＜Ｔｒｃ＋Ｔｄｒに設定する。ディレイモニタ１２はレシーバ１１の遅延時間Ｔｒｃとドライバ１９の遅延時間Ｔｄｒとの和に等しい遅延時間（Ｔｒｃ＋Ｔｄｒ）で動作し、レシーバ１１の出力を遅延させて前進パルスＦＣＬ　として前進パルス用遅延線１５に出力する（図２３　（ｄ））。

【０００６】

前進パルス用遅延線１５は前進パルス用単位遅延素子１４を縦続接続して構成する。各前進パルス用単位遅延素子１４は、制御パルスＰがローレベル（以下、“Ｌ”という）のとき前段からの前進パルスＦＣＬ　を後段に伝播し、制御パルスＰがハイレベル（以下、“Ｈ”という）のとき“Ｌ”を出力して前進パルスＦＣＬ　の伝播を止め、遅延線を初期化する。前進パルスＦＣＬ　は伝播開始から制御パルスＰが“Ｈ”になるまでの期間｛τ－（Ｔｒｃ＋Ｔｄｒ）｝だけ前進パルス用遅延線１５を伝播する（図２３（ｄ））。

【０００７】

状態保持部１６は前進パルスの伝播状態を記憶し、その情報をもとに後退パルス用遅延線１８を伝播するパルス（後退パルスＲＣＬ　）の伝播時間が前進パルスの伝播時間と同一になるように後退パルス用遅延線１８を制御する。状態保持部１６はセット状態とリセット状態の２種類の状態をとり、その状態に応じた制御信号を後退パルス用単位遅延素子１７に出力する。図２２ではＳはセット状態を表し、Ｒはリセット状態を表す。

【０００８】

セット状態の状態保持部１６に制御される後退パルス用単位遅延素子１７は後段の後退パルス用単位遅延素子１７の出力と同様の論理値を前段に出力する。リセット状態の状態保持部１６に制御される後退パルス用単位遅延素子１７はレシーバ１１の出力信号を前段に出力する。初期状態の状態保持部１６は全段リセット状態をとり、制御パルスＰが“Ｌ”のとき接続されている前進パルス用単位遅延素子１４に前進パルスが伝播しないとそのままリセット状態を保ち、制御パルスＰが“Ｌ”のとき前進パルスが伝播した段に対応する段まではセット状態になる。また、制御パルスＰが“Ｈ”のとき接続されている後退パルス用単位遅延素子１７に後退パルスＲＣＬ　が伝播するとリセット状態になる。

【０００９】

即ち、前進パルスＦＣＬ　が伝播することにより、伝播した段までの状態保持部１６がセ

ット状態に変化し、後退パルス用単位遅延素子１７の対応する段までが後退パルスＲＣＬ　を伝播可能となる。制御パルスＰが“Ｈ”になったときはクロックＣＬＫ　が“Ｈ”になっているので（図２３（ｂ），（ｃ））、リセット状態の（Ｎ＋１）段以降の状態保持部１６に制御されたＮ段目以降の後退パルス用単位遅延素子１７に“Ｈ”が入力される。前進パルスが伝播した段数をＮ段とすると、１～Ｎ段目の状態保持部１６がセット状態なので、Ｎ段目の後退パルス用単位遅延素子１７から遅延線１８に入力した信号が、（Ｎ－１）～１段目の後退パルス用単位遅延素子１７を後退パルスＲＣＬ　として前段側に伝播する。

【００１０】

従って、後退パルスＲＣＬ　が伝播する単位遅延素子の段数は前進パルスＦＣＬ　が伝播した単位遅延素子の段数に等しくなる。前進パルス用単位遅延素子１４と後退パルス用単位遅延素子１７の遅延時間が等しくなるように設計すると、後退パルス用遅延線１８に入力されたクロックＣＬＫ　は前進パルスＦＣＬ　が遅延線を伝播したのと同じ期間｛τ－（Ｔｒｃ＋Ｔｄｒ）｝だけ、後退パルス用遅延線１８を伝播して出力される（図２３　（ｅ））。

【００１１】

後退パルス用遅延線１８の出力信号（後退パルスＲＣＬ　）はドライバ１９に供給されて、Ｔｄｒだけ遅延して内部クロックＩｎｔＣＬＫとして出力される（図２３（ｆ））。外部クロックＥｘｔＣＬＫが入力してから内部クロックＩｎｔＣＬＫが生成されるまでの遅延時間をΔｔｏｔａｌとすると、下記（１）式が成立する。

【００１２】

Δｔｏｔａｌ＝Ｔｒｃ＋（Ｔｒｃ＋Ｔｄｒ）＋２｛τ－　（Ｔｒｃ＋Ｔｄｒ）｝＋Ｔｄｒ＝２τ…（１）

（１）式から、外部クロックに対する内部クロックの遅延は２τになり、結果として外部クロックと内部クロックとが同期することが分かる。

【００１３】

また、外部クロックの周期はジッタなどの影響で変動することがある。このため図２４に示すようにジッタの影響で周期がτよりδだけ短くなることがある。この場合でも同期を確立するためには、前進パルスが停止した段から後退パルスが生成される必要があり、図２４に示すように次の前進パルスの伝播が始まる前に最低でも、破線で囲んだ段、即ち前進パルスの伝播が停止する段の状態保持部のδ／Δｄｕ段前をリセット状態にする処理が必要である（Δｄｕは単位遅延素子の遅延時間を表す）。

【００１４】

このような機能がない場合には、前進パルスが１回｛τ－（Ｔｒｃ＋Ｔｄｒ）｝だけ伝播した後、次に前進パルスが伝播する期間がδだけ短くなっても、セット状態になっている状態保持部１６の段数が変化しない。そうすると、次に前進パルスが（τ－δ）－（Ｔｒｃ＋Ｔｄｒ）だけ伝播しても後退パルスは｛τ－（Ｔｒｃ＋Ｔｄｒ）｝だけ伝播するので、外部クロックと内部クロックとの同期が取れなってしまう。

【００１５】

また、図２２に示すＳＴＢＤは制御パルスＰが“Ｈ”のとき後退パルスが伝播している単位遅延素子１７に接続される状態保持部１６をリセット状態にするが、この方法ではデューティ５０％以上の外部クロックが入力すると後退パルスの伝播が止り不要な遅延が生じるため同期を確立することができなくなる。そこで、本件出願人は先に出願した特願平１０－６９０５９号明細書においてこの問題を解決する提案を行っている。

【００１６】

この提案では、図２５に示すように、５０％以上の外部クロックが入力された場合に対応するための状態保持部制御回路１１０　を付加している。即ち、状態保持部制御回路１１０　は後退パルス用遅延線１８からの出力信号ＲＣＬ　と制御パルスＰの反転信号／Ｐをモニタして状態保持部１６をリセット状態にするタイミングを制御することで後退パルスの伝播に不要な遅延が生じないようにしている。

【００１７】
しかしながら、図２２及び図２５に示す回路では前進パルス、後退パルスが分裂し、外部クロックと内部クロックの同期確立ができなくなるという問題があった。
【００１８】
図２６は前進パルスが分裂する問題を説明するための波形図である。図２６は前進パルスが分裂するときの動作波形を示している。図２６（ａ）に示す外部クロックＥｘｔＣＬＫがレシーバ１１に入力され、図２６（ｂ）に示すクロックＣＬＫ　がレシーバ１１から出力される。クロックＣＬＫ　の立ち上がりに同期して図２６（ｃ）に示す制御パルスＰが制御パルス生成回路１３によって生成される。
【００１９】
クロックＣＬＫ　の周期τに対しディレイモニタの遅延時間（Ｔｒｃ＋Ｔｄｒ）が大きいとき、図２６（ｃ），（ｄ）に示すように、前進パルス用遅延線１５の入力信号ＦＣＬが“Ｈ”になっている期間に制御パルスＰが“Ｈ”になる場合がある。これはディレイモニタ１２の出力信号ＦＣＬ　の“Ｈ”のパルスが前進パルス用遅延線１５に入力している途中で前進パルス用遅延線１５の初期化が行われることを意味する。制御パルスＰが“Ｈ”の間、前進パルス用遅延線１５の初期化を行うため全ての前進パルス用単位遅延素子１４は“Ｌ”を出力する。このため１段目の前進パルス用単位遅延素子１４の出力信号ＦＣＬは、図２６（ｅ）に示すように、２つのパルスに分裂してしまう。分裂したパルスＦ１　，Ｆ２　はそのまま遅延線を伝播する。
【００２０】
本来のＦ１　のパルスの伝播が止まった段から後退パルスの伝播が始まってほしいが、Ｆ２　のパルスの伝播が止まった段から後退パルスの伝播が始まってしまう。このため、図２６（ｇ）に示すように、外部クロックＥｘｔＣＬＫ　に対する内部クロックＩｎｔＣＬＫ　の遅延は２τにならず、同期がとれない。
【００２１】
図２２の従来例では、図２７（ａ），（ｂ）に示すように、前進パルスＦＣＬ　の立ち下がりと制御パルスＰの立ち下がりが重なり、図２７（ｃ）のように不要なパルスＦ２　が生成されない範囲のτで外部クロックの周期τの最小値が決まっていた。即ち、前進パルスの分裂問題がＳＴＢＤの動作周波数帯域の上限を制限する要因になっていた。
【００２２】
次に、後退パルスが分裂することで生じる問題点について説明する。この問題は、上述した特願平１０－６９０５９号明細書において提案した状態保持部制御回路１１０　を用いたときに生じる。状態保持部制御回路１１０　は制御パルスＰが出力されているときに後退パルス用遅延線１８から後退パルスが出力されると、後退パルス用遅延線１８の出力が終わってから制御パルスＰに代わる制御パルスＢＰＭ　を状態保持部１６に入力する。
【００２３】
状態保持部１６はこの制御パルスＢＰＭ　によって状態が変化する。即ち、状態保持部１６をリセットするタイミングが後退パルス用遅延線１８の出力によって変わることから後退パルスの分裂問題が生じている。
【００２４】
状態保持部１６から出力され後退パルス用単位遅延素子１７に入力される制御信号をＱとする。状態保持部１６がセット状態のときＱ＝“Ｈ”になり、リセット状態の時Ｑ＝“Ｌ”になる。また、説明を簡単にするためｎ段目の後退パルス遅延線の出力を（ｎ＋１）段目の状態保持部に供給した状態を例に説明する。状態保持部１６はＢＰＭ　のパルスが出力されているときに、状態保持部１６に接続された後退パルス用単位遅延素子１７に後退パルスが伝播しているとリセット状態になる。
【００２５】
次に、図２８を参照して不要なパルスのたち下がりが形成される過程について説明する。
【００２６】
図２８の時刻ｔ０　からｔ２　までの期間は、状態保持部１６をリセットする制御パルス

ＢＰＭ　が出力されているときに（ＢＰＭ　＝“Ｌ”）、後退パルスが（ｎ－２）段目、（ｎ－１）段目とｎ段目の後退パルス用単位遅延素子１７を通過しているので（図２８（ｉ）乃至（ｊ）のＲＣＬｎ－２　、ＲＣＬｎ－１、ＲＣＬｎ　＝“Ｈ”）、（ｎ－２）段目、（ｎ－１）段目とｎ段目の後退パルス用単位遅延素子１７に接続されている（ｎ－１）段目、ｎ段目と（ｎ＋１）段目の状態保持部１６がリセット状態（図２８（ｆ）乃至（ｈ）のＱｎ＋１　，Ｑｎ　，Ｑｎ－１　＝“Ｌ”）になる。

【００２７】

このため、ｔ０　からｔ１　までの間は、（ｎ＋１）段目、ｎ段目、（ｎ－１）段目の状態保持部１６が制御するｎ段目、（ｎ－１）段目、（ｎ－２）段目の後退パルス用単位遅延素子１７にはレシーバ１１の出力信号クロックＣＬＫ　が入力され、その論理値がそのまま出力信号ＲＣＬｎ－２、ＲＣＬｎ－１、ＲＣＬｎ　として出力される。

【００２８】

時刻ｔ２　で制御パルスＢＰＭ　が“Ｈ”になったときに（ｎ－１）段目、ｎ段目の前進パルス用単位遅延素子１４には前進パルスＦＣＬ　がすでに伝播している（図２８（ｃ），（ｄ）のＦＣＬｎ－１、ＦＣＬｎ　＝“Ｈ”）。前進パルス用単位遅延素子１４の出力ＦＣＬｎ－１、ＦＣＬｎ　が制御パルスＢＰＭ　より先に“Ｈ”になっているので、時刻ｔ２で制御パルスＢＰＭ　が立ち上がったときに、（ｎ－１）段目、ｎ段目の状態保持部１６がセット状態（図２８（ｆ），（ｇ）のＱｎ－１　、Ｑｎ　＝“Ｈ”）になる。

【００２９】

（ｎ＋１）段目の前進パルス用単位遅延素子１４には制御パルスＢＰＭ　　が“Ｈ”になってから前進パルスが伝播する（図２８（ｅ）のＦＣＬｎ＋１＝“Ｈ”）。このため、時刻ｔ３で（ｎ＋１）段目の前進パルス用単位遅延素子１４の出力ＦＣＬｎ＋１が“Ｈ”になってから（ｎ＋１）段目の状態保持部がセット状態（図２８（ｆ）のＱｎ＋１　＝“Ｈ”）になる。

【００３０】

ｎ段目の後退パルス用単位遅延素子１７を制御する（ｎ＋１）段目の状態保持部１６の出力Ｑｎ＋１　はＱｎ　より遅く立ち上がり、（ｎ＋１）段目の状態保持部１６の方がｎ段目の状態保持部１６より遅くセット状態になる。時刻ｔ１　でクロックＣＬＫ　が“Ｌ”になってから時刻ｔ３　までの期間、即ち、（ｎ＋１）段目の状態保持部１６がリセット状態（クロックＣＬＫ　が後退パルス用単位遅延素子１７に入力される）である期間Δ（ｔ３　－ｔ１　）が長いので、時刻ｔ１　でクロックＣＬＫ　が立ち下がったときに、図２８（ｈ）に示すように、ｎ段目の後退パルス用単位遅延素子１７の出力ＲＣＬｎ　は立ち下がる。

【００３１】

しかし、ｎ段目の状態保持部１６がリセット状態からセット状態に変わる時間ｔ２　と後退パルス用単位遅延素子への入力信号クロックＣＬＫ　が立ち下がる時間ｔ１　の間隔Δ（ｔ２　－ｔ１　）は短い。この間隔が後退パルス用単位遅延素子１７の遅延時間より短いと、クロックＣＬＫ　が“Ｌ”になった後リセット状態の期間がすぐに終わり、クロックＣＬＫ　の“Ｈ”から“Ｌ”への変化が後退パルス用単位遅延素子１７に入力しなくなるので、（ｎ－１）段目の後退パルス用単位遅延素子の出力信号を“Ｌ”にすることができない。

【００３２】

このため、図２８（ｊ）の円で囲った部分に示すように、後退パルス用単位遅延素子１７の出力ＲＣＬｎ－１を“Ｌ”にすることができず、“Ｈ”に戻ってしまう。

【００３３】

（ｎ－１）段目の後退パルス用単位遅延素子１７で、分裂により不要なパルスが生じた後もｎ段目の前進パルス用単位遅延素子１４の出力ＦＣＬｎ　は“Ｈ”になっている。即ち、前進パルスがｎ段目より前を伝播しているため、制御パルスＢＰＭ　が“Ｈ”になる時刻ｔ３　以降、前進パルスが伝播しているｎ段より前の段の状態保持部１６もセット状態になっている。状態保持部１６がセット状態になっているので、分裂したパルスが前段へ

伝播する。このため、図２８（ｊ）で丸で囲んだ“Ｈ”の部分がパルスとして前段に伝播していく（図２８（ｉ），（ｊ）のＲＣＬｎ－１　、ＲＣＬｎ－２）。

【００３４】

更に、図２９を用いて後退パルスの分裂について説明する。前進パルスについては図２８と同様の状態であるとする。また、後退パルスは（ｍ－１）段まで伝播しており、時刻ｔ０　～ｔ２　までの期間で（ｍ－１）段目からｎ段目までの後退パルス用単位遅延素子を制御する状態保持部がリセットされたとする。

【００３５】

時刻ｔ２　で制御パルスＢＰＭ　が“Ｈ”になった後は、ｎ段目より前の状態保持部はセット状態になっている。このため、図２９（ｃ）の丸で囲んだ後退パルスのたち下がりは、図２９（ｄ）～（ｅ）に示すように、前の段に伝播してゆく。また、レシーバの出力クロックＣＬＫ　は全ての後退パルス用単位遅延素子１７に入力されているが、配線による遅延やレシーバ１１と後退パルス用単位遅延素子１７の間に付加する回路の遅延等のために入力する時間にずれが生じる（但し、このずれは同期確立に影響の無い範囲に調整される）。

【００３６】

ｍ段目の後退パルス用単位遅延素子１７に入力されるクロックＣＬＫ　が（ｍ＋１）段目に入力されるクロックＣＬＫ　よりも早く入力される場合には、後退パルスＲＣＬｍはＲＣＬｍ＋１より早くたち下がるので時刻ｔ２　付近で後退パルスが分裂する。ここで、分裂した後退パルスを図２９に示すようにＲ１　とＲ２　とする。時刻ｔ２　以降で後退パルスの伝播が可能になるので、パルスＲ１　のたち下がりは（ｍ＋１）段目の後退パルス用単位遅延素子１７に示すようにｔ２　に固定され、Ｒ２　はそのまま前段に伝播していく。

【００３７】

このため後退パルス用遅延線の出力はＲ１　とＲ２　に分裂し、分裂したまま内部クロックＩｎｔＣＬＫとして出力される。内部クロックが駆動する回路は内部クロックの立ち上がり、立ち下がり又はその両方に同期して動作するので、図２９に示すように、内部クロックに不要なパルスが生じることは内部クロックで駆動される回路の誤動作の原因になる。外部クロックＥｘｔＣＬＫ　はｔ８で立ち上がり、これに同期して内部クロックＩｎｔクロックＣＬＫ　が動作する。外部クロックＥｘｔＣＬＫは時刻ｔ８　の次は１周期後のｔ８　＋τで立ち上がるが、内部クロックＩｎｔＣＬＫ　が駆動する回路は内部クロックＩｎｔＣＬＫが立ち上がった時刻ｔ９　の時点で動作してしまう。このため、内部クロックＩｎｔＣＬＫで駆動される回路の動作は外部クロックＥｘｔＣＬＫに同期しなくなってしまい、同期誤差を生じる。

【００３８】

【発明が解決しようとする課題】

このように、上述した従来のクロック同期遅延制御回路においては、前進パルス及び後退パルスが分裂してしまうことがあり、同期がとれなくなってしまうという問題点があった。

【００３９】

本発明は、前進パルス及び後退パルスが分裂することを防止して、確実に同期を確立することができるクロック同期遅延制御回路を提供することを目的とする。

【００４０】

【課題を解決するための手段】

本発明の請求項１に係るクロック同期遅延制御回路は、複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力す

る後退パルス用遅延線と、前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記前進パルスのパルス幅を変更する第１のパルス幅変更手段とを具備し、リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするものであり、

本発明の請求項２に係るクロック同期遅延制御回路は、複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記第１の制御信号のパルス幅を変更する第２のパルス幅変更手段を具備し、リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするものであり、

本発明の請求項３に係るクロック同期遅延制御回路は、複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、前記第３の制御信号のパルス幅を前記第１のクロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするものであり、

本発明の請求項４に係るクロック同期遅延制御回路は、複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記前進パルスのパルス幅を変更する第１のパルス幅変更手段と、前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、前記第３の制御信号のパルス幅を前記第１のク

ロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするものであり、

本発明の請求項５に係るクロック同期遅延制御回路は、複数の前進パルス用遅延素子を縦続接続して構成し、第１のクロックに同期した第１の制御信号に制御されて、前記第１のクロックに基づいて生成された前進パルスを伝播する前進パルス用遅延線と、前記前進パルス用遅延線の前記複数の前進パルス用遅延素子に対応して設けられた複数の後退パルス用遅延素子を縦続接続して構成し、前記前進パルスが前記前進パルス用遅延線を伝播した段数に対応する段数分だけ、後退パルスを前記後退パルス用遅延素子に伝播させて出力する後退パルス用遅延線と、前記前進パルス用遅延素子と前記後退パルス用遅延素子とに接続され、前記第１の制御信号から生成される第２の制御信号によって制御されて、前記前進パルスが伝播された段をセット状態にすると共に、前記後退パルスが伝播された段をリセット状態にする状態保持部と、前記第１のクロックと前記前進パルス用単位遅延素子の初段の入力状態に基づいて、前記第１の制御信号のパルス幅を変更する第２のパルス幅変更手段を具備し、前記第１の制御信号と前記後退パルス用遅延素子の出力の状態に基づいて第３の制御信号を生成する状態保持部制御回路と、前記第３の制御信号のパルス幅を前記第１のクロックに基づいて変更して前記第２の制御信号として出力する第３のパルス幅変更手段とを具備し、リセット状態になっている状態保持部に接続された後退パルス用遅延素子のうち最も出力側に近いものが、前記第１のクロックに基づいて前記後退パルスを生成することを特徴とするものである。

【００４１】

本発明の請求項１においては、第１のクロックは第１の遅延時間だけ遅延して第２のクロックとなり、第２のクロックに基づく前進パルスが前進パルス用遅延線を伝播する。第１のクロックに同期した第１の制御パルスによって、前進パルスの伝播が停止し、第１の制御パルス又は第１の制御パルスを元にして生成される第２の制御パルスによってセット状態が指定された後退パルス用単位遅延素子を後退パルスが伝播して初段から出力される。第１のクロックと初段の前進パルス用単位遅延素子の入力状態とに応じて、又は第１のクロックと後退パルス用遅延線の入力の状態に応じて第１又は第２の制御パルスのパルス幅を変更することにより、いずれの状態においても、前進パルス及び／又は後退パルスは分裂することなく伝播する。

【００４２】

本発明の請求項２においては、第１のクロックと初段の前進パルス用単位遅延素子の入力状態とに応じて前進パルスのパルス幅を変更する。分裂する前進パルスは削除され、状態保持部に悪影響を及ぼすことはない。

【００４３】

本発明の請求項３においては、第１のクロックと初段の前進パルス用単位遅延素子の入力状態とに応じて第１の制御パルスのパルス幅を変更する。これにより、前進パルスが分裂することはなく、状態保持部に悪影響を及ぼすことはない。

【００４４】

本発明の請求項４においては、第１のクロックと後退パルス用遅延線の入力の状態とに応じて第２の制御パルスのパルス幅を変更する。これにより、後退パルスが分裂することはなく、正常な後退パルスが出力される。

【００４５】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図１は本発明に係るクロック同期遅延制御回路の一実施の形態を示すブロック図である。本実施の形態は前進パルスの分裂によるＳＴＢＤの動作周波数帯域の低下を防ぐ機能を備えたものの例である。

【００４６】

本実施の形態はディレイモニタ１２と前進パルス用遅延線１５との間に前進パルス分裂対策回路１を付加した点が図２２に示した従来例回路の構成と異なる。即ち、入力された外部クロックＥｘｔＣＬＫはレシーバ１１に供給される。なお、外部クロックの周期はτであるものとする。レシーバ１１は、外部クロックＥｘｔＣＬＫを波形整形して増幅したクロックＣＬＫ　を出力する。なお、レシーバ２における遅延量はＴｒｃであるものとする。レシーバ１１からのクロックＣＬＫ　はディレイモニタ１２、制御パルス生成回路１３及び後退パルス用遅延線１８の各後退パルス用単位遅延素子１７に供給されるようになっている。

【００４７】

動作の説明を簡単にするために、ディレイモニタ１２は、ドライバ１９の遅延時間をＴｄｒとして、遅延時間（Ｔｒｃ＋Ｔｄｒ）で動作するように設定し、前進パルス分裂対策回路１の遅延は無視できるものとする。なお、実際には、前進パルス分裂対策回路１の遅延もディレイモニタ１２の遅延に含めて（Ｔｒｃ＋Ｔｄｒ）となるようにする。ディレイモニタ１２は、クロックＣＬＫ　を時間（Ｔｒｃ＋Ｔｄｒ）だけ遅延させて前進パルスＦＣＬ　を発生するようになっている。本実施の形態においては、ディレイモニタ１２の出力は後述する前進パルス分裂対策回路１を介して前進パルスＦＣＬ′　として前進パルス用遅延線１５の初段の前進パルス用単位遅延素子１４に供給されるようになっている。

【００４８】

制御パルス生成回路１３は、クロックＣＬＫ　の立ち上がりで立ち上がり、パルス幅がＷｐ　の制御パルスＰ及びその反転信号／Ｐ　を生成して、前進パルス用単位遅延素子１４に供給する。また、制御パルス生成回路１３は、反転信号／Ｐ　を状態保持部１６及び前進パルス分裂対策回路１にも供給するようになっている。なお、Ｗｐ　は（Ｔｒｃ＋Ｔｄｒ）＞Ｗｐ　を満足する値に設定する。

【００４９】

前進パルス用遅延線１５は前進パルス用単位遅延素子１４を縦続接続して構成する。各前進パルス用単位遅延素子１４は、制御パルスＰが“Ｌ”のとき前段からの前進パルスＦＣＬ′　を後段に伝播し、制御パルスＰが“Ｈ”のとき“Ｌ”を出力して前進パルスＦＣＬ′　の伝播を止め、遅延線１５を初期化する。前進パルスＦＣＬ′　は伝播開始から制御パルスＰが“Ｈ”になるまでの期間｛τ－（Ｔｒｃ＋Ｔｄｒ）｝だけ前進パルス用遅延線１５を伝播することになる。

【００５０】

状態保持部１６は、各段の前進パルス用単位遅延素子１４に夫々接続される複数の状態保持素子２０を有しており、各状態保持素子２０は対応する段の前進パルス用単位遅延素子１４に前進パルスＦＣＬ′　が伝播したか否かによってセット状態かリセット状態を設定するようになっている。即ち、状態保持部１６は前進パルスＦＣＬ′　の伝播状態を記憶し、その情報をもとに後退パルス用遅延線１８を伝播する後退パルスＲＣＬ　の伝播時間が前進パルスＦＣＬ′　の伝播時間と同一になるように後退パルス用遅延線１８を制御するようになっている。各状態保持素子２０はセット状態とリセット状態の２種類の状態をとり、その状態に応じた制御信号Ｑを対応する段の後退パルス用単位遅延素子１７に出力する。

【００５１】

後退パルス用単位遅延線１８は縦続接続された複数の後退パルス用単位遅延素子１７によって構成される。各後退パルス用単位遅延素子１７は対応する段の状態保持素子２０によって制御される。即ち、セット状態の状態保持素子２０に制御される後退パルス用単位遅延素子１７は後段の後退パルス用単位遅延素子１７の出力と同様の論理値を前段に出力する。リセット状態の状態保持素子２０に制御される後退パルス用単位遅延素子１７はレシーバ１１の出力信号を前段に出力する。

【００５２】

なお、状態保持素子２０は、初期状態では全てリセット状態をとり、制御パルスＰが“Ｌ”のとき対応する段の前進パルス用単位遅延素子１４に前進パルスＦＣＬ′　が伝播しな

いとそのままリセット状態を保ち、制御パルスＰが“Ｌ”のとき前進パルスが伝播した段に対応する段まではセット状態になる。また、状態保持素子２０は、制御パルスＰが“Ｈ”のとき接続されている後退パルス用単位遅延素子１７に後退パルスＲＣＬ　が伝播するとリセット状態になる。

【００５３】

前進パルス分裂対策回路１は、前進パルスＦＣＬ　のパルス幅を変えることで前進パルスの分裂を防ぐものである。図２は図１中の前進パルス分裂対策回路１の具体的な構成を示すブロック図であり、図３はその動作を説明するための動作波形図である。

【００５４】

前進パルス分裂対策回路１は、図２に示すように、検出回路２１及びパルス幅調整回路２２によって構成されている。検出回路２１にはディレイモニタ１２の出力信号ＦＣＬ　と制御パルスＰの反転信号／Ｐ　が入力される。上述したように、図２２及び図２５に示す従来例においては、図３（ａ），（ｂ）に示すように、前進パルスＦＣＬ　が“Ｈ”のときに制御パルス／Ｐ　が“Ｌ”になると、即ち前進パルスＦＣＬ　が遅延線１５に入力しているときに制御パルス生成回路１３の出力パルス／Ｐ　が入力すると、制御パルス／Ｐ　が“Ｌ”の期間に前進パルス用単位遅延素子１４は入力信号の論理値によらず“Ｌ”を出力するので前進パルスが分裂する。

【００５５】

そこで、本実施の形態においては、前進パルスＦＣＬ　の“Ｈ”期間に制御パルス／Ｐが“Ｌ”にならないように、前進パルスＦＣＬ　のパルス幅を変化させるようになっている。即ち、検出回路２１は、遅延線１５に前進パルスＦＣＬ　が入力しているときに、制御パルス／Ｐ　が遅延線１５に入力する状態になるとパルスＦＣＬＣＴＬとして、例えば“Ｌ”のパルスを出力する。図３（ｃ）に示すように制御パルス／Ｐ　が“Ｌ”になってから前進パルスＦＣＬ　が“Ｌ”になるまでの間パルスＦＣＬＣＴＬは“Ｌ”になる。このパルスＦＣＬＣＴＬ及び前進パルスＦＣＬ　をパルス幅調整回路２２に供給する。

【００５６】

パルス幅調整回路２２はパルスＦＣＬＣＴＬが“Ｌ”の間、前進パルスＦＣＬ　を“Ｌ”に固定する。この結果、前進パルス分裂対策回路１の出力信号、即ち、前進パルス用遅延線１５の入力前進パルスＦＣＬ′　は、制御パルス／Ｐ　が前進パルス用遅延線１５に入力したあと“Ｌ”に固定される。こうして、前進パルスＦＣＬ　はパルス幅が変更されて、同期確立に必要な前進パルスＦ１　（図２６（ｅ）参照）だけを遅延線１５に供給し、同期確立の障害となる前進パルスＦ２　（図２６（ｅ））の発生を防ぐ。

【００５７】

次に、このように構成された実施の形態の動作について図４の波形図を参照して説明する。図４（ａ）は外部クロックＥｘｔＣＬＫを示し、図４（ｂ）はレシーバ１１の出力クロックＣＬＫ　を示し、図４（ｃ）は制御パルスＰを示し、図４（ｄ）は前進パルスＦＣＬ　を示し、図４（ｅ）は前進パルスＦＣＬ′１を示し、図４（ｆ）は後退パルスＲＣＬ１を示し、図４（ｇ）は内部クロックＩｎｔＣＬＫを示している。

【００５８】

図４（ａ）に示す外部クロックＥｘｔＣＬＫはレシーバ１１によってＴｒｃだけ遅延して、クロックＣＬＫ　としてディレイモニタ１２、制御パルス生成回路１３及び後退パルス用遅延線１８に入力される。図４（ｂ），（ｃ）に示すように、クロックＣＬＫ　の立上りで“Ｈ”となるパルス幅Ｗｐ　の制御パルスＰが制御パルス生成回路１３によって生成される。ディレイモニタ１２はクロックＣＬＫ　を（Ｔｒｃ＋Ｔｄｒ）だけ遅延させて、前進パルスＦＣＬ　（図４（ｄ））を発生する。

【００５９】

制御パルス生成回路１３からの制御パルスＰ及びその反転信号／Ｐ　は前進パルス用遅延線１５に入力される。図４（ｃ），（ｄ）に示すように、前進パルスＦＣＬ　が“Ｈ”のときに制御パルスＰが前進パルス用遅延線１５に入力される。即ち、この場合には、図２６で示したように前進パルスの分裂が起こる状態であるが、本実施の形態においては、前

進パルス分裂の原因となるパルス部分を前進パルスＦＣＬ　から削除する。

【００６０】

前進パルスＦＣＬ　は前進パルス分裂対策回路１に供給され、前進パルス分裂対策回路１は、図４（ｅ）に示すように、前進パルスＦＣＬ　の“Ｈ”期間において制御パルスＰが“Ｈ”になると、制御パルスＰの立ち上がり以降を“Ｌ”にした前進パルスＦＣＬ′　を出力する。この前進パルスＦＣＬ′　は、前進パルス用遅延線１５を伝播し、制御パルスＰが“Ｈ”となるまでの期間、即ち、｛τ－（Ｔｒｃ＋Ｔｄｒ）｝後に伝播を停止する。

【００６１】

この期間｛τ－（Ｔｒｃ＋Ｔｄｒ）｝に対応する段数だけ状態保持素子２０がセット状態になり、後退パルス用遅延線１８に発生した後退パルスが期間｛τ－（Ｔｒｃ＋Ｔｄｒ）｝に対応する段数だけ前段側に伝播して、図４（ｆ）に示す後退パルスＲＣＬ　が初段の後退パルス用単位遅延素子１７から出力される。

【００６２】

こうして、ドライバ１９からは、図４（ｇ）に示すように、上記（１）式を満足する内部クロックＩｎｔＣＬＫ、即ち、外部クロックＥｘｔＣＬＫに２τ遅延して同期した内部クロックＩｎｔＣＬＫが得られる。

【００６３】

このように、本実施の形態においては、前進パルス分裂対策回路１によって、１段目の前進パルス用単位遅延素子の出力パルスが分裂しても同期誤差の要因になるパルスを削除している。このため、外部クロックＥｘｔＣＬＫと内部クロックＩｎｔＣＬＫの同期が確立する。これにより、従来例では外部クロックと内部クロックの同期確立ができなかった高い周波数帯域においても同期を確立することできるようになる。従って、結果として、ＳＴＢＤをより高周波で動作させることができる。

【００６４】

なお、同様の動作が可能であれば、検出回路２１の入力信号として前進パルスＦＣＬ　や制御パルス／Ｐ　の代わりに、前進パルスＦＣＬ　の反転信号／ＦＣＬ　や制御パルスＰを用いてもよいことは明らかである。

【００６５】

また、前進パルス分裂対策回路１としては種々の回路構成が考えられる。図５は図２中の検出回路２１及びパルス幅調整回路２２の具体的な構成の一例を示す回路図である。

【００６６】

図５において、検出回路２１は、ナンド回路３１，３２によって構成され、パルス幅調整回路２２はナンド回路３３及びインバータ３４によって構成されている。ナンド回路３１，３２によってフリップフロップが構成され、ナンド回路３１，３２の出力パルスＦＣＬＣＴＬは、前進パルスＦＣＬ　の“Ｈ”期間に制御パルス／Ｐ　が“Ｌ”になると、“Ｌ”に変化して、前進パルスＦＣＬ　が“Ｌ”になるまで“Ｌ”を維持し、前進パルスＦＣＬ　が“Ｌ”になると、リセットされて“Ｈ”となる。

【００６７】

前進パルスＦＣＬ　及びパルスＦＣＬＣＴＬはナンド回路３３に供給される。ナンド回路３３は２入力が“Ｈ”の場合にのみ“Ｌ”となり、ナンド回路３３の出力はインバータ回路３４によって反転されて前進パルスＦＣＬ′　として出力される。こうして、図３（ｄ）に示す前進パルスＦＣＬ′　を得ることができる。

【００６８】

また、パルス幅調整回路２２としては、図６に示すマルチプレクサ３５を用いてもよい。マルチプレクサ３５はパルスＦＣＬＣＴＬが“Ｌ”のときに“Ｌ”を出力し、パルスＦＣＬＣＴＬが“Ｈ”のときに前進パルスＦＣＬ　の論理値と同様の論理値を出力する。

【００６９】

図７は本発明の他の実施の形態を示すブロック図である。図７において図１と同一の構成要素には同一符号を付して説明を省略する。本実施の形態も前進パルスの分裂を防止して、ＳＴＢＤの動作周波数帯域の低下を防ぐためのものである。

【００７０】
本実施の形態は前進パルス分裂対策回路１を削除し、前進パルス分裂対策回路５を設けた点が図１の実施の形態と異なる。図１の前進パルス分裂対策回路１が前進パルスのパルス幅を変更することで前進パルスの分裂を防止したのに対し、前進パルス分裂対策回路５は前進パルス用遅延線１５を制御する制御パルスＰ及びその反転信号／Ｐ　のパルス幅を制御してパルスの分裂を防止するようになっている。
【００７１】
ディレイモニタ１２からの前進パルスＦＣＬ　は、直接前進パルス用遅延線１５に供給されると共に、前進パルス分裂対策回路５にも供給される。前進パルス分裂対策回路５には制御パルスＰの反転信号／Ｐ　も入力される。図８は図７中の前進パルス分裂対策回路５の動作を説明するための動作波形図である。
【００７２】
図８（ａ），（ｂ）に示すように、前進パルス用遅延線１５に前進パルスが入力しているとき（前進パルスＦＣＬ　＝“Ｈ”のとき）に、制御パルス／Ｐ　，Ｐが遅延線１５に入力する状態になる（制御パルス／Ｐ　＝“Ｌ”のとき）と、前進パルス分裂対策回路５は制御パルス／Ｐ　に代えて制御パルス／Ｐ′　を出力し、制御パルスＰに代えて制御パルスＰ′を出力する。
【００７３】
前進パルス分裂対策回路５からの制御パルス／Ｐ′　は、図８（ｃ）に示すように、制御パルスＰが前進パルス用遅延線１５に入力後に（制御パルス／Ｐ　が“Ｌ”になって）、前進パルスＦＣＬ　が“Ｌ”になるまでの間“Ｌ”になる。この結果、前進パルスＦＣＬ　が“Ｈ”のときに制御パルス／Ｐ　が前進パルス用遅延線１５に入力された場合には、前進パルス分裂対策回路５の出力信号、即ち、前進パルス用遅延線１５の制御パルス／Ｐ′　は“Ｌ”に固定される。
【００７４】
この間、前進パルス用遅延線１５は初期化されている状態になり、前進パルスＦＣＬ　の入力を受け付けなくなる。このため、同期確立の障害になる前進パルスＦ２　（図２６（ｆ））の発生を防ぐことができる。
【００７５】
次に、このように構成された実施の形態の動作について図９の波形図を参照して説明する。図９（ａ）は外部クロックＥｘｔＣＬＫを示し、図９（ｂ）はレシーバ１１の出力クロックＣＬＫ　を示し、図９（ｃ）は制御パルスＰを示し、図９（ｄ）は制御パルスＰ′を示し、図９（ｅ）は前進パルスＦＣＬ　を示し、図９（ｆ）は１段目の前進パルス用単位遅延素子の出力ＦＣＬ１を示し、図９（ｇ）は後退パルスＲＣＬ　を示し、図９（ｈ）は内部クロックＩｎｔＣＬＫを示している。
【００７６】
図９（ｃ），（ｅ）に示すように、前進パルスＦＣＬ　が“Ｈ”のときに制御パルスＰが前進パルス用遅延線１５に入力される。これは図２６で示したように、前進パルスの分裂が起こる状態であるが、図８（ｄ）に示すように、前進パルス分裂対策回路５によって、制御パルスＰ′のパルス幅が延びるので、制御パルスＰが発生してから前進パルスＦＣＬ　が立ち下がるまで、前進パルス用遅延線１５を初期化することができる。従って、同期誤差の要因になるパルスが生じないので、外部クロックＥｘｔＣＬＫと内部クロックＩｎｔＣＬＫとの同期を確立することができる。
【００７７】
このように、本実施の形態においては、前進パルス分裂対策回路５を用いることで、従来例では外部クロックと内部クロックの同期確立ができなかった高い周波数帯域でも同期を確立することが可能となる。また、同様の動作ができれば、前進パルス分裂対策回路５の入力信号として前進パルスＦＣＬ　や制御パルス／Ｐ　に代えて前進パルスの反転信号／ＦＣＬ及び制御パルスＰを用いてもよい。
【００７８】

図７中の前進パルス分裂対策回路５としては種々の構成が考えられる。図１０は前進パルス分裂対策回路５の具体的な構成の例を示す回路図である。

【００７９】

図１０は前進パルス分裂対策回路５をナンド回路２４１　，２４２　及びインバータ２４３　によって構成した例である。ナンド回路２４１　，２４２　によってフリップフロップが構成され、ナンド回路２４１　，２４２　の出力パルスは、前進パルスＦＣＬ　の“Ｈ”期間に制御パルス／Ｐ　が“Ｌ”になると、“Ｌ”に変化して、前進パルスＦＣＬ　が“Ｌ”になるまで“Ｌ”を維持し、前進パルスＦＣＬ　が“Ｌ”になると、リセットされて“Ｈ”となる。ナンド回路２４１　，２４２　の出力は制御パルス／Ｐ′　として出力し、その反転信号Ｐをインバータ２４３　から出力する。こうして、図１０の回路によって前進パルス分裂対策回路５を構成することができる。

【００８０】

また、制御パルスＰ′と制御パルス／Ｐ′　との遅延時間を一致させるために、図１１に示すように、図１０の回路に遅延回路２４４　を付加した前進パルス分裂対策回路を採用することもある。遅延回路２４４　は、図１２に示すパスゲート２４５　によって構成することもできる。

【００８１】

図１３は本発明の他の実施の形態を示すブロック図である。図１３において図１と同一の構成要素には同一符号を付して説明を省略する。本実施の形態は、後退パルスが分裂することによって、外部クロックと内部クロックとの同期がとれなくなる問題を解決するためのものである。

【００８２】

本実施の形態は前進パルス分裂対策回路１を削除し、状態保持部制御回路１１０　及び後退パルス分裂対策回路２を付加した点が図１の実施の形態と異なる。本実施の形態においては、ディレイモニタ１２の出力は直接前進パルス用遅延線１５に供給される。また、制御パルス生成回路１３からの制御パルス／Ｐ　は状態保持部１６には供給されず、状態保持部制御回路１１０　に供給される。

【００８３】

状態保持部制御回路１１０　は図２５の状態保持部制御回路１１０　と同一構成であり、外部クロックのデューティーが大きい場合でも、外部クロックと内部クロックとの同期を確立するためのものである。状態保持部制御回路１１０　には制御パルス／Ｐ　及び後退パルス用遅延線１８からの後退パルスＲＣＬ　が与えられる。

【００８４】

状態保持部制御回路１１０　は、後退パルスＲＣＬ　が後退パルス用遅延線１８から出力されている途中、即ち、後退パルスＲＣＬ　が“Ｈ”である場合に制御パルス／Ｐ　が“Ｌ”になったら後退パルス用遅延線１８から出力されている後退パルスＲＣＬ　が出力され終わるとき即ち、“Ｌ”になった後に、“Ｌ”の制御パルスＢＰＭ　を生成する。

【００８５】

また、状態保持部制御回路１１０　は、後退パルス用遅延線１８からの後退パルスＲＣＬ　が“Ｌ”である場合に即ち後退パルスＲＣＬ　が後退パルス用遅延線１８から出力された後に制御パルス／Ｐ　が“Ｌ”になるときには、この制御パルス／Ｐ　に同期して“Ｌ”になる制御パルスＢＰＭ　を出力するようになっている。状態保持部制御回路１１０　の出力制御パルスＢＰＭ　を状態保持部１６に与えると、後退パルスＲＣＬ　の出力中に状態保持部１６がリセット状態Ｒになることが防止される。

【００８６】

本実施の形態においては、状態保持部制御回路１１０　からの制御パルスＢＰＭ　を直接状態保持部１６に与えるのではなく、後退パルス分裂対策回路２を介して状態保持部１６に供給するようになっている。後退パルス分裂対策回路２は、後退パルスが分裂する可能性がある場合、即ち、状態保持部１６がリセットのときレシーバ１１から後退パルス用単位遅延素子１７への入力クロックＣＬＫ　が“Ｈ”から“Ｌ”に変わると状態保持部制御

回路１１０　の出力制御パルスＢＰＭ　のパルス幅を延長する。
【００８７】
これにより、レシーバ１１の出力が“Ｈ”から“Ｌ”に変化した後後退パルス用単位遅延素子１７へのレシーバ１１の出力信号が遮断されるまでの時間を長くすることができるようになる。結果として、クロックＣＬＫ　が“Ｈ”から“Ｌ”に変化すると、リセット状態の状態保持部１６に接続される後退パルス用単位遅延素子１７の出力も“Ｈ”から“Ｌ”に変化させることができるようになる。これにより、後退パルスの分裂を防ぐことが出来る。
【００８８】
図１４は図１３中の後退パルス分裂対策回路２の具体的な構成を示すブロック図である。また、図１５はその動作を説明するための動作波形図である。
【００８９】
図１４に示すように、後退パルス分裂対策回路２は検出回路４１、パルス生成回路４２及びパルス幅調整回路４３によって構成される。検出回路４１には、状態保持部制御回路１１０　の出力制御パルスＢＰＭ　とレシーバ１１の出力クロックＣＬＫ　が入力される。検出回路４１にはクロックＣＬＫ　及び制御パルスＢＰＭ　に代えてそれらの反転信号を入力してもよい。
【００９０】
検出回路４１は後退パルスが分裂する可能性がある状態、即ち状態保持部１６がリセットされるときに、クロックＣＬＫ　が“Ｈ”から“Ｌ”に変化するタイミングでパルスＤを生成し、それ以外のときには一定の論理値を出力し続ける。検出回路４１の出力Ｄはパルス生成回路４２に入力される。パルス生成回路４２は、検出回路４１からのパルスＤが入力されると、制御パルスＢＰＭ　のパルス幅を延長するために用いる制御パルスＢＰＭＣＴＬを生成する。制御パルスＢＰＭＣＴＬはパルス幅調整回路４３に入力される。パルス幅調整回路４３はパルス生成回路４２からの制御パルスＢＰＭＣＴＬが生成されない場合には制御パルスＢＰＭ　をそのまま出力し、パルス生成回路４２からパルスが生成される場合には制御パルスＢＰＭＣＴＬを元に制御パルスＢＰＭ　のパルス幅を伸ばして出力するようになっている。
【００９１】
次に後退パルス分裂対策回路２の動作について説明する。検出回路４１には図１５（ａ）に示す制御パルスＢＰＭ　と図１５（ｂ）に示す後退パルス用遅延線１８への入力クロックＣＬＫ　が供給される。制御パルスＢＰＭ　は時刻ｔ４　から時刻ｔ６　の間“Ｌ”になり、その間、時刻ｔ５　ではクロックＣＬＫ　が“Ｈ”から“Ｌ”に変化する。図１５（ｃ）に示すように、時刻ｔ４　で制御パルスＢＰＭ　が“Ｌ”になった後、時刻ｔ５　でクロックＣＬＫ　が“Ｌ”になるまでの期間には、検出回路４１からパルスが生成されない（図１５（ｃ）に示すようにＤ＝“Ｈ”）ことから、パルス幅調整回路４３からの出力制御パルスＢＰＭ′　は制御パルスＢＰＭ　の論理値をそのまま出力する（図１５（ｅ））。
【００９２】
また、時刻ｔ５　で制御パルスＢＰＭ　が“Ｌ”のときにはクロックＣＬＫ　が立ち下がると検出回路４１はパルスＤを出力する（図１５（ｃ）の時刻ｔ５　）。検出回路４１は、例えば図１５（ｃ）に示すように、通常は“Ｈ”を出力し、制御パルスＢＰＭ　が“Ｌ”のときにクロックＣＬＫ　の論理値が“Ｈ”から“Ｌ”に変化すると、“Ｌ”のパルスを生成する。
【００９３】
検出回路４１の出力Ｄはパルス生成回路４２に入力され、パルス生成回路４２は、パルスＤに同期して立ち下がる制御パルスＢＰＭＣＴＬを出力する（図１５（ｄ））。時刻ｔ４　で制御パルスＢＰＭ　が“Ｌ”になった後時刻ｔ７　で制御パルスＢＰＭＣＴＬが“Ｈ”になるまでの期間、パルス幅調整回路４３の出力制御パルスＢＰＭ′　は“Ｌ”になる。

【００９４】
制御パルスＢＰＭ　に代えて制御パルスＢＰＭ′　で状態保持部１６を制御することにより、クロックＣＬＫ　が“Ｈ”から“Ｌ”になる時間から、状態保持部１６を制御する信号が“Ｌ”から“Ｈ”になり、後退パルス用単位遅延素子１８の入力がクロックＣＬＫ　から後段の単位遅延素子に切り替わるまでの時間がΔ（ｔ６　－ｔ５　）からΔ（ｔ７　－ｔ５　）と長くなる。
【００９５】
Δ（ｔ６　－ｔ５　）が単位遅延素子の遅延時間より短く、図２８に示した後退パルスが分裂する条件（クロックＣＬＫ　が“Ｈ”から“Ｌ”に変化するときから、後退パルス用単位遅延素子１７の入力信号がクロックＣＬＫ　から後段の単位遅延素子の出力に変化しクロックＣＬＫ　が後退パルス用単位遅延素子１７に入力しなくなるまでの時間が短い）になっても、状態保持部１６がリセット状態である時間をΔ（ｔ７　－ｔ５　）と長くすることができる。従って、クロックＣＬＫ　が“Ｈ”から“Ｌ”に変化する時間と後退パルス用単位遅延素子１７にクロックＣＬＫ　が入力しなくなるまでの時間とを長くできる。この結果、従来ならパルスが分裂する段でもクロックＣＬＫ　の論理値の変化を伝えることができる。
【００９６】
次に、このように構成された実施の形態の動作について図１６の波形図を参照して説明する。図１６（ａ）は制御パルスＢＰＭ　を示し、図１６（ｂ）はレシーバ１１の出力クロックＣＬＫ　を示し、図１６（ｃ）は制御パルスＢＰＭ′　を示し、図１６（ｄ）は（ｎ－１）段目の前進パルスＦＣＬｎ－１を示し、図１６（ｅ）はｎ段目の前進パルスＦＣＬｎを示し、図１６（ｆ）は（ｎ＋１）段目の前進パルスＦＣＬｎ＋１を示し、図１６（ｇ）乃至（ｉ）は夫々（ｎ－１）乃至（ｎ＋１）段目の制御信号Ｑｎ－１　乃至Ｑｎ＋１を示し、図１６（ｊ）乃至（ｌ）は夫々（ｎ－２）乃至ｎ段目の後退パルスＲＣＬｎ－２乃至ＲＣＬｎを示している。
【００９７】
図１６において、制御パルスＢＰＭ　、クロックＣＬＫ　、前進パルスＦＣＬｎ－１，ＦＣＬｎ　，ＦＣＬｎ＋１は図２８で示した状態と同様である。本実施の形態においては、状態保持部１６のリセットのタイミングを図１６（ｃ）に示す制御パルスＢＰＭ′　によって制御している。このため、レシーバ１１の出力クロックＣＬＫ　の立ち下がりから、状態保持部１６をリセットする期間が終わる時刻ｔ１０までの期間が、Δ（ｔ２　－ｔ１　）からΔ（ｔ１０－ｔ１　）と長くなる。
【００９８】
この結果、クロックＣＬＫ　の“Ｈ”から“Ｌ”への変化を伝えることができるようになる。従って、図１６（ｋ）の丸で囲んだ部分のように、クロックＣＬＫ　の“Ｈ”から“Ｌ”への変化が伝播する。図２８（ｋ）に示すように、後退パルス用単位遅延素子１７の出力ＲＣＬｎ－１が本来の“Ｌ”にならずに“Ｈ”になってしまうことが防止され、パルスの分裂の原因が消滅する。これにより、図２９に示す内部クロックＩｎｔＣＬＫのパルス分裂が生じることはない。
【００９９】
このように、本実施の形態においては、後退パルス用遅延線１８を制御する状態保持部１６を後退パルス分裂対策回路２によって制御することにより、後退パルスの分裂を防止して、外部クロックＥｘｔＣＬＫと内部クロックＩｎｔＣＬＫとの確実な同期を達成することができる。
【０１００】
ところで、図１３の実施の形態の実際の応用では、図１７に示すように、レシーバ１１と後退パルス用単位遅延素子１７の間に任意の回路３，４を付加することがある。後退パルス用単位遅延素子１７への入力クロックＣＬＫ　と状態保持部制御回路１１０　の制御パルスＢＰＭ　とが図２８（ａ），（ｂ）に示す状態になったときに、クロックＣＬＫ　が後退パルス用単位遅延素子１７に入力する期間を延長できるならば、図１７のクロックＣ

ＬＫ１、クロックＣＬＫ２等のクロックをクロックＣＬＫ　に代えて用いてもよい。

【０１０１】

ところで、図１３中の後退パルス分裂対策回路２としては種々の構成が考えられる。図１８は図１４中の検出回路４１、パルス生成回路４２及びパルス幅調整回路４３の具体的な構成の一例を示す回路図である。

【０１０２】

検出回路４１はナンド回路５１，５２，５５，５７、ノア回路５３及びインバータ５４，５６によって構成される。パルス生成回路４２はナンド回路５８，５９，５１２　、インバータ５１０，５１３　及び遅延回路５１１によって構成される。制御パルスＢＰＭＣＴＬのパルス幅は遅延回路５１１の遅延時間で決まる。パルス幅調整回路４３はナンド回路５１４　及びインバータ５１５　によって構成される。

【０１０３】

ナンド回路５５及びインバータ５６やナンド回路５１４及びインバータ５１５は、図１９に示すマルチプレクサ５１６に置き換えることができる。ナンド回路５５とインバータ５６をマルチプレクサ５１６　に置き換える場合には、マルチプレクサ５１６　の一方入力ＩＮにナンド回路５１の出力信号を供給し、制御入力ＣＴＬ　としてインバータ５４の出力信号を供給する。また、ナンド回路５１４及びインバータ５１５をマルチプレクサ５１６　で置き換える場合には、一方入力ＩＮに制御パルスＢＰＭ　を供給し、制御入力ＣＴＬ　に制御パルスＢＰＭＣＴＬを供給するようにすればよい。

【０１０４】

図２０は本発明の他の実施の形態を示すブロック図である。図２０において図１及び図１３と同一の構成要素には同一符号を付して説明を省略する。本実施の形態は前進パルス及び後退パルスの分裂を同時に防止するためのものである。

【０１０５】

本実施の形態は前進パルス分裂対策回路１及び後退パルス分裂対策回路２を設けたものである。このように構成された実施の形態においては、前進パルス分裂対策回路１によって前進パルスの分裂を防止し、後退パルス分裂対策回路２によって後退パルスの分裂を防止する。前進パルス分裂対策回路１は前進パルスＦＣＬ　のパルス幅を変更するものであり、後退パルス分裂対策回路２は状態保持部１６を制御する制御パルスＢＰＭ′　を変更するものであって、前進パルス分裂対策回路１と後退パルス分裂対策回路２とは相互に独立した制御が可能である。

【０１０６】

こうして、前進パルス分裂対策回路１及び後退パルス分裂対策回路２によって、前進パルス及び後退パルスの分裂を防止することができる。

【０１０７】

このように、本実施の形態においては、前進パルス及び後退パルスが分裂することを同時に防止することができ、外部クロックＥｘｔＣＬＫと内部クロックＩｎｔＣＬＫとの同期を確実に達成することができる。

【０１０８】

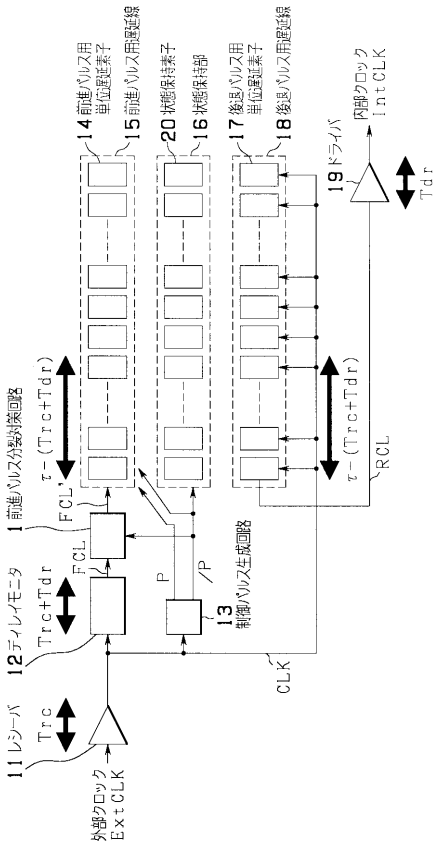
図２１は本発明の他の実施の形態を示すブロック図である。図２１において図７及び図１３と同一の構成要素には同一符号を付して説明を省略する。本実施の形態も前進パルス及び後退パルスの分裂を同時に防止するためのものである。

【０１０９】

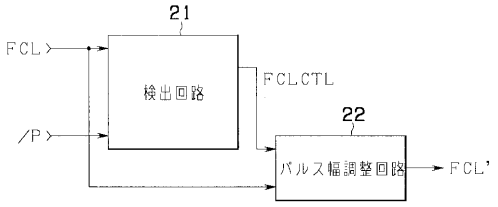
本実施の形態は前進パルス分裂対策回路５及び後退パルス分裂対策回路２を設けたものである。このように構成された実施の形態においても、前進パルス分裂対策回路５によって前進パルスの分裂を防止し、後退パルス分裂対策回路２によって後退パルスの分裂を防止する。前進パルス分裂対策回路５は前進パルス用遅延線１５を制御する制御パルスＰ，／Ｐ　のパルス幅を変更するものであり、後退パルス分裂対策回路２は状態保持部１６を制御する制御パルスＢＰＭ′　を変更するものであって、前進パルス分裂対策回路５と後退パルス分裂対策回路２とは相互に独立した制御が可能である。

【０１１０】
こうして、前進パルス分裂対策回路５及び後退パルス分裂対策回路２によって、前進パルス及び後退パルスの分裂を防止することができる。
【０１１１】
このように、本実施の形態においても、前進パルス及び後退パルスが分裂することを同時に防止することができ、外部クロックＥｘｔＣＬＫと内部クロックＩｎｔＣＬＫとの同期を確実に達成することができる。
【０１１２】
【発明の効果】
以上説明したように本発明によれば、前進パルス及び後退パルスが分裂することを防止して、確実に同期を確立することができるという効果を有する。
【図面の簡単な説明】
【図１】本発明に係るクロック同期遅延制御回路の一実施の形態を示すブロック図。
【図２】図１中の前進パルス分裂対策回路１を示すブロック図。
【図３】図２の動作を説明するための波形図。
【図４】図１の実施の形態の動作を説明するための波形図。
【図５】前進パルス分裂対策回路１の具体的な構成を示す回路図。
【図６】図５の一部を置き換える回路図。
【図７】本発明の他の実施の形態を示すブロック図。
【図８】図７中の前進パルス分裂対策回路５の動作を説明するための波形図。
【図９】図７の実施の形態の動作を説明するための波形図。
【図１０】前進パルス分裂対策回路５の具体的な構成を示す回路図。
【図１１】図１０の変形例を示す回路図。
【図１２】図１０及び図１１の一部を置き換える回路図。
【図１３】本発明の他の実施の形態を示すブロック図。
【図１４】図１３中の後退パルス分裂対策回路２を示すブロック図。
【図１５】図１４の動作を説明するための波形図。
【図１６】図１３の実施の形態の動作を説明するための波形図。
【図１７】図１３の変形例を示すブロック図。
【図１８】図１４の後退パルス分裂対策回路２の具体的な構成を示す回路図。
【図１９】図１８中の一部を置き換える回路図。
【図２０】本発明の他の実施の形態を示すブロック図。
【図２１】本発明の他の実施の形態を示すブロック図。
【図２２】従来のクロック同期遅延制御回路を示すブロック図。
【図２３】従来例の動作を説明するための波形図。
【図２４】従来例の動作を説明するためのブロック図。
【図２５】他の従来例を示すブロック図。
【図２６】従来例の問題点を説明するための波形図。
【図２７】従来例の問題点を説明するための波形図。
【図２８】従来例の問題点を説明するための波形図。
【図２９】従来例の問題点を説明するための波形図。
【符号の説明】
１…前進パルス分裂対策回路、１１…レシーバ、１２…ディレイモニタ、１３…制御パルス生成回路、１４…前進パルス用単位遅延素子、１５…前進パルス用遅延線、１６…状態保持部、１７…後退パルス用単位遅延素子、１８…後退パルス用遅延線、１９…ドライバ、２０…状態保持素子

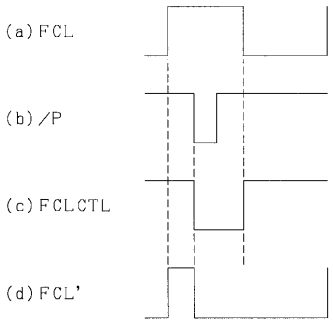
【図１】



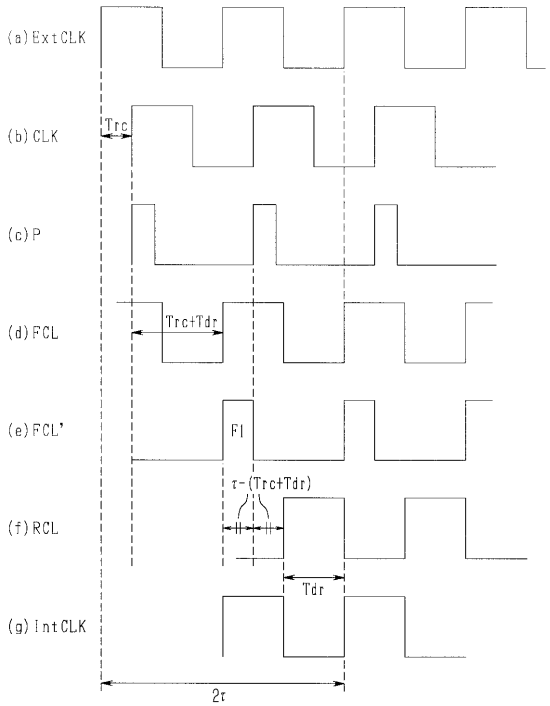
【図２】



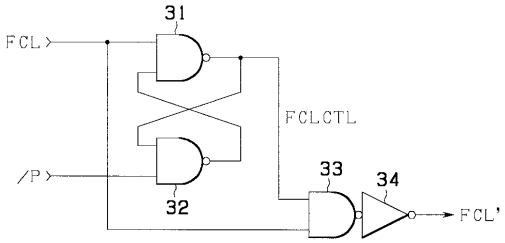
【図３】



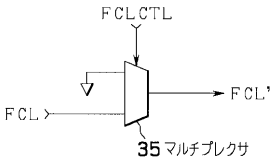
【図４】



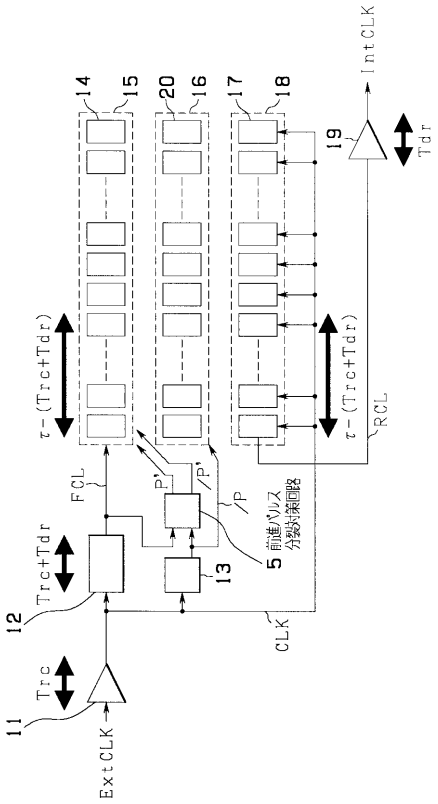
【図５】



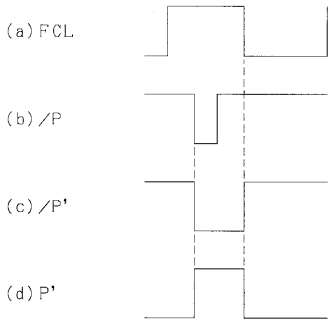
【図６】



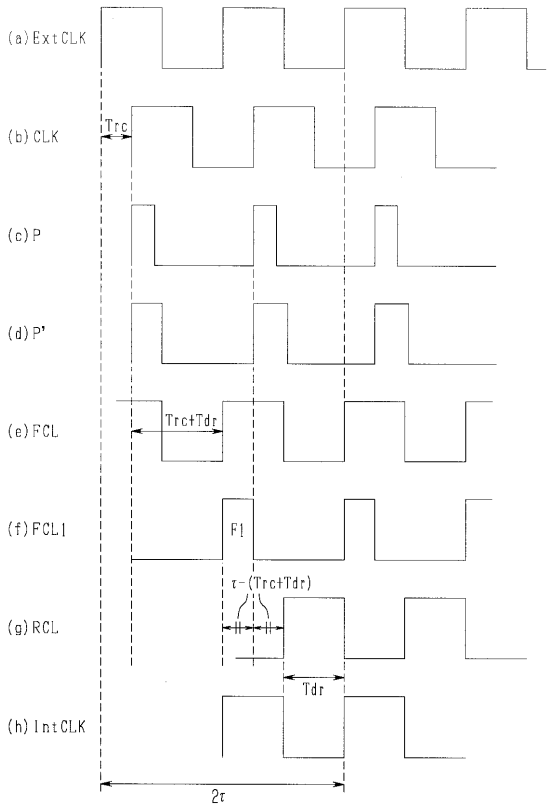
【図７】



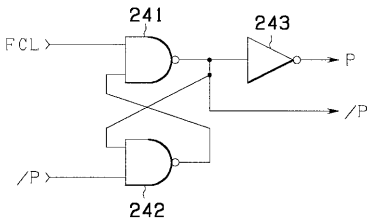
【図８】



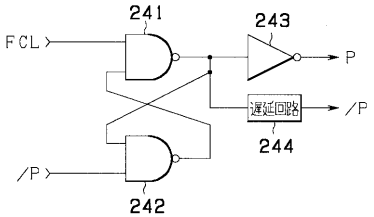
【図９】



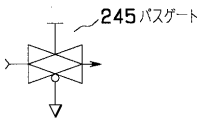
【図１０】



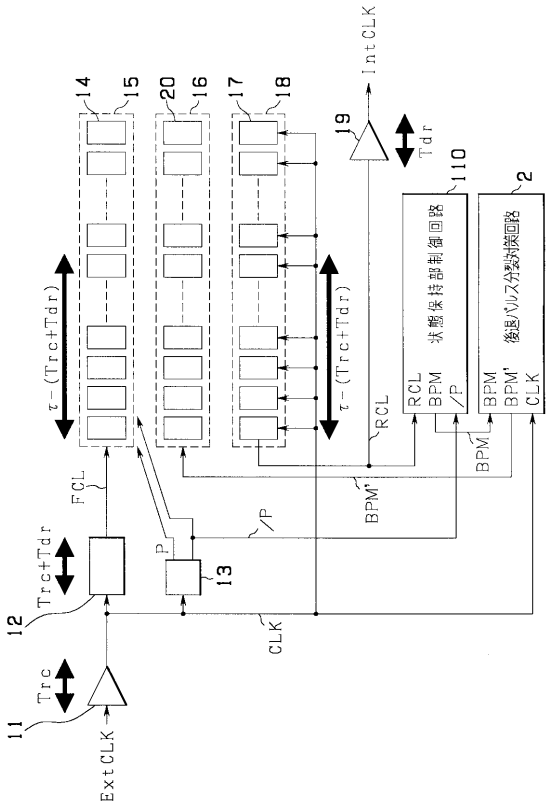
【図１１】



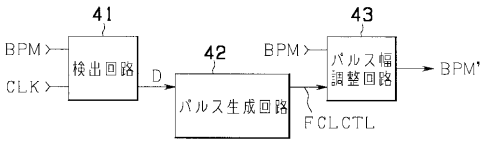
【図１２】



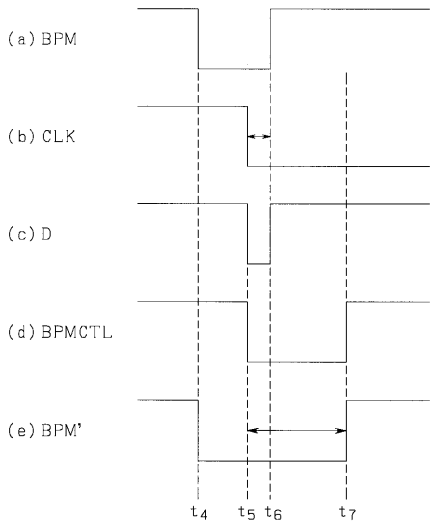
【図１３】



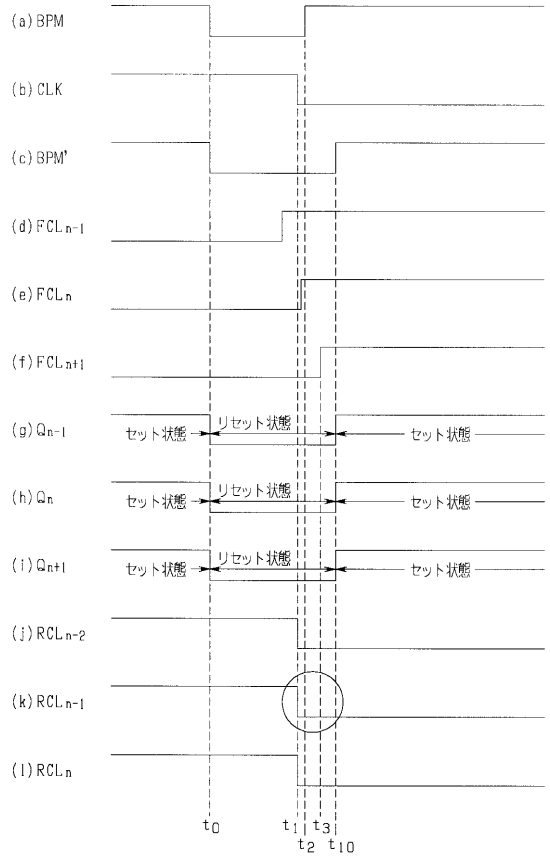
【図１４】



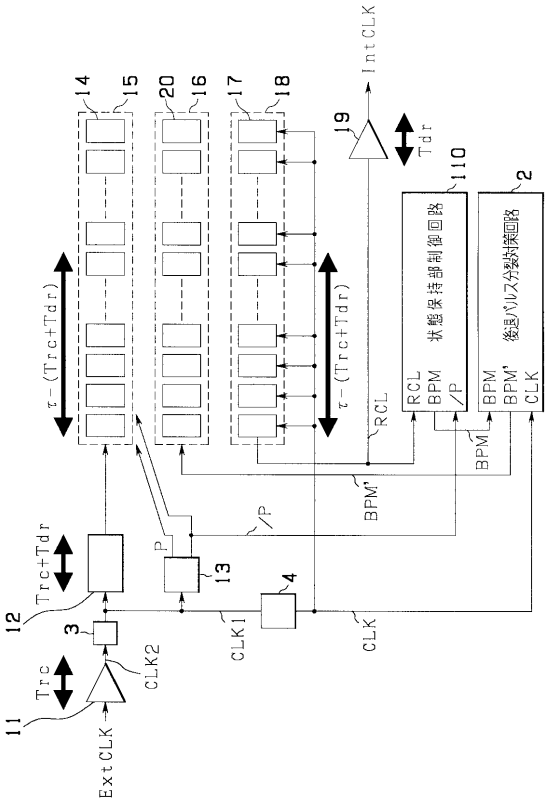
【図１５】



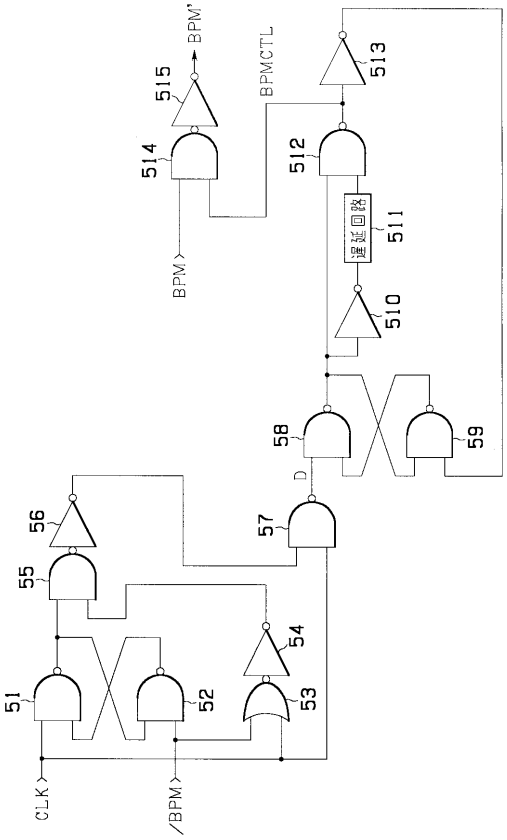
【図１６】



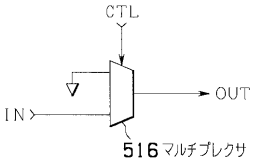
【図１７】



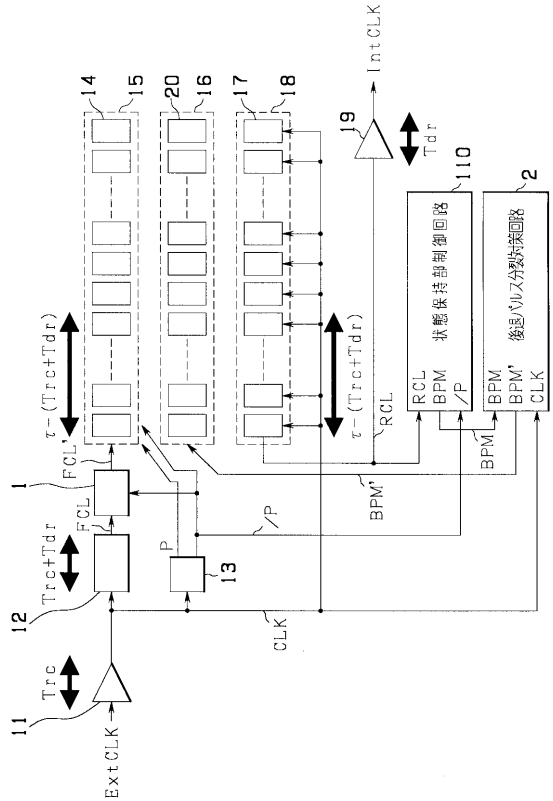
【図１８】



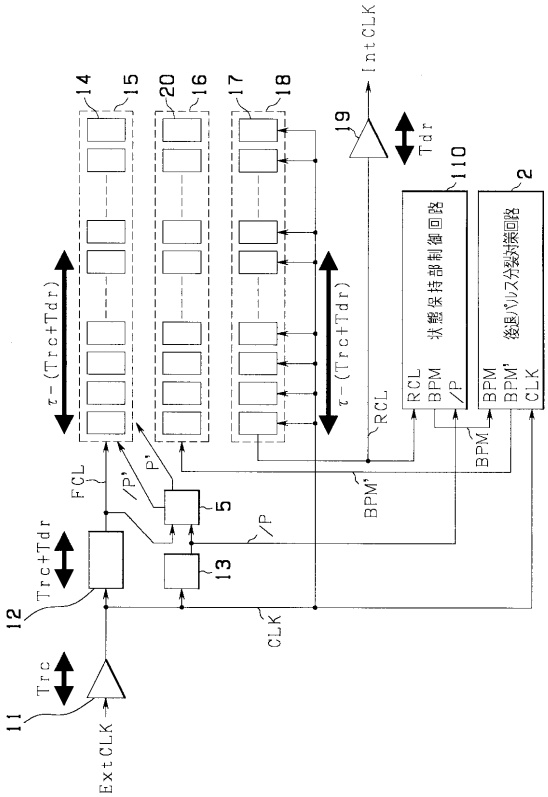
【図１９】



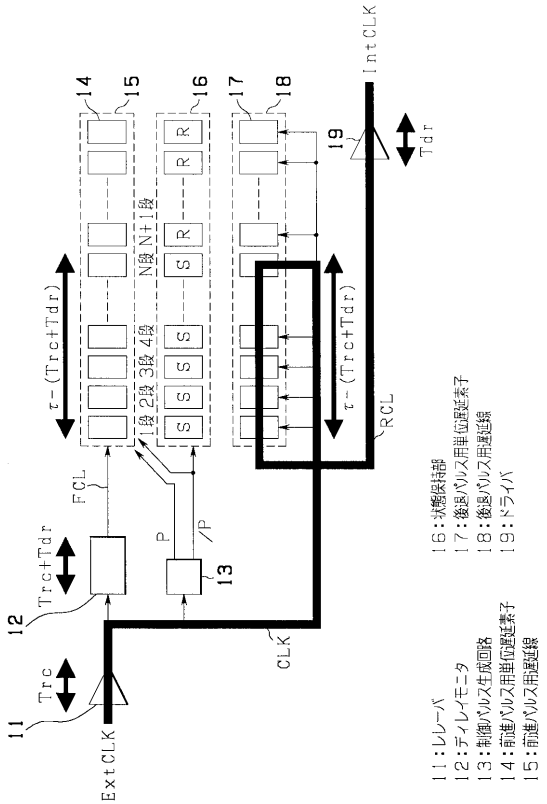
【図２０】



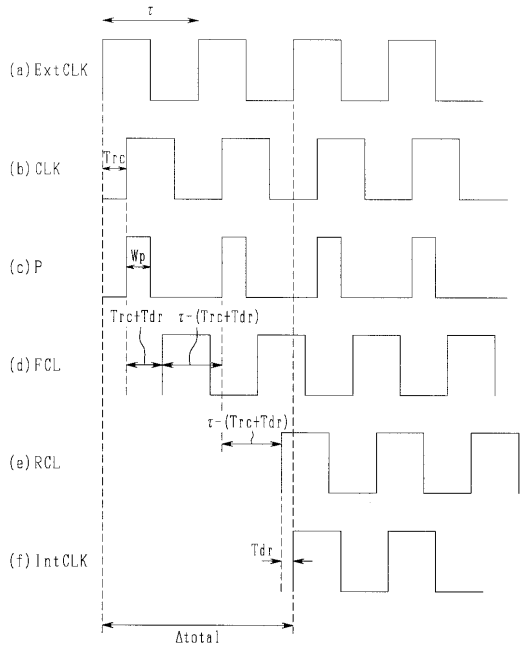
【図２１】



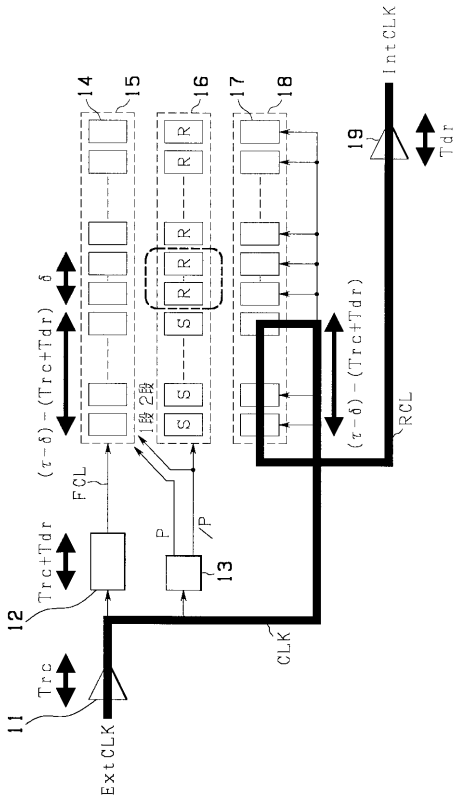
【図２２】



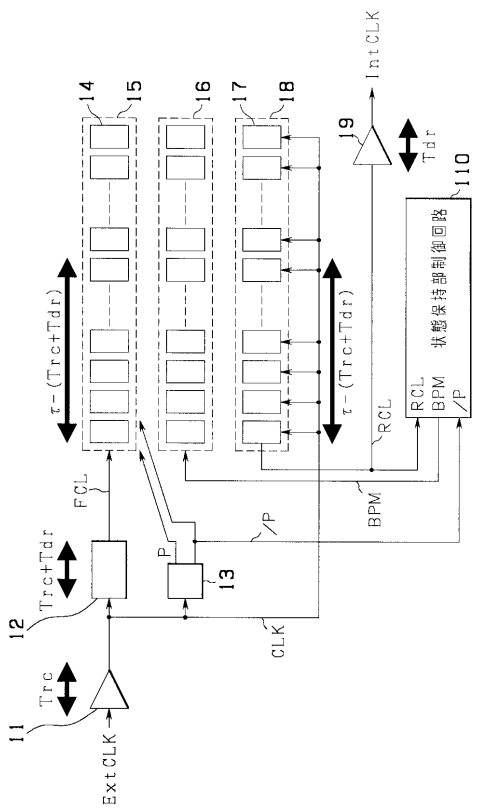
【図２３】



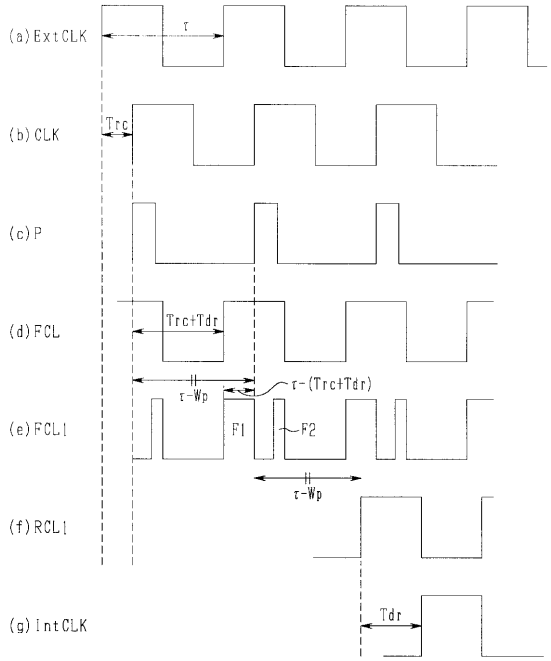
【図２４】



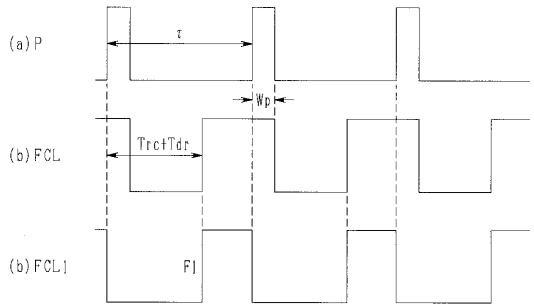
【図２５】



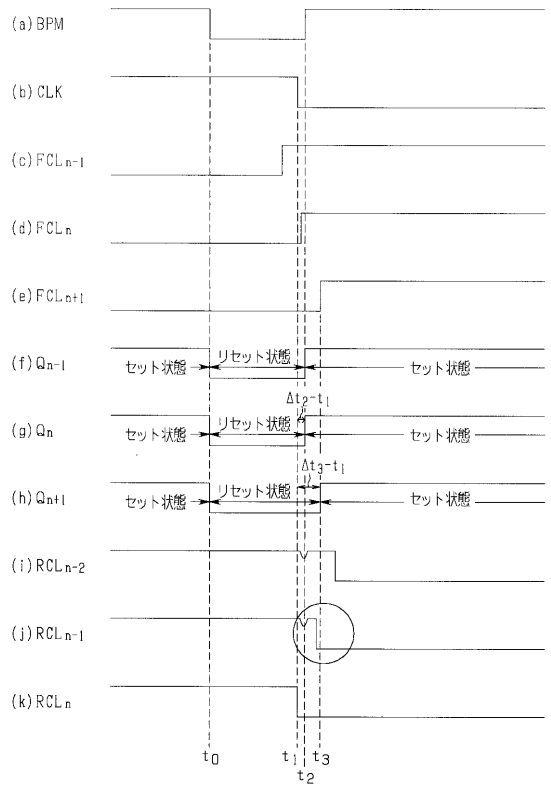
【図２６】



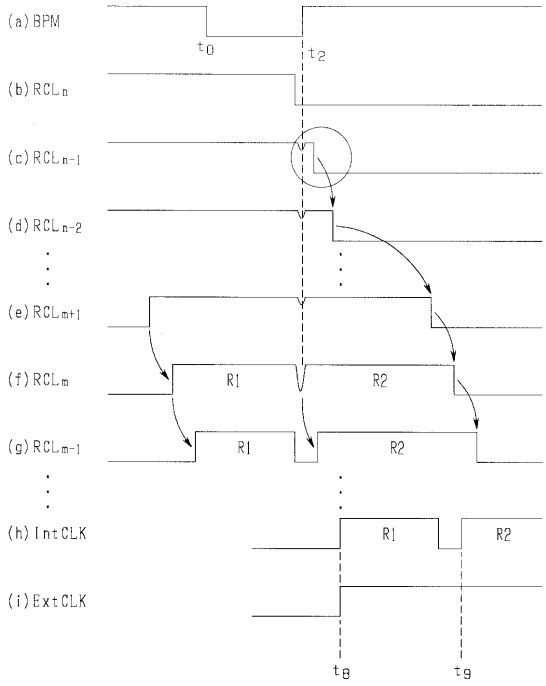
【図２７】



【図２８】



【図２９】



フロントページの続き

(72)発明者　加藤　光司
神奈川県川崎市幸区堀川町５８０－１　株式会社東芝　半導体システム技術センター内
(72)発明者　大島　成夫
神奈川県川崎市幸区堀川町５８０－１　株式会社東芝　半導体システム技術センター内

審査官　山崎　慎一

(56)参考文献　特開平１０－０１３３９５（ＪＰ，Ａ）
特開平１１－２７２３５６（ＪＰ，Ａ）
特開平１０－２８５００４（ＪＰ，Ａ）
特開平１１－１１００６２（ＪＰ，Ａ）
特開平０８－２２３０３１（ＪＰ，Ａ）
特開平０５－１９１２３４（ＪＰ，Ａ）
特開平０８－２３７０９１（ＪＰ，Ａ）
特開平１０－１２６２５４（ＪＰ，Ａ）
特開２０００－０５９２０９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G06F　1/10
G11C 11/407