

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G11C 7/00

(11) 공개번호 특2003 - 0000355
(43) 공개일자 2003년01월06일

(21) 출원번호 10 - 2001 - 0036097
(22) 출원일자 2001년06월23일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136 - 1
(72) 발명자 문대영
경기도이천시대월면사동리현대5차아파트502 - 203
(74) 대리인 강성배

심사청구 : 없음

(54) 고속 기록 동작을 가능하게 하는 기록 인에이블 신호 버퍼및 이를 이용하는 반도체 기억 장치

요약

본 발명에 의한 반도체 기억 장치는 데이터를 저장하는 복수의 메모리 셀과, 복수의 메모리 셀을 활성화하여 데이터 기록 또는 판독을 가능하게 하는 워드라인과, 기록 인에이블 신호 버퍼를 구비하며, 기록 인에이블 신호 버퍼는 칩 선택 신호가 활성화되면 기록 인에이블 신호를 입력받는 제1 논리 게이트와, 제1 논리 게이트의 출력을 소정 시간 지연시키는 지연 회로와, 지연 회로의 출력과 워드라인 펄스 신호를 입력받아 논리곱 연산을 수행하여 워드라인에 워드라인 인에이블 신호로 출력하는 제2 논리 게이트를 포함한 것을 특징으로 한다. 본 발명에 의하면 고속 기입 동작시에도 메모리 셀에의 기록 시간을 충분히 확보하여 안정한 기입 동작이 이루어지도록 한다.

대표도

도 2

색인어

고속 기입, 기록 시간, 반도체 기억 장치, 지연 회로

명세서

도면의 간단한 설명

도 1은 종래 기록 인에이블 신호 버퍼의 회로도.

도 2는 본 발명의 일 실시예에 의한 기록 인에이블 신호 버퍼의 회로도.

도 3은 도 1 및 도 2에 도시된 기록 인에이블 신호 버퍼의 신호 파형도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 기록 동작을 가능하게 하는 기록 인에이블 신호 버퍼와 이를 이용하는 반도체 기억 장치에 관한 것으로서, 특히 메모리 셀에 데이터가 기록되는 시간을 개선하여 메모리 셀에의 데이터 기록이 고속 동작시에도 안정되게 이루어지도록 하는 것에 관련된다.

최근 고속 동작이 요구되는 반도체 기억 장치, 특히 동기형 반도체 기억 장치에서 동작 사이클 시간(operation cycle time)을 좌우하는 것은 판독 동작 시간이 아니라, 셀에 데이터를 저장하는 기입 동작 시간이다. 왜냐하면 짧은 동작 사이클 시간과 짧은 기입 펄스 폭 내에서 기입 동작이 완료되어야 하고, 기입 펄스 폭과 셀 선택 신호들 사이에 마진을 가져야 하기 때문이다. 결국, 고속 반도체 기억 장치의 경우, 동작 사이클 시간이 짧아지면 짧아질수록 다음 사이클과의 마진 때문에 기입 펄스의 폭도 짧아져야 한다. 따라서 비트 라인 상의 전압 레벨이 충분히 떨어지지 못한 상태에서 기입 동작이 완료되기 때문에 메모리 셀에 데이터를 기입하는 것이 점차 어려워지는 경향이 있다. 이로 인해 종래 반도체 기억 장치를 이용하여 데이터를 기입하는 경우, 고속 기입 동작을 구현하기 어려웠다.

한편 메모리 셀을 액세스하기 위하여 특정 워드라인을 선택하기 위한 워드라인 구동방식에는 펄스 워드라인 방식이 있다. 펄스 워드라인(pulse word line) 방식이란 선택된 워드라인을 일정한 기간 동안만 인에이블되도록 하기 위하여 어드레스 신호를 디코딩하여 얻은 디코딩 신호와 일정한 폭을 갖는 펄스 신호(PWL)를 논리곱하여 워드라인 인에이블 신호를 생성하는 것이다. 도 1은 이러한 펄스 워드라인 방식을 구현하는 종래 기록 인에이블 신호 버퍼의 회로도이다. 기록 타이밍에서 칩 내부 기록 시간을 결정하는 신호는 워드라인 펄스 신호(PWL)와 기록 인에이블 신호(/WE)를 조합하여 만든 워드라인 인에이블 신호(WEB)이다. 고속 동작으로 인해 기록 인에이블 신호(/WE)가 워드라인 펄스 신호(PWL)에 비해 짧아 워드라인 인에이블 신호(WEB)가 기록 인에이블 신호(/WE)에 의해 결정되어, 워드라인 인에이블 신호(WEB)의 펄스 폭이 작으면 메모리 셀에 데이터가 충분히 기록되기도 전에 기록 기간이 끝나버리므로 메모리 셀에의 기록이 불안정하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 바와 같은 문제점을 해결하기 위한 것으로서 고속 기입 동작시에도 메모리 셀에의 기록 시간을 충분히 확보하여 안정한 기입 동작이 이루어지도록 하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 고속 기입 동작이 가능한 반도체 기억 장치에 있어서, 데이터를 저장하는 복수의 메모리 셀과, 상기 복수의 메모리 셀을 활성화하여 데이터 기록 또는 판독을 가능하게 하는 워드라인과, 기록 인에이블 신호 버퍼를 구비하며, 상기 기록 인에이블 신호 버퍼는 칩 선택 신호가 활성화되면 기록 인에이블 신호를 입력받는 제1 논리 게이트와, 상기 제1 논리 게이트의 출력을 소정 시간 지연시키는 지연 회로와, 상기 지연 회로의 출력과 워드라인 펄스 신호를 입력받아 논리곱 연산을 수행하여 상기 워드라인에 워드라인 인에이블 신호로 출력하는 제2 논리 게이트를 포함한 것을 일 특징으로 한다.

여기서, 상기 제1 논리 게이트는 상기 칩 선택 신호와 상기 기록 인에이블 신호에 대해 NOR연산을 수행하는 게이트이다.

또한 본 발명은 반도체 기억 장치의 기록 인에이블 신호 버퍼에 있어서, 칩 선택 신호가 활성화되면 기록 인에이블 신호를 입력받는 제1 논리 게이트와, 상기 제1 논리 게이트의 출력을 소정 시간 지연시키는 지연 회로와, 상기 지연 회로의 출력과 워드라인 펄스 신호를 입력받아 논리곱 연산을 수행하여 상기 워드라인에 워드라인 인에이블 신호로 출력하는 제2 논리 게이트를 구비한 것을 다른 특징으로 한다.

또한 본 발명은 반도체 기억 장치에서 입력데이터를 메모리 셀에 기록하는 기간을 연장시키는 방법에 있어서, 칩 선택 신호가 활성화되면 입력되는 기록 인에이블 신호를 지연시키는 단계와, 상기 지연된 기록 인에이블 신호를 소정의 폭을 갖는 펄스 신호와 논리곱하여 워드라인 인에이블 신호를 생성하는 단계와, 상기 워드라인 인에이블 신호에 의해 선택된 위치의 메모리 셀에 데이터를 기록하는 단계를 구비한 것을 또 다른 특징으로 한다.

전술한 바와 같은 특징을 갖는 본 발명에 의하면, 기록 종료시에 워드라인 인에이블 신호에 지연을 줌으로써, 즉 워드라인 인에이블 신호(WEB)의 폭을 늘려줌으로써 보다 오랜시간 동안 기록하게 한다. 따라서 외부에서는 기록 동작이 끝났더라도 칩 내부에서 기록 기간을 늘려줌으로써 메모리 셀에의 확실한 데이터 기록이 이루어지도록 한다.

이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다. 먼저 도 4는 본 발명의 일 실시예에 의한 기록 인에이블 신호 버퍼의 회로도이고, 도 5는 도 3 및 도 4에 도시된 기록 인에이블 신호 버퍼의 신호 파형도이다.

도 2에서 칩 인에이블 신호(CSTB)가 하이 레벨이면 신호는 모두 디스에이블된다. 칩 인에이블 신호(CSTB)가 로우 레벨이면 WEBPAD 펄스는 도 3에 도시된 바와 같다. WEBPAD 신호와 CSTB 신호를 입력으로 하는 NOR 게이트가 동작하면서, 인버터(INV1, INV2)를 거치게 되어 지연회로(A)의 입력이 되고, 인버터(INV3)를 거치고 WETB2 신호가 된다. 이 때 WETB2 신호는 정상적으로 레벨이 변하나, PWRB 신호와 WEB22 신호를 생성하는 회로의 입력이 되는 A 회로의 출력은 지연을 거치게 된다. 도 5에도 도시되어 있는 바와 같이, 노드(NET0281)에서는 뒷단 신호가 지연된 상태로 전달되어 NAND1과 PWRB2의 입력이 되어 전체적으로 T1 만큼 지연된다. 이것은 기록 기간에 T1 만큼 여유(margin)를 준 것처럼 되어 기록 타이밍이 T1 만큼 개선된다. 이 때 A 회로의 지연은 시스템 설계시 고려사항인데 너무 많은 지연은 다음 사이클에 영향을 주므로 적절한 값을 넣도록 해야 한다.

전술한 바와 같은 본 발명에 의하면, 기록 종료시에 워드라인 인에이블 신호에 지연을 줌으로써, 즉 워드라인 인에이블 신호(WEB)의 폭을 늘려줌으로써 보다 오랜시간 동안 기록하게 한다. 따라서 외부에서는 기록 동작이 끝났더라도 칩 내부에서 기록 기간을 늘려줌으로써 메모리 셀에의 확실한 데이터 기록이 이루어지도록 한다.

지금까지의 기재는 단지 본 발명을 구체화하는 실시예에 관한 것으로서, 본 발명의 권리범위를 한정하려는 것이 아니다. 당업자들은 지금까지의 기재된 구성과 관련하여 다양한 변경이나 변경이 가능함을 주목하여야 한다. 본 발명의 권리범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

발명의 효과

본 발명에 의하면 고속 기입 동작시에도 메모리 셀에의 기록 시간을 충분히 확보하여 안정한 기입 동작이 이루어지도록 하는 이점이 있다.

(57) 청구의 범위

청구항 1.

고속 기입 동작이 가능한 반도체 기억 장치에 있어서,

데이터를 저장하는 복수의 메모리 셀과,

상기 복수의 메모리 셀을 활성화하여 데이터 기록 또는 판독을 가능하게 하는 워드라인과,

기록 인에이블 신호 버퍼를 구비하며,

상기 기록 인에이블 신호 버퍼는

칩 선택 신호가 활성화되면 기록 인에이블 신호를 입력받는 제1 논리 게이트와,

상기 제1 논리 게이트의 출력을 소정 시간 지연시키는 지연 회로와,

상기 지연 회로의 출력과 워드라인 펄스 신호를 입력받아 논리곱 연산을 수행하여 상기 워드라인에 워드라인 인에이블 신호로 출력하는 제2 논리 게이트를

포함한 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

상기 제1 논리 게이트는 상기 칩 선택 신호와 상기 기록 인에이블 신호에 대해 NOR연산을 수행하는 게이트인 것을 특징으로 하는 반도체 기억 장치.

청구항 3.

반도체 기억 장치의 기록 인에이블 신호 버퍼에 있어서,

칩 선택 신호가 활성화되면 기록 인에이블 신호를 입력받는 제1 논리 게이트와,

상기 제1 논리 게이트의 출력을 소정 시간 지연시키는 지연 회로와,

상기 지연 회로의 출력과 워드라인 펄스 신호를 입력받아 논리곱 연산을 수행하여 상기 워드라인에 워드라인 인에이블 신호로 출력하는 제2 논리 게이트를

구비한 것을 특징으로 하는 기록 인에이블 신호 버퍼.

청구항 4.

반도체 기억 장치에서 입력데이터를 메모리 셀에 기록하는 기간을 연장시키는 방법에 있어서,

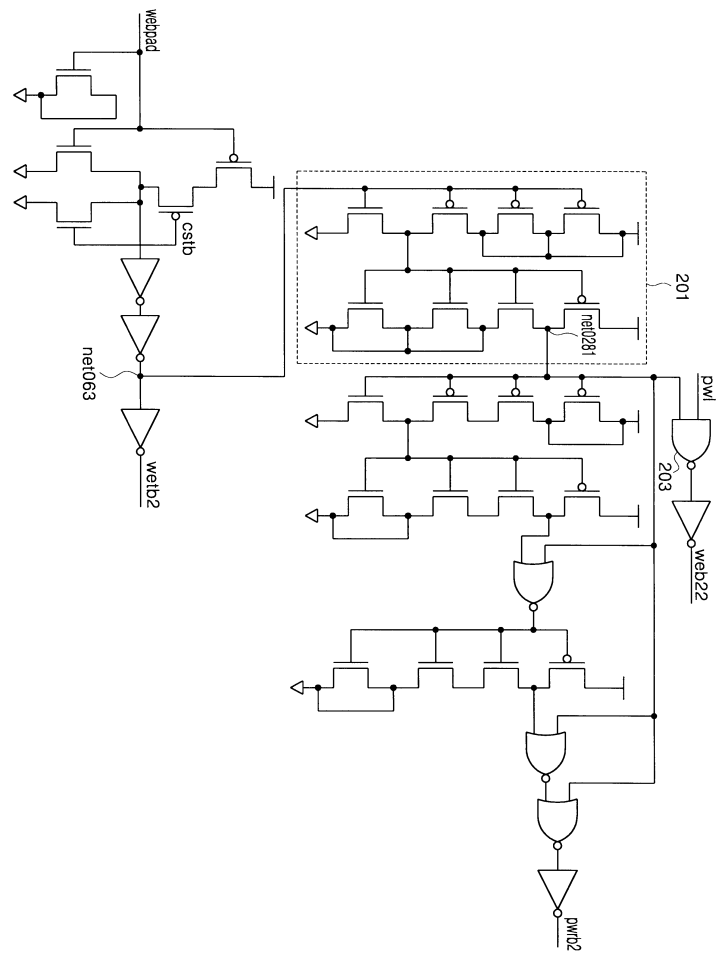
칩 선택 신호가 활성화되면 입력되는 기록 인에이블 신호를 지연시키는 단계와,

상기 지연된 기록 인에이블 신호를 소정의 폭을 갖는 펄스 신호와 논리곱하여 워드라인 인에이블 신호를 생성하는 단계와,

상기 워드라인 인에이블 신호에 의해 선택된 위치의 메모리 셀에 데이터를 기록하는 단계를

구비한 것을 특징으로 하는 기록 기간의 연장 방법.

도면 2



도면 3

