发明名称
场效晶体管的制作方法及场效晶体管

摘要
本发明是关于场效晶体管的制作方法及场效晶体管。此方法包含形成半导体基板然后形成漏极区、源极区、第一型掺质的第二型掺质的源极区与漏极区、这些源极区与漏极区形成于半导体基板中且位于通道的相对侧上。以及第一型掺质的第二型掺质的源极区与漏极区、这些源极区与漏极区形成于半导体基板中且位于通道的相对侧上。
1. 一种场效晶体管的制作方法，其特征在于，包含：
对一半导体基板进行一袋型布植；
在对该半导体基板进行该袋型布植之后，形成一多晶硅层于该半导体基板上，以及
在形成该多晶硅层于该半导体基板上之后，图案化该多晶硅层，以形成一多晶硅栅极，
其中，该图案化该多晶硅层，以形成该多晶硅栅极，包含图案化该多晶硅层，以形成一
虚设多晶硅栅极。

2. 根据权利要求1所述的场效晶体管的制作方法，其特征在于，还包含：
在形成该多晶硅层之前，对该基板进行一逆行井布植，以及
在图案化该多晶硅层之后，形成一源极与一漏极于该半导体基板中，
其中，进行该袋形布植的步骤包含使用一第一掺杂量，以及进行该逆行井布植步骤包
含使用低于该第一掺杂量的一第二掺杂量。

3. 根据权利要求2所述的场效晶体管的制作方法，其特征在于，还包含形成一虚设氧
化层于该半导体基板的一表面上，其中进行该逆行井布植的步骤包含透该虚设氧化层布
植数个井掺质。

4. 根据权利要求1所述的场效晶体管的制作方法，其特征在于，还包含：
移除该多晶硅栅极；以及
接着形成一金属栅极。

5. 一种场效晶体管的制作方法，其特征在于，包含：
形成一虚设氧化层于一基板的一表面上，该基板具有一半导体材料，且具有一利用布
植工艺所形成的一掺杂井区；
透过该虚设氧化层进行一第一布植工艺，以在该基板的该掺杂井区的一第一区域中形
成一逆行井；
透过该虚设氧化层进行一第二布植工艺，以在该基板的该掺杂井区的一第二区域中形
成一袋区，该第二区域位于该第一区域的上方；
在进行该第二布植工艺之后，沉积一多晶硅层于该虚设氧化层上；
图案化该多晶硅层与该虚设氧化层，以形成该场效晶体管的一虚设多晶硅栅极；
形成该场效晶体管的一源极与一漏极于该基板中，以及
以一金属栅极取代该虚设多晶硅栅极。

6. 根据权利要求5所述的场效晶体管的制作方法，其特征在于，该逆行井的一掺杂浓
度高于该掺杂井区的一掺杂浓度。

7. 根据权利要求5所述的场效晶体管的制作方法，其特征在于，进行该第一布植工艺
的步骤包含利用一第一掺杂量进行一离子布植，以及进行该第二布植工艺的步骤包含使用
高于该第一掺杂量的一第二掺杂量，其中进行该第二布植工艺的步骤，以便于该袋区接近
于该源极与该漏极。
场效晶体管的制作方法及场效晶体管

技术领域
[0001] 本揭露大体上是有关于一种制作微米集成电路的工艺。特别地，本揭露是有关于一种高介电常数 (k) 的后栅极 (gate-last) 制作工艺 (fabrication process)，以达到限制掺质以及稳定金属氧化物半导体 (MOS) 组件的启始电压 Vt (Threshold Voltage)。
[0002] 优先权资料的技术领域
[0003] 本申请案主张 2010 年 4 月 5 日申请的第 61/320,984 号美国临时申请案的权利，此引用该申请案全体作为本说明书的揭露内容。

背景技术
[0004] 制作集成电路的晶片 (wafers) 的过程包含一系列的步骤，利用这些步骤来将一组几何图案转移到晶片上。例如，制作金属氧化物半导体场效晶体管 (FET) 的集成电路的工艺，包含将几何图转移至基板上的半导体、绝缘与导电材料所构成的一些叠加层上的一系列步骤，其中这些几何图案取决于晶体管及其内连线结构 (interconnections)。MOS 晶体管是一种半导体切换组件，在这些组件中，施加于栅极上的电压控制自晶体管的漏极至源极区域的传导电流的通道。MOS 晶体管的一个特性就是启始电压，是相对于基板所能施加于栅极并使得源极与漏极之间的传导通道形成的最小电压。由于启始电压决定了开启或关闭 MOS 晶体管的栅极电压，因此必须透过制作过程来决定且小心地控制启始电压。
[0005] 然而，随着 MOS 晶体管的微小化、以形成具有较高集成度 (integration) 以及较快速的集成电路，导因于尺寸晶体管的物理现象与晶体管的性能特性之间产生了冲突。例如，当漏极上的电压 (Vd) 超过夹止电压 (pinch-off voltage) 时，漏极与源极区域之间的通道长度、以及流经通道的漏极至源极 (drain-to-source) 的电流，应理想地保持固定 (饱和电流)。然而，较小晶体管尺寸所造成的短通道效应，可能会将漏极处的空乏区 (depletion region) 扩大到超过夹止电压。扩大的空乏区造成有效的通道长度减少。因此，饱和电流持续增加到超过夹止电压。在极端的例子中，电流载子可能在漏极与源极之间“贯穿 (punch through)”，造成栅极电压失去了其控制传导通道的能力。
[0006] 使用各种策略来减轻短通道效应，这些策略包含布植梯度 (implant gradients) 的导入或布植层中的掺质高度掺杂的区 (袋型 (pocket) 或环状 (halo) 布植)。然而，袋型布植可能会受“遮蔽效应 (Shadowing Effect)”之苦，其中此遮蔽效应是在布植步骤期间，由于相邻晶体管的栅极上的多晶硅层的紧密接近所造成。遮蔽效应减少了减轻短通道效应的袋型布植的效力。其它用来对付短通道效应的策略包含在井中布植重掺杂浓度、详以导入一逆行井轮廓 (Retrograde Well Profile)。然而，为了要在井布植后形成栅极氧化层而需要高热预算，如此可能导致井掺质的外扩，且可能造成逆行井轮廓的衰退。此外，短通道长度、重掺杂浓度的井布植、以及氧化层形成所需要的高热预算，均易于增加启始电压的变动，使得启始电压更难以控制。随着栅极几何图形缩减到近次微米等级，短通道效应与启始电压的变动就会恶化，而降低下一代技术节点，例如 22 纳米节点与更小节点，的良率。因此，需要一种可减轻短通道效应、减少启始电压的变动、在袋型布植期间防止遮蔽效应、
发明内容

[0007] 本发明的目的在于提供一种场效晶体管的制作方法及场效晶体管。

[0008] 在此揭示场效晶体管的制作方法。此方法包含对半导体基板进行阱型布植；接着在半导体基板上形成多晶硅层；图案化多晶硅层，以形成多晶硅栅极。

[0009] 根据本揭露的一或多个实施例，揭露一种场效晶体管的制作方法。此方法包含形成虚设氧化层于半导体基板的表面上；进行阱型布植而穿过虚设氧化层，以控制场效晶体管的开启电压；进行阱型布植而穿过虚设氧化层，以减轻遮蔽效应；接着沉积多晶硅系半导体；虚设氧化层上；图案化多晶系半导体层与虚设氧化层，以形成晶体管的虚设多晶系栅极；形成源极以及漏极；以及以金属栅极取代虚设多晶系栅极。

[0010] 根据本揭露的一或多个实施例，揭露一种场效晶体管。此场效晶体管包含形成在半导体基板中的第一型掺杂的阱；金属栅极位于半导体基板上且位于阱上方；通道形成于半导体基板中且位于金属栅极下方；多个第二型掺杂的源极与漏极区，第二型掺杂相对应于第一型掺杂，这些源极与漏极区形成于半导体基板中且位于通道的相对侧上；以及第一型掺杂的阱型掺杂轮廓，是定义在阱中，以自源极区至漏极区之间形成一连续且均匀的掺杂物。

[0011] 根据本揭露的一或多个实施例，揭露一种场效晶体管。此场效晶体管包含形成在半导体基板中的第一型掺杂的阱；金属栅极位于半导体基板上且位于阱的上方；数个第二型掺杂的源极与漏极区，这些源极与漏极区形成于半导体基板中且为金属栅极所插入，第二型掺杂相对应于第一型掺杂；通道形成于半导体基板中，其中通道位于金属栅极下方且水平地形成于源极与漏极区之间；第一型掺杂且具有第一掺杂浓度的阱型轮廓，此阱型轮廓是定义于阱中且具有第一深度；以及第一型掺杂且具有第二掺杂浓度的阱型掺杂轮廓，第二掺杂浓度大于第一掺杂浓度，且此阱型掺杂轮廓是定义在阱中，以自源极至漏极区之间形成一连续的掺杂物，此阱型掺杂轮廓具有小于第一深度的第二深度。

[0012] 从以下结合所附附图所作的详细描述，可对本揭露的上述与其它实施例有更充分的了解。

附图说明

[0013] 图 1 是绘示通过在阱极氧化物形成前，以重浓度掺杂进行井布植的一种制作 MOS 晶体管的工艺；

[0014] 图 2A 至图 2E（在此可共同称为图 2）是绘示 N 型通道 MOS 晶体管与 P 型通道 MOS 晶体管利用图 1 的工艺在制作的不同阶段时的剖面图；

[0015] 图 3 是绘示依照本揭露的一或多个实施例的通过先进行虚设阱极氧化物的制作，再进行轻浓度掺杂的井布植和高掺杂阱型的阱型布植的一种制作 MOS 晶体管的工艺；

[0016] 图 4 是绘示依照本揭露的一或多个实施例的通过先进行虚设阱极氧化物的制作，再进行轻浓度掺杂的井布植和高掺杂阱型的阱型布植进行；

[0017] 图 5A 至图 5F（在此可共同称为图 5）是绘示依照本揭露的一或多个实施例的 N 型
通道 MOS 晶体管与 P 型通道 MOS 晶体管利用图 3 的工艺加以制作而在制作的不同阶段时的剖面图；

[0018] 图 6A 至图 6F (在此可共同称为图 6) 是绘制依照本揭露的一或多个实施例的 N 型通道 MOS 晶体管与 P 型通道 MOS 晶体管利用图 4 的工艺在制作的不同阶段时的剖面图。

[0019] 参照上述的详细描述，可对本揭露的实施例及其优点有最佳的了解。应该了解的是，相同的参考数字用以表示绘示在一或多个附图中的相同组成。

【主要组件符号说明】

[0021] 101 ～ 106 : 步骤 201 : 硅基板
[0023] 204 : N 型井 205 : 氧化层
[0024] 206 : 多晶硅层 207 : n 型漏极区
[0025] 208 : n 型源极区 209 : 轻掺杂 n 型区
[0026] 210 : p 型垒 211 : p 型源极区
[0027] 212 : p 型源极区 213 : 轻掺杂 p 型区
[0028] 214 : n 型垒 215 : 逆变井
[0029] 216 : 逆变井 220 : 主动区
[0030] 221 : 框极电极层 222 : 氧化层
[0031] 301 ～ 309 : 步骤 401 ～ 409 : 步骤
[0033] 503 : P 型阱 504 : N 型阱
[0034] 505 : 虚设氧化层 506 : 多晶硅层
[0035] 507 : n 型源极区 508 : n 型源极区
[0036] 509 : 轻掺杂 n 型区 510 : 袋区
[0037] 511 : p 型源极区 512 : p 型源极区
[0038] 513 : 轻掺杂 p 型区 514 : 袋区
[0039] 515 : 逆变井 516 : 逆变井
[0040] 517 : 高介电常数栅极电介质 518 : 金属栅极电极层
[0041] 520 : 主动区 521 : 多晶硅层
[0042] 522 : 虚设氧化层
[0043] 601 : 硅基板 602 : 浅沟槽隔离特征
[0044] 603 : P 型井 604 : N 型井
[0045] 605 : 虚设氧化层 606 : 多晶硅层
[0046] 607 : n 型源极 608 : n 型源极
[0047] 609 : 轻掺杂 n 型区 610 : p 型袋区
[0048] 611 : p 型源极 612 : p 型源极
[0049] 613 : 轻掺杂 p 型区 614 : n 型袋区
[0050] 615 : 逆变井 616 : n 型逆变井
[0051] 617 : 高介电常数栅极电介质 618 : 金属栅极电极层
[0052] 620 : 主动区 621 : 多晶硅层
具体实施方式

[0054] 本揭露是有关于透过在后栅极工艺中的虚设栅极氧化物的使用，以及 MOS 晶体管的制作方法，以及在虚设栅极氧化物形成后，以低浓度掺质进行堆布植的方法。可以理解的是，本揭露可以许多不同形式与实施例加以实施，在此所显示的实施例仅为提供来作为例子。再者，本揭露的范围仅为所附的申请专利范围所界定。在所附附图中，为求清楚，可扩大各层与各区域的尺寸与相对尺寸。应理解的是，当一构件或一层被视为位于另一构件或层“上 (on) ”、“连接 (connected) ”或“耦合 (coupled) ”另一构件或层时，此构件可能是直接位于另一构件或层上，连接至或耦合至另一构件或层，或者可能存在有数个中间构件或层。

[0055] 空间相关用语，例如“在 … 之下 (beneath)”、“在 … 下方 (below)”、“低于 (lower)”、“在 … 上方 (above)”、“高于 (upper)” 与类似用语，在此可用以描述如附图中所示的一构件或一特征与另一 (另一些) 构件或特征之间的关系的描述更为容易。将理解到的是，空间相对用词意欲包含除了描绘在附图中的方位外，还有在应用或操作中，组件的不同方位。例如，若将图中的组件旋转，描述为在其它组件或特征“之下”或“下方” 的构件，将转向为在其它组件或特征“之上”。因此，此示范用语“之上”可包含之与之下的方位。组件可以不同方法定位 (转 90 度或其它方位)，因此在此所使用空间相对描述符号亦可这样解释。

[0056] 以下，本发明的实施例将参照所述附图详细解释。

[0057] 图 1 是示出一种制作 MOS 晶体管的工艺，其通过在栅极氧化物形成之前，以重浓度掺植进行堆布植。工艺始于一晶片基板，例如硅、锗及 / 或一复合半导体材料，在步骤 101 中，在基板上形成浅沟槽隔离 (STI)。可形成浅沟槽隔离，以隔离 N 型 MOS (NMOS) 晶体管与互补型 MOS 晶体管 (CMOS) 对的 P 型 MOS 晶体管 (PMOS)。

[0058] 步骤 102 利用重浓度掺质来进行堆布植，以在半导体基板中形成布。例如，对于一 NMOS 晶体管而言，将 P 型布植入基板中；而对于一 PMOS 晶体管而言，将 N 型布植入基板中。在堆布植中使用重浓度掺质的一个原因，就是要导入逆向堆轮廓，以减小堆质扩散。逆向堆是透过高浓度堆质植入于通道中区，以通过高堆质扩散而在不影响到通道中的载子迁移率的情况下，控制空乏区的扩大。然而，因为堆质电压的变动与堆质浓度的平均形成比例，所以也必须考虑控制堆质浓度对逆向堆压的影响。在堆布植中使用重堆质浓度的第二个原因，是当堆极氧化物层在堆布植后成长时，用以抵销堆质的外扩。如前所述，堆质的外扩是由成长堆极氧化物层所需的高热预算所造成。

[0059] 步骤 103 进行堆的退火，以移除堆植步骤对基体晶体所造成的伤害。在步骤 104 中，通过在高温环境下，将晶片暴露于氧气中，以成长出一氧化物薄层，例如氧化硅，的方式成长介电层。因为堆极氧化物的形成是在堆布植后进行，且因为成长氧化层需要高热预算，所以可能会造成堆质的外扩，以及堆逆向堆轮廓的衰退，而不减少堆zug轮廓控制短通道效应的效率。

[0060] 在步骤 105 中，沉积一层多晶系半导体材料于氧化层的顶面上，此层多晶系半导体材料例如为一层多晶硅，通常称作多晶硅（或简称为 poly）。此外，也可沉积一硬掩膜
(hard-mask layer), 例如由氮化硅 (SiN) 组成的硬掩模层。多晶硅层将形成 MOS 晶体管的栅极，且也可作为电路内连接的一层。接着，可透过光学微影工艺来图案化多晶硅层，而可移除未被多晶硅层覆盖的氧化层。经图案化的多晶硅层结合下方的氧化层，而形成了多晶硅栅极。在步骤 106 中，进行离子扩散或离子注子，以将离子扩散或注子植入井中，借以形成晶体管的源极与漏极区。例如，对于 NMOS 晶体管而言，将 n 型掺杂，例如砷、镓、磷、或其它杂质，扩散或植入 P 型井中，以形成 n 源极与 n 漏极区。类似地，对于 PMOS 晶体管而言，将 p 型掺杂扩散或植入 N 型井中，以形成 p 源极与 p 漏极区。

[0061] 当漏极电压 (Vd) 增加时，靠近漏极的空乏区可能会扩大，而缩短了有效的通道长度。当漏极电压大于夹断电压时，为了控制因有效通道长度大幅缩短，而产生的短渠道效应，在步骤 106 中，可在接近通道的地方植入轻掺杂漏极 (LDD) 区。轻掺杂漏极将空乏区转变成通道，以减轻有效通道长度的缩短。对 NMOS 晶体管而言，轻掺杂漏极将接近栅极的漏极/井接面，由 n+区域转变为 np 区，以使接近漏极的空乏区。当漏极与源极之间的高电场所诱导的电流载子贯穿了二极之间的区域时，轻掺杂漏极亦降低了在漏极的电场，并限制了穿通现象。为了进一步控制短通道效应，可进行井的袋型布植，以在接近位于漏极与栅极之间、且亦位于源极与栅极之间的接面的通道下方，导入高掺杂的袋型区。由于空乏宽度延伸在较低掺杂区的方面，因此袋型布植试图减少延伸至通道下方的空乏区宽度。例如，在 NMOS 晶体管中，袋型布植将 p 区导入 P 型井中。由于袋型布植是导入接近漏极/源极区与栅极之间的接面的井中，因此可不以垂直于晶片表面的角度将布植的离子束投射到晶片上。由于相邻晶体管的多晶硅栅极非常接近，非垂直的入射离子束可能会将多晶硅栅极所阻挡，而造成袋型布植的不均匀分布的植入离子。所产生的效应称之为遮蔽效应，且可能会降低袋型型布植减轻短通道效应的效率。

[0062] 图 2 是示出使用图 1 的工艺所制作的 N 型通道与 P 型通道 MOS 晶体管的剖面图。对应于工艺步骤 101，工艺始于硅基板 201 的晶片，通过形成浅沟槽隔离 202 的方式，在半导体基片上定义出数个主导区 220，其中浅沟槽隔离 202 是设置来隔离开形成于主动区 220 中的各种组件。接着，对应于工艺步骤 102 以及 103，以重浓度掺杂布植主动区 220，再进行退火，以形成深个井。例如，为了形成 NMOS 晶体管的 P 型井 203，将重浓度 p 型掺杂植入主动区中。类似地，为了形成 PMOS 晶体管的 N 型井 204，将重浓度 n 型掺杂植入主动区中。为了减轻短通道效应，可将较重掺杂浓度的逆向井植入到井中。例如，将 p 拔杂的逆向井 215 植入 NMOS 晶体管的 P 型井 203，以及将 n 拔杂的逆向井 216 植入 PMOS 晶体管的 N 型井 204 中。

[0063] 接着，对应于工艺步骤 104，通过使用高热预算，且将晶片曝露于氧气下，这样形成薄介电氧化层 205 于晶片表面上。也通过数个工艺，例如化学气相沉积 (CVD)、物理气相沉积 (PVD)、电化学沉积、分子调控 (molecular manipulation)、蚀刻、化学机械研磨，及/或其它工艺，来沉积多晶硅层 206 于氧化层 205 上。对应于步骤 105，通过光学微影工艺来图案化多晶硅层 206，以形成 MOS 晶体管的多晶硅栅极的栅极电极层 221。接着，可蚀刻移除未被多晶硅层 206 覆盖的氧化层，而形成氧化层 222。如前所述，在井布植后成长氧化层 205，所需要的高热预算导致了外扩，且造成逆向井 215 与 216 的衰退。这些效应可能迫使井掺杂浓度的进一步增加，使得控制初始化电压的变动更为困难。

[0064] 对应于工艺步骤 106，进行离子布植，以形成晶体管的源极与漏极区。对于 NMOS 晶
体管而论，可植入 n 型掺杂至 P 型井 203 中，以形成 n⁺源极区 207 以及 n⁺漏极区 208。类似地，对于 PMOS 晶体管而言，可植入 p 型掺杂至 N 型井 204 中，以形成 n⁻源极区 211 以及 n⁻漏极区 212。为了控制短通道效应，可将轻掺杂漏极区布植在靠近多晶硅栅极处。对于 NMOS 晶体管而言，可将轻掺杂 n 型区 209 植入 n⁻漏极区 207 与多晶硅栅极的接面。类似地，对于 PMOS 晶体管而言，可将轻掺杂 p 型区 213 植入 p⁺漏极区 211 与多晶硅栅极的接面。为了进一步控制短通道效应，可进行背型布植，以将轻掺杂杂质区导入靠近轻掺杂漏极区以及靠近源极区与多晶硅栅极之间的接面的井中。例如，对于 NMOS 晶体管而言，可将 p⁺轻掺杂 210 的背型区植入靠近 n⁻漏极区 207 的轻掺杂 n 型区 209 且亦靠近 n⁻源极区 208 的 p 型井 203 中。类似地，对于 PMOS 晶体管而言，可将 n⁺轻掺杂 214 的背型区植入靠近 p⁺漏极区 211 的轻掺杂 p 型区 213 且亦靠近 p⁺源极区 212 的 n 型井 204 中。如前所述，由于在多晶硅沉积后将背形布植导入井中，因此相邻晶体管的多晶硅栅极的紧密接近可能阻挡了非垂直入射的离子束。所导致的遮蔽效应可能使可轻掺短通道效应的背型布植的效率降低。因此，所形成的背型布植掺杂轮廓并非均匀分布在主动区中。在一实施例中，背型布植掺杂实质靠近轻掺杂漏极区分布，且在通道区中不具有或具有非常少的掺杂种类。本实施例的推广为，自通道边界（邻近轻掺杂漏极区）至通道中心的背型布植的掺杂浓度，逐渐减少至较低程度或降低到无。在一特定例子中，通道边缘的背型布植的掺杂浓度大约为 6×10¹⁰ 原子 / 立方厘米，而通道中心的背型布植的掺杂浓度则约为 1×10¹⁰ 原子 / 立方厘米。假设利用通道边缘的掺杂浓度 Ce 与通道中心的掺杂浓度 Cc 之间的相对差来计算背型布植的不均匀度，则不均匀性为 U = (Ce-Cc)/Cc。在此例子中，U 大于约 83%。

图 3 是示意图依本揭露的而多个实施例的示意图进行虚拟极化物的实现，再进行轻掺杂质质以形成背型布植的背型布植的一种创造 MOS 型晶体管的工艺。工艺始于一背型基板，例如由硅、锗、及 / 或复合半导体材料所组成的半导体基板，在步骤 301 中，在基板上形成浅沟槽隔离。如前所述，可形成浅沟槽隔离，以隔离 NMOS 型晶体管与 CMOS 晶体管对的 PMOS 晶体管。

在步骤 302 中，将晶片暴露在氧中，以生长成一虚拟氧化物薄层，例如晶片表面上的一层二氧化硅，的方式成长介电层。相对于图 1 的工艺，现在栅极氧化物的制作是在背型植前进行。因此，没有在背形植后形成氧化层有关的高热预处理所造成的背型质的外扩，也没有衰退的逆应井轮廓。故，自晶体管步骤中，井型布植可使用轻浓度掺杂。此外，因为晶体管的输出电压的变动与掺杂浓度的平方根成比例，因此轻掺杂浓度也有助于控制输出电压的变动。

步骤 303 使用轻浓度掺杂，进行穿过虚拟氧化层的背型布植，以形成晶体管的井。例如，对于 NMOS 晶体管而言，将 P 型井植入基板中，而 PMOS 晶体管而言，将 N 型井植入基板中。此外，亦可在靠近通道区布植较重浓度掺杂，以导入逆应井轮廓，来轻短通道效应。再者，结合逆应井布植，亦可进行背型布植，以在靠近逆应井与漏极和源极之间的接面的通道下方导入高掺杂杂质。由于现在背型布植是在多晶硅形成前进行的，因此不会有遮蔽效应，例如与图 1 工艺有关的遮蔽效应，其中在图 1 的工艺中，紧密接近的多晶硅栅极可能会阻挡背型布植的入射离子束。因此，步骤 303 的背型布株可产生更均匀的植入离子分布，而维持背型布植仅在短通道效应的效果。在离子植入之后，步骤 304 进行井的退火。

在步骤 305 中，沉积多晶硅层在虚拟氧化层的顶面上。此外，亦可沉积硬掩模层，
例如由氮化硅所组成的硬掩模层。接着，通过光学微影工艺来图案化多晶硅层，而可移除未被多晶硅层所覆盖的虚设氧化层。经图案化的多晶硅层结合下方的虚设氧化层，而形成为晶体管的虚设多晶硅栅极。为了控制短通道效应，在步骤 306 中，可布植轻掺杂漏极区，以收缩靠近漏极的空乏区。由于通过可利用垂直于晶片表面的入射离子束来进行轻掺杂漏极的布植，因此轻掺杂漏极的布植不会遭受与型布植有关的遮蔽效应之苦，其中袋型布植是在多晶硅形成后进行。因此，可在多晶硅形成后进行轻掺杂漏极的布植，而不会衰退。

在步骤 307 中，利用虚设多晶硅栅极作为掩模，进行离子扩散或离子布植，以将离子扩散或植入井中，借以形成晶体管的源极与漏极区。对 NMOS 晶体管而言，将 n 型掺杂扩散或植入 p 型井中，以形成 n⁺源极与漏极区。对 PMOS 晶体管而言，将 p 型掺杂扩散或植入 n 型井中，以形成 p⁺源极与漏极区。选择性地，对 PMOS 晶体管而言，将可布植硅化物，以增加穿过通道的空穴 (hole) 扩散迁移率。于已经使用虚设多晶硅栅极作为源极与漏极区的制作的屏蔽后，在步骤 308 中，移除虚设多晶硅栅极。由于在步骤 303 中，当透过虚设氧化层进行井布植时，虚设氧化层会受损，因此虚设多晶硅栅极的移除也移除了受损的虚设氧化层。接着，沉积氧化界面层，以形成氧化层的沉积作准备。最后，在步骤 309 中，沉积并图案化一层高介电常数氧化层以及金属层，以形成金属栅极。因为高介电常数金属栅极是后来才完成，因此图 3 的工艺适用于使用栅极后工艺的技术节点。

图 4 是示出依照本揭露的一或多个实施例的通过先进行虚设栅极氧化物的制作，再进行低浓度掺质的井布植的一种制作 MOS 晶体管的替代工艺，其中低浓度掺质的井布植和高掺杂袋型的袋型布植开行进行。步骤 401 以及 402 与图 3 的形成浅沟槽隔离以及成长虚设氧化层的步骤 301 以及 302 相同。步骤 403 利用轻浓度掺质且透过虚设氧化层进行井布植。类似于步骤 303，可植入较重浓度掺质，来形成逆井轮廓，以减轻短通道效应。然而，与步骤 303 相比，袋型布植并未与井布植结合。相反地，袋型布植是在多晶硅形成后，与轻掺杂漏极的布植结合。类似于图 2 的袋型布植掺杂轮廓，袋型布植掺杂浓度具有不均匀的分布。在一实施例中，使用倾斜布植法 (angled implantation) 来执行袋型布植。例如，倾斜布植具有约为 20 度的植入倾斜角。

步骤 404 进行了如步骤 304 的井退火。类似地，步骤 405 利用如步骤 305 中所述的光学微影，进行多晶硅层的沉积、硬掩模层的沉积以及虚设多晶硅栅极的制作。在步骤 406 中，进行轻掺杂漏极布植以及袋型布植，以减轻如图 1 的步骤 106 中的短通道效应。与图 3 的工艺相比，由于紧密接近的多晶硅栅极可能会阻挡袋型布植的离子束，因此植入的袋区可能会具有遮蔽效应。步骤 407 如同步骤 307 所述般，利用虚设多晶硅栅极来作为掩模，而进行源极与漏极区的离子扩散或离子布植。类似地，如步骤 308 所述般，步骤 408 移除虚设栅极氧化物，且沉积氧化界面层。最后，在步骤 409 中，沉积与图案化一层高介电常数的氧化层以及金属层，以形成金属栅极，而完成高介电常数后工艺。

图 5 是示出依照本揭露的一或多实施例的以图 3 的工艺来制作 N 型通道 MOS 晶体管与 P 型通道 MOS 晶体管的剖面图。工艺始于硅基板 501 的晶片，通过形成一或多个浅沟槽隔离特征 502 的方式，而在半导体基板中定义出数个包含晶体管的井的主动区 520。对应于工艺步骤 301，浅沟槽隔离特征 502 隔离了主动区 520 中的各种组件（例如晶体管）。接着，对应于工艺步骤 302，通过将晶片暴露于氧中，成长一层薄介电虚设氧化层 505 于晶片表面上。接着，对应于工艺步骤 303 以及 304，透过虚设氧化层 505，以轻浓度掺质布植
主动区 520，接着退火，以形成井。对于 NMOS 晶体管而言，植入轻浓度 p 型掺杂，以形成 P 型井 503。类似地，对于 PMOS 晶体管而言，植入轻浓度 n 型掺杂，以形成 N 型井 504。此外，为了进一步控制短通道效应，可在通道下方，且亦靠近逆井与源极／漏极区之间的接面处，进行高掺杂型区的布植，以缩短延伸在通道下方的空乏宽度。

[0073] 在一实施例中，可在靠近 N 型道的 P 型井 503 中，植入掺杂浓度重于 NMOS 晶体管的 P 型井 503 的掺杂程度的 p 型掺杂掺杂浓度，以导入 p' 逆井 515 轮廓，来减轻短通道效应。可使用掺杂量低于约 5.7×10^{13} 原子 / 平方厘米的 p 型掺杂，例如二氟化硼、铟、或两者，来形成 p' 逆井 515 轮廓。在一实施例中，执行多重布植工艺，以同时并入二氟化硼与铟，借以形成 p' 逆井 515 轮廓。在一实施例中，离子布植工艺可以布植能量约 25KeV 进行二氟化硼的布植，以及约 60KeV 进行铟的布植。此外，可将二氟化硼植入至约 100 堆(Å) 的深度，以及将铟植入至约 200 堆的深度。由于没有与在井布植后成长氧化层有关的井掺质外扩，因此相较于使用在图 1 的工艺中的布植量，布植量可下降约 10%。例如，铟的离子布植量用 5.0×10^{12} 原子 / 平方厘米的掺杂量。类似地，可将掺杂浓度重于 PMOS 晶体管的 N 型井 504 的掺杂浓度的 n 型掺杂，植入 N 型井 504 中，以导入 n' 逆井 516 轮廓。

[0074] 对短时间内布植而言，为 NMOS 晶体管中植入 p' 型袋区 510 接近于 p' 逆井 515，而为 PMOS 晶体管中植入 n' 型袋区 514 接近于 n' 逆井 516。例如，可利用掺杂量低于约 6×10^{13} 原子 / 平方厘米的 p 型掺杂，例如二氟化硼与铟，的离子布植，形成经布植的 p' 型袋区 510。p' 型袋区 510 的离子布植工艺可使用布植能量约 25KeV 进行二氟化硼的布植，以及使用布植能量约 40KeV 进行铟的布植，且可进一步具有约 20 度的倾斜角。此外，在一实施例中，将二氟化硼 / 铟离子植入至深度约 100 堆。然而，袋区 510/514 及逆井 515/516 延伸在基板的不同深度中。因为不具有多晶硅栅极，所以袋型布植不会因遮蔽效应而衰退。再者，如此所形成的袋区，例如袋区 510 以及 514，也实质地分布于通道中。与形成在多晶硅栅极后的袋型布植相比，如此所形成的袋型布植在通道下方具有实质均匀的分布。特别是，袋型布植在通道边缘与通道中心两者的掺杂浓度实质上相同，称为袋型布植的均匀掺杂浓度。假如以上所定义的相同公式来计算袋型布植的不均匀度，不均匀度为 U = (C_e - C_c) / C_c，其中 C_e 是通道边缘的掺杂浓度，而 C_c 是通道中心的掺杂浓度。在本例子中，不均匀度 U 实质上为 0%。在一实施例中，袋型布植的均匀掺杂浓度是低于约 6×10^{19} 原子 / 立方厘米。

[0075] 相对的，在现有的技术中，于多晶硅栅极后形成袋型布植，掺杂轮廓具有变化的掺杂浓度。特别是的，掺杂轮廓具有一梯度掺杂浓度，其自通道边缘递减至通道中心。在特定例子中，此梯度掺杂浓度是由在通道边缘的最高掺杂浓度，下降至在通道中心最低的掺杂浓度。最低掺杂浓度低于最高掺杂浓度的约 20%。在一梯度掺杂浓度的例子中，于通道边缘的最高掺杂浓度达到 6×10^{19} 原子 / 立方厘米，而在通道中心的最低掺杂浓度约为 1×10^{19} 原子 / 立方厘米。如更早前所述，在本例子中，不均匀度 U 大约于 83%。

[0076] 在另一实施例中，所揭露的袋型布植的掺杂浓度大于逆井的掺杂浓度。例如，逆井的掺杂浓度低于约 4×10^{19} 原子 / 立方厘米。袋型布植的掺杂浓度低于约 6×10^{19} 原子 / 立方厘米。

[0077] 接着，在虚设氧化层 505 上沉积多晶硅层 506。对应于步骤 305，透过光学微影工艺来图案化多晶硅层 506，以形成 MOS 晶体管的多晶硅层 521。接着，可蚀刻移除未被多晶硅层覆盖的虚设氧化层 505。图案化的多晶硅层 521 以及在其下的虚设氧化层 522 形成 MOS
晶体管的虚设多晶硅栅极。为了控制短通道效应，对应于工艺步骤 306，可布植轻掺杂漏极区接近于虚设多晶硅栅极。对 NMOS 晶体管而言，可布植轻掺杂 n 型区 509 接近于虚设多晶硅栅极。类似地，对 PMOS 晶体管而言，可布植轻掺杂 p 型区 513。对应于工艺步骤 307，利用虚设多晶硅栅极来作为掩模，进行离子布植，以将离子植入井中，借以形成晶体管的源极与漏极区。对 NMOS 晶体管而言，将 n 型掺杂植入 P 型井 503 中，以形成 n 源极区 508 与 n 漏极区 507。类似地，对 PMOS 晶体管而言，将 p 型掺杂植入 N 型井 504 中，以形成 p 源极区 512 与 p 漏极区 511。在形成源极与漏极区后，形成介电层（未示绘）环绕虚设多晶硅栅极。接着，对应于工艺步骤 308，移除虚设多晶硅栅极，以移除在透过虚设氧化层进行布植时所受损的虚设氧化层。虚设多晶硅栅极的移除在介电层中留下了开口（未示绘）或沟槽。之后，对应于步骤 309，形成金属栅极于这些开口或沟槽上，以取代虚设多晶硅栅极。每一金属栅极包含高介电常数栅极介电层 517 以及金属栅极电极层 518。

[0078] 图 6 是示绘依照本揭露的实施例之一或多个实施例的以图 4 的工艺来制作 N 型通道 MOS 晶体管与 P 型通道 MOS 晶体管的剖面图。如图 5 所示，对应于工艺步骤 401，于一或多于沟槽隔离特征 602 形成后，主区 620 定义于硅基板 601 的晶片上。对应于工艺步骤 402，成长一薄介电质氧化层 605 于晶片表面上。如图 5 所示，对应于工艺步骤 403 以及 404，透过虚设氧化层 605，以轻浓度掺杂质布植主区 620，以形成 P 型井 603 以及 N 型井 604。同样如图 5 所示，植入较重浓度掺杂，以形成 p 逆行井 615 轮廓以及 n 逆行井 616 轮廓。在一实施例中，可使用掺杂量低于约 5.7×10^{13} 原子/平方厘米的 p 型掺杂，例如二氧化硅、铟或两者，来形成 p 逆行井 615 轮廓。在一实施例中，进行多重布植工艺，以同时并入氧化硅与铟，借以形成 p 逆行井 615 轮廓。在一实施例中，离子布植工艺可以布植能量约 25KeV 来进行二氧化硅的布植，以及以布植能量约 60KeV 来进行铟的布植。此外，可将二氧化硅植入至深度约 100 埃，以及将铟植入至深度约 200 埃。然而，相较于图 5，袋型布植并非与井布植一起进行。反而，袋型布植是在多晶硅形成后，结合轻掺杂漏极布植一起进行。

[0079] 类似于图 5，对应于工艺步骤 405，沉积且图案化多晶硅层 606，以形成由图案化的多晶硅层 621 与图案化的虚设氧化层 622 所组成的虚设多晶硅栅极。对应于工艺步骤 406，亦布植轻掺杂漏极区接近于虚设多晶硅栅极，以形成轻掺杂 n 型区 609 以及轻掺杂 p 型区 613。相对于图 5，因为袋型布植并不是与井布植一起进行，所以此时可进行袋型布植，以导入 p 袋区 610 与 n 袋区 614 分别接近于 p 逆行井 615 与 n 逆行井 616。在一实施例中，p 袋区 610 的离子布植工艺可以约 20 度的倾斜角，且使用约 25KeV 的布植能量来进行二氧化硅的布植，以及使用约 40KeV 的布植能量来进行铟的布植。此外，在一例子中，将二氧化硅 / 铟离子植入至深度约 100 埃。然而，由于袋型布植是在多晶硅栅极形成后进行，因此袋型布植可能具有遮蔽效应。如图 5 所示，对应于工艺步骤 407，进行离子布植，以形成 NMOS 晶体管的 n 源极 608 与 n 漏极 607 区，以及 PMOS 晶体管的 p 源极 612 与 p 漏极 611。在一实施例中，形成介电层（未示绘）环绕虚设多晶硅栅极。接着，对应于工艺 508，移除虚设多晶硅栅极，而于介电层中留下开口（未示绘）或沟槽。之后，对应于步骤 409，形成金属栅极于这些开口或沟槽中，以取代虚设多晶硅栅极。每一金属栅极包含高介电常数栅极介电层 617 以及金属栅极电极层 618。

[0080] 虽然已描述本揭露的实施例，然这些实施例仅是用以举例说明并非用以限制本揭露。亦应理解的是，本揭露的实施例应不限于这些实施例，在此技术领域中具有通常知识
者，可根据本揭露的原理作许多的润饰与变动，这些润饰与变动包含在如以下所主张的本揭露的精神与范围内。
图 4

浅沟槽隔离 401

输入/输出以及核心虚栅极氧化物 402

使用轻掺杂浓度的井布植 403

井退火 404

多晶硅硬掩模沉积，多晶硅栅极制作 405

轻掺杂漏极/袋型布植 406

锗化硅源极/漏极布植 407

移除虚设栅极氧化物/氧化物界面层沉积 408

高介电常数金属栅极沉积 409
图 6F