



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I553642 B

(45) 公告日：中華民國 105 (2016) 年 10 月 11 日

(21) 申請案號：102145803

(22) 申請日：中華民國 102 (2013) 年 12 月 12 日

(51) Int. Cl. : G11C16/06 (2006.01)

G06F12/02 (2006.01)

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION, INC. (TW)

新竹縣竹北市台元街 36 號 8 樓之 1

(72) 發明人：張佑全 CHANG, YU CHUAN (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

US 6708257B2

US 6874044B1

US 8060670B2

US 8112574B2

US 8341311B1

US 2002/0049888A1

US 2012/0246392A1

審查人員：蕭明椿

申請專利範圍項數：15 項 圖式數：7 共 24 頁

(54) 名稱

資料存取命令執行方法以及使用該方法的快閃記憶體裝置

METHODS FOR EXECUTING DATA ACCESS COMMANDS AND FLASH MEMORY DEVICES  
USING THE SAME

(57) 摘要

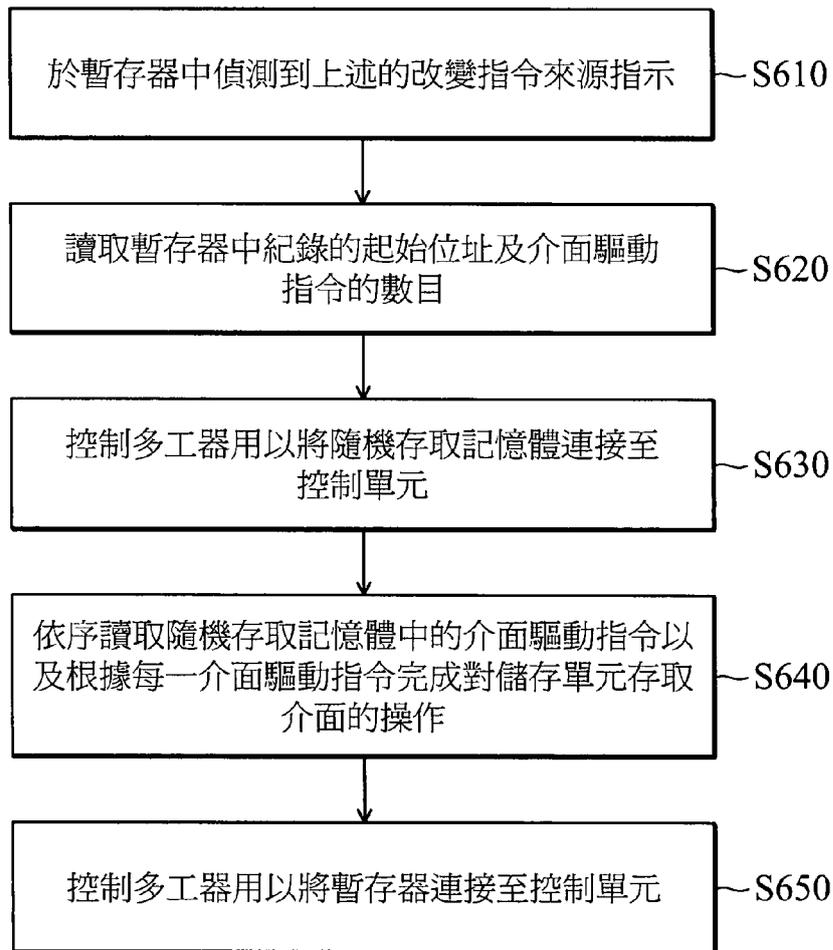
本發明的實施例提出一種資料存取命令執行方法，由控制單元執行，包含下列步驟。當從暫存器中偵測到改變指令來源指示後，從隨機存取記憶體讀取一系列介面驅動指令。依據上述介面驅動指令依序操作儲存單元存取介面，用以完成對儲存單元的資料存取。

An embodiment of a method for executing data access commands, executed by a control unit, is introduced to perform the following steps. A series of interface driving instructions are read from a random access memory after an indication for altering instruction source is detected from a register. A storage unit access interface is operated according to the interface driving instructions to complete data access of a storage unit.

指定代表圖：

符號簡單說明：

S610~S650 . . . 方法步驟



第 6 圖

## 發明摘要

※ 申請案號：102145803

※ 申請日：102.12.12.

※IPC 分類：G11C 16/06 (2006.01)

G06F 12/02 (2006.01)

**【發明名稱】** 資料存取命令執行方法以及使用該方法的快閃記憶體裝置

Methods for executing data access commands and flash memory devices using the same

**【中文】**

本發明的實施例提出一種資料存取命令執行方法，由控制單元執行，包含下列步驟。當從暫存器中偵測到改變指令來源指示後，從隨機存取記憶體讀取一系列介面驅動指令。依據上述介面驅動指令依序操作儲存單元存取介面，用以完成對儲存單元的資料存取。

**【英文】**

An embodiment of a method for executing data access commands, executed by a control unit, is introduced to perform the following steps. A series of interface driving instructions are read from a random access memory after an indication for altering instruction source is detected from a register. A storage unit access interface is operated according to the interface driving instructions to complete data access of a storage unit.



【本案指定代表圖】：第（6）圖。

【本代表圖之符號簡單說明】：  
S610~S650 方法步驟。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

# 發明專利說明書

**【發明名稱】** 資料存取命令執行方法以及使用該方法的快閃記憶體裝置

Methods for executing data access commands and flash memory devices using the same

**【技術領域】**

**【0001】** 本發明關連於一種快閃記憶體裝置，特別是一種資料存取命令執行方法以及使用該方法的快閃記憶體裝置。

**【先前技術】**

**【0002】** 傳統上，爲了執行存取快閃記憶體中儲存單元的資料的命令，執行於快閃記憶體中的韌體需要使用一段連續的時間來寫暫存器，用以驅動控制單元完成一連串喚起(assert)、釋放(de-assert)儲存單元存取介面中的特定控制訊號或者是載入關聯於存取動作的位址、參數、資料等。這通常需要連續寫入五到二十個不等的暫存器，且這段時間通常不能被中斷。在這樣的設計下，不利於韌體對於多筆資料存取命令的排程最佳化，使得資料存取的效率較難提升。因此，本發明提出一種資料存取命令執行方法以及使用該方法的快閃記憶體裝置，用以降低寫入暫存器所需的連續時間，使得韌體可擁有較高的彈性來最佳化多個資料存取命令的排程。

**【發明內容】**

**【0003】** 本發明的實施例提出一種資料存取命令執行方法，由控制單元執行，包含下列步驟。當從暫存器中偵測到改變指令來源指示後，從隨機存取記憶體讀取一系列介面驅動指

令。依據上述介面驅動指令依序操作儲存單元存取介面，用以完成對儲存單元的資料存取。

**【0004】** 本發明的實施例提出一種快閃記憶體裝置的裝置，包含儲存單元存取介面、暫存器、隨機存取記憶體以及控制單元。控制單元耦接於暫存器、隨機存取記憶體與儲存單元存取介面之間。控制單元當從暫存器中偵測到改變指令來源指示後，從隨機存取記憶體讀取一系列的介面驅動指令；以及依據介面驅動指令依序操作儲存單元存取介面，用以完成對儲存單元的資料存取。

**【0005】** 本發明的實施例另提出一種資料存取命令執行方法，由被載入於微處理單元中之韌體執行，包含下列步驟。寫入一系列介面驅動指令至隨機存取記憶體，而非寫入至暫存器。寫入改變指令來源指示至暫存器，用以指示控制單元從隨機存取記憶體中讀取介面驅動指令並且據以依序操作儲存單元存取介面。

### **【圖式簡單說明】**

#### **【0006】**

第1圖係依據本發明實施例之快閃記憶體的系統架構示意圖。

第2圖係依據本發明實施例之快閃記憶體中的儲存單元示意圖。

第3圖係依據本發明實施例之使用填寫暫存器的方式寫入資料至儲存單元的時序圖。

第4圖係依據本發明實施例之由韌體執行之介面驅動指令

產生方法的方法流程圖。

第5圖係依據本發明實施例之介面驅動指令儲存示意圖。

第6圖係依據本發明實施例之由控制單元執行之介面驅動指令執行方法的方法流程圖。

第7圖係依據本發明實施例之使用隨機存取記憶體預存介面驅動指令的方式寫入資料至儲存單元的時序圖。

### 【實施方式】

【0007】 本發明提出一種資料存取命令執行方法以及使用該方法的快閃記憶體裝置，用以降低寫入暫存器所需的連續性時間，使得韌體可擁有較高的彈性來最佳化多筆資料存取命令。快閃記憶體裝置可以是安全數位卡 (secure digital SD memory card)。第1圖係依據本發明實施例之快閃記憶體的系統架構示意圖。快閃記憶體的系統架構10中包含控制單元116，用以從暫存器113或隨機存取記憶體114取得指令、存取位址、參數、資料或其他相關的資訊，並據以對儲存單元120進行存取。詳細來說，控制單元116透過儲存單元存取介面117寫入資料到儲存單元120中的特定位址，以及從儲存單元120中的特定位址讀取資料。系統架構10使用數個電子訊號來協調控制單元116與儲存單元120間的資料與命令傳遞，包含資料線 (data line)、時脈訊號 (clock signal) 與控制訊號 (control signal)。資料線可用以傳遞命令、位址、讀出及寫入的資料；控制訊號線可用以傳遞命令提取致能 (command latch enable, CLE)、位址提取致能 (address latch enable, ALE)、晶片致能 (chip enable, CE)、寫入致能 (write enable, WE) 等控制訊號。微處理單元112另可使

用處理單元存取介面111透過特定通訊協定與其他電子裝置進行通訊，例如，通用序列匯流排(universal serial bus, USB)、先進技術附著(advanced technology attachment, ATA)或其他介面。

【0008】 第2圖係依據本發明實施例之快閃記憶體中的儲存單元示意圖。儲存單元120包含由MxN個記憶體單元(memory cells)組成的陣列(array)121，而每一個記憶體單元可以包含一或多個單一位準記憶體單元(single-level cell, SLC)或三位準記憶體單元(triple-level cell, TLC)。快閃記憶體可以是NOR型快閃記憶體(NOR flash memory)、NAND型快閃記憶體，或其他種類的快閃記憶體。為了正確存取資訊，行解碼單元122用以選擇記憶體單元陣列121中特定的行，而列編碼單元123用以選擇特定行中一定數量的位元組的資料作為輸出。位址單元124提供特定的行資訊給行解碼器122，其中定義選擇記憶體單元陣列121中的特定行的資訊。相似地，列解碼器123則根據位址單元124提供的列資訊，選擇記憶體單元陣列121的特定行中一定數量的列進行讀取或寫入操作。從記憶體單元陣列121讀取出的資料，或欲寫入記憶體單元陣列121中的資料則儲存在資料緩衝器(data buffer)125。

【0009】 於正常狀態下，多工器115會被組態為連接暫存器113至控制單元116。控制單元116會週期性地偵測暫存器113中是否存在一個新的介面驅動指令，是則據以改變儲存單元存取介面117的控制訊號、起始或結束儲存單元存取介面117的時脈訊號、放置資料於儲存單元存取介面117的資料線上、讀取儲

存單元存取介面117的資料線上的資料，或是以上操作的任意結合。儲存單元存取介面117可採用單倍資料率(single data rate, SDR)或雙倍資料率(double data rate, DDR)通訊協定，使儲存單元中的控制器(未顯示)與控制單元116間能彼此溝通，例如，開放NAND快閃(open NAND flash interface, ONFI)、雙倍資料率開關(DDR toggle)或其他介面。執行於微處理單元112的韌體為完成一個由處理單元存取介面111所指示的資料存取指令，可寫入一系列的介面驅動指令至暫存器113中，指示控制單元116完成對儲存單元存取介面117的操作，例如，讀取儲存單元120中一段位址的資料、寫入資料到儲存單元120中的一段位址上、合併儲存單元120中的特定頁面等。第3圖係依據本發明實施例之使用填寫暫存器的方式寫入資料至儲存單元120的時序圖。韌體116可依序寫入特定的值310a及310b至暫存器113中，用以指示控制單元116分別讀取寫入位址與相關參數設定。接著，於暫存器113中寫入特定的值310c，指示控制單元116喚醒儲存單元存取介面117中的晶片致能(CE)控制訊號350。當控制單元116偵測到暫存器113中被寫入特定的值310d後，喚起命令提取致能(CLE)控制訊號330，將寫入命令(program command)320a放置於資料線320上，以及產生寫入致能(WE)的轉態訊號(toggling signal)360a，讓儲存單元120中的控制器(未顯示)可以讀取存放在資料線320上的寫入命令320b。例如，控制單元116可於轉態訊號360a的上升緣(rising edges)於資料線320上取得寫入命令320a。當控制單元116偵測到暫存器113中被寫入特定的值310e後，喚起位址提取致能(ALE)控制訊號

340，將寫入位址(program address)320b與320c放置於資料線320上，接著產生寫入致能(WE)的轉態訊號(toggling signal)360b，讓儲存單元120中的控制器(未顯示)可以讀取存放在資料線320上的寫入位址320b。例如，控制單元116可於轉態訊號360b的上升緣以及/或下降緣(falling edge)於資料線320上取得寫入位址320b與320c。值310a至310e係代表一系列緊接著執行的介面驅動指令。為完成一個寫入命令，韌體必須安排一段足夠長的時間來完成這一系列介面驅動指令的暫存器113寫入動作。此外，為完成一個資料存取命令，介面驅動指令的數目可能多達二十個。

**【0010】** 爲了要降低寫入暫存器所需的連續性時間，本發明實施例另提出一個預先定義的指令碼，有別於如上所述的介面驅動指令，用以指示控制單元116從隨機存取記憶體114中的一個特定起始位址讀取一定數目的介面驅動指令，並據以完成一個資料存取命令。此指令碼可稱爲改變指令來源指示(indication for altering instruction source)。在寫入這個特殊的指令碼前，韌體需要於隨機存取記憶體114中儲存一系列的介面驅動指令，以及將儲存介面驅動指令的起始位址與介面驅動指令的數目寫入暫存器113中。第4圖係依據本發明實施例之由韌體執行之介面驅動指令產生方法的方法流程圖。微處理單元112中執行的韌體寫入一系列介面驅動指令至隨機存取記憶體114中(步驟S410)，而非寫入至暫存器113中。韌體可在任意的時間點執行步驟S410，也可以一次寫入關聯於多個資料存取命令的介面驅動指令，例如，關聯於一個讀取資料命令以及一個

寫入資料命令的介面驅動指令。第5圖係依據本發明實施例之介面驅動指令儲存示意圖。如之前所述之介面驅動指令310a至310e可被儲存於隨機存取記憶體114中，起始位址為”’h0102”。韌體接著將儲存介面驅動指令的起始位址寫入到暫存器113(步驟S420)，將介面驅動指令的數目寫入到暫存器113(步驟S430)。於需要驅動儲存單元存取介面117的時間點，韌體將改變指令來源指示寫入暫存器113(步驟S440)，用以指示控制單元116從隨機存取記憶體114中讀取一定數目的介面驅動指令來完成一個資料存取命令。需注意的是，步驟S410的執行時間點可由韌體隨意安排，並不受限於於步驟S420至S440的實際執行時間。換句話說，韌體可事先儲存關聯於多個資料存取命令的介面驅動指令於隨機存取記憶體114中，然後在特定的時間點安排執行步驟S420至S440，用以觸發控制單元116進行介面驅動指令的讀取與執行。在完成寫入儲存介面驅動指令的起始位址、介面驅動指令的數目及改變指令來源指示至暫存器113後，韌體可以不需要等待介面驅動指令被控制單元116執行完畢，隨即執行其他的作業。

**【0011】** 第6圖係依據本發明實施例之由控制單元116執行之介面驅動指令執行方法的方法流程圖。當控制單元116於暫存器113中偵測到上述的改變指令來源指示(步驟S610)後，讀取暫存器113中紀錄的起始位址及介面驅動指令的數目(步驟S620)。暫存器113中的起始位址及介面驅動指令的數目係由韌體於執行步驟S420與S430時寫入。例如，暫存器113中所記錄的起始位址為”’h0102”且介面驅動指令的數目為”5”。接著，控

制多工器 115 用以將隨機存取記憶體 114 連接至控制單元 116(步驟 S630)。依據取得的起始位址及介面驅動指令的數目，從隨機存取記憶體 114 依序讀取介面驅動指令以及根據每一介面驅動指令完成對儲存單元存取介面的操作(步驟 S640)。範例之儲存於隨機存取記憶體 114 中的介面驅動指令可參考第 5 圖。於讀取完介面驅動指令後，控制單元 116 控制多工器 115 用以將暫存器 113 連接至控制單元 116(步驟 S650)，使得控制單元 116 可繼續週期性地偵測及讀取暫存器 113 中的值。

**【0012】** 第 7 圖係依據本發明實施例之使用隨機存取記憶體 114 預存介面驅動指令的方式寫入資料至儲存單元 120 的時序圖。韌體 116 可事先將一系列介面驅動指令儲存於隨機存取記憶體 114 中的特定位置(步驟 S410)。在這個例子中，此介面驅動指令係用以完成寫入資料到儲存單元 120 中的一塊區域。在到達一個計劃之時間點時，韌體 116 可寫入儲存於隨機存取記憶體 114 中之一系列介面驅動指令的起始位址 710a 與 710b 至暫存器 113(步驟 S420)，以及寫入介面驅動指令的數目 710c 至暫存器 113(步驟 S430)。起始位址 710a 與 710b 係使用十六個位元(兩個位元組)表示，熟習此技藝人士亦可以使用更多位元來進行定址，本發明並不因此而侷限。接著，將改變指令來源指示 710 寫入至暫存器 113(步驟 S440)。請參考第 5 圖，在這個例子中，起始位址是”h0102”，並且此一一系列的介面驅動指令的數目是五個。當辨識出暫存器 113 中的改變指令來源指示 710d(步驟 S610)後，讀取暫存器 113 中儲存的起始位址 710a 與 710b 以及介面驅動指令的數目 710c(步驟 S620)。控制單元 116 接著控制多工

器 115 將隨機存取記憶體 114 連接至控制單元 116 (步驟 S630)。依據起始位址 710a 與 710b 以及介面驅動指令的數目 710c，控制單元 116 從隨機存取記憶體 114 中依序讀出介面驅動指令並完成對儲存單元存取介面 117 的操作 (步驟 S640)。詳細對於儲存單元存取介面 117 中資料線 320、命令提取致能控制訊號 330、位址提取致能控制訊號 340、晶片致能控制訊號 350 以及寫入智能控制訊號 360 的操作，請參考第 3 圖的說明。最後，控制單元 116 控制多工器 115 將暫存器 113 連接至控制單元 116 (步驟 S650)，用以繼續偵測新寫入暫存器 113 的值。

**【0013】** 雖然第 1 圖、第 2 圖中包含了以上描述的元件，但不排除在不違反發明的精神下，使用更多其他的附加元件，已達成更佳的技术效果。此外，雖然第 4 圖、第 6 圖的流程圖採用特定的順序來執行，但是在不違法發明精神的情況下，熟習此技藝人士可以在達到相同效果的前提下，修改這些步驟間的順序，所以，本發明並不侷限於僅使用如上所述的順序。此外，熟習此技藝人士亦可以將若干步驟整合為一個步驟，或者是除了這些步驟外，循序或平行地執行更多步驟，本發明亦不因此而侷限。

**【0014】** 雖然本發明使用以上實施例進行說明，但需要注意的是，這些描述並非用以限縮本發明。相反地，此發明涵蓋了熟習此技藝人士顯而易見的修改與相似設置。所以，申請權利要求範圍須以最寬廣的方式解釋來包含所有顯而易見的修改與相似設置。

### **【符號說明】**

**【0015】**

- 10 快閃記憶體的系統架構；
- 110 快閃記憶體控制器；
- 111 處理單元存取介面；
- 112 微處理單元；
- 113 暫存器；
- 114 隨機存取記憶；
- 115 多工器；
- 116 控制單元；
- 117 儲存單元存取介面；
- 120 儲存單元；
- 121 記憶體單元陣列；
- 122 行解碼單元；
- 123 列編碼單元；
- 124 位址單元；
- 125 資料緩衝器；
- 310a~310e 介面驅動指令；
- 320 資料線；
- 320a 寫入命令；
- 320b、320c 寫入位址；
- 330 命令提取致能控制訊號；
- 340 位址提取致能控制訊號；
- 350 晶片致能控制訊號；
- 360 寫入致能控制訊號；

360a、360b 轉態訊號；

S410~S440 方法步驟；

S610~S650 方法步驟；

710a、710b 紀錄於隨機存取記憶體中的介面驅動指令的  
起始位址；

710c 介面驅動指令的數目；

710d 改變指令來源指示。

## 申請專利範圍

1. 一種資料存取命令執行方法，由一控制單元執行，包含：  
當從一暫存器中偵測到一改變指令來源指示後，從上述暫存器中讀取儲存於上述隨機存取記憶體中之上述介面驅動指令的一起始位址，以及上述介面驅動指令的一數目，以及控制一多工器將上述隨機存取記憶體連接至上述控制單元，其中，上述介面驅動指令的讀取係依據上述起始位址以及上述介面驅動指令的上述數目；以及  
依據上述介面驅動指令依序操作一儲存單元存取介面，用以完成對一儲存單元的資料存取。
2. 如申請專利範圍第1項所述的資料存取命令執行方法，更包含：  
當從上述暫存器中偵測到上述改變指令來源指示後，控制一多工器將上述隨機存取記憶體連接至上述控制單元。
3. 如申請專利範圍第2項所述的資料存取命令執行方法，更包含：  
當從上述隨機存取記憶體中讀取上述介面驅動指令後，控制上述多工器將上述暫存器連接至上述控制單元。
4. 如申請專利範圍第1項所述的資料存取命令執行方法，其中上述儲存單元存取介面的操作係包含操作一資料線以及/或一控制訊號線。
5. 如申請專利範圍第1項所述的資料存取命令執行方法，其中上述隨機存取記憶體中之上述介面驅動指令係由執行於一微處理單元之一韌體所寫入。

第 102145803 號申請專利範圍修正本

6. 如申請專利範圍第1項所述的資料存取命令執行方法，其中上述改變指令來源指示係由執行於一微處理單元之一韌體所寫入。
7. 一種快閃記憶體裝置，包含：
  - 一儲存單元存取介面；
  - 一暫存器；
  - 一隨機存取記憶體；
  - 一控制單元，耦接於上述暫存器、上述隨機存取記憶體與上述儲存單元存取介面之間；以及
  - 一多工器，耦接於上述暫存器、上述隨機存取記憶體與上述控制單元之間；其中，上述控制單元當從上述暫存器中偵測到一改變指令來源指示後，從上述暫存器中讀取儲存於上述隨機存取記憶體中之上述介面驅動指令的一起始位址，以及上述介面驅動指令的一數目，以及控制上述多工器將上述隨機存取記憶體連接至上述控制單元，其中上述介面驅動指令的讀取係依據上述起始位址以及上述介面驅動指令的上述數目；以及依據上述介面驅動指令依序操作上述儲存單元存取介面，用以完成對一儲存單元的資料存取。
8. 如申請專利範圍第7項所述的快閃記憶體裝置，更包含：
  - 一多工器，耦接於上述暫存器、上述隨機存取記憶體與上述控制單元之間；

第 102145803 號申請專利範圍修正本

其中上述控制單元當從上述暫存器中偵測到上述改變指令來源指示後，控制上述多工器將上述隨機存取記憶體連接至上述控制單元。

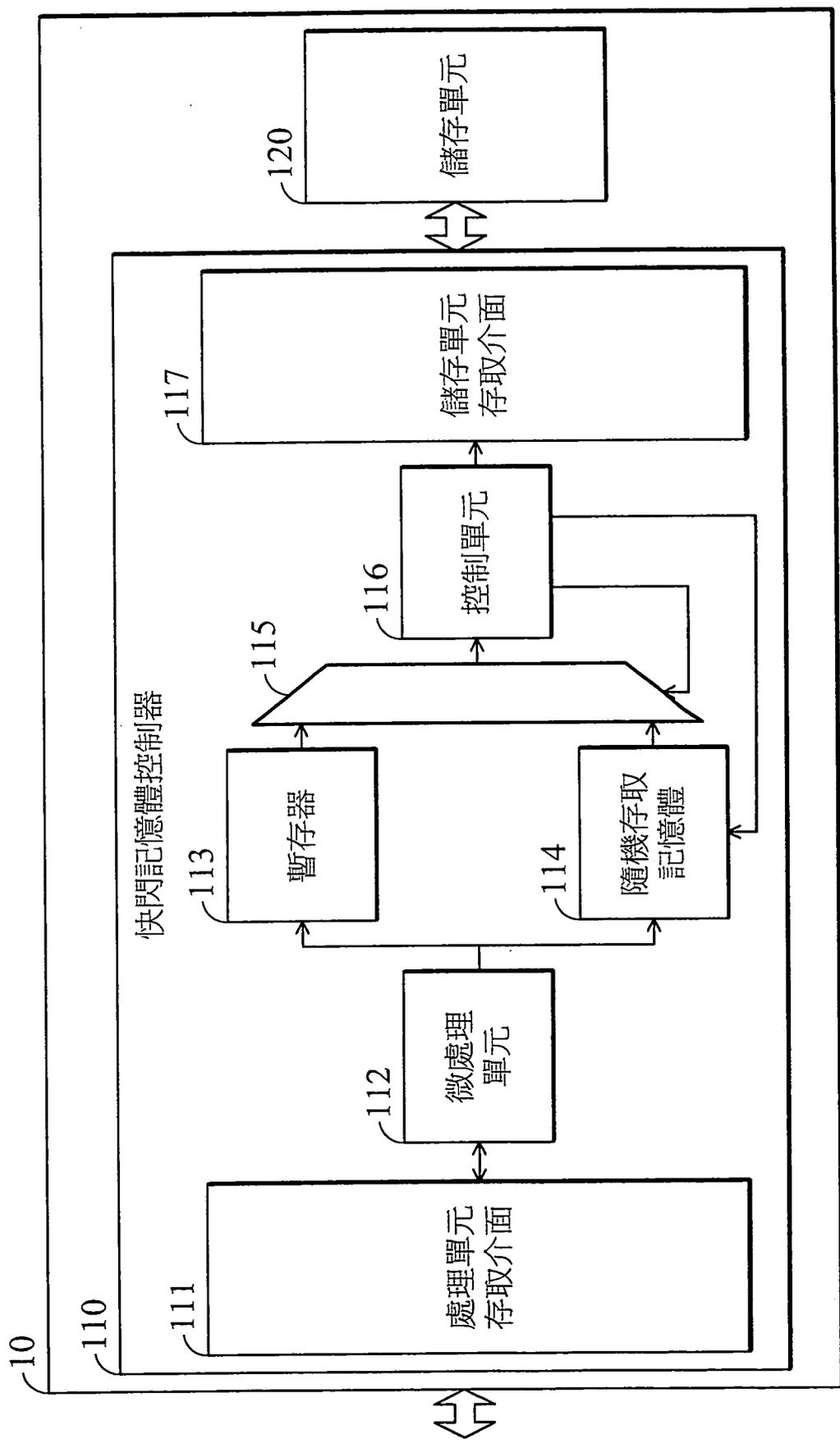
- 9.如申請專利範圍第8項所述的快閃記憶體裝置，其中上述控制單元當從上述隨機存取記憶體中讀取上述介面驅動指令後，控制上述多工器將上述暫存器連接至上述控制單元。
- 10.如申請專利範圍第7項所述的快閃記憶體裝置，其中上述儲存單元存取介面的操作係包含操作一資料線以及/或一控制訊號線。
- 11.如申請專利範圍第7項所述的快閃記憶體裝置，其中上述隨機存取記憶體中之上述介面驅動指令係由執行於一微處理單元之一韌體所儲存。
- 12.如申請專利範圍第7項所述的快閃記憶體裝置，其中上述改變指令來源指示係由執行於一微處理單元之一韌體所儲存。
- 13.一種資料存取命令執行方法，由被載入於一微處理單元中之一韌體執行，包含：  
寫入一系列介面驅動指令至一隨機存取記憶體，而非寫入至一暫存器中；以及  
寫入一改變指令來源指示至上述暫存器，用以指示一控制單元從上述隨機存取記憶體中讀取上述介面驅動指令並且據以依序操作一儲存單元存取介面。
- 14.如申請專利範圍第13項所述的資料存取命令執行方法，更包含：

寫入儲存於上述隨機存取記憶體中之上述介面驅動指令的一起始位址，以及上述介面驅動指令的一數目至上述暫存器；

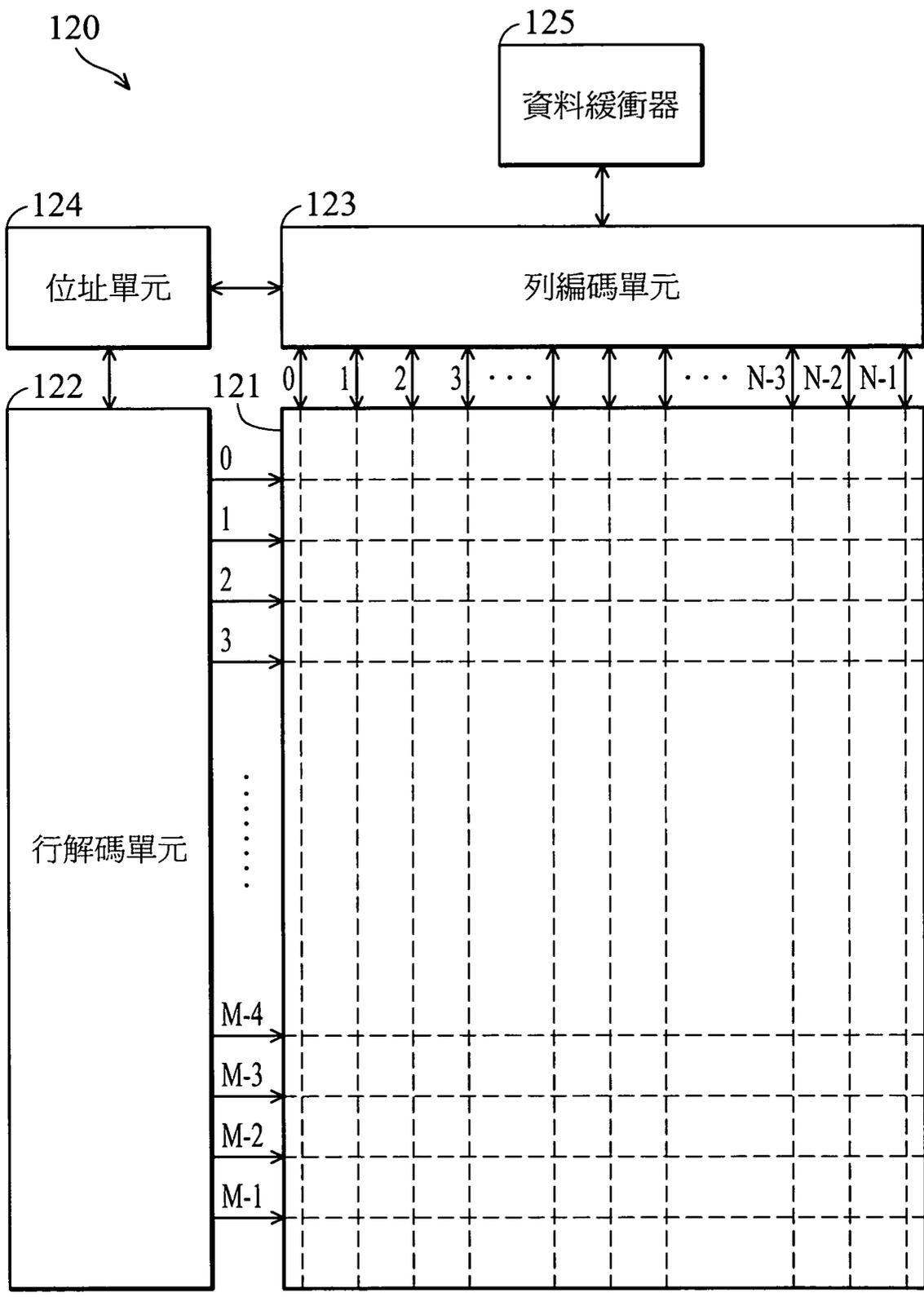
其中上述控制單元依據上述起始位址以及上述介面驅動指令的上述數目讀取介面驅動指令。

15. 如申請專利範圍第 13 項所述的資料存取命令執行方法，其中上述控制單元依據上述介面驅動指令操作上述儲存單元存取介面中的一資料線以及/或一控制訊號線。

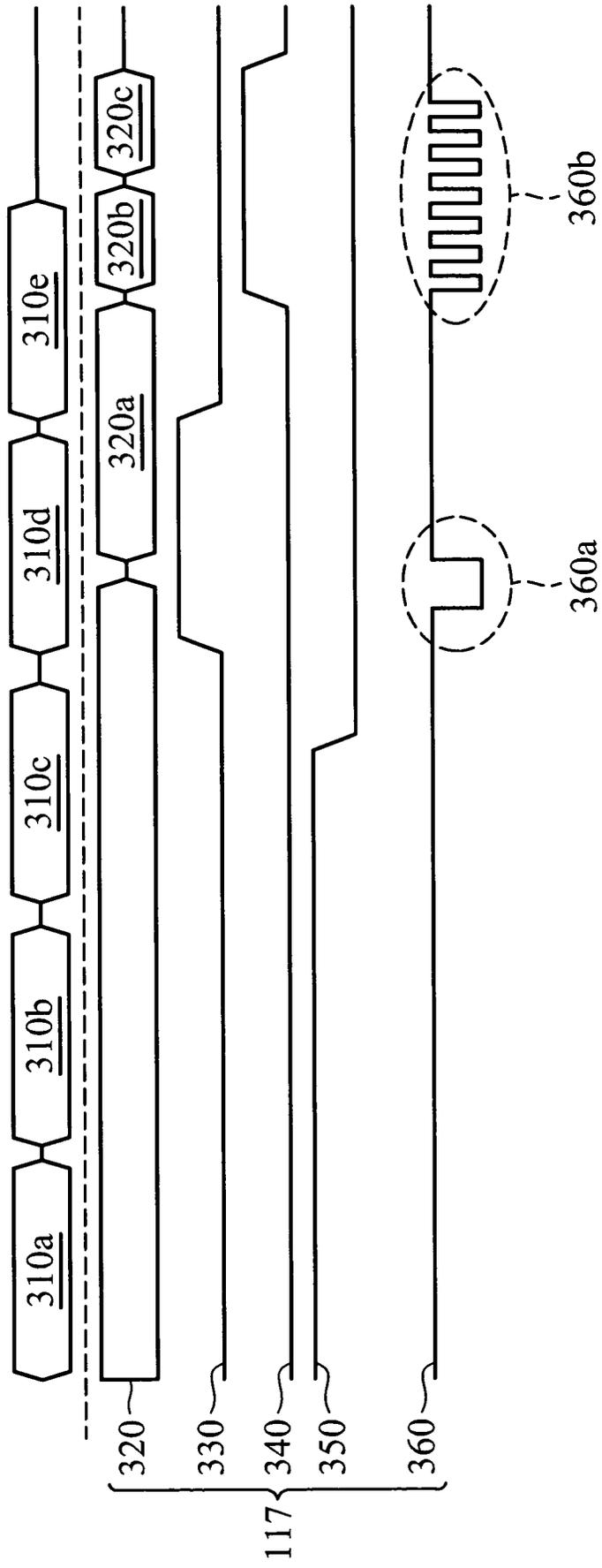
圖式



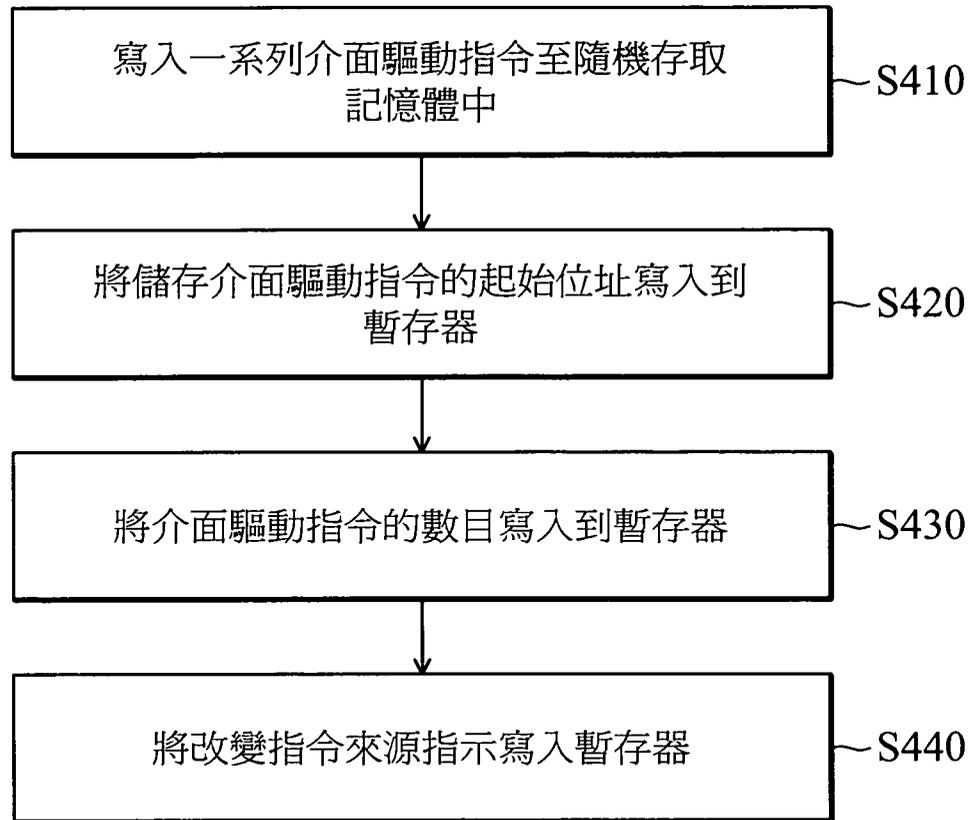
第 1 圖



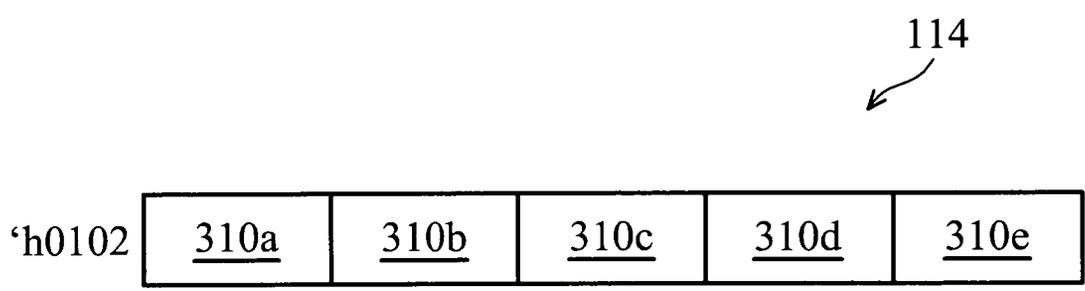
第 2 圖



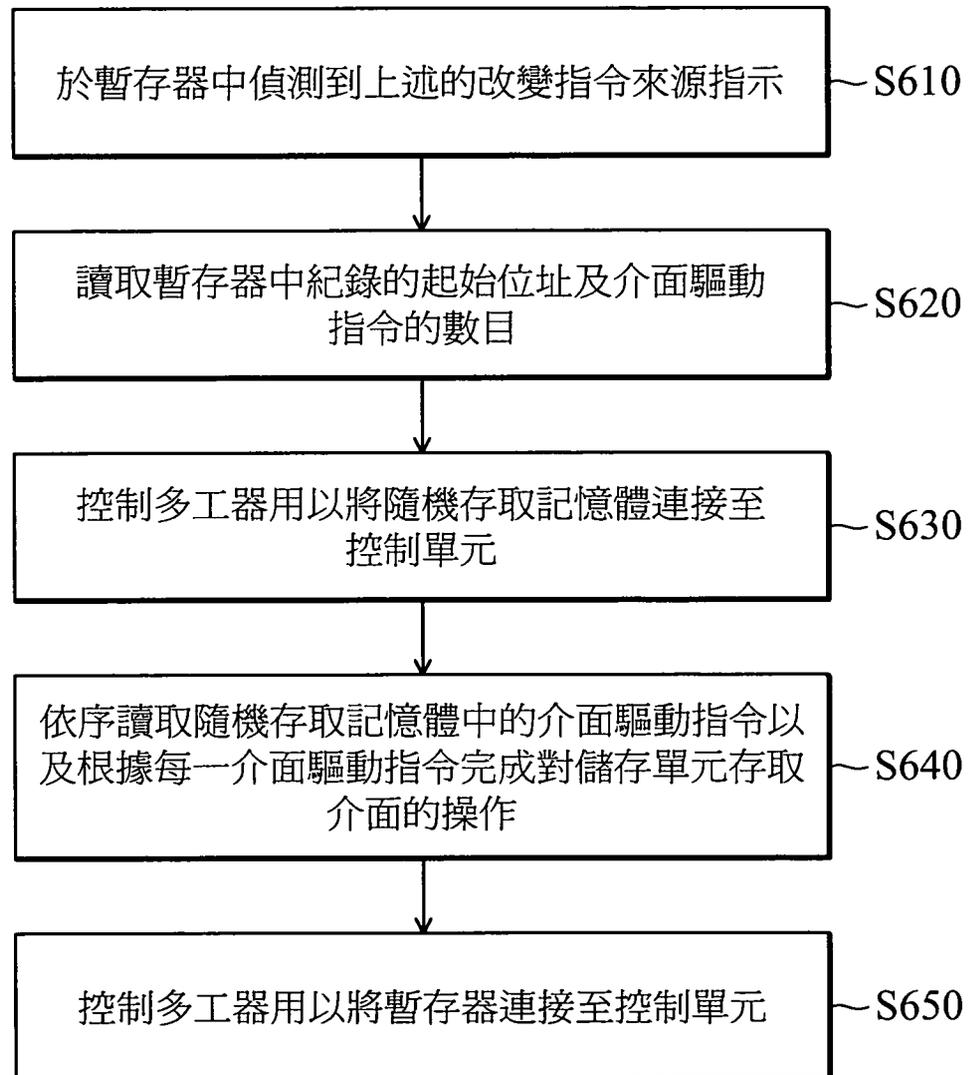
第3圖



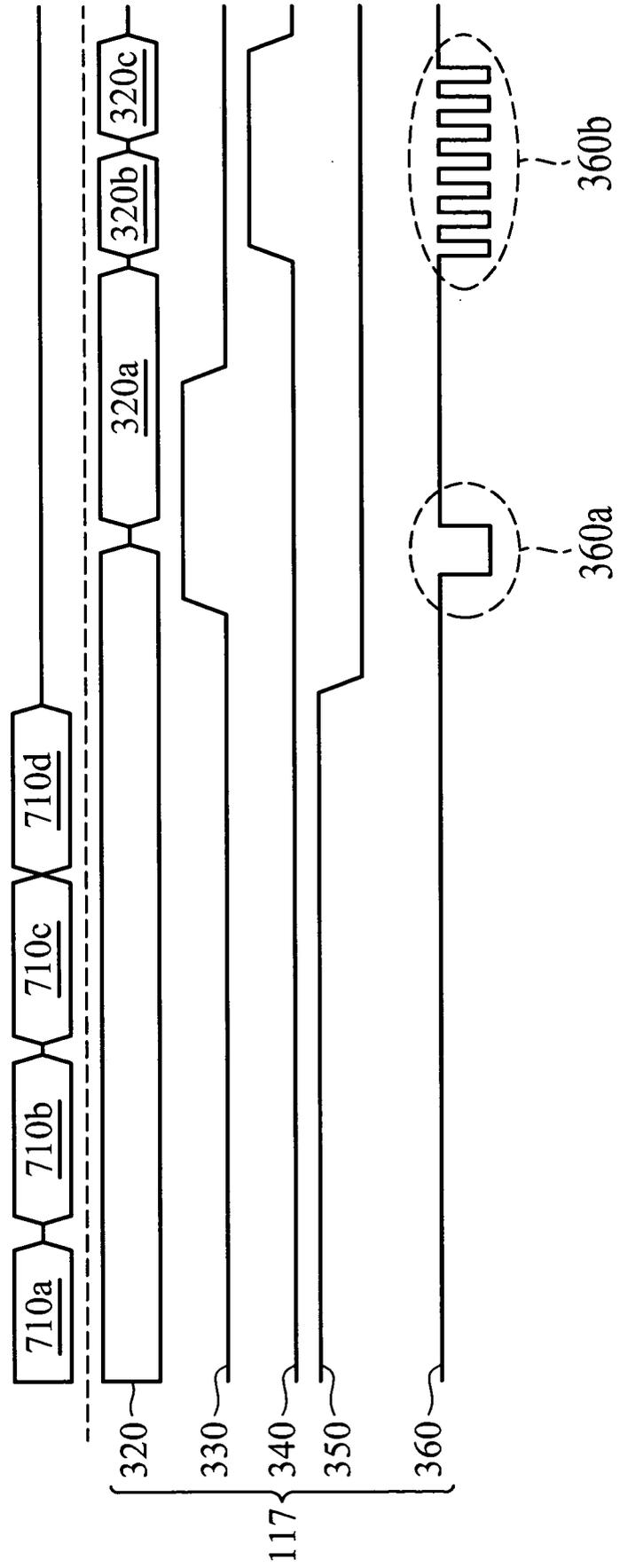
第 4 圖



第 5 圖



第 6 圖



第7圖