半导体器件，含包围圆柱形沟道的栅的晶体管及制造方法

摘要

一种用于具有包围栅结构的集成电路的系统和方法。该集成电路系统包括具有全包围栅圆柱形 (GAAC) 纳米线沟道中的介质层以及其间的晶体管。在半导体线图案的中部中的圆柱形纳米线沟道连接在同一线图案的两个相反端部定位的源和漏区。提供一种用于制造具有 GGAC 晶体管的集成电路系统的方法，该方法包括：在 SOI 晶片的表面氧化物层上形成 SOI 层线图案；在线图案的中部下方形成空腔并且将中部成形为圆柱形金属的沟道，形成包围圆柱形沟道区的栅电极和栅电介质层以及其间，栅电极朝着线图案垂直地定位于表面氧化物层上；在栅电极和沟道的任一侧上，在线图案的两个相反端部形成源区 / 漏区。
1. 一种半导体器件，包括：
   衬底；
   覆盖所述衬底的第一绝缘层；
   沿着第一方向覆盖在所述第一绝缘层上方的半导体线，所述半导体线包括第一端部、
   中部和第二端部；
   在所述第一端部内的源区；
   在所述第二端部内的漏区；
   在所述中部内的沟道区。所述沟道区连接所述源区和所述漏区，所述沟道区的特征在于
   具有半径和长度为圆柱形形状；
   包围所述圆柱形沟道区的第二绝缘层；以及
   栅电极，覆盖所述沟道区周围的第二绝缘层并且沿着第二方向覆盖所述第一绝缘层，
   所述第二方向与所述第一方向垂直。

2. 根据权利要求1所述的器件，其中所述半导体线包括通过阈值调整离子注入而掺杂
   的材料。

3. 根据权利要求2所述的器件，其中所述材料包括硅。

4. 根据权利要求2所述的器件，其中所述材料包括SiGe混合物。

5. 根据权利要求1所述的器件，其中所述半导体线的所述源区和漏区中的各区覆盖所
   述第一绝缘层的底切结构。

6. 根据权利要求1所述的器件，其中所述沟道区与所述第一绝缘层非直接接触。

7. 根据权利要求1所述的器件，其中所述沟道区的半径范围从2nm到25nm，而所述沟
   道区的长度范围从5nm到50nm。

8. 根据权利要求1所述的器件，其中所述第一绝缘层包括氧化硅。

9. 根据权利要求1所述的器件，其中所述沟道区包括第一掺杂物而所述源区/漏区包
   括第二掺杂物，所述第一掺杂物的特征在于第一极性，所述第二掺杂物的特征在于第二极
   性，所述第一极性与所述第二极性相反。

10. 根据权利要求1所述的器件，其中包围所述圆柱形沟道区的所述第二绝缘层具有
    范围从1nm到3nm的厚度。

11. 根据权利要求10所述的器件，其中所述第二绝缘层包括氧化铝、氧化钽、氧化钛、
    氧化锆或者氧化铪中的至少一种电介质材料。

12. 根据权利要求1所述的器件，其中所述栅电极的特征在于所述第一方向上的长度，
    所述长度基本上等于所述沟道区的长度。

13. 根据权利要求12所述的器件，其中所述栅电极包括传导材料。

14. 根据权利要求13所述的器件，其中所述传导材料包括多晶硅。

15. 根据权利要求13所述的器件，其中所述传导材料包括金属。

16. 根据权利要求12所述的器件，其中所述栅电极通过绝缘间隔物来与所述源区和所
    述漏区中的各区电绝缘。

17. 根据权利要求16所述的器件，其中所述绝缘间隔物包括氧化氢/氮化物/氧化物
    (ON0)层。

18. 一种具有包围圆柱形沟道的栅的晶体管，所述晶体管包括：
衬底；
覆盖所述衬底的第一绝缘层；
沿着第一方向覆盖在所述第一绝缘层上方的半导体线，所述半导体线包括第一端部、
中部和第二端部；
在所述第一端部内的源区；
在所述第二端部内的漏区；
在所述中部内的沟道区，所述沟道区连接所述源区和所述漏区，所述沟道区的特征在于具有半径和长度为圆柱形的形状；
包围所述圆柱形沟道区的第二绝缘层；
栅电极，包围所述沟道区周围的第二绝缘层并且沿着第一方向覆盖所述第一绝缘层，
所述第二方向与所述第一方向垂直；
第一间隔物区，所述第一间隔物区与所述栅电极、所述第二绝缘层、所述源区和所述第一绝缘层接触；以及
第二间隔物区，所述第二间隔物区与所述栅电极、所述第二绝缘层、所述漏区和所述第一绝缘层接触。
19. 根据权利要求18所述的晶体管，其中所述第一绝缘层包括氧化硅。
20. 根据权利要求18所述的晶体管，其中所述半导体线包括通过阈值调整离子注入而掺杂的硅。
21. 根据权利要求20所述的晶体管，其中所述半导体线与等于或者少于50nm的宽度关联。
22. 根据权利要求18所述的晶体管，其中所述半导体线的所述源区和所述漏区中的各区在
所述第一绝缘层的底切结构上方。
23. 根据权利要求18所述的晶体管，其中所述沟道区的半径范围从2nm到25nm，而所述
沟道区的长度范围从5nm到50nm。
24. 根据权利要求23所述的晶体管，其中所述沟道区与所述第一绝缘层非直接接触。
25. 根据权利要求18所述的晶体管，其中所述第二绝缘层与范围从1nm到3nm的厚度
关联。
26. 根据权利要求25所述的晶体管，其中所述第二绝缘层包括氧化铝、氧化铱、氧化
钛、氧化铝和氧化钛中的至少一种电介质材料。
27. 根据权利要求18所述的晶体管，其中所述栅电极的特征在于所述第一方向上的长
度，所述长度基本上等于所述沟道区的长度。
28. 根据权利要求27所述的晶体管，其中所述栅电极包括多晶硅。
29. 根据权利要求27所述的晶体管，其中所述栅电极包括金属。
30. 根据权利要求18所述的晶体管，其中所述沟道区包括第一掺杂物而所述源区 / 漏
区包括第二掺杂物，所述第一掺杂物的特征在于第一极性，所述第二掺杂物的特征在于第二
极性，所述第一极性与所述第二极性相反。
31. 根据权利要求18所述的晶体管，其中所述第一和第二间隔物区包括氧化物 / 氮化
物 / 氧化物 (ONO) 层。
32. 根据权利要求18所述的晶体管，还包括所述第一绝缘层上的覆盖所述栅区和所述
源区 / 漏区的内电介质层。

33. 根据权利要求 32 所述的晶体管，还包括与所述栅电极和所述源区 / 漏区的传导接触，其中所述接触通过所述内电介质层来彼此电隔离。

34. 一种用于制作半导体器件的方法，包括：
在晶片衬底上提供第一绝缘层；
沿着第一方向形成覆盖所述第一绝缘层的半导体线，所述半导体线包括第一端部、中部和第二端部；
在所述半导体线下方形成所述第一绝缘层的底切结构；
选择性地去除所述中部下方的所述底切结构以形成具有第一长度和第一高度的空腔；
通过将所述空腔以上的中部成形为圆柱形形状以形成沟道区，所述沟道区具有与所述第一长度相等的沟道长度；
在所述圆柱形沟道区周围包裹第二绝缘层，所述第二绝缘层具有大于所述空腔的所述第一高度的厚度；
在所述第一绝缘层上沉积传导层，用以至少覆盖包括由第二绝缘层包围的圆柱形沟道区的半导体线并且填充下方的所述空腔；
沿着第二方向由所述传导层形成栅极，所述栅极包围包括填充的下方所述空腔的所述圆柱形沟道区，所述第二方向与所述第一方向基本上垂直，所述栅极具有沿着所述第一方向的栅长度，所述栅长度与所述第一长度相等；
在所述第一端部中形成源区，并且
在所述第二端部中形成漏区。

35. 根据权利要求 34 所述的方法，其中所述第一绝缘层包括二氧化硅。

36. 根据权利要求 34 所述的方法，其中所述半导体线包括通过阈值调整离子注入而掺杂的硅。

37. 根据权利要求 36 所述的方法，其中所述半导体线与等于或者少于 5nm 的宽度关联。

38. 根据权利要求 34 所述的方法，其中所述沟道区长度范围从 5nm 到 50nm。

39. 根据权利要求 34 所述的方法，其中所述沟道区具有宽度范围从 2nm 到 25nm 的圆柱形半径。

40. 根据权利要求 34 所述的方法，其中所述第二绝缘层包括氧化铝、氧化铌、氧化钛、氧化锗或者氧化铪中的至少一种电介质材料。

41. 根据权利要求 40 所述的方法，其中所述第二绝缘层具有范围从 1nm 到 3nm 的厚度。

42. 根据权利要求 34 所述的方法，其中所述传导层包括多晶硅。

43. 根据权利要求 34 所述的方法，其中所述传导层包括金属。

44. 根据权利要求 34 所述的方法，其中所述沟道区包括第一掺杂物而所述源区 / 漏区包括第二掺杂物，所述第一掺杂物的特征在于第一极性，所述第二掺杂物的特征在于第二极性，所述第一极性与所述第二极性相反。

45. 根据权利要求 34 所述的方法，其中所述栅极通过绝缘间隔物来与所述源区 / 漏区中的各区电隔离。

46. 根据权利要求 45 所述的方法，其中所述绝缘间隔物包括氧化物 / 氮化物 / 氧化物
47. 一种用于制造具有包围圆柱形沟道的栅的晶体管的方法，所述方法包括：
提供包括 SOI 层、隐形氧化物层和底部衬底的 SOI 衬底；
沿着第一方向在所述隐形氧化物层上的所述 SOI 层内形成线图案，所述线图案包括第一端部、中部和第二端部；
在所述线图案下方形成所述隐形氧化物层的底切结构；
选择性地去除所述中部下方的所述底切结构以形成具有第一长度和第一高度的空腔；
通过将所述空腔以上的所述中部成形为圆柱形的形状以形成沟道区，所述沟道区具有与所述第一长度相等的沟道长度；
至少在所述圆柱形沟道区周围形成栅电介质层，所述栅电介质层具有小于所述空腔的所述第一高度的厚度；
在所述隐形氧化物层上沉积传导层，用以至少覆盖包括由所述栅电介质层包围的所述沟道区的所述线图案并且填充下方所述空腔；
沿着第二方向由所述传导层形成栅区，所述栅区包围包括填充的下方所述空腔的圆柱形沟道区，所述第二方向与所述第一方向基本上垂直，所述栅区具有沿着所述第一方向的栅长度，所述栅长度与所述第一长度相等；
在所述第一端部中形成源区；
在所述第二端部中形成漏区；
形成第一间隔物区，至少所述第一间隔物区的第一部分与所述栅区接触，所述第一间隔物区的第二部分与所述源区接触，所述第一间隔物区的第三部分与所述栅电介质层接触，而所述第一间隔物区的第四部分与所述隐形氧化物层接触；并且
形成第二间隔物区，至少所述第二间隔物区的第一部分与所述栅区接触，所述第二间隔物区的第二部分与所述漏区接触，所述第二间隔物区的第三部分与所述栅电介质层接触，而所述第二间隔物区的第四部分与所述隐形氧化物层接触。
48. 根据权利要求 47 所述的方法，其中所述隐形氧化物层包括二氧化硅。
49. 根据权利要求 47 所述的方法，其中所述 SOI 层包括通过阈值调整离子注入而掺杂的硅。
50. 根据权利要求 47 所述的方法，其中所述沟道长度范围从 5nm 到 50nm。
51. 根据权利要求 47 所述的方法，其中所述沟道区与范围从 2nm 到 25nm 的圆柱形半径关联。
52. 根据权利要求 47 所述的方法，其中所述栅电介质层包括氧化铝、氧化钽、氧化钛、氧化锆或者氧化铪中的至少一种电介质材料。
53. 根据权利要求 52 所述的方法，所述栅电介质层具有范围从 1nm 到 3nm 的厚度。
54. 根据权利要求 47 所述的方法，其中所述传导层包括多晶硅。
55. 根据权利要求 47 所述的方法，其中所述传导层包括金属。
56. 根据权利要求 47 所述的方法，其中所述沟道区包括第一掺杂物而所述源区 / 漏区包括第二掺杂物，所述第一掺杂物的特征在于第一极性，所述第二掺杂物的特征在于第二极性，所述第一极性与所述第二极性相反。
57. 根据权利要求 47 所述的方法，其中所述第一和第二间隔物区包括氧化物 / 氮化物 / 氧化物 (ONO) 层。

58. 根据权利要求 47 所述的方法，还包括在所述第一绝缘层上形成覆盖所述栅区和所述源区 / 漏区的内电介质层。

59. 根据权利要求 58 所述的方法，还包括形成与所述栅区和所述源区 / 漏区中的各区的传导接触，其中所述接触通过所述内电介质层来彼此电隔离。
半导体器件、含包围圆柱形沟道的栅的晶体管及制造方法

技术领域
[0001] 本发明涉及集成电路及其用于制造半导体器件的处理。具体地说，本发明提供一种具有晶体管的半导体器件及其制作方法。仅作为示例，本发明已经应用于具有全包围圆柱形 (GAAC) 纳米线的场效应晶体管 (FET) 器件。作为示例，FET 是基于绝缘体上硅 (SOI) 晶片衬底及其制造方法。但是将认识到本发明具有更广范围的适用性。

背景技术
[0002] 集成电路或 “IC” 已经从在单个硅芯片上制作的少量互连的器件发展成数百万的器件。当前 IC 提供远超过原有想象的性能和复杂性。为了实现复杂性和电路密度（即能够被封装到给定芯片面积上的器件的数目）的改进，最小器件特征尺寸的尺寸，也称为器件“几何结构”已经随着各代 IC 面变得更小。现在以跨度 (across) 少于四分之一微米的特征来制作半导体器件。

[0003] 增加的电路密度不仅改进了 IC 的复杂性和性能，并且还向消费者提供成本更低的零件。IC 制作设施可能花费数以亿计或者甚至数以十亿计美元。各制作设施将具有一定的晶片产量，并且各晶片将具有在该晶片上的一定数目的 IC。因此，通过使 IC 的个别器件更小，可以在晶片上制作更多器件，因此增加制作设施的输出。

[0004] 然而，使器件更小是非常具有挑战性的，因为 IC 制作中所使用的各工艺可能具有一定的限制。也就是说，各制作工艺通常仅对下至某个特征尺寸起作用，于是需要改变工艺或者器件布局。这样的限制的示例在于，对于栅长度减少的 CMOS 工艺和技术，传统 CMOS 器件在维持具有低截止电流泄漏的高驱动电流并且也维持阈值电压的稳定性时越来越困难。短沟道效应成为进一步按比例减小传统 CMOS 器件的巨大障碍。这造成器件性能下降并且决定对小型化的限制。以往已经开发各种传统技术以克服上文提到的限制。遗憾的是，这些技术常常并不充分。

[0005] 因此希望具有一种用于 MOS 器件的改进的栅结构及其工艺。

发明内容
[0006] 本发明涉及集成电路及其用于制造半导体器件的处理。具体地说，本发明提供一种具有晶体管的半导体器件及其制作方法。仅作为示例，本发明已经应用于具有全包围圆柱形 (GAAC) 纳米线的场效应晶体管 (FET) 器件。作为示例，FET 是基于绝缘体上硅 (SOI) 晶片衬底及其制造方法。但是将认识到本发明具有更广范围的适用性。

[0007] 在一个具体实施例中，本发明提供一种具有全包围圆柱形纳米线架构的半导体器件。该半导体器件包括衬底、覆盖衬底的第一绝缘层以及沿着第一方向覆盖第一绝缘层的半导体线。半导体线包括第一端部、中部和第二端部。半导体器件还包括在第一端部内的源区和在第二端部内的漏区。此外，半导体器件包括中部内的沟道区，沟道区在中部内。沟道区连接源区和漏区。沟道区的特征在于具有半径和长度的为圆柱形形状。半导体器件还包括包围圆柱形沟道区的第二绝缘层。另外，半导体器件包括覆盖沟道区周围的第二绝缘层。
缘层并且沿着第一方向垂直的第二方向覆盖第一绝缘层的栅电极。

[0008] 在另一实施例中，本发明提供一种具有包围圆柱形沟道的栅的晶体管。该晶体管包括衬底、覆盖衬底的第一绝缘层和沿着第一方向覆盖在第一绝缘层上方的半导体线。半导体线包括第一端部、中部和第二端部。晶体管还包括在第一端部内的源区和在第二端部内的漏区。此外，晶体管包括连接源区和漏区、在中部内的沟道区。沟道区的特征在于具有半径和长度为圆柱形形状。晶体管还包括包裹在沟道区周围的第二绝缘层。另外，晶体管包括包围沟道区周围的第二绝缘层并且沿着第二方向覆盖第一绝缘层的栅极。第二方向与第一方向垂直。栅极电与基本上等于沟道长度的、沿着第一方向的栅长度关联。另外，晶体管包括第一间隔物区和第二间隔物区。第一间隔物区与栅极电、第二绝缘层、源区和第一绝缘层接触。第二间隔物区与栅极电、第二绝缘层、漏区和第一绝缘层接触。

[0009] 在又一实施例中，本发明提供一种用于制作半导体器件的方法。该方法包括：在晶体衬底上提供第一绝缘层并且沿着第一方向形成覆盖第一绝缘层的半导体线。半导体线包括第一端部、中部和第二端部。该方法还包括在半导体线下方形成第一绝缘层的底切结构并且选择性地去除中部下方的底切结构以形成具有第一长度和第一高度的空腔。此外，该方法包括通过将空腔以上的中部成形为圆柱形形状而形成沟道区。沟道区与等第一长度的接长度关联。该方法还包括在圆柱形沟道区周围包裹第二绝缘层。第二绝缘层具有小于空腔的第一高度的厚度。而且，该方法包括在第一绝缘层上沉积传导层以至少覆盖包括由第二绝缘层包围的圆柱形沟道区的半导体线并填充下方空腔。该方法还包括沿着第二方向由传导层形成栅极，该栅极包围包括填充的下方空腔的圆柱形沟道区。第二方向与第一方向垂直。栅极与等第一长度的沿着第一方向的栅长度关联。另外，该方法包括在第一端部中形成源区并且在第二端部中形成漏区。

[0010] 在又一实施例中，本发明提供一种用于制造具有包围圆柱形纳米线沟道的晶体管的方法。该方法包括提供包括 SOI 层、隐埋氧化物层和底部衬底的 SOI 衬底，并且沿着第一方向在隐埋氧化物层上的 SOI 层内形成线图案。线图案包括第一端部、中部和第二端部。该方法还包括在线图案下方形成隐埋氧化物层的底切结构并且选择性地去除中部下方的底切结构以形成具有第一长度和第一高度的空腔。此外，该方法包括通过将空腔以上的中部成形为圆柱形形状而形成沟道区。沟道区与等于第一长度的接长度关联。该方法还包括在圆柱形沟道区周围形成栅极电介质层。电介质层具有小于空腔的第一高度的厚度。该方法还包括在隐埋氧化物层上沉积传导层以至少覆盖包括由栅极电介质层包围的沟道区的线图案并且填充下方空腔。另外，该方法包括沿着第二方向由传导层形成栅极，该栅极包围包括填充的下方空腔的圆柱形沟道区。第二方向与第一方向基本上垂直。栅极与等第一长度的沿着第一方向的栅长度关联。另外，该方法包括在第一端部中形成源区并且在第二端部中形成漏区。该方法还包括形成第一间隔物区和第二间隔物区。第一间隔物区与栅极区、源区、栅极电介质层和隐埋氧化物层接触；并且第二间隔物区与栅极区、漏区、栅极电介质层和隐埋氧化物层接触。

[0011] 将理解本发明各种实施例提供一种具有包围圆柱形纳米线结构的半导体器件及其制作方法。本发明除了其它应用之外还可以特别地应用于减少传统多栅鳍形场效应晶体管（鳍形 FET）的问题并且改进器件性能和按比例缩小的能力。根据本发明某些实施例，全包围栅圆柱形（GAAC）纳米线鳍形 FET 显示相比包括 GAA 矩形（GAAR）鳍形 FET 的
传统多栅场形 FET 而言的很多益处。利用全包围栅圆柱形纳米线架构，晶体管由包围整个成形为圆柱形的沟道的实质上数日无窒的栅控制。例如，通过减少由于非对称场积累如锐角效应所产生的泄漏电流来改进沟道内的电完整性。此外，本发明提供一种用于制造具有全包围栅圆柱形纳米线架构的器件的制作方法。该方法的特征在于它的简易性和与传统平面 CMOS 技术的全兼容性。

将理解本发明具有广泛适用性。例如，某些实施例与现有系统和工艺兼容。取决于应用，可以容易地修改本发明的各种实施例。

参照下面的具体描述和附图可以更完全地理解本发明的各种附加目的、特征和优点。

附图说明

图 1 是示出一串传统多栅器件和根据本发明的实施例的全包围栅圆柱形 (GAAC) 器件的示意栅横截面的简化图；

图 2 是根据本发明一个实施例，衬底上的绝缘层的表面区域的简化俯视图，该表面区域包括限定的沿 B-B’ 轴定位的第一区域和沿 B-B’ 轴的与第一区域交叉的第二区域；

图 3A 是根据本发明的实施例的器件结构的简化透视图；

图 3B 是沿着图 3A 的 A-A’ 平面切割的简化横截面图；

图 3C 是沿着图 3A 的 B-B’ 平面切割的简化横截面图；

图 4A 是示出根据本发明的实施例，划分为源区、漏区和包围中中部的沟道区（未示出）的栅的圆柱形半导体线的简化图；

图 4B 是示出根据本发明的实施例的图 4A 中的栅的横截面图的简化图；

图 4C 是示出根据本发明另一实施例的图 4B 中的长度为 L 的沟道区上的电场图的简化图；

图 5A 是示出根据本发明的实施例，在不同栅偏置电压下，针对全包围栅圆柱形纳米线鳍形 FET 器件，漏电流作为漏电压的函数的简化图；

图 5B 是示出根据本发明的实施例，在漏电压为 0.1V 时，针对全包围栅圆柱形纳米线鳍形 FET 器件，漏电流作为栅电压的函数的简化图；

图 5C 是示出在不同栅分离宽度、针对全包围栅圆柱形纳米线鳍形 FET 器件，漏电流作为漏电压的函数的简化图；

图 5D 是比较针对全包围栅圆柱形纳米线鳍形 FET 漏电流作为栅电压的函数与三栅、π 栅和 Ω 栅器件的漏电流作为栅电压的函数的简化图；

图 6 是根据本发明的实施例用于制作具有全包围栅圆柱形纳米线架构的半导体器件的简化方法；

图 7A、8A、9A、10A、11A、12A、13A 和 14A 是示出图示根据图 6 中所示本发明实施例的工艺步骤的透视图的简化图；

图 7B、8B、9B、10B、11B、12B、13B 和 14B 分别是沿着图 7A、8A、9A、10A、11A、12A、13A

和 14A 的 A-’A 平面获得的简化横截面图；

图 8C、9C、10C、11C、12C、13C 和 14C 分别是沿着图 8A、9A、10A、11A、12A、13A 和 14A
的 B-B’ 平面获得的简化横截面图；

[0030] 图 15A 是示出根据本发明的实施例，在内电介质层内用于全包围栅圆柱形纳米线鳍形 FET 器件的三个接触点的集成电路单元的简化视图；

[0031] 图 15B 沿着图 15A 的 B-B’ 平面切割的简化横截面图。

具体实施方式

[0032] 本发明涉及集成电路及其用于制造半导体器件的处理。具体地，本发明提供一种具有晶体管的半导体器件及其制作方法。作为示例，本发明已应用于具有全包围栅圆柱形 (GaAA) 纳米线的场效应晶体管 (FET) 器件。作为示例，FET 是基于绝缘体上硅 (SOI) 晶片衬底及其制造方法。但是将认识到本发明具有更广范围的适用性。

[0033] 如上文讨论的那样，已经开发用于 FET 器件的各种传统技术。例如，为了制作超出目前比例限制的器件，严格地探求所有可替换的栅堆叠材料、能带工程方法和可替换的晶体管结构。已经研究对于 FET 而言单栅全耗尽型单栅 SG-FD 器件不能按比例确定为与双栅 (DG) 鳍型 FET 器件一样短的沟道长度，这是由于单个栅传导平面没有场约束的事实。遗憾的是，双栅鳍形 FET 没有完全地约束场。自然地，开发多栅鳍形 FET 器件作为在低的截止电流泄漏和短沟道效应抑制方面更好的选择。多栅鳍形 FET 器件在速度高、功率耗散低、短沟道效应低等情况下按比例减小也是可行的。

[0034] 图 1 是示出各种发展的多栅器件按照它们的等效的栅的数目的一连串结构横截面的简化图。在虚线框中包括的图属于从 SG 器件开始的传统器件。在 DG 器件之后首先是三栅 (TG) 器件，该器件具有覆盖沟道区两侧以改进场约束的栅区。另外，π 棚 (PG) 或者 Ω 棚 (OOG) 器件（具有 3+个棚）延伸三栅器件的栅区以尝试减少棚区的开口间隙，由此减少截止电流泄漏。

[0035] 最近已经开发全包围栅 (GaAA) 器件，其中栅区完全地包围沟道区而没有像其它先前的多栅器件那样留下间隙。然而由于工艺限制，这些 GaAA 器件的沟道区为矩形形状。换言之，GaAA 器件基本上是等效的 4 个栅型器件或者称为全包围矩形 (GAAR) 器件。为了制造 GaAR 器件，由于沟道结构相对大的宽度，形成沟道桥存在一些工艺困难。例如，完善建立的平面 CMOS 工艺技术在一些提议的设计中不能应用于形成所需 GaAR 结构。此外，由于不可避免的锐角效应，矩形沟道中的电场仍然不均匀。因此如图 1 中的虚线框外侧的最后的示意图中所示，根据本发明的实施例，提供一种具有包围圆柱形沟道的、实质上无穷目的栅的器件，以减少传统多栅器件的问题。将理解图 1 中所示器件仅为示例，其可以变更和/或修改，而不应限制权利要求的范围。

[0036] 图 2 是示出根据本发明的实施例在衬底上的氧化物层的表面的顶视图。此图仅为示例，不应当对这里的权利要求的范围适当地进行限制。本领域普通技术人员将认识到许多变化、替代和修改。为了便于描述，表面区域 20 被划分为沿着并且包围轴 B-B’的第一区域 1 和沿着并且包围轴 A-A’的第二区域 2 以及氧化物 20 的其余表面。根据本发明的实施例，轴 A-A’ 与轴 B-B’ 基本上垂直。区域 1 与区域 2 交叉并且重叠。根据本发明实施例的半导体器件构造于区域 1 和区域 2 中并且如下所示介于垂直维度中。

[0037] 图 3A、3B 和 3C 是示出根据本发明的实施例的全包围圆柱形 (GaAA) 纳米线鳍形 FET 器件 1000 的简化图。这些图仅为示例，不应当对权利要求的范围适当地进行限制。
说明书记

本领域普通技术人员应当认识到许多变化、代替和修改。图 3A 提供器件 1000 的透视图。图 3B 图示沿着图 3A 的 A-A' 平面切割的横截面图。所示 A-A' 平面是沿着图 2 中的轴 A-A' 的垂直平面。图 3C 图示沿着图 3A 的 B-B' 平面切割的横截面图。B-B' 平面是沿着图 2 中的轴 B-B' 的垂直平面。器件 1000 包括以下部件：衬底区 10、绝缘层 20、底结构 21 和 22、沟道区 30、源区 31、漏区 32、栅区 60、栅电介质层 50、绝缘间隔物区 71 和 72。

虽然以上已经使用用于器件 1000 的具体的一组部件表示，但是可以有许多替代、修改和变化。例如，可以展开和/或组合一些部件。其它部件可以插入到以上所述的部件。取决于实施例，部件的布置可以与替换的其它布置互相交换。例如，器件 1000 是 N 型 GaAs 鳞形 FET。在另一示例中，器件 1000 是 P 型 GaAs 鳞形 FET。在本说明书通篇并且特别是在下文中找到这些部件的更多细节。

参照图 3A，根据本发明的实施例在覆盖底部衬底 10 的绝缘层 20 上形成以上提到的部件。例如，绝缘层 20 是 SOI 晶片衬底的隐埋氧化物层。在另一示例中，半导体层，即 SOI 层覆盖绝缘层 20 或者隐埋氧化物层。利用 n 型掺杂物或者 p 型掺杂物在 SOI 层中进行阈值调整离子注入 (threshold-adjustment ion implantation)。在一个示例中，n 型掺杂物是硼离子。在另一示例中，p 型掺杂物是砷示例。在又一示例中，掺杂物浓度的范围从 $10^{18}$ 到 $10^{19}\text{cm}^{-3}$。

参照图 2、3A、3B 和 3C，根据本发明的实施例，器件 1000 包括通过在沿着轴 B-B' 的区域 1 中，在绝缘层 20 的表面上对 SOI 层的构图 (patterning) 来形成的线图案 (pattern)。如图 3C 中所示，线图案包括在两个相反端部中的源区和/或漏区 31 和 32 以及在中部中的沟道区 30。作为示例，线图案是相同的，因此可以翻转漏区和源区。在一个示例中，线图案在它的整个长度，包括两个端部和中部与范围为 4nm 到 50nm 的宽度关联。作为示例，该线被称为经过应用的各种零件的“纳米线”，并且不应当不适当本地限制权利要求的范围。

参照图 3A 和 3C，根据本发明的实施例，通过利用极性与沟道区 30 相反的掺杂物对两个端部进行重度掺杂来形成源区 31 和漏区 32。例如，沟道区的掺杂与 SOI 层基本上相同。在一个具体实施例中，利用 N' 注入对源区/漏区 31 和 32 进行重度掺杂而将沟道区 30 掺杂为 p 型。在另一示例中，利用 p' 注入对源区/漏区 31 和 32 进行重度掺杂而将沟道区 30 掺杂为 n 型。

如图 3A、3B 和 3C 中所示，根据本发明的实施例，源区 31 和漏区 32 分别经过底切结构 21 和 22 与绝缘层 20 接触。底切结构 21 或者 22 包括与绝缘层 20 相同的电介质材料。沟道区 30 的特征在于如图所示具有具体长度 35 的圆柱形形状。根据各种实施例，沟道区 30 没有与源区的绝缘层 20 直接接触。例如，圆柱形沟道区 30 的沟道长度 35 由栅电介质层 50 包裹。在一个实施例中，如图 3B 和 3C 中所示，保留沟道长度 35 由栅电介质层 50 包裹的沟道区 30 的圆柱形形状。在另一实施例中，栅电介质层 50 实质上由具有介电常数高（例如定义为高 k) 能带隙大的薄材料层制成。例如，栅电介质层 50 是介电常数 k 值高达 34 的氧化铪 HfO。在另一示例中，通过原子层沉积 (ALD) 生长的栅电介质层 50 具有范围从 1nm 到 3nm 的厚度。

根据本发明某些实施例，如图 2、3A、3B 和 3C 中所示，器件 1000 还包括被构图以在沿着轴 A-A' 的区域 2 中，在绝缘层 20 上形成的栅区 60。在一个实施例中，栅区沿着轴 A-A' 方向定位成穿越沟道区 30 中的线图案并沿着 B-B' 方向由沟道长度 35 限制。轴 A-A'
的相对方向与轴 B-B’ 基本上垂直。在另一实施例中，参照图 3B 和 3C，栅区 60 完全地包围
成形为圆柱形的沟道区 30 而栅电介质层 50 介于其间。在一个示例中，栅区 60 是厚度范围
从 100nm 到 500nm 的原位 N’ 重掺杂多晶硅层。在另一示例中，栅区 60 的传导材料由通
过化学气相沉积 (CVD) 方法来沉积的、厚度范围从 10nm 到 200nm 的金属层制成。将理解可
以用各种方式实施本发明的实施例。根据本发明的实施例，器件 1000 包括栅长度大约与沟
道长度 35 相同的全包围栅圆柱形纳米线架构。[0044] 如图 3A 和 3C 中所示，栅区 60 通过栅电介质层 50 与沟道区 30 中的线图案分离。
栅区 60 也没有与线图案的两个端部直接接触。特别是在一个实施例中，器件 1000 包括沿
着线图案位于栅区 60 与源区 31 或者漏区 32 之间的间隙物 (spacer) 区 71 和间隙物区 72。
间隙物区 71 与包括底切结构 21 的绝缘层 20 接触，而间隙物区 72 与包括底切结构 22 的绝
缘层 20 接触。在另一实施例中，间隙物区 71 和 72 在圆柱形的沟道区 30 的两端与栅电介质层
50 接触。在一个实施例中，间隙物区 71 或者 72 由绝缘材料（包括原子层沉积的氧化物-氮
化物-氧化物 (ONO) 层）制成。将理解绝缘间隙物区可以包括其它类型的材料。
[0045] 图 4A 是示出根据本发明的实施例，具有圆柱形半导体线的器件的简化图，该半导
体线被划分为源区、漏区和包围其中的沟道区（未示出）的栅。图 4B 是栅/沟道区的 x-y 横截面图的简化图，该简化图示出将栅与沟道区分离的绝缘层和沟道反型层（电子作为载
流子）的形成。图 4C 是示出沿着 y 方向在沟道中的电场分布的简化图。这些图仅为用于
图示本发明某些器件应用的示例，不应当不适当地限制权利要求的范围。本领域普通技术
人员将认识到许多变化、替代和修改。
[0046] 作为示例，如根据图 4A、4B 和 4C 所示的器件具有各种特征，这些特征可以包括：半
导体线的沟道区具有长度为 L 而直径为 2a 的理想的圆柱体形状；栅是施有偏置电压 Vg 的
金属栅；栅绝缘层是高 k 氧化物；沟道区是 p 型硅；源区为 N’ 注入并且接地；并且漏区为 N’
注入而且施加有偏置电压 Vb。向栅数码施的偏置电压 Vg 有助于产生在某一阈值触发的
沟道反型层。从源区跨沟道区向漏区产生电流。可以通过施加的栅偏置电压 Vg 来调节沟
道内的电场以控制电流。
[0047] 流过整个圆柱形沟道 (从 y = 0 到 y = L) 的总电流 Iq 可以表达为：
\[ Iq = \frac{2na}{L} \mu_n \sigma \left( \frac{Vg - 2Vb}{2} \right) Vb \left( Vb + 2Vb \right)^2 \left( \frac{26eN_A}{C_e} \left( Vb + 2Vb \right)^2 \right) \] (方程 1)
[0048] 其中：
\[ \Psi_b = \frac{kT}{e} \ln \left( \frac{N_A}{n_i} \right) \]
[0049] 其中 C_e 代表单位面积栅氧化物电容；N_A 代表受体杂质原子密度；n_i 代表电子本征
浓度；\mu_n 代表电子迁移率；k 代表玻耳兹曼常数；e 代表电子电荷；而 e' 代表介电常数。
[0050] 图 5A 是示出根据本发明的实施例，在不同栅偏置电压下，针对全包围栅圆柱形
(GAAC) 纳米线鳍形 FET 器件，漏电流作为漏电压的函数的简化图。此图仅为示例，不应当
对权利要求范围不适当地进行限制。本领域普通技术人员将认识到许多变化、替代和修改。
例如，GAAC 纳米线鳍形 FET 是器件 1000。如图 5A 中所示，假如源区 31 接地，则水平轴 401
代表圆柱区 60 施加的电压，而垂直轴 402 代表从源区 31 流向漏区 32 的漏电流。沟道区 30
具有圆柱形形状。例如，沟道区 30 具有 10nm 的圆柱体半径，且沟道长度 35 为 10nm，并且栅
电介质层 50 的厚度为 1nm。在具体实施例中，沟道中的掺杂杂质密度为 5×10^{18} cm^{-3}。栅区 60 与沟道区 30 之间的功函数差为 -0.8V。对于曲线 410, 412, 414 和 416, 栅区分别偏置成 0.5V, 1V, 1.5V 和 2V。例如，基于方程 1 获得各曲线 410, 412, 414 和 416。如图 5A 中所示，在上文提供的器件条件之下，阈值电压不大于 0.5V。

[0053] 图 5B 是用于说明本发明的实施例中，漏电压为 0.1V 时，针对 GaAs 纳米线鳍形 FET 器件，漏电流作为栅电压的函数的简化图。此图仅为示意，不应当对权利要求范围不当地进行限制。本领域技术人员将认识到许多变化，替代和修改。例如，器件 1000 是 GaAs 纳米线鳍形 FET。水平轴 403 代表向栅区 60 施加的电压，而竖直轴 404 代表对数刻度代表从源区 31 流向漏区 32 的漏电流。例如，曲线图是基于其中源区 31 接地并且向漏区 32 施加偏置电压 Vg = 0.1V 的场景。成形为柱状的鳍沟区 30 具有 1nm 的圆柱体半径且沟道长度 35 为 10nm。栅电介质层 50 的厚度为 1nm。沟道中的杂质密度为 5×10^{18} cm^{-3}。栅区 60 与沟道区 30 之间的功函数差为 -0.8V。对于曲线 420, 漏区 32 偏置 0.1V。例如，基于方程 1 获得曲线 420。

[0054] 图 5C 是用于说明在不同栅分离宽度 (separation width)、针对圆柱形类型鳍形 FET 器件，漏电流作为栅电压的函数的简化图。对于零栅分离宽度，其变成 GaAs 纳米线鳍形 FET。对于非零栅分离宽度，其变成圆柱形 Ω 栅型器件。此图仅为示意，不应当对权利要求范围不当地进行限制。本领域技术人员将认识到许多变化，替代和修改。例如，栅分离宽度为零的纳米线鳍形 FET 是器件 1000。

[0055] 如图 5C 中所示，水平轴 405 代表向栅区 60 施加的偏置电压的量值。竖直轴 406 代表从源流向漏的电流。将栅分离宽度 (SPA) 定义为在器件 1000 中的线结构的沟道区 30 以下的绝缘层结构的宽度。理解术语“SPA”被广义地定义并且不应当不适用于限制权利要求的范围。当 SPA 为零时，去除沟道区 30 之下的脊状结构，从而使得器件变成 GaAs 纳米线鳍形 FET (例如器件 1000)。对于曲线 430, 431 和 432, 施加 0.8V 的漏偏置电压。对于曲线 433, 434 和 435, 施加 0.05V 的漏电压偏置电压。对于漏偏置电压在任何情况下，随着 SPA 从 50Å 减少到 10Å 再到 0，漏电流在固定的时间值栅电压处减少。除了其它之外，漏电流根据 SPA 减少而减少是在针对 GaA 型的截止电流泄漏方差比具有栅问隙的其它器件性能更好的表示。这证实了根据本发明的 GaAs 纳米线鳍形 FET 器件在短沟道效应抑制方面比传统多栅器件明显的优势。

[0056] 图 5D 是分别示图针对 GaAs 纳米线鳍形 FET 的漏电流作为栅电压的函数与矩形三栅、π 栅和 Ω 栅器件的漏电流作为栅电压函数的简化图。此图仅为示意，不应当对权利要求范围不当地进行限制。本领域技术人员将认识到许多变化，替代和修改。例如，GAAC 纳米线鳍形 FET 是器件 1000。

[0057] 如图 5E 中所示，水平轴 407 代表向栅区 60 施加的偏置电压。第一竖直轴 408 代表对数刻度的漏电流。第二竖直轴 409 代表线性刻度的相同电流。在图例 490 中示出曲线 441, 442, 443 和 444, 并且这些曲线分别代表在固定条件之下针对矩形三栅器件、π 栅器件、Ω 栅器件和 GaAc 纳米线器件的结果。固定条件对于上述所有器件都相同，包括向漏区施加的 0.5V 偏置，4nm 的沟道宽度 (GaAc 纳米线中 4nm 的直径)，9nm 的栅长度和材料的其它本征物理性质。栅分离对于 π 栅器件为 0.8nm 而对于 Ω 栅器件为 0.4nm。作为比较，根据本发明实施例的 GaAc 纳米线器件没有栅分离。例如，GAAC 纳米线器件是器件 1000。
第一区域 470 代表器件在次阈值栅电压以下的条件。在区域 470 中，GAAC 纳米线器件示出与其它器件相比最低的泄漏电流，其中在图例 490 中的括号内分别表明针对曲线 444, 443, 442 和 441 的次阈值栅幅值 V 为 70mV/dec, 72mV/dec, 80mV/dec 和 84mV/dec。曲线图的第二区域 480 代表器件在上述阈值工作的条件。在区域 480 中，GAAC 纳米线器件示出在施加的栅电压相同并且栅的尺度相同时最高的漏电流，这证实根据本发明的实施例的 GAAC 纳米线器件比传统多栅器件更好的性能。

【0058】在一些实施例中，本发明还组合改进的栅中的电完整性以及与平面 CMOS 技术兼容的 3 维栅结构的制作简易这些优点。栅中的电完整性优点除了其它优点之外还包括使栅的数目对于 GAAC 纳米线鳍形 FET 器件实质上为无穷、因而消除 GAAR 鳍形 FET 器件中存在的由锐角效应引起的截止电流泄漏。在由栅包围的成形为圆柱形的沟道中，电场在沿着沟道的任何横截面中是均匀的。由于 GAAC 纳米线鳍形 FET 不存在拐角，所以在沟道中没有线流子电荷的骤增或者积累，由此减少截止电流泄漏的可能性并且增强按比例减小器件的能力。此外，GAAC 纳米线鳍形 FET 的制作的简化相比 GAAR 鳍形 FET 器件的优点在于用以形成纳米线桥结构的一个或者多个简化的工艺。在绝缘体水平面上水平地形成硅圆柱形纳米线之后，产生由绝缘体制成的底切结构（小于纳米线的宽度）、有效地减少需要通过横向蚀刻来去除的结构尺寸。相比而言，在传统 GAAR 鳍形 FET 中，鳍形结构为矩形形状，这使得更难以利用横向蚀刻来形成上方空腔。一种可替换类型的 GAAD 纳米线鳍形 FET 器件具有如下结构，该结构包括栅在水平面中包围的竖直沟道。但是用于这类 GAAD 鳍形 FET 的制作工艺与传统平面 CMOS 技术不十分兼容，以使成本有效。

【0059】根据一个实施例，本发明提供一种具有包围圆柱形纳米线架构的半导体器件，该半导体器件包括衬底、覆盖衬底的第一绝缘层和沿着第一方向覆盖在第一绝缘层上方的半导体体。半导体体包括第一端部、中部和第二端部。半导体体还包含包括第一端部内的源区和第二端部内的漏区。此外，半导体器件包括中部内的沟道区，沟道区在中部内。沟道区包括源区和漏区。沟道区的特征在于具有半径和长度的基本上圆柱形形状。该器件还包括包围圆柱形沟道区的第二绝缘层。另外，该器件包括覆盖沟道区周围的第二绝缘层并且沿着第二方向基本上垂直的第二方向覆盖第一绝缘层的栅电极。例如，根据器件 1000 来实施该器件。

【0060】根据另一实施例，本发明提供一种具有包围圆柱形纳米线沟道的栅的晶体管。该晶体管包括衬底、覆盖衬底的第一绝缘层和沿着第一方向覆盖在第一绝缘层上方的半导体体。半导体体包括第一端部、中部和第二端部。晶体管还包含第一端部内的源区和第二端部内的漏区。此外，晶体管包括连接源区和漏区，以及在中部内的沟道区。沟道区的特征在于具有半径和长度的基本上圆柱形形状。晶体管还包括包裹在沟道区周围的第二绝缘层。另外，晶体管包括包围沟道区周围的第二绝缘层并且沿着第二方向覆盖第一绝缘层的栅电极。第二方向与第一方向基本上垂直。栅电极基本上等于沟道的长度的，沿着第一方向的栅长度关联。另外，晶体管包括第一间隔物区和第二间隔物区。第一间隔物区与栅电极、第二绝缘层、源区和第一绝缘层接触。第二间隔物区与栅电极、第二绝缘层、漏区和第一绝缘层接触。例如，根据器件 1000 来实施晶体管。

【0061】图 6 是根据本发明的实施例，用于制作具有包围圆柱形纳米线架构的半导体器件的方法的简化流程图。此图仅为示例，特别地使用 SOI 晶片衬底，不应当对这里要求保
护的范围不适当地进行限制。例如，可以添加、去除、替换、重复、重叠和 / 或者部分地重叠各种步骤。方法 2000 包括以下过程：
[0062] 1. 用于制备 SOI 衬底的过程 2010；
[0063] 2. 用于沿着第 1 方向在隐埋氧化物层上形成线图案的过程 2020；
[0064] 3. 用于沿着线图案限定第一端部、中部和第二端部的过程 2030；
[0065] 4. 用于在中部中形成下方有空腔的圆柱形纳米线的过程 2040；
[0066] 5. 用于至少在圆柱形纳米线周围形成栅电介质层的过程 2050；
[0067] 6. 用于形成栅传导层的过程 2060；
[0068] 7. 用于形成包围圆柱形纳米线沟道并且在与第 1 方向垂直的第 2 方向上覆盖隐埋氧化物层的栅区的过程 2070；
[0069] 8. 用于形成绝缘间隔物区并且分别在第一和第二端部内限定源区和漏区的过程 2080；
[0070] 9. 用于形成叠层源区和漏区的过程 2090；
[0071] 10. 用于形成内电介质层的过程 2110；以及
[0072] 11. 用于形成与栅区、源区和漏区的接触的过程 2110。
[0073] 上述过程序列提供根据本发明的实施例的一种方法。也可以提供其它替代方法，其中添加过程、去除一个或者多个过程或者以不同顺序提供一个或者多个过程而不脱离这里的权利要求的范围。例如，通过方法 2000 制作的具有全包围栅圆柱形纳米线架构的晶体管是器件 1000。可以在说明书全文中并且特别是在下文中发现本发明的更多细节。
[0074] 在过程 2010 提供包括底部衬底、隐埋氧化物层和 SOI（即绝对体硅）层的 SOI 晶片衬底。图 7A 和 7B 显示根据本发明的实施例，用于制备 SOI 衬底以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不当地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。
[0075] 图 7A 和 7B 分别示出 SOI 晶片的一部分的透视图和侧视图（沿着 A-A’ 平面切割）。SOI 晶片包括底部晶片衬底 100。例如，晶片衬底 100 是硅晶片。隐埋氧化物层 200 覆盖在衬底 100 上。例如，隐埋氧化物层 200 包括氧化硅并且通过热氧化工艺形成为大约 100nm 到 300nm 的厚度。此外，SOI 层 300 覆盖隐埋氧化物层 200。例如，SOI 层 300 实质上由硅材料制成。在另一示例中，SOI 层 300 是 SiGe 合金或者多层。在又一个示例中，SOI 层 300 厚于 10nm 而薄于 150nm。在一个实施例中，在如下条件下根据利用 n 型掺杂物进行的阈值调整离子注入来处理 SOI 层 300，其中物种为 B，剂量为 (1-5) × 10^{12} 个离子·cm^{-2}；能量为 (1-30) keV。在另一示例中，在如下条件下在 SOI 层 300 中利用 p 型掺杂物组合 SOI 层进行阈值调整离子注入：物种为 As，剂量为 (1-5) × 10^{12} 个离子·cm^{-2}；能量为 (1-20) keV。在又一个示例中，SOI 层 300 中的最终掺杂物浓度约为 (1-10) × 10^{18} cm^{-3}。
[0076] 在过程 2020 对 SOI 层和隐埋氧化物层进行构图以在某一方向上形成覆盖隐埋氧化物层的底切结构的线图案。图 8A、8B 和 8C 显示根据本发明的实施例，用于形成隐埋氧化物层上的 SOI 层的线图案以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不当地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。
[0077] 如图 8A、8B 和 8C 所示，沿着 B-B’ 轴形成覆盖蚀刻的隐埋氧化物层 202 上的底
切结构 202 的线图 301。线图 301 包括来自 SO1 层 300 的硅材料。底切结构 202 包括来自隐形氧化物层 200 的氧化物材料。在一个实施例中，使用光刻掩模对 SO1 层构图以限定沿着并且围绕轴 B-B’ 的区域。在另一实施例中，进行硅有源区蚀刻以部分地蚀刻掉 SO1 层 300 并且向下至隐形氧化物层 200 中。在一个示例中，蚀刻过程涉及硅等离子体干法刻蚀。硅有源区蚀刻产生沿着轴 B-B’ 限定的区域内的线图 301 和限定区域以外的蚀刻的氧化物层 201 新显露的表面。在一个实施例中，参照图 8B，还在线图 301 下的氧化物层进行各向异性湿法刻蚀以产生底切结构 202。然而，线图 301 覆盖蚀刻的氧化物层 201 上的底切结构 202。也就是说，底切结构 202 的宽度小于线图 301 的宽度。在一个示例中，可以通过利用热氧化工艺加上稀释 HF 溶液浸渍工艺按比例减小线图 301。图 8 示意性地示出线图 301 覆盖宽度减少的底切结构 202 的沿着轴 A-A’ 切割的横截面图。图 8C 示出线图 301 覆盖底切结构 202 的沿着轴 B-B’ 切割的横截面图。底切结构 202 是位于横线上和线图 301 以下的坝 (billet)。

[0078] 在过程 2030 沿着在过程 2020 形成的线图 301 定第一端部、中部和第二端部。图 9A, 9B 和 9C 显示根据本发明的实施例，用于在隐形氧化物层上限定 SO1 层的线图的第一/第二端部和中部以制造具有全包围栅极柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不适当限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。

[0079] 在一个实施例中，在过程 2030 应用光刻胶层以覆盖在过程 2020 形成的蚀刻的氧化物层 201 和整个线图 301 (包括底切结构 202) 的表面。利用预登记 (pre-registered) 的掩模进行光刻处理，该掩模暴露线图 301 的中部，但是覆盖两个端部。在暴露、抗蚀剂显影和去除显影的抗蚀剂残留物之后，显露线图 301 的沿着 B-B’ 方向具有横向尺度 L 的中部，包括下方的底切结构 202 的一部分和蚀刻的氧化物层 201 在其两侧上的部分。如图 9A 中所示，未暴露的抗蚀剂图案 351 和 352 保持覆盖线图 301 的两个端部，包括底切结构 202 的部分和蚀刻的氧化物层 201 在其两侧上的表面。因此，在过程 2030 沿着线图 301 限定三个区域。第一端部 301a 是线图 301 由抗蚀剂图案 351 覆盖的部分。类似地，参照图 9A，第二端部 301c 是线图 301 由抗蚀剂图案 352 覆盖的部分。长度为 L 的中部 301b 是线图 301 在过程 2030 通过光刻显露的部分。图 9C 显示沿着图 9A 中勾勒的沿着 B-B’ 平面的横截面图，该横截面图示出依次沿着线图 301 的限定部分 301a, 301b 和 301c。

[0080] 在另一实施例中，在第一端部 301a, 中部 301b 和第二端部 301c 下面的底切结构 202 通过过程 2030 对应地分别划分成多个底切部分 202a, 202b 和 202c。图 9B 显示由抗蚀剂图案 351 和下面的底切 202a 部分地包围的第一端部 301a (沿着图 9A 中限定的 A-A’ 平面) 的横截面图。具体地，底切部分 202b 具有与线图的中部 301b 相同的长度 L。然而在过程 2030 结束时，底切部分 202a 和 202c 仍然分别由抗蚀剂层 351 和 352 覆盖而底切部分 202b 被显露出来。参照图 9A，没有被抗蚀剂层 351 或者 352 覆盖的区域事实上记录在后面的步骤之一中用限定栅极的图案登记。

[0081] 在过程 2040 形成下方有空腔的成形为圆柱形的纳米线。图 10A, 10B 和 10C 显示根据本发明的实施例，用于形成与隐形氧化物层无接触的圆柱形纳米线以制造具有全包围栅极圆柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不适当限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。例如，图 10A, 10B 和 10C 各
图示部分处理的集成电路的视图。[0082] 在过程 2030 结束时显示线图案的中部 301b 及其底切结构 202b 而线图案的其余部分和底切结构由抗蚀剂图案 351 和 352 覆盖。在这种条件下，在一个实施例中，在过程 2040 使用缓冲氧化物蚀刻剂 (BOE) 来进行横向氧化物蚀刻工艺以选择性地去除显露的底切部分 202b 而其余表面由蚀刻停止层掩模覆盖。由于在较早过程 2020 中产生的底切结构变窄的宽度，所以该氧化物蚀刻工艺变得极大地简化。这一过程造成形成如图 10C 中所示的空腔 205 并且完整暴露中部 301b 的下方部分。在一个优选实施例中，空腔具有与中部 301b 相同的长度 L。[0083] 在过程 2040 进行硅等离子体蚀刻接着是在 1000~1200℃的氨退火工艺以通过在线图案的中部 301b 的外环体周围的质量转移将线图案的中部 301b 变形成基本上圆柱形状。该氨退火工艺也消除硅蚀刻工艺造成的对线体的损坏。在一个实施例中，蚀刻和退火工艺的组合提供适当控制的圆柱形半径 r。在另一实施例中，圆柱形体具有与为中部 301b 限定的长度 L 相比相等的长度。例如，将半径 r 控制为在 2nm 到 25nm 内。在另一实施例中将长度 L 控制为在 5nm 到 50nm 的范围内。也就是说，在中部 301b 形成具有受控半径 r 和长度 L 的圆柱形纳米线。[0084] 在一个实施例中，在过程 2030 结束时，参照图 10A，去除抗蚀剂图案 351 和 352 以显露包括线图案 301b（其中已经将中部 301b 重新成形为长度为 L 的圆柱形纳米线）、中部 301b 下方的空腔 205、包埋氧化物层 201 以及底切结构 202a 和 202c 的两个余留部分的整个器件。图 10B 也示意性地图示在连线图案 301 的中部形成的、半径为 r、成形为圆柱形的纳米线 301b 以及由于空腔 205 而在纳米线与蚀刻的氧化物层 201 之间的间隙的截面图。[0085] 在过程 2050 形成至少在圆柱形纳米线周围覆盖线图案的栅电介质层。图 11A、11B 和 11C 示出根据本发明一个实施例，用于至少在圆柱形纳米线周围形成栅电介质层以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。这些图仅为示意，不应当不当地限制专利权利要求的范围。本领域普通技术人员将认识到许多变化，替代和修改。[0086] 如图 11A 中所示，根据本发明一个实施例，具体地沉积栅电介质层 500 以覆盖线图案 301。传统上，栅电介质通过热氧化或者热氮化工艺由氧化物层或者氮化物层形成。如所描述的实施例中，通过具有良好阶梯覆盖的化学气相沉积技术来进行栅电介质层 500 的沉积。在另一实施例中，将原子层沉积技术应用于电介质沉积以实现更精细的均匀性和/或厚度控制。[0087] 在一个实施例中，如图 11B 中所示，至少在长度为 L 的外环圆柱形纳米线 301b 的周围（包括它在空腔中的下表面）形成栅电介质层 500。在一实施例中，栅电介质层 500 具有大大地小于空腔 205 的高度的厚度，从而在栅电介质层 500 的表面与蚀刻的氧化物层 201 之间仍然留下间隙（见图 11C）。例如，栅电介质层的厚度的范围从 1nm 到 3nm。栅电介质层 500 的材料通常优选的具有大的介电常数和高介电常数以提供优良绝缘并且减少消电泄漏电流。在一个示例中，栅电介质层 500 的材料是金属氧化物（例如氧化铝、氧化钽、氧化铜、氧化钙、氧化锆等）。

[0088] 在过程 2060 覆盖栅电介质层。图 12A、12B 和 12C 示出根据本发明的实施例，用于覆盖栅电介质层以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。这些图仅为示意，不应当不当地限制专利权利要求的范围。本领域普通技术人员将认识到许多变化，替代和修改。
改。

[0098] 如图 12A、12B 和 12C 中所示，传导材料层 600 覆盖线图案 301（在涂覆栅电介质层
500 之后）和蚀刻的氧化物层 201 的显露表面，包括底切结构 202a 和 202c 以及在添加的
栅电介质层 500 下方的空腔 205。在沉积传导材料 600 之前，利用与在过程 2030 中用于
限定线图案 301 的圆柱形纳米线 301b 及其两侧以外区域的登记相同的登记来应用蚀刻停
止层图案。该步骤限定与沿着 B-B’方向有横向尺度 L 的圆柱形纳米线 301b 共心并且在方
向 A-A’ 上在中部 301b 的两侧以外延伸的栅区。优选地，根据本发明的实施例，使用 CVD 技
术来沉积传导栅材料。在一个示例中，应用低压 (LP) CVD，该 LPCVD 保证堆叠的传导层 600
填充任何空腔并且能够完全地包围圆柱形纳米线 301b 而栅电介质层 500 介于其间。在另
一示例中，传导栅材料是在 600℃到 800℃的温度范围从 100nm 到 500nm 的厚度生长并
且重度掺杂多型杂质的多晶硅。在又一示例中，厚度为 10nm 到 200nm 的传导栅材料是通过
LPCVD 工艺生长的多晶硅层。

[0099] 现在回到参照图 6。在过程 2070 形成栅电极。如图 13A、13B 和 13C 显示出根据本发明的
实施例，用于形成包围圆柱形纳米线沟道并且在与第 1 方向上垂直的第 2 方向上覆盖偏移
氧化物层的栅电极以制造具有全包围圆柱形纳米线架构的器件的简化方法。这些图仅为示例，
不应当不适用于限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。
例如，在制造器件 1000 时实施该过程。

[0100] 过程 2070，对准抗蚀剂层图案以在过程 2060 限定的相同栅区上应用。然后，进
行传导层蚀刻以去除没有被该抗蚀剂层图案覆盖的栅材料。该蚀刻在线图案 301 的第一端
部 301a 和第二端部 301c 上，且在过程 2060 中放置的蚀刻停止层处停止。然后通过含磷湿
化法蚀刻来剥离抗蚀剂层。结果根据本发明的一个实施例，如图 13A、13B 和 13C 中所示，由传
导材料 600 制成的栅电极 610 在光刻限定的栅区形成。栅电极 610 包围圆柱形纳米线 301b
而栅电介质层 500 介于其间。在一个实施例中，如图 13A 中所示，栅电极 610 与基本上等
于圆柱形纳米线 301b 的长度的大面积光刻限定的栅极层 L 关联。在另一实施例中，栅电极 610
覆盖蚀刻的氧化物层 201 沿着 A-A’ 方向展开，而线图案 301 在使得栅电介质层 500 介于其间
的状态中沿着 B-B’ 方向径直地穿过栅电极。在又一实施例中，参照图 13B 和 13C，栅电极
610 的形成自然地限定器件的沟道区 330。沟道区 330 是首先由栅电介质层 500 包围，然后
由栅电极 610 包围的。在过程 2040 形成的圆柱形纳米线。在一个示例中，圆柱形纳米线沟
道 330 由硅制成。硅纳米线图案由通过阈值调整离子注入来掺杂的 SOI 层形成。

[0101] 回到参照图 6。在过程 2080 形成在栅电极与线图案之间的间隔物区，由此限定源
区和漏区。图 14A、14B 和 14C 显示出根据本发明的实施例，用于形成间隔物区并且限定源区
和漏区以制造具有全包围圆柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不适
当地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。

[0102] 过程 2070 结束时，如图 13A 中所示，包围沟道区 330 的栅电极 610 的形成显露线
图案 301 的两个相反端部 301a 和 301c。结果是在线图案 301 与栅电极 610 之间的两个
圆环交线（在图 13A 中仅一个可见）。沿着外围交线，包括线图案 301、栅电介质层 500、蚀
刻的氧化物层 201 和栅传导层 600 中的硅的至少四种材料或者四层部分地彼此接触。参照
图 14A，在一个实施例中，在过程 2080 形成间隔物区 710 和 720 以覆盖在两个交线周围的区
域。在另一实施例中，形成间隔物区 710 和 720 用于在传导栅电极与线图案 301 之间的电
隔离和扩散势垒功能。在另一实施例中，间隔物区710和720也分别将两个间隔物区710和720以外的线图案部分301a和301c物理地限定为源区310和漏区320。

[0094] 如图14A和14C中所示，间隔物区710与栅电极610、源区310、栅电介质层500和隐埋氧化物层201、包括底切结构202a的部分接触，间隔物区720与栅电极610、漏区320、栅电介质层500和隐埋氧化物层201、包括底切结构202c的部分接触。在另一实施例中，间隔物区710和720由电介质材料制成。在一个示例中，它是氧化物-氮化物-氧化物(ONO)层。具体地，ONO层可以是可以氧化硅、氧化硅和氧化铝为序的层。在另一示例中，通过CVD、PVD或者ALD技术来进行间隔物层的沉积。通常在间隔物层沉积之前涂敷抗蚀剂掩模层并且在沉积之后随后去除图的抗蚀剂掩模层。

[0095] 在过程2090形成重度掺杂源区/漏区。图14A,14B和14C也可以用来图示根据本发明的实施例，用于通过重叠注入极性与沟道掺杂物相反的掺杂物来形成源区和漏区以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。参照图14A和14C，根据本发明的实施例，通过对在过程2080限定的部分中的线图案部分301a进行重度掺杂来形成源区310。在所述的同一实施例中，通过对在过程2080限定的部分中的线图案部分301c进行重度掺杂来形成漏区320。在另一实施例中，源区和漏区的掺杂物极大于在过程2010的初始SOI晶片制备期间设置的沟道掺杂物极性相反。例如，对于N型鳍形FET器件，沟道区330需要掺杂成n型，由此需要通过离子注入用p型掺杂物对源区310和漏区320进行重度掺杂。在另一示例中，对于p型鳍形FET器件，沟道区330需要掺杂成p型，由此需要通过离子注入用n型掺杂物对源区310和漏区320进行重度掺杂。对离子注入工艺，在具体地向源区/漏区进行注入之前向对应的面积/区域应用相关的注入掩模。在一个示例中，NS/D注入条件是：物种为As，能量为60keV，剂量为5.5×10^{15}个离子/cm²，倾角为0°。在另一示例中，PS/D注入条件是：物种为B，能量为5keV，剂量为3.5×10^{15}个离子/cm²，倾角为0°。

[0096] 现在回到参照图6。在过程2100形成内电介质层。图15A和15B示出根据本发明的实施例，用于形成内电介质层以制造具有全包围栅圆柱形纳米线架构的器件的简化方法。这些图仅为示例，不应当不适当地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。

[0097] 参照图15A和15B，根据本发明的实施例，形成内电介质层800以覆盖栅电极610、源区310和漏区710和720以及部分地刻蚀的氧化物层201。在一个示例中，内电介质层800是在其中由N_{2}O或者NO气体流动的快速热处理装置中生长的氮氧化硅，继而利用回流工艺的BPSG层，然后覆盖通过CMP工艺来平坦化的氧化物层。

[0098] 现在回到参照图6。在过程2110形成一个或者多个接触。图15A和15B也根据本发明的实施例示出用于形成与栅、源和漏区的接触以制造具有全包围栅圆柱形纳米线晶体管的器件的简化方法。这些图仅为示例，不应当不适当地限制权利要求的范围。本领域普通技术人员将认识到许多变化、替代和修改。

[0099] 如图15A和15B中所示，在一个示例中，形成接触孔910和920以分别暴露源区310和漏区320上的掺杂硅线图案。在另一示例中，接触孔930类似地暴露没有位于B-B'平面中（在图15中不可见）的栅电极610。在接触孔中，形成扩散势垒层覆盖孔910,920和930的底部和侧表面。例如，扩散势垒层包括钛(Ti)和氮化钛(TiN)材料。在形成接触孔
之后，接触孔 910、920 和 930 由包括锡的金属材料填充，从而分别形成与源区 310、漏区 320 和栅电极 610 的接触。

[0100] 根据一个实施例，提供一种用于制作具有全包围栅圆柱形纳米线沟道的半导体器件的方法。该方法包括在晶片衬底上提供第一绝缘层并且沿着第一方向形成覆盖第一绝缘层的半导体线。半导体线包括第一端部、中部和第二端部。该方法还包括在半导体线下方形成第一绝缘层的底切结构并且选择性地除去中部下方的底切结构以形成具有第一长度和第一高度的空腔。此外，该方法包括通过将空腔上的中部成形为基本上圆柱形形状来形成沟道区。沟道区基本上等于第一长度的沟道长度关联。该方法还包括在圆柱形沟道区周围包裹第二绝缘层。第二绝缘层具有大大地小于空腔的第一高度的厚度。另外，该方法包括在第一绝缘层上沉积传导层以至少覆盖包括由第二绝缘层包围的圆柱形沟道区的半导体线并且填充下方空腔。该方法还包括沿着第二方向由传导层形成栅区，该栅区包围包括填充的下方空腔的圆柱形沟道区。第二方向与第一方向基本上垂直。栅区与基本上等于第一长度的沿着第一方向的栅长度关联。另外，该方法包括在第一端部中形成源区并且在第二端部中形成漏区。例如，通过方法 2000 来示图该方法。

[0101] 根据另一实施例，一种制造具有全包围栅圆柱形纳米线沟道的晶体管的方法包括提供包括 SOI 层、隐埋氧化物层和底部衬底的 SOI 衬底，并且沿着第一方向在隐埋氧化物层上的 SOI 层内形成线图案。线图案包括第一端部、中部和第二端部。该方法还包括在线图案下方形成隐埋氧化物层的底切结构并且选择性地除去中部下方的底切结构以形成具有第一长度和第一高度的空腔。此外，该方法包括通过将空腔上的中部成形为基本上圆柱形形状来形成沟道区。沟道区基本上等于第一长度的沟道长度关联。该方法还包括至少在圆柱形沟道区周围形成栅电介质层。栅电介质层具有大大地小于空腔的第一高度的厚度。该方法还包括在隐埋氧化物层上沉积传导层以至少覆盖包括由栅电介质层包围的沟道区的线图案并且填充下方空腔。另外，该方法包括沿着第二方向由传导层形成栅区，该栅区包围包括填充的下方空腔的圆柱形沟道区。第二方向与第一方向基本上垂直。栅区与基本上等于第一长度的沿着第一方向的栅长度关联。此外，该方法包括在第一端部中形成源区并且在第二端部中形成漏区。该方法还包括形成第一间隔物和第二间隔物。第一间隔物与栅区、源区、栅电介质层和隐埋氧化物层接触并且第二间隔物与栅区、漏区、栅电介质层和隐埋氧化物层接触。例如，根据方法 2000 来实施该方法。

[0102] 本发明具有各种优点。本发明一些实施例提供具有如下栅架构的器件，该栅架构完全地包围成形为圆柱形的沟道区而仅有薄栅柱 h k 电介质层介于其间。例如，该器件的沟道区的特征在于纳米级圆柱形硅线沿着相同线图案形成从源区到漏区的桥结构并且朝着 SOI 衬底的隐埋氧化物层上的线图案基本上垂直地形成栅区。该器件根据本发明一些实施例的工艺来制造并且由包围成形为圆柱形的沟道的实质上无硝数目的栅控制。具有这样的栅架构的器件拥有改进很多的电完整性。明显减少传统全包围栅电介质晶管由于锐角效应的电流泄漏。本发明证实全包围栅圆柱形纳米线锌 FET 器件提供更优的缩放能力，其中短沟道效应被抑制并且栅控制比传统多栅电介质 FET 器件更稳定。此外，本发明提供一种全包围栅圆柱形纳米线锌 FET 器件的制作过程，该过程的特征在于它的简易性和与传统平面 CMOS 技术的全兼容性。

[0103] 也理解这里描述的示例和实施例仅用于说明的目的并且本领域技术人员会想到
根据这些示例和实施例的各种修改或者改变，并且其将包含于本申请的精神和范围以及所附权利要求的范畴内。
图 5C
图 5D
图15B