



(12)发明专利申请

(10)申请公布号 CN 106229348 A

(43)申请公布日 2016. 12. 14

(21)申请号 201610842412.9

(22)申请日 2016.09.22

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方显示技术有限公司

(72)发明人 白金超 刘建涛 郭会斌

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
代理人 滕一斌

(51) Int. Cl.
H01L 29/786(2006.01)
H01L 27/12(2006.01)
H01L 21/336(2006.01)

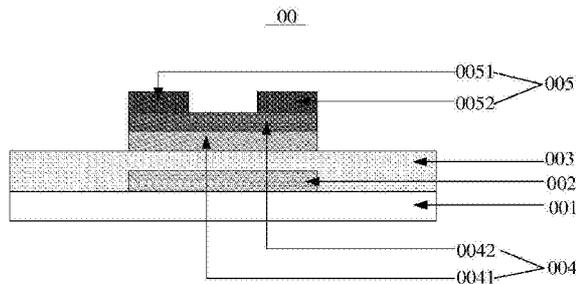
权利要求书2页 说明书12页 附图8页

(54)发明名称

薄膜晶体管及其制造方法、阵列基板、显示装置

(57)摘要

本发明公开了一种薄膜晶体管及其制造方法、阵列基板、显示装置,属于显示技术领域。所述薄膜晶体管包括栅极、栅绝缘层、有源层和源漏极金属图案,所述有源层包括碳纳米管图案和位于所述碳纳米管图案上的多晶硅图案;其中,所述源漏极金属图案包括源极和漏极,所述源极和所述漏极分别与所述多晶硅图案接触。本发明达到了增大薄膜晶体管的开态电流,提高充电率的效果。本发明用于阵列基板。



1. 一种薄膜晶体管,其特征在於,所述薄膜晶体管包括栅极、栅绝缘层、有源层和源漏极金属图案,所述有源层包括碳纳米管图案和位於所述碳纳米管图案上的多晶硅图案;

其中,所述源漏极金属图案包括源极和漏极,所述源极和所述漏极分别与所述多晶硅图案接触。

2. 根据权利要求1所述的薄膜晶体管,其特征在於,所述有源层还包括:位於所述多晶硅图案上的欧姆接触图案,

所述欧姆接触图案包括:源极接触图案和漏极接触图案,所述源极接触图案与所述漏极接触图案不接触,且所述源极接触图案分别与所述源极和所述多晶硅图案接触,所述漏极接触图案分别与所述漏极和所述多晶硅图案接触。

3. 根据权利要求2所述的薄膜晶体管,其特征在於,

所述欧姆接触图案与所述多晶硅图案接触;

所述多晶硅图案在所述衬底基板上的正投影区域覆盖所述碳纳米管图案在所述衬底基板上的正投影区域;

所述欧姆接触图案在所述衬底基板上的正投影与所述源漏极金属图案在所述衬底基板上的正投影重合;

所述碳纳米管图案在所述衬底基板上的正投影与所述栅极在所述衬底基板上的正投影重合。

4. 根据权利要求3所述的薄膜晶体管,其特征在於,

所述多晶硅图案在所述衬底基板上的正投影区域的面积与所述碳纳米管图案在所述衬底基板上的正投影区域的面积相等。

5. 一种薄膜晶体管的制造方法,其特征在於,所述方法包括:

在衬底基板上形成栅极;

在形成有所述栅极的衬底基板上形成栅绝缘层;

在形成有所述栅绝缘层的衬底基板上形成有源层和源漏极金属图案,所述有源层包括碳纳米管图案和位於所述碳纳米管图案上的多晶硅图案;

其中,所述源漏极金属图案包括源极和漏极,所述源极和所述漏极分别与所述多晶硅图案接触。

6. 根据权利要求5所述的方法,其特征在於,所述有源层还包括:位於所述多晶硅图案上的欧姆接触图案,

所述欧姆接触图案包括:源极接触图案和漏极接触图案,所述源极接触图案与所述漏极接触图案不接触,且所述源极接触图案分别与所述源极和所述多晶硅图案接触,所述漏极接触图案分别与所述漏极和所述多晶硅图案接触。

7. 根据权利要求6所述的方法,其特征在於,所述在形成有所述栅绝缘层的衬底基板上形成有源层和源漏极金属图案,包括:

在形成有所述栅绝缘层的衬底基板上形成碳纳米管层;

在形成有所述碳纳米管层的衬底基板上形成多晶硅层;

在形成有所述多晶硅层的衬底基板上依次形成欧姆接触层和源漏极金属层;

通过一次构图工艺对所述源漏极金属层、所述欧姆接触层、所述多晶硅层和所述碳纳米管层进行处理,得到所述源漏极金属图案、所述欧姆接触图案、所述多晶硅图案和所述碳

纳米管图案。

8. 一种阵列基板,其特征在于,所述阵列基板包括:权利要求1至4任一所述的薄膜晶体管。

9. 根据权利要求8所述的阵列基板,其特征在于,
形成有所述薄膜晶体管的衬底基板上形成有钝化层,所述钝化层上形成有过孔;
形成有所述钝化层的衬底基板上形成有像素电极,所述像素电极通过所述过孔与所述薄膜晶体管的漏极接触。

10. 一种显示装置,其特征在于,所述显示装置包括权利要求8或9所述的阵列基板。

薄膜晶体管及其制造方法、阵列基板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种薄膜晶体管及其制造方法、阵列基板、显示装置。

背景技术

[0002] 在显示行业中,显示装置的像素单元中形成有薄膜晶体管(英文:Thin Film Transistor;简称:TFT),该TFT可以驱动像素单元实现图像显示。

[0003] 相关技术中,TFT可以为非晶硅(英文:a-Si)TFT,a-Si TFT包括:衬底基板和依次形成在衬底基板上的栅极、栅绝缘层、有源层和源漏极金属图案,其中,有源层包括采用a-Si材料形成的a-Si层,源漏极金属图案包括:源极和漏极,源极和漏极分别与a-Si层接触,且漏极还与像素单元中的像素电极接触,栅极可以控制TFT的开启和关闭,在TFT开启时,源极上的电流能够依次通过a-Si层和漏极写入像素电极,向像素电极充电。

[0004] 在实现本发明的过程中,发明人发现相关技术至少存在以下问题:

[0005] 由于源极和漏极分别与非晶硅层接触,在向像素电极充电时,TFT的源极上的电流需要通过a-Si层才能到达漏极,而a-Si的电子迁移率较小,因此,a-Si TFT的开态电流较小,充电率较低。

发明内容

[0006] 为了解决TFT的开态电流较小,充电率较低的问题,本发明实施例提供了一种薄膜晶体管及其制造方法、阵列基板、显示装置。所述技术方案如下:

[0007] 第一方面,提供了一种薄膜晶体管,所述薄膜晶体管包括栅极、栅绝缘层、有源层和源漏极金属图案,所述有源层包括碳纳米管图案和位于所述碳纳米管图案上的多晶硅图案;

[0008] 其中,所述源漏极金属图案包括源极和漏极,所述源极和所述漏极分别与所述多晶硅图案接触。

[0009] 可选地,所述有源层还包括:位于所述多晶硅图案上的欧姆接触图案,

[0010] 所述欧姆接触图案包括:源极接触图案和漏极接触图案,所述源极接触图案与所述漏极接触图案不接触,且所述源极接触图案分别与所述源极和所述多晶硅图案接触,所述漏极接触图案分别与所述漏极和所述多晶硅图案接触。

[0011] 可选地,

[0012] 所述欧姆接触图案与所述多晶硅图案接触;

[0013] 所述多晶硅图案在所述衬底基板上的正投影区域覆盖所述碳纳米管图案在所述衬底基板上的正投影区域;

[0014] 所述欧姆接触图案在所述衬底基板上的正投影与所述源漏极金属图案在所述衬底基板上的正投影重合;

[0015] 所述碳纳米管图案在所述衬底基板上的正投影与所述栅极在所述衬底基板上的

正投影重合。

[0016] 可选地,所述多晶硅图案在所述衬底基板上的正投影区域的面积与所述碳纳米管图案在所述衬底基板上的正投影区域的面积相等。

[0017] 第二方面,提供了一种薄膜晶体管的制造方法,所述方法包括:

[0018] 在衬底基板上形成栅极;

[0019] 在形成有所述栅极的衬底基板上形成栅绝缘层;

[0020] 在形成有所述栅绝缘层的衬底基板上形成有源层和源漏极金属图案,所述有源层包括碳纳米管图案和位于所述碳纳米管图案上的多晶硅图案;

[0021] 其中,所述源漏极金属图案包括源极和漏极,所述源极和所述漏极分别与所述多晶硅图案接触。

[0022] 可选地,所述有源层还包括:位于所述多晶硅图案上的欧姆接触图案,

[0023] 所述欧姆接触图案包括:源极接触图案和漏极接触图案,所述源极接触图案与所述漏极接触图案不接触,且所述源极接触图案分别与所述源极和所述多晶硅图案接触,所述漏极接触图案分别与所述漏极和所述多晶硅图案接触。

[0024] 可选地,所述在形成有所述栅绝缘层的衬底基板上形成有源层和源漏极金属图案,包括:

[0025] 在形成有所述栅绝缘层的衬底基板上形成碳纳米管层;

[0026] 在形成有所述碳纳米管层的衬底基板上形成多晶硅层;

[0027] 在形成有所述多晶硅层的衬底基板上依次形成欧姆接触层和源漏极金属层;

[0028] 通过一次构图工艺对所述源漏极金属层、所述欧姆接触层、所述多晶硅层和所述碳纳米管层进行处理,得到所述源漏极金属图案、所述欧姆接触图案、所述多晶硅图案和所述碳纳米管图案。

[0029] 第三方面,提供了一种阵列基板,所述阵列基板包括:第一方面任一所述的薄膜晶体管。

[0030] 可选地,

[0031] 形成有所述薄膜晶体管的衬底基板上形成有钝化层,所述钝化层上形成有过孔;

[0032] 形成有所述钝化层的衬底基板上形成有像素电极,所述像素电极通过所述过孔与所述薄膜晶体管的漏极接触。

[0033] 第四方面,提供了一种显示装置,所述显示装置包括第三方面任一所述的阵列基板。

[0034] 本发明实施例提供的技术方案带来的有益效果是:

[0035] 本发明提供的薄膜晶体管及其制造方法、阵列基板、显示装置,由于薄膜晶体管的源极和漏极分别与多晶硅图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0036] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性的,并不能限制本发明。

附图说明

[0037] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0038] 图1是本发明实施例提供的一种薄膜晶体管的结构示意图;

[0039] 图2是本发明实施例提供的另一种薄膜晶体管的结构示意图;

[0040] 图3是本发明实施例提供的一种薄膜晶体管的制造方法的方法流程图;

[0041] 图4-1是本发明实施例提供的另一种薄膜晶体管的制造方法的方法流程图;

[0042] 图4-2是本发明实施例提供的一种在衬底基板上形成栅极后的结构示意图;

[0043] 图4-3是本发明实施例提供的一种在形成有栅极的衬底基板上形成栅绝缘层后的结构示意图;

[0044] 图4-4是本发明实施例提供的一种在形成有栅绝缘层的衬底基板上形成有源层和源漏极金属图案后的结构示意图;

[0045] 图4-5是本发明实施例提供的一种在形成有栅绝缘层的衬底基板上形成有源层和源漏极金属图案的方法流程图;

[0046] 图4-6是本发明实施例提供的一种在形成有栅绝缘层的衬底基板上形成碳纳米管层后的结构示意图;

[0047] 图4-7是本发明实施例提供的一种在形成有碳纳米管层的衬底基板上形成多晶硅层后的结构示意图;

[0048] 图4-8是本发明实施例提供的一种在形成有碳纳米管层的衬底基板上形成多晶硅层的方法流程图;

[0049] 图4-9是本发明实施例提供的一种在形成有碳纳米管层的衬底基板上形成非晶硅层后的结构示意图;

[0050] 图4-10是本发明实施例提供的一种采用退火工艺对脱氢后的非晶硅层进行处理后的结构示意图;

[0051] 图4-11是本发明实施例提供的一种在形成有多晶硅层的衬底基板上依次形成欧姆接触层和源漏极金属层后的结构示意图;

[0052] 图4-12是本发明实施例提供的一种通过一次构图工艺对源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理的方法流程图;

[0053] 图4-13是本发明实施例提供的一种在形成有源漏极金属层的衬底基板上形成光刻胶层后的结构示意图;

[0054] 图4-14是本发明实施例提供的一种对形成有光刻胶层的衬底基板进行曝光、显影后的结构示意图;

[0055] 图4-15是本发明实施例提供的一种采用刻蚀工艺对光刻胶完全去除区对应的源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理后的结构示意图;

[0056] 图4-16是本发明实施例提供的一种去除第二光刻胶区的光刻胶后的结构示意图;

[0057] 图4-17是本发明实施例提供的一种采用刻蚀工艺对第二光刻胶区对应的初始源

漏极金属图案和初始欧姆接触图案进行处理后的结构示意图；

[0058] 图5是本发明实施例提供的一种阵列基板的结构示意图。

[0059] 此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本发明的实施例，并与说明书一起用于解释本发明的原理。

具体实施方式

[0060] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0061] 请参考图1，其示出了本发明实施例提供的一种薄膜晶体管00的结构示意图，参见图1，该薄膜晶体管00包括：衬底基板001。衬底基板001可以为透明基板，其具体可以是采用玻璃、石英、透明树脂等具有一定坚固性的导光且非金属材料制成的基板。

[0062] 衬底基板001上形成有栅极002；形成有栅极002的衬底基板001上形成有栅绝缘（英文：Gate Insulator；简称：GI）层003；形成有栅绝缘层003的衬底基板001上形成有有源层004和源漏极金属图案005，有源层004包括碳纳米管图案0041和位于碳纳米管图案0041上的多晶硅（英文：p-Si）图案0042。

[0063] 其中，源漏极金属图案005包括源极0051和漏极0052，源极0051和漏极0052分别与多晶硅图案0042接触。

[0064] 需要说明的是，碳纳米管具有传统半导体的电学性质，未对其加偏压时，其导电性能很差，可视为绝缘体；但是，在对碳纳米管加偏压时，碳纳米管因内部产生载流子而具有导电性。并且，该碳纳米管具有较高的电子迁移率。因此，利用碳纳米管制作成的导电材料具有较好的导电性。

[0065] 综上所述，本发明实施例提供的薄膜晶体管，由于薄膜晶体管的源极和漏极分别与多晶硅图案接触，多晶硅图案又与碳纳米管图案接触，在薄膜晶体管开启时，源极上的电流通过碳纳米管图案和多晶硅图案到达漏极，而碳纳米管图案的电子迁移率较高，因此，可以增大薄膜晶体管的开态电流，提高充电率，解决了相关技术中薄膜晶体管的开态电流较小，充电率较低的问题，达到了增大薄膜晶体管的开态电流，提高充电率的效果。

[0066] 请参考图2，其示出了本发明实施例提供的另一种薄膜晶体管00结构示意图，参见图2，该薄膜晶体管00包括：衬底基板001。衬底基板001可以为透明基板，其具体可以是采用玻璃、石英、透明树脂等具有一定坚固性的导光且非金属材料制成的基板。

[0067] 衬底基板001上形成有栅极002；形成有栅极002的衬底基板001上形成有栅绝缘层003；形成有栅绝缘层003的衬底基板001上形成有有源层004和源漏极金属图案005，有源层004包括碳纳米管图案0041和位于碳纳米管图案0041上的多晶硅图案0042。

[0068] 其中，源漏极金属图案005包括源极0051和漏极0052，源极0051和漏极0052分别与多晶硅图案0042接触。

[0069] 进一步地，请继续参考图2，有源层004还可以包括：位于多晶硅图案0042上的欧姆接触图案0043。该欧姆接触图案0043的形成材料包括：n+非晶硅（英文：n+a-Si），且该欧姆接触图案0043包括：源极接触图案00431和漏极接触图案00432，源极接触图案00431和漏极接触图案00432不接触。该源极接触图案00431与源极0051对应，且该源极接触图案00431分别与源极0051和多晶硅图案0042接触，该漏极接触图案00432与漏极0052对应，且漏极接触

图案00432分别与漏极0052和多晶硅图案0042接触。

[0070] 可选地,多晶硅图案0042在衬底基板001上的正投影区域覆盖碳纳米管图案在衬底基板上的正投影区域;欧姆接触图案0043在衬底基板001上的正投影与源漏极金属图案005在衬底基板001上的正投影重合;碳纳米管图案0041在衬底基板001上的正投影与栅极002在衬底基板001上的正投影重合。

[0071] 可选地,多晶硅图案0042在衬底基板001上的正投影区域的面积与碳纳米管图案0041在衬底基板001上的正投影区域的面积相等。

[0072] 可选地,在本发明实施例中,栅极002和源漏极金属图案005的形成材料均可以为金属材料,其具体可以为金属钼(英文:Mo)、金属铜(英文:Cu)、金属铝(英文:Al)及其合金材料,栅绝缘层003的形成材料可以为二氧化硅、氮化硅或者二氧化硅和氮化硅的混合材料,本发明实施例在此不再赘述。

[0073] 在图2所示的薄膜晶体管00中,栅极002可以控制薄膜晶体管00的开启和关闭,在薄膜晶体管00开启时,源极0051上的电流主要依次通经源极接触图案00431、多晶硅图案0042、碳纳米管图案0041、多晶硅图案0042、漏极接触图案00432到达漏极0052,在薄膜晶体管00关闭时,漏极0052上的电流主要通过漏极接触图案00432、多晶硅图案0042、源极接触图案00431到达源极0051,而碳纳米管图案0041的电子迁移率较高,多晶硅图案0042的电子迁移率较低,这样一来,由于在薄膜晶体管00开启时,源极0051上的电流是通过碳纳米管图案0041和多晶硅图案0042到达漏极0052的,在薄膜晶体管00关闭时,漏极0052上的电流是通过多晶硅图案0042到达源极0051的,因此,综合碳纳米管图案较高的电子迁移率和多晶硅较低电子迁移率,可以在现有技术的增大薄膜晶体管00的开态电流、减小薄膜晶体管00的关态电流,但又不至于薄膜晶体管00的开态电流太大。

[0074] 综上所述,本发明实施例提供的薄膜晶体管,由于薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0075] 本发明实施例中薄膜晶体管的制造方法可以参见下文各实施例中的描述。

[0076] 请参考图3,其示出了本发明实施例提供的一种薄膜晶体管的制造方法的方法流程图,该薄膜晶体管的制造方法可以用于制造图1或图2所示的薄膜晶体管。参见图3,该薄膜晶体管的制造方法可以包括:

[0077] 步骤301、在衬底基板上形成栅极。

[0078] 步骤302、在形成有栅极的衬底基板上形成栅绝缘层。

[0079] 步骤303、在形成有栅绝缘层的衬底基板上形成有源层和源漏极金属图案,有源层包括碳纳米管图案和位于碳纳米管图案上的多晶硅图案。

[0080] 其中,源漏极金属图案包括源极和漏极,源极和漏极分别与多晶硅图案接触。

[0081] 综上所述,本发明实施例提供的薄膜晶体管的制造方法,由于薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体

管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0082] 可选地,有源层还包括:位于多晶硅图案上的欧姆接触图案。欧姆接触图案包括:源极接触图案和漏极接触图案,源极接触图案与漏极接触图案不接触,且源极接触图案分别与源极和多晶硅图案接触,漏极接触图案分别与漏极和多晶硅图案接触。

[0083] 可选地,步骤303可以包括:在形成有栅绝缘层的衬底基板上形成碳纳米管层;在形成有碳纳米管层的衬底基板上形成多晶硅层;在形成有多晶硅层的衬底基板上依次形成欧姆接触层和源漏极金属层;通过一次构图工艺对源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理,得到源漏极金属图案、欧姆接触图案、多晶硅图案和碳纳米管图案。

[0084] 可选地,通过一次构图工艺对源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理,得到源漏极金属图案、欧姆接触图案、多晶硅图案和碳纳米管图案,包括:

[0085] 在形成有源漏极金属层的衬底基板上形成光刻胶层;采用半色调掩膜版对形成有光刻胶层的衬底基板进行曝光、显影后,得到光刻胶图案,光刻胶图案包括:第一光刻胶区、第二光刻胶区和光刻胶完全去除区,第一光刻胶区对应待形成的源漏极金属图案,第二光刻胶区对应待形成的源漏极金属图案的源极和漏极之间的区域,光刻胶完全去除区对应其他区域;采用刻蚀工艺对光刻胶完全去除区对应的源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理,得到碳纳米管图案、初始欧姆接触图案、多晶硅图案和初始源漏极金属图案;去除第二光刻胶区的光刻胶;采用刻蚀工艺对第二光刻胶区对应的初始源漏极金属图案和初始欧姆接触图案进行处理,得到源漏极金属图案和欧姆接触图案;剥离第一光刻胶区的光刻胶。

[0086] 可选地,在形成有栅绝缘层的衬底基板上形成碳纳米管层,包括:

[0087] 在形成有栅绝缘层的衬底基板上贴附多个碳纳米颗粒,该多个碳纳米颗粒组成碳纳米管层。

[0088] 可选地,欧姆接触图案与多晶硅图案接触;多晶硅图案在衬底基板上的正投影区域覆盖碳纳米管图案在衬底基板上的正投影区域;欧姆接触图案在衬底基板上的正投影与源漏极金属图案在衬底基板上的正投影重合;碳纳米管图案在衬底基板上的正投影与栅极在衬底基板上的正投影重合。

[0089] 可选地,多晶硅图案在衬底基板上的正投影区域的面积与碳纳米管图案在衬底基板上的正投影区域的面积相等。

[0090] 上述所有可选技术方案,可以采用任意结合形成本发明的可选实施例,在此不再赘述。

[0091] 综上所述,本发明实施例提供的薄膜晶体管的制造方法,由于薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0092] 请参考图4-1,其示出了本发明实施例提供的另一种薄膜晶体管的制造方法的方法流程图,本实施例以制造图2所示的薄膜晶体管为例进行说明。参见图4-1,该薄膜晶体管

的制造方法可以包括：

[0093] 步骤401、在衬底基板上形成栅极。

[0094] 示例地，请参考图4-2，其示出了本发明实施例提供的一种在衬底基板001上形成栅极002后的结构示意图。其中，衬底基板001可以为透明基板，其具体可以是采用玻璃、石英、透明树脂等具有一定坚固性的导光且非金属材料制成的基板。栅极002可以采用金属材料形成，比如，栅极002采用金属Mo、金属Cu、金属Al及其合金材料制造而成，栅极002的厚度的取值范围可以根据实际需要设置，本发明实施例对此不作限定。

[0095] 示例地，可以采用磁控溅射、热蒸发或者等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition;简称:PECVD)等方法在衬底基板001上沉积一层具有一定厚度的金属材料，得到金属材质层，然后通过一次构图工艺对金属材质层进行处理得到栅极002。其中，一次构图工艺包括：光刻胶涂覆、曝光、显影、刻蚀和光刻胶剥离，因此，通过一次构图工艺对金属材质层进行处理得到栅极002可以包括：在金属材质层上涂覆一层具有一定厚度的光刻胶得到光刻胶层，采用掩模版对光刻胶层进行曝光，使光刻胶层形成完全曝光区和非曝光区，之后采用显影工艺处理，使完全曝光区的光刻胶被完全去除，非曝光区的光刻胶全部保留，采用刻蚀工艺对金属材质层上完全曝光区对应的区域进行刻蚀，之后剥离非曝光区的光刻胶，金属材质层上非曝光区对应的区域形成栅极002。

[0096] 需要说明的是，本发明实施例是以采用正性光刻胶形成栅极002为例进行说明的，实际应用中，还可以采用负性光刻胶形成栅极002，本发明实施例对此不做限定。

[0097] 步骤402、在形成有栅极的衬底基板上形成栅绝缘层。

[0098] 请参考图4-3，其示出了本发明实施例提供的一种在形成有栅极002的衬底基板001上形成栅绝缘层003后的结构示意图。其中，栅绝缘层003可以采用二氧化硅、氮化硅或者二氧化硅和氮化硅的混合材料形成，且栅绝缘层003的厚度可以根据实际需要设置，本发明实施例对此不做限定。

[0099] 示例地，可以采用涂覆、磁控溅射、热蒸发或者PECVD等方法在形成有栅极002的衬底基板001上沉积一层具有一定厚度的二氧化硅，得二氧化硅材质层，并进行烘烤处理形成栅绝缘层003。

[0100] 需要说明的是，实际应用中，当栅绝缘层003包括图形时，还可以通过一次构图工艺对二氧化硅材质层进行处理得到栅绝缘层003，本发明实施例在此不再赘述。

[0101] 步骤403、在形成有栅绝缘层的衬底基板上形成有源层和源漏极金属图案，有源层包括碳纳米管图案和位于碳纳米管图案上的多晶硅图案，源漏极金属图案包括源极和漏极，源极和漏极分别与多晶硅图案接触。

[0102] 请参考图4-4，其示出了本发明实施例提供的一种在形成有栅绝缘层003的衬底基板001上形成有源层004和源漏极金属图案005后的结构示意图。参见图4-4，有源层004包括碳纳米管图案0041、位于碳纳米管图案0041上的多晶硅图案0042以及位于多晶硅图案0042上的欧姆接触图案0043，该欧姆接触图案0043包括：源极接触图案00431和漏极接触图案00432；源极接触图案00431和漏极接触图案00432不接触；源漏极金属图案005包括源极0051和漏极0052，源极接触图案00431与源极0051对应，且源极接触图案00431分别与源极0051和多晶硅图案0042接触，漏极接触图案00432与漏极0052对应，且漏极接触图案00432分别与漏极0052和多晶硅图案0042接触。可选地，如图4-4所示，欧姆接触图案0043与多晶

硅图案0042接触。多晶硅图案0042在衬底基板001上的正投影区域覆盖碳纳米管图案0041在衬底基板001上的正投影区域；欧姆接触图案0043在衬底基板001上的正投影与源漏极金属图案005在衬底基板001上的正投影重合；碳纳米管图案0041在衬底基板001上的正投影与栅极002在衬底基板001上的正投影重合，多晶硅图案0042在衬底基板001上的正投影区域的面积与碳纳米管图案0041在衬底基板001上的正投影区域的面积相等。其中，欧姆接触图案0043的形成材料包括： $n+a-Si$ 。

[0103] 请参考图4-5，其示出了本发明实施例提供的一种在形成有栅绝缘层的衬底基板上形成有源层和源漏极金属图案的方法流程图，参见图4-5，该方法可以包括：

[0104] 子步骤4031、在形成有栅绝缘层的衬底基板上形成碳纳米管层。

[0105] 形成碳纳米管层T的方法可以包括：在形成有栅绝缘层003的衬底基板001上贴附多个碳纳米颗粒，其中，多个碳纳米颗粒组成碳纳米管层T。

[0106] 示例地，本发明实施例提供的一种制备碳纳米颗粒的方式可以为，以乙炔、丙炔或丁炔等低碳烯烃为原料，通过自组装技术、催化裂化法或激光蒸发法等方法中的一种或多种制备碳纳米颗粒。本实施例不对制备碳纳米颗粒的具体方式进行限定，由于现有的技术已经很成熟，因此，可通过现有的碳纳米颗粒的制备方式制备碳纳米颗粒，本发明实施例在此不再赘述。

[0107] 示例地，请参考图4-6，其示出了本发明实施例提供的一种在形成有栅绝缘层003的衬底基板001上形成碳纳米管层T后的结构示意图。

[0108] 优选地，在形成有栅绝缘层003的衬底基板001上贴附多个碳纳米颗粒的具体实现方式为：首先，将制备好的碳纳米颗粒包裹在表面活性剂中，并将其溶于水中，该表面活性剂可以为十二烷基硫酸钠，其类似于肥皂；然后，在形成有栅绝缘层003的衬底基板001上，在栅极对应的区域沉积二氧化铪，并在二氧化铪上涂化学材料，要求该化学材料的厚度非常薄，以至于不影响TFT各层之间导电。该化学材料可以为N-苯基马来酰亚胺（英文：NMPI）。最后，将涂有化学材料NMPI的衬底基板001浸入溶有碳纳米颗粒的溶液中，在该溶液中表面活性剂与化学材料NMPI发生化学反应，在该化学反应的作用下，表面活性剂与化学材料NMPI之间能够相互吸引，并在该相互吸引的作用力下，包裹有碳纳米管颗粒的表面活性剂贴附到衬底基板001上，由此，碳纳米管颗粒就贴附到形成有栅绝缘层003的衬底基板001上了，多个碳纳米颗粒组成碳纳米管层T。

[0109] 本发明实施例对该表面活性剂的成分不做具体限定，只要该表面活性剂能够包裹碳纳米颗粒并与化学材料产生相互吸引的化学反应即可。同理，本发明实施例对该化学材料的成分也不做具体限定，只要其能够与包裹有碳纳米管颗粒的表面活性剂产生相互吸引的化学反应即可。

[0110] 子步骤4032、在形成有碳纳米管层的衬底基板上形成多晶硅层。

[0111] 示例地，请参考图4-7，其示出了本发明实施例提供的一种在形成有碳纳米管层T的衬底基板上形成多晶硅层D后的结构示意图。图4-8其示出了本发明实施例提供的一种在形成有碳纳米管层的衬底基板上形成多晶硅层的方法流程图，参见图4-8，该方法可以包括：

[0112] 子步骤40321、在形成有碳纳米管层的衬底基板上形成非晶硅层。

[0113] 示例地，请参考图4-9，其示出了本发明实施例提供的一种在形成有碳纳米管层T

的衬底基板001上形成非晶硅层F后的结构示意图,该非晶硅层F的厚度可以根据实际需要设置,本发明实施例对此不做限定。

[0114] 示例地,可以采用涂覆、磁控溅射、热蒸发或者PECVD等方法在形成有碳纳米管层T的衬底基板001上沉积一层具有一定厚度的非晶硅,并进行烘烤处理得到非晶硅层F。

[0115] 子步骤40322、采用高温脱氢工艺对非晶硅层F进行处理,得到脱氢后的非晶硅层。

[0116] 其中,采用高温脱氢工艺对非晶硅层F进行处理的具体过程可以参考相关技术,本发明实施例在此不再赘述。但是需要说明的是,采用高温脱氢工艺对非晶硅层F进行处理可以去除非晶硅层F中的氢原子,这样可以避免在后续的退火工艺中,由于氢原子的存在导致的爆炸。

[0117] 子步骤40323、采用退火工艺对脱氢后的非晶硅层进行处理,使脱氢后的非晶硅层的非晶硅转化为多晶硅,得到多晶硅层。

[0118] 示例地,请参考图4-10,其示出了本发明实施例提供的一种采用退火工艺对脱氢后的非晶硅层进行处理后的结构示意图,对非晶硅层F进行脱氢后,可以采用退火工艺对脱氢后的非晶硅层F进行处理,使脱氢后的非晶硅层F的非晶硅转化为多晶硅,得到多晶硅层D。

[0119] 子步骤4033、在形成有多晶硅层的衬底基板上依次形成欧姆接触层和源漏极金属层。

[0120] 示例地,请参考图4-11,其示出了本发明实施例提供的一种在形成有多晶硅层D的衬底基板001上依次形成欧姆接触层M和源漏极金属层S后的结构示意图。其中,欧姆接触层M可以采用n+a-Si形成,源漏极金属层S可以采用金属材料形成,比如,源漏极金属层S可以采用金属Mo、金属Cu、金属Al及其合金材料形成,本发明实施例对此不作限定。

[0121] 示例地,可以采用磁控溅射、热蒸发或者PECVD等方法在形成有多晶硅图案0042的衬底基板001上沉积一层具有一定厚度的n+a-Si得到欧姆接触层M,然后再采用磁控溅射、热蒸发或者PECVD等方法在形成有欧姆接触层M的衬底基板001上沉积一层具有一定厚度的金属材料,得到金属材质层,将金属材质层作为源漏极金属层S。

[0122] 子步骤4034、通过一次构图工艺对源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理,得到源漏极金属图案、欧姆接触图案、多晶硅图案和碳纳米管图案。

[0123] 其中,通过一次构图工艺对源漏极金属层S、欧姆接触层M、多晶硅层D和碳纳米管层T进行处理后的结构示意图可以参考图4-4,本发明实施例在此不再赘述。

[0124] 可选地,请参考图4-12,其示出了本发明实施例提供的一种通过一次构图工艺对源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理的方法流程图,参见图4-12,该方法可以包括:

[0125] 子步骤40341、在形成有源漏极金属层的衬底基板上形成光刻胶层。

[0126] 请参考图4-13,其示出了本发明实施例提供的一种在形成有源漏极金属层S的衬底基板001上形成光刻胶层R后的结构示意图。其中,该光刻胶层R的厚度可以根据实际需要设置,且该光刻胶层R可以为正性光刻胶层或者负性光刻胶层,本发明实施例对此不做限定,本发明实施例以该光刻胶层R为正性光刻胶层为例进行说明,示例地,可以在形成有源漏极金属层S的衬底基板001上涂覆一层具有一定厚度的正性光刻胶得到光刻胶层R。

[0127] 子步骤40342、采用半色调掩膜版对形成有光刻胶层的衬底基板进行曝光、显影

后,得到光刻胶图案,光刻胶图案包括:第一光刻胶区、第二光刻胶区和光刻胶完全去除区,第一光刻胶区对应待形成的源漏极金属图案,第二光刻胶区对应待形成的源漏极金属图案的源极和漏极之间的区域,光刻胶完全去除区对应其他区域。

[0128] 请参考图4-14,其示出了本发明实施例提供的一种对形成有光刻胶层R的衬底基板001进行曝光、显影后的结构示意图。参见图4-14,采用半色调掩模版对形成有光刻胶层R的衬底基板001进行曝光、显影后,得到光刻胶图案R1,该光刻胶图案R1包括:第一光刻胶区R11、第二光刻胶区R12和光刻胶完全去除区R13,第一光刻胶区R11对应待形成的源漏极金属图案,第二光刻胶区R12对应待形成的源漏极金属图案的源极和漏极之间的区域,光刻胶完全去除区R13对应其他区域。

[0129] 示例地,可以采用具有相应图形的半色调掩模版对形成有光刻胶层R的衬底基板001进行曝光,使得光刻胶层R形成完全曝光区、部分曝光区和非曝光区,之后采用显影工艺对曝光后的衬底基板001进行显影处理,去除完全曝光区的光刻胶,保留部分曝光区和非曝光区的光刻胶,得到如图4-14所示的光刻胶图案R1。

[0130] 子步骤40343、采用刻蚀工艺对光刻胶完全去除区对应的源漏极金属层、欧姆接触层、多晶硅层和碳纳米管层进行处理,得到碳纳米管图案、初始欧姆接触图案、多晶硅图案和初始源漏极金属图案。

[0131] 请参考图4-15,其示出了本发明实施例提供的一种采用刻蚀工艺对光刻胶完全去除区R13对应的源漏极金属层S、欧姆接触层M、多晶硅层D和碳纳米管层T进行处理后的结构示意图。参见图4-15,采用刻蚀工艺对光刻胶完全去除区R13对应的源漏极金属层S、欧姆接触层M、多晶硅层D和碳纳米管层T进行处理后,得到源漏极金属层S对应的初始源漏极金属图案S1、欧姆接触层M对应的初始欧姆接触图案M1、多晶硅图案0042和碳纳米管图案0041。可选地,在刻蚀的过程中,可以依次对光刻胶完全去除区R13对应的源漏极金属层S、光刻胶完全去除区R13对应的欧姆接触层M和光刻胶完全去除区R13对应的碳纳米管层T和多晶硅层D分别进行刻蚀,本发明实施例对此不作限定。

[0132] 子步骤40344、去除第二光刻胶区的光刻胶。

[0133] 请参考图4-16,其示出了本发明实施例提供的一种去除第二光刻胶区R12的光刻胶后的结构示意图。其中,可以采用显影、灰化、剥离等工艺去除第二光刻胶区R12的光刻胶,本发明实施例对此不作限定。

[0134] 子步骤40345、采用刻蚀工艺对第二光刻胶区域对应的初始源漏极金属图案和初始欧姆接触图案进行处理,得到源漏极金属图案和欧姆接触图案。

[0135] 请参考图4-17,其示出了本发明实施例提供的一种采用刻蚀工艺对第二光刻胶区R12对应的初始源漏极金属图案S1和初始欧姆接触图案M1进行处理后的结构示意图。参见图4-17,在采用刻蚀工艺对第二光刻胶区R12对应的初始源漏极金属图案S1和初始欧姆接触图案M1进行处理后,形成源漏极金属图案和欧姆接触图案,源漏极金属图案包括源极0051和漏极0052,欧姆接触图案包括源极接触图案00431和漏极接触图案00432。可选地,在刻蚀的过程中,可以依次对第二光刻胶区R12对应的初始源漏极金属图案S1、第二光刻胶区R12对应的初始欧姆接触图案M1分别进行刻蚀,本发明实施例对此不作限定。

[0136] 子步骤40346、剥离第一光刻胶区的光刻胶。

[0137] 其中,剥离第一光刻胶区R11的光刻胶后的结构示意图可以参考图4-4,本发明实

施例在此不再赘述。

[0138] 综上所述,本发明实施例提供的薄膜晶体管的制造方法,由于薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0139] 请参考图5,其示出了本发明实施例提供的一种阵列基板0的结构示意图,该阵列基板0包括:如图1或图2所示的薄膜晶体管00。

[0140] 进一步地,形成有薄膜晶体管00的衬底基板001上形成有钝化层01,钝化层01上形成有过孔(图5中未标出);形成有钝化层01的衬底基板001上形成有像素电极02,像素电极02通过过孔与薄膜晶体管的漏极0052接触。

[0141] 可选地,阵列基板0还可以包括:栅线(图5中未示出)、数据线(图5中未示出)和公共电极线03,栅线可以与薄膜晶体管的栅极002连接,数据线可以与薄膜晶体管的源极0051连接,公共电极线可以与公共电极连接,该公共电极可以设置在阵列基板0上,栅线、公共电极线03以及栅极002可以位于同一层,且可以通过同一次构图工艺形成,本发明实施例对此不作限定。

[0142] 其中,钝化层01可以采用二氧化硅材料或者氮化硅材料制造而成,像素电极02可以采用氧化铟锡(英文:Indium tin oxide;简称:ITO)材料或者氧化铟锌(英文:Indium zinc oxide;简称:IZO)材料制造而成,示例地,可以采用磁控溅射、热蒸发或者PECVD等方法形成钝化层01,然后通过一次构图工艺在钝化层01上形成过孔,之后采用磁控溅射、热蒸发或者PECVD等方法在形成有钝化层01的衬底基板001上沉积一层具有一定厚度的ITO材料,得到ITO材质层,然后通过一次构图工艺对ITO材质层进行处理得到像素电极02,本发明实施例在此不再赘述。

[0143] 综上所述,本发明实施例提供的阵列基板,由于阵列基板的薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0144] 本发明实施例还提供了一种显示装置,该显示装置包括图5所示的阵列基板,该显示装置可以为:液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0145] 综上所述,本发明实施例提供的显示装置包括阵列基板,由于阵列基板上的薄膜晶体管的源极和漏极分别与多晶硅图案接触,多晶硅图案又与碳纳米管图案接触,在薄膜晶体管开启时,源极上的电流能够通过碳纳米管图案和多晶硅图案到达漏极,而碳纳米管图案的电子迁移率较高,因此,可以增大薄膜晶体管的开态电流,提高充电率,解决了相关技术中薄膜晶体管的开态电流较小,充电率较低的问题,达到了增大薄膜晶体管的开态电流,提高充电率的效果。

[0146] 本领域普通技术人员可以理解实现上述实施例的全部或部分步骤可以通过硬件来完成,也可以通过程序来指令相关的硬件完成,所述的程序可以存储于一种计算机可读存储介质中,上述提到的存储介质可以是只读存储器,磁盘或光盘等。

[0147] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

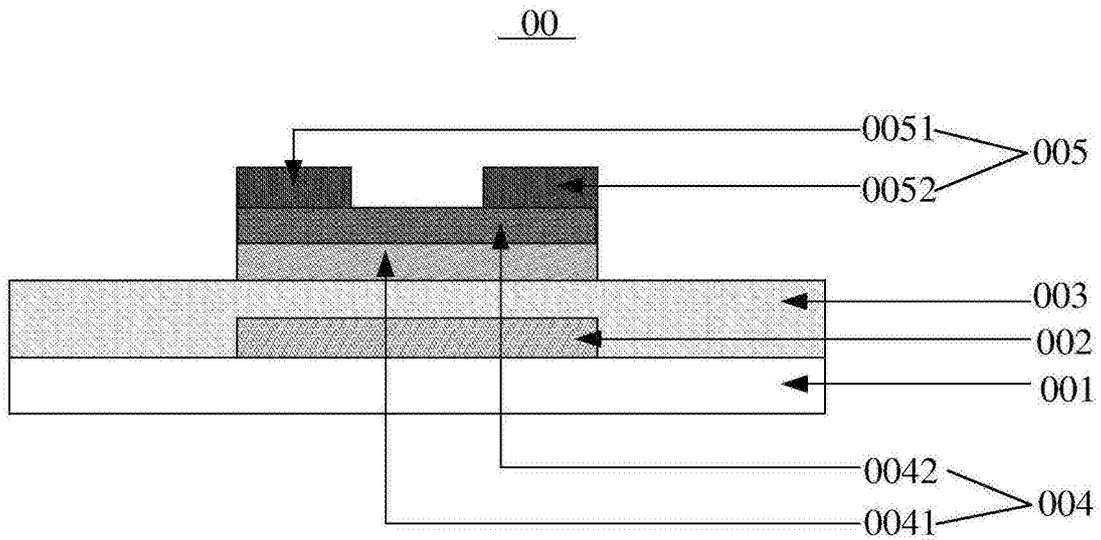


图1

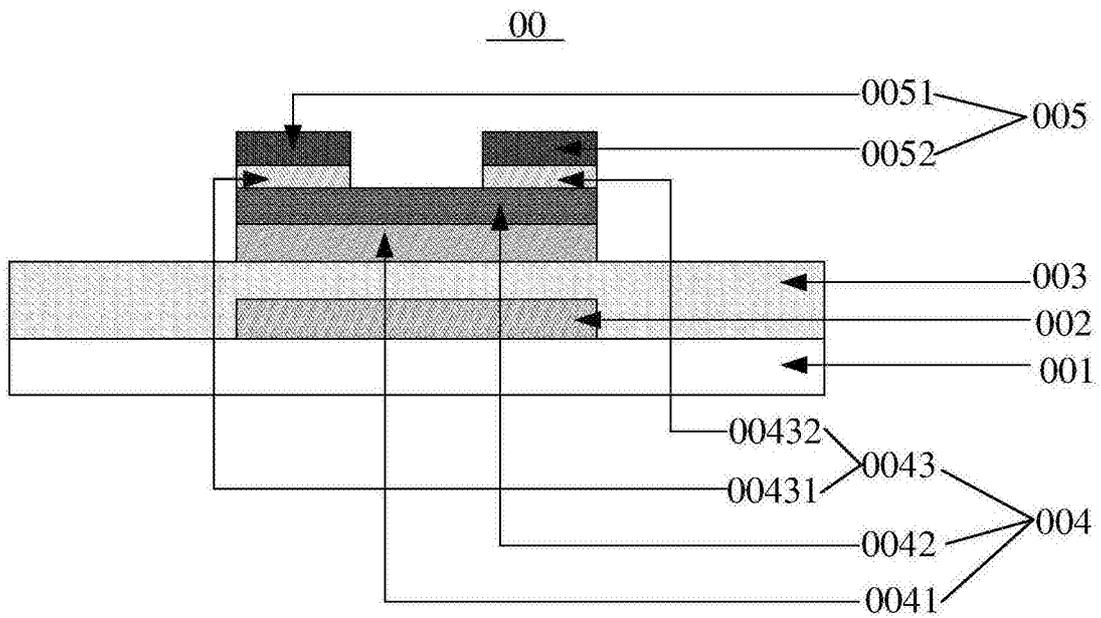


图2

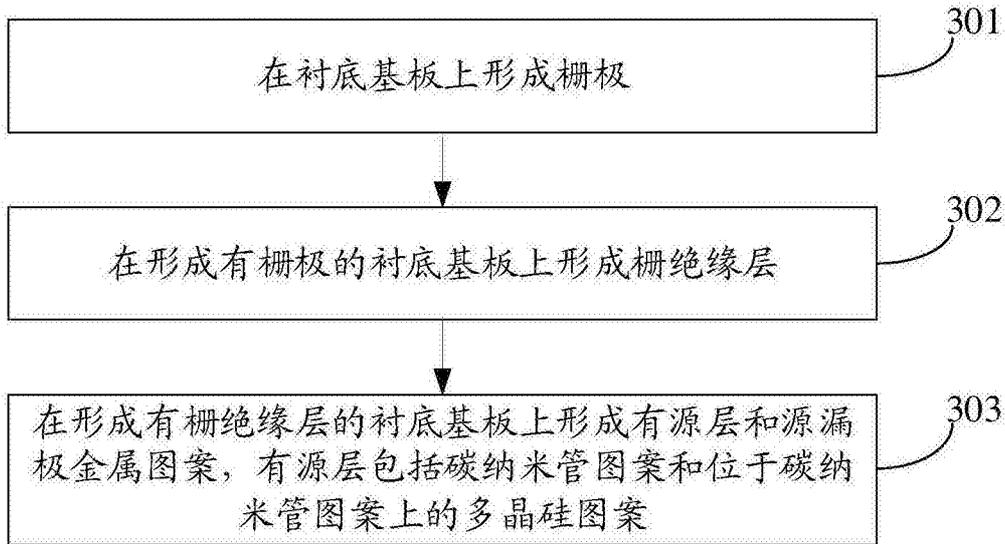


图3

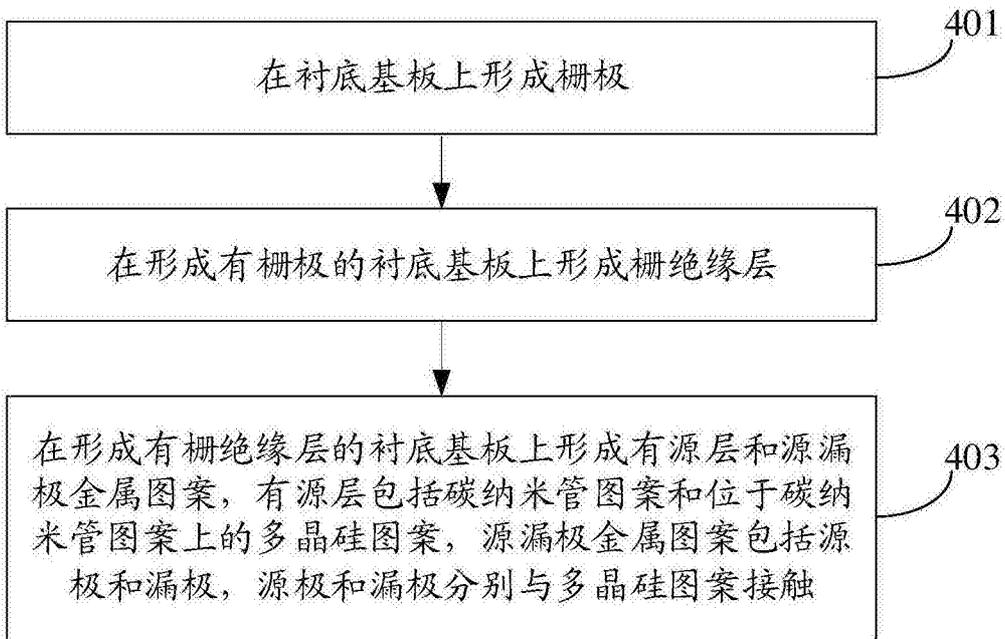


图4-1

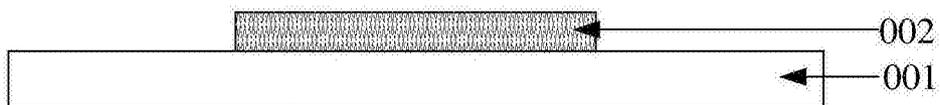


图4-2

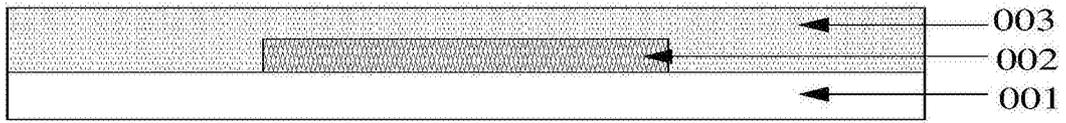


图4-3

00

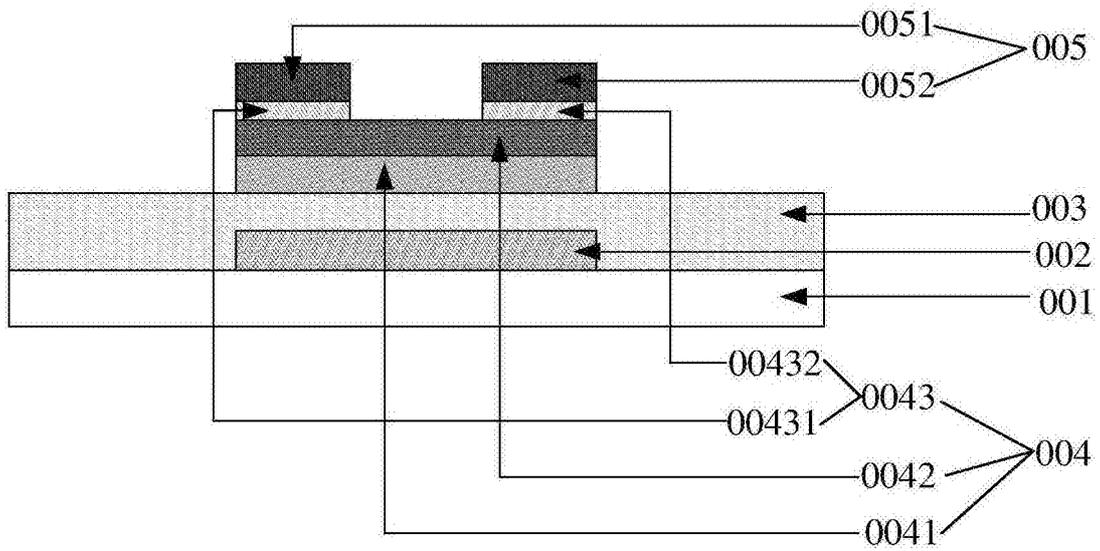


图4-4

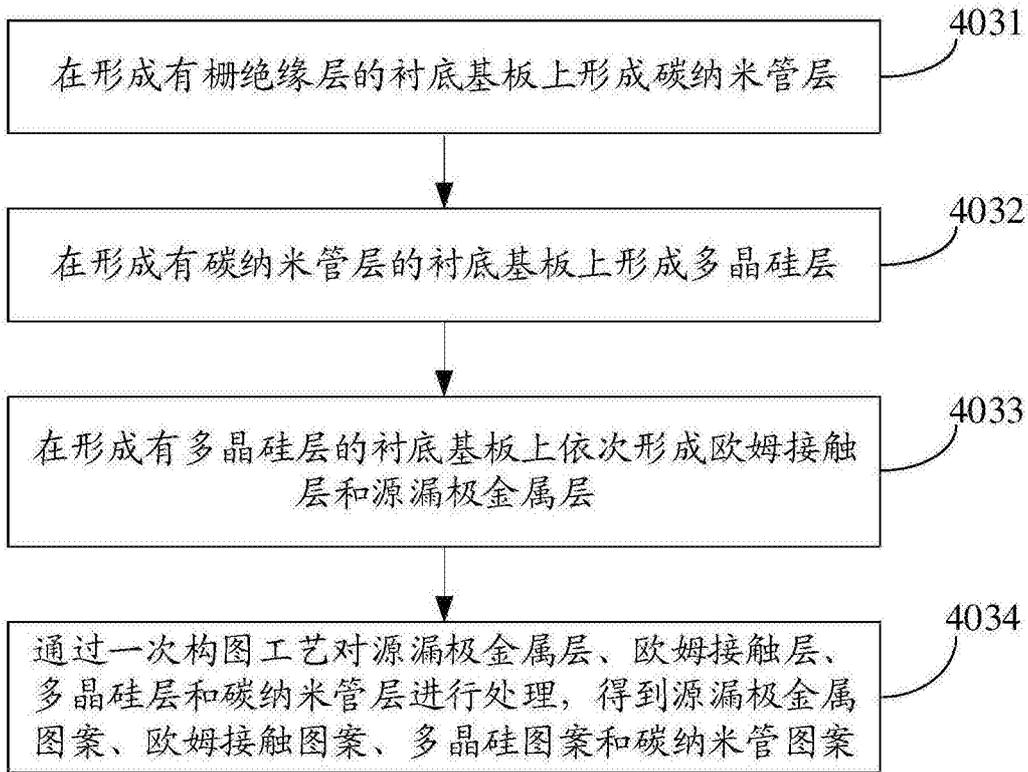


图4-5

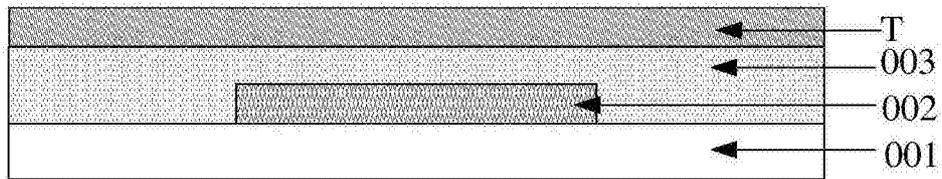


图4-6

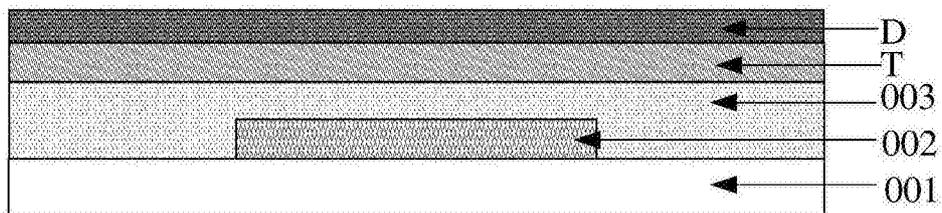


图4-7

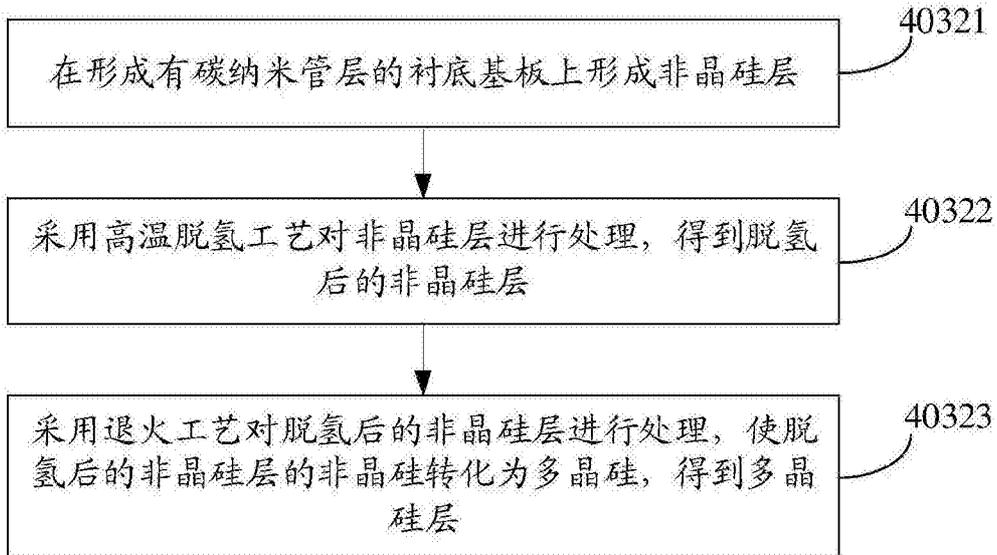


图4-8

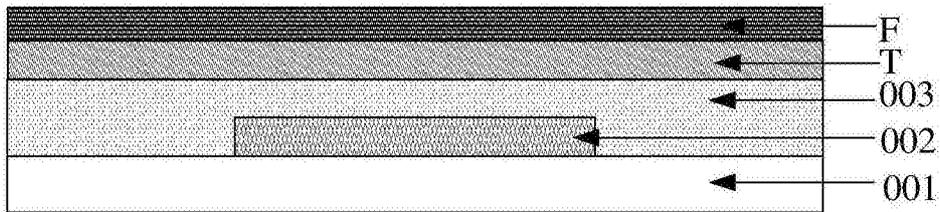


图4-9

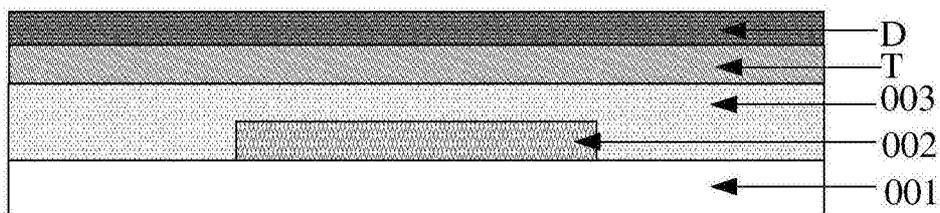


图4-10

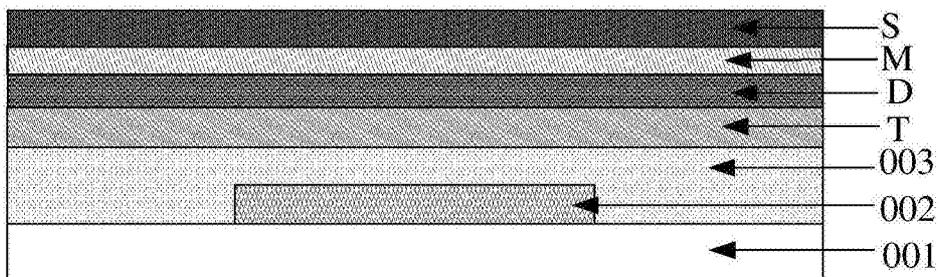


图4-11

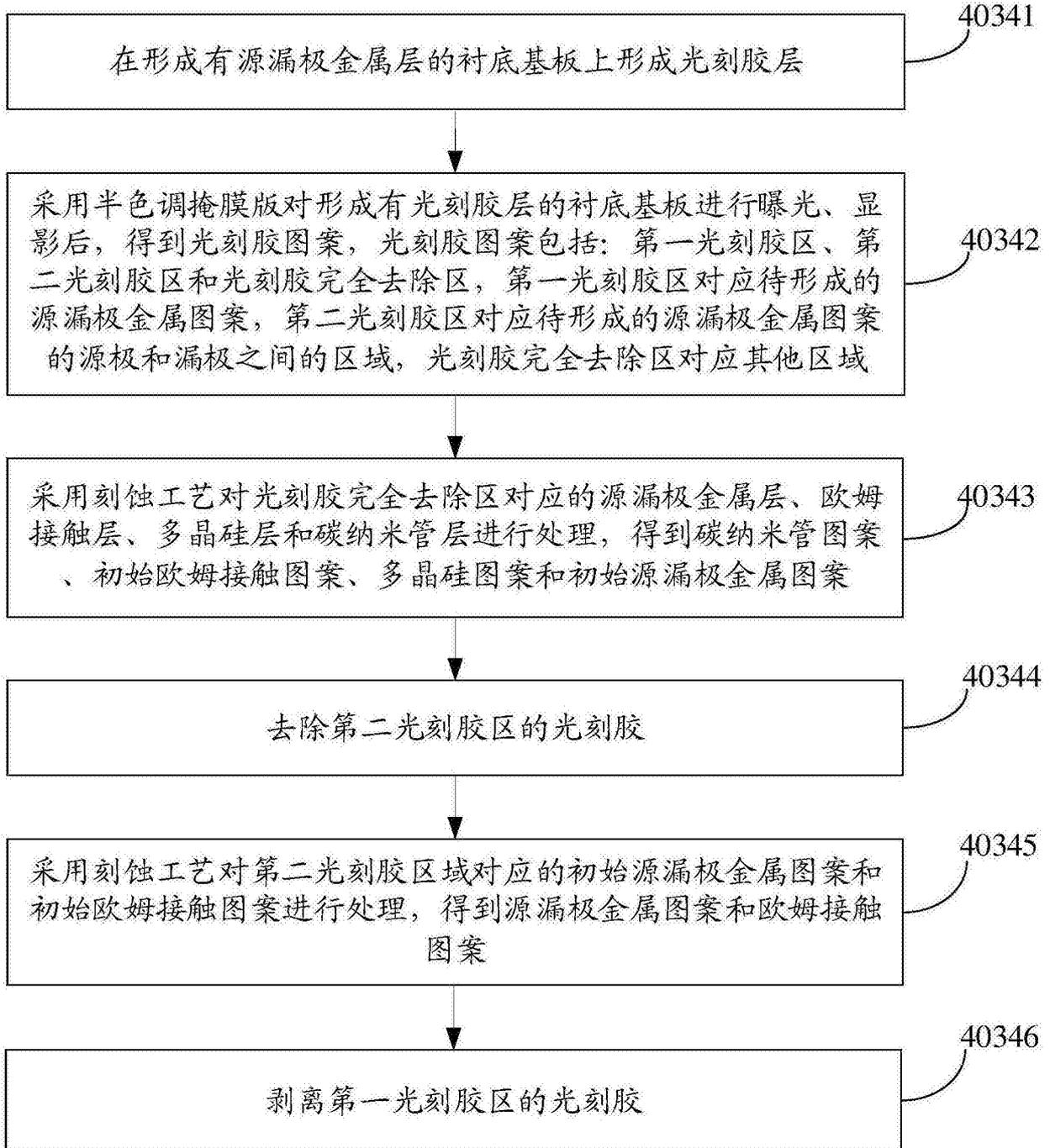


图4-12

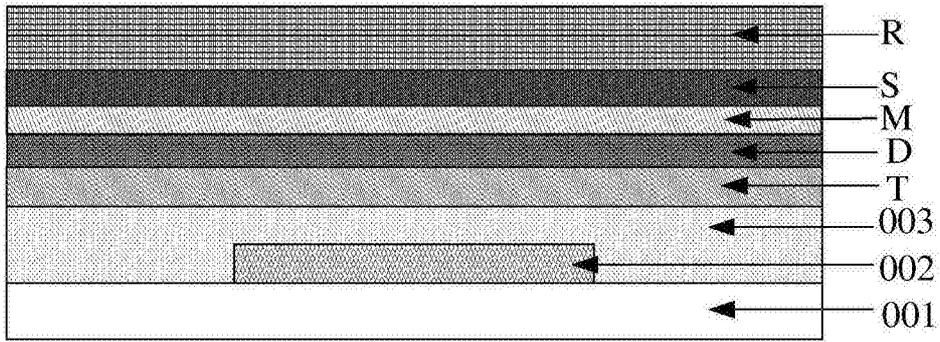


图4-13

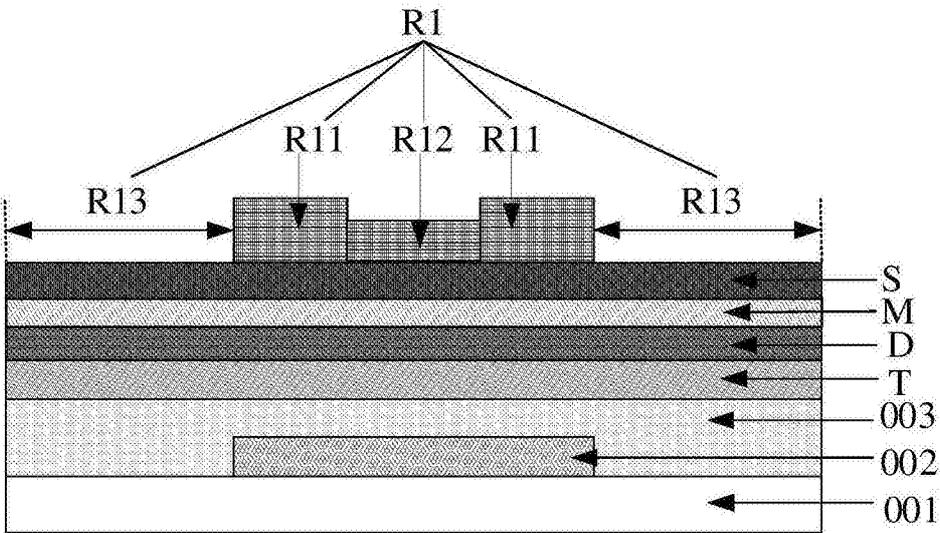


图4-14

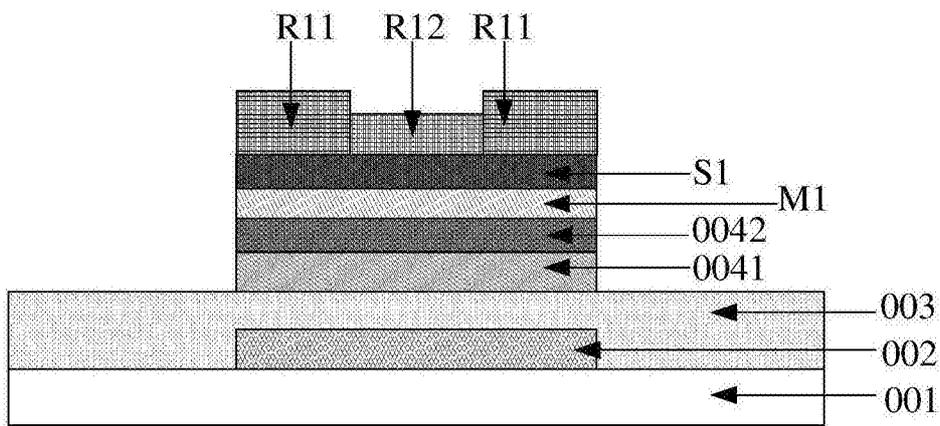


图4-15

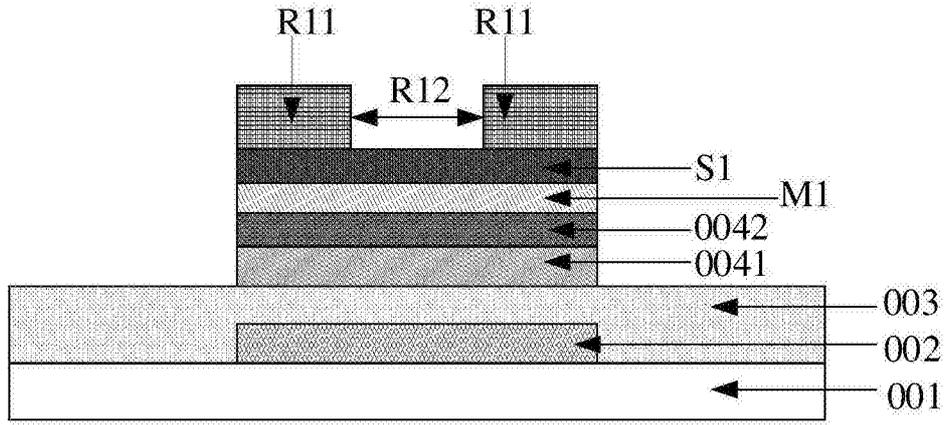


图4-16

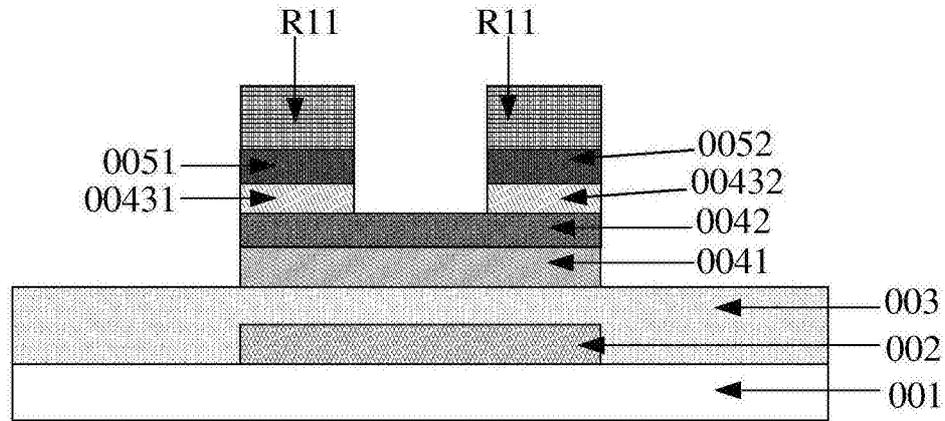


图4-17

0

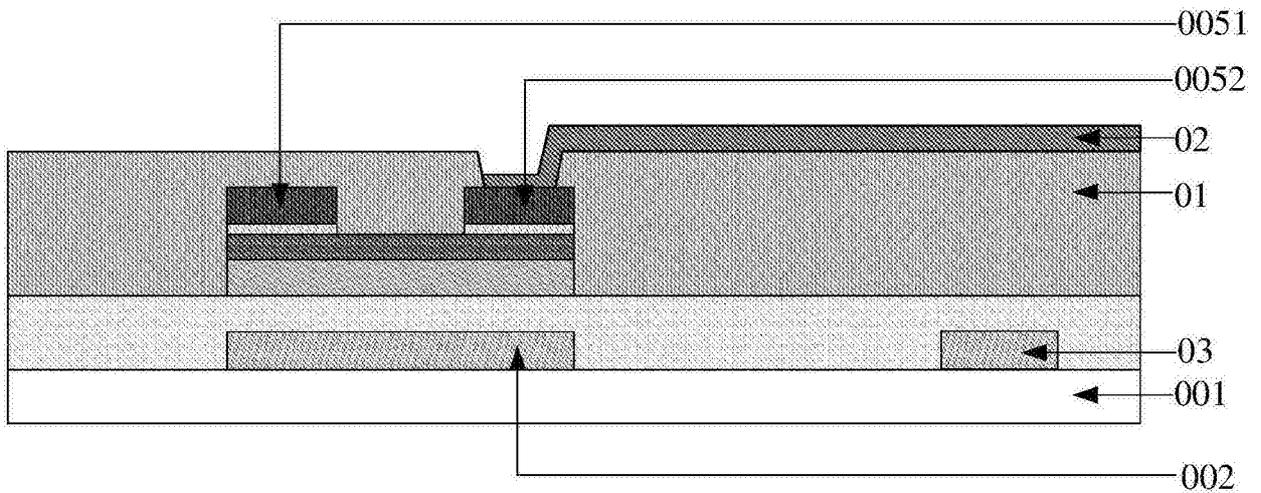


图5