

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6255068号  
(P6255068)

(45) 発行日 平成29年12月27日 (2017.12.27)

(24) 登録日 平成29年12月8日 (2017.12.8)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 C
HO 4 N 5/374 (2011.01)	HO 4 N 5/374

請求項の数 6 (全 25 頁)

(21) 出願番号	特願2016-151152 (P2016-151152)	(73) 特許権者	000153878
(22) 出願日	平成28年8月1日 (2016.8.1)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-80548 (P2015-80548)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	上妻 宗広
原出願日	平成23年2月15日 (2011.2.15)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-192577 (P2016-192577A)		半導体エネルギー研究所内
(43) 公開日	平成28年11月10日 (2016.11.10)	(72) 発明者	黒川 義元
審査請求日	平成28年8月9日 (2016.8.9)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-34173 (P2010-34173)		半導体エネルギー研究所内
(32) 優先日	平成22年2月19日 (2010.2.19)		
(33) 優先権主張国	日本国 (JP)	審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

光電変換素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、

前記第1のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第1のトランジスタのチャネル形成領域の下方に前記第1のトランジスタのゲート電極が位置し、

前記第2のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第2のトランジスタのチャネル形成領域の下方に前記第2のトランジスタのゲート電極が位置し、

前記第3のトランジスタのチャネル形成領域は、シリコンを有し、

前記第3のトランジスタのチャネル形成領域の上方に前記第3のトランジスタのゲート電極が位置し、

前記第3のトランジスタのゲート電極の上方に絶縁層が位置し、

前記絶縁層の上方に前記第1のトランジスタのゲート電極が位置し、

前記絶縁層の上方に前記第2のトランジスタのゲート電極が位置し、

前記第1のトランジスタのソース又はドレインの一方は、前記光電変換素子に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方及び前記第 3 のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

光電変換素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有し、

前記第 1 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 1 のトランジスタのチャネル形成領域の上方に前記第 1 のトランジスタのゲート電極が位置し、

前記第 2 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域の上方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 3 のトランジスタのチャネル形成領域は、シリコンを有し、

前記第 3 のトランジスタのチャネル形成領域の上方に前記第 3 のトランジスタのゲート電極が位置し、

前記第 3 のトランジスタのゲート電極の上方に絶縁層が位置し、

前記絶縁層の上方に前記第 1 のトランジスタのゲート電極が位置し、

前記絶縁層の上方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記光電変換素子に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 3 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方及び前記第 3 のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

光電変換素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、を有し、

前記第 1 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 1 のトランジスタのチャネル形成領域の下方に前記第 1 のトランジスタのゲート電極が位置し、

前記第 2 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域の下方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 3 のトランジスタのチャネル形成領域は、シリコンを有し、

前記第 3 のトランジスタのチャネル形成領域の上方に前記第 3 のトランジスタのゲート電極が位置し、

前記第 3 のトランジスタのゲート電極の上方に絶縁層が位置し、

前記絶縁層の上方に前記第 1 のトランジスタのゲート電極が位置し、

前記絶縁層の上方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記光電変換素子に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 1 のトランジスタは、前記光電変換素子で変換された電気信号を転送する機能を有し、

前記第 3 のトランジスタは、転送された前記電気信号に対応する信号を増幅する機能を有することを特徴とする半導体装置。

【請求項 4】

光電変換素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタ

10

20

30

40

50

と、を有し、

前記第 1 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 1 のトランジスタのチャネル形成領域の上方に前記第 1 のトランジスタのゲート電極が位置し、

前記第 2 のトランジスタのチャネル形成領域は、酸化物半導体を有し、

前記第 2 のトランジスタのチャネル形成領域の上方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 3 のトランジスタのチャネル形成領域は、シリコンを有し、

前記第 3 のトランジスタのチャネル形成領域の上方に前記第 3 のトランジスタのゲート電極が位置し、

10

前記第 3 のトランジスタのゲート電極の上方に絶縁層が位置し、

前記絶縁層の上方に前記第 1 のトランジスタのゲート電極が位置し、

前記絶縁層の上方に前記第 2 のトランジスタのゲート電極が位置し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記光電変換素子に電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 1 のトランジスタは、前記光電変換素子で変換された電気信号を転送する機能を有し、

前記第 3 のトランジスタは、転送された前記電気信号に対応する信号を増幅する機能を有することを特徴とする半導体装置。

20

#### 【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記光電変換素子は、半導体層を有し、

前記半導体層は、n 型の領域と、p 型の領域と、i 型の領域と、を有し、

前記 n 型の領域と前記 p 型の領域とは重なる領域を有さず、

前記 n 型の領域または前記 p 型の領域は、前記第 1 のトランジスタと重なる領域を有し、

前記 i 型の領域は、前記第 1 のトランジスタと重なる領域を有さず、

前記半導体層は、前記第 3 のトランジスタと重なる領域を有さないことを特徴とする半導体装置。

30

#### 【請求項 6】

請求項 5 において、

第 1 の配線と、第 2 の配線と、を有し、

前記第 1 の配線は、前記第 1 のトランジスタのゲート電極に電氣的に接続され、

前記第 2 の配線は、前記第 2 のトランジスタのゲート電極に電氣的に接続され、

前記第 1 の配線は、前記 n 型の領域または前記 p 型の領域と重なる領域を有し、かつ、前記 i 型の領域と重なる領域を有さず、

前記第 2 の配線は、前記 n 型の領域または前記 p 型の領域と重なる領域を有し、かつ、前記 i 型の領域と重なる領域を有さないことを特徴とする半導体装置。

40

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

技術分野は、フォトセンサ及びフォトセンサを有する半導体装置に関する。また、それらの駆動方法に関する。

#### 【背景技術】

#### 【0002】

近年、光を検出するセンサ（「フォトセンサ」ともいう）を搭載した半導体装置が注目されている（特許文献 1 参照）。

#### 【0003】

50

フォトセンサを有する半導体装置として、ＣＣＤ方式のイメージセンサやＣＭＯＳ方式のイメージセンサなどが挙げられる。これらのイメージセンサは、例えば、デジタルスチルカメラや携帯電話などの電子機器に用いられている。また、フォトセンサを表示部に設けた半導体装置として、タッチパネル等が開発されている。

【０００４】

フォトセンサを有する半導体装置では、被検出物から発せられる光、もしくは被検出物により反射された外光などを、フォトセンサで直接検出もしくは光学レンズなどを用いて集光した後に検出する。

【先行技術文献】

【特許文献】

10

【０００５】

【特許文献１】特開２００１－２９２２７６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

フォトセンサにおいて、光検出の精度を向上させることを目的の一とする。

【０００７】

また、フォトセンサの回路構成について、新規なレイアウト又は構造を提供することを目的の一とする。特に、受光面積を広くすることを目的の一とする。

【課題を解決するための手段】

20

【０００８】

本発明の一態様は、光を電気信号に変換する受光素子と、電気信号を転送する第１のトランジスタと、電気信号を増幅する第２のトランジスタとを有し、受光素子はシリコン半導体を用いて形成され、第１のトランジスタは酸化物半導体を用いて形成されている半導体装置である。

【０００９】

また、受光素子は横型接合タイプのフォトダイオードであり、受光素子が有するｎ層又はｐ層と、第１のトランジスタとが重なって形成されている。

【００１０】

また、受光素子は、第２のトランジスタと同一表面上に形成されている。

30

【００１１】

また、受光素子の受光領域上に形成された配線は、透光性を有する材料を用いて形成されている。

【００１２】

本明細書において、半導体装置とは、半導体の性質を持つ物及びそれを有する物全般を指す。例えば、トランジスタを有する表示装置を単に半導体装置と呼ぶこともある。

【発明の効果】

【００１３】

フォトセンサにおいて、電気信号を転送する第１のトランジスタを酸化物半導体を用いて形成することで、第１のトランジスタのオフ状態でのリーク電流を低減でき、光検出の精度を向上させることができる。

40

【００１４】

また、受光素子が有するｎ層又はｐ層と、第１のトランジスタとが重なって形成されることで、受光素子の受光面積を大きくすることができる。そのため、受光感度を高めることができ、光検出の精度を向上させることができる。

【００１５】

また、受光領域上に設けられた配線を透光性を有する材料を用いて形成することで、受光面積を広げることができる。そのため、受光感度を高めることができ、光検出の精度を向上させることができる。

【図面の簡単な説明】

50

## 【 0 0 1 6 】

- 【図 1】半導体装置の回路の一例を示す図。  
【図 2】半導体装置のレイアウトの一例を示す図。  
【図 3】半導体装置のレイアウトの一例を示す図。  
【図 4】半導体装置のレイアウトの一例を示す図。  
【図 5】半導体装置のレイアウトの一例を示す図。  
【図 6】半導体装置のレイアウトの一例を示す図。  
【図 7】半導体装置の回路の一例を示す図。  
【図 8】半導体装置のレイアウトの一例を示す図。  
【図 9】半導体装置のレイアウトの一例を示す図。  
【図 10】半導体装置のレイアウトの一例を示す図。  
【図 11】半導体装置のレイアウトの一例を示す図。  
【図 12】半導体装置のレイアウトの一例を示す図。  
【図 13】半導体装置の回路の一例を示す図。  
【図 14】半導体装置のレイアウトの一例を示す図。  
【図 15】半導体装置のレイアウトの一例を示す図。  
【図 16】半導体装置のレイアウトの一例を示す図。  
【図 17】半導体装置のレイアウトの一例を示す図。  
【図 18】半導体装置のレイアウトの一例を示す図。  
【図 19】半導体装置の断面構造の一例を示す図。  
【図 20】半導体装置の断面構造の一例を示す図。  
【図 21】半導体装置の回路の一例を示す図。  
【図 22】半導体装置のレイアウトの一例を示す図。  
【図 23】半導体装置の断面構造の一例を示す図。  
【図 24】半導体装置の断面構造の一例を示す図。  
【図 25】半導体装置の一例を示す図。  
【図 26】半導体装置の一例を示す図。  
【図 27】半導体装置の回路の一例を示す図。  
【図 28】半導体装置の特性を示す図。  
【図 29】タイミングチャート。
- 【発明を実施するための形態】

10

20

30

## 【 0 0 1 7 】

以下に、実施の形態について、図面を用いて詳細に説明する。但し、以下の実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 1 8 】

## (実施の形態 1)

本実施の形態では、半導体装置の回路及びレイアウトについて説明する。

40

## 【 0 0 1 9 】

図 1 は、フォトセンサの回路図の一例である。

## 【 0 0 2 0 】

フォトセンサは、フォトダイオード 100、トランジスタ 101、トランジスタ 102、トランジスタ 103、及びトランジスタ 104 を有する。

## 【 0 0 2 1 】

フォトダイオード 100 は、光を電気信号（電荷）に変換する機能を有する。フォトダイオードに限らず、フォトリンジスタ等の該機能を有する受光素子を用いてもよい。

## 【 0 0 2 2 】

50

トランジスタ１０１は、変換された電気信号を転送し、トランジスタ１０３のゲートに供給する機能を有する。そのため、転送トランジスタとも呼ぶ。

【００２３】

トランジスタ１０２は、トランジスタ１０３のゲート電位のリセットを制御し、所定の電位にする機能を有する。そのため、リセットトランジスタとも呼ぶ。

【００２４】

トランジスタ１０３は、転送された電気信号を増幅し、出力信号を生成する機能を有する。そのため、増幅トランジスタとも呼ぶ。なお、ここで増幅とは、ゲート電位によりソースとドレインと間の電流値を制御することを指す。

【００２５】

トランジスタ１０４は、出力信号の読み出しを制御する機能を有する。例えば、複数のフォトセンサのうち所定のフォトセンサからの出力を選択するため、選択トランジスタとも呼ぶ。

【００２６】

図１の回路では、トランジスタ１０１は、ゲートが配線１０６（電荷制御信号線とも呼ぶ）に電氣的に接続され、ソース又はドレインの一方がフォトダイオード１００の一方の電極に電氣的に接続され、他方がトランジスタ１０２のソース又はドレインの一方及びトランジスタ１０３のゲートに電氣的に接続されている。トランジスタ１０２は、ゲートが配線１０７（リセット信号線とも呼ぶ）に電氣的に接続され、ソース又はドレインの他方が配線１０８（電源供給線とも呼ぶ）に電氣的に接続されている。トランジスタ１０３は、ソース又はドレインの一方が配線１０８に電氣的に接続され、他方がトランジスタ１０４のソース又はドレインの一方に電氣的に接続されている。トランジスタ１０４は、ゲートが配線１０９（選択信号線とも呼ぶ）に電氣的に接続され、ソース又はドレインの他方が配線１１０（出力線とも呼ぶ）に電氣的に接続されている。なお、フォトダイオード１００の他方の電極は配線１２０に電氣的に接続されている。配線１２０の電位は、固定電位（例えばグランド）又は可変とし、所望の電位とすればよい。

【００２７】

図２は、フォトセンサのレイアウトの一例である。

【００２８】

フォトセンサは、受光素子（フォトダイオード１００）、４つのトランジスタ１０１～１０４を有している。フォトダイオード１００は、横型接合タイプのpinフォトダイオードであり、n層２０１、i層２０２及びp層２０３を同一表面上に有する。そして、n層２０１上にトランジスタ１０１及びトランジスタ１０２が形成されている。受光領域ではないn層２０１上にトランジスタ１０１の一部又は全部が重なるようなレイアウトとすることで、受光面積を広くすることができる。

【００２９】

なお、受光領域ではないp層２０３上にトランジスタ１０１を形成してもよい。また、フォトダイオード１００は、i層を設けずpnフォトダイオードとしてもよい。

【００３０】

本実施の形態では、トランジスタ１０１及びトランジスタ１０２は、酸化物半導体を用いて形成することが好ましい。このようにすることで、トランジスタ１０３のゲートに供給された電気信号がトランジスタ１０１及びトランジスタ１０２からリークすることを低減できる。なぜなら、酸化物半導体を用いたトランジスタはオフ状態でのリーク電流が小さいためである。したがって、光検出を精度良く行うことができる。特に、受光から読み出しまでの時間が長い場合に有効である。

【００３１】

また、複数のフォトセンサを有する半導体装置（例えば図２５、図２６）において、受光から読み出しまでの時間がフォトセンサ毎に異なる場合にも有効である。例として、受光を全てのフォトセンサで同時に行い、読み出しを１ライン毎に順次行う構成が挙げられる。

10

20

30

40

50

## 【 0 0 3 2 】

なお、フォトダイオード 1 0 0、トランジスタ 1 0 3、及びトランジスタ 1 0 4 は、同一の半導体材料を用いて形成されている。同一表面上に同一工程で形成することができるため、コストを低減することができる。また、移動度の高い半導体を用いることで、フォトダイオード 1 0 0 の量子効率の向上、トランジスタ 1 0 3 での増幅及びトランジスタ 1 0 4 での読み出しが良好になる。ここでは、結晶性半導体を用いる。特に、単結晶シリコンを用いることが好ましい。ただし、必要に応じて他の半導体を用いてもよい。非晶質半導体又は酸化物半導体等が挙げられる。

## 【 0 0 3 3 】

図 3 ~ 図 6 は、フォトセンサのレイアウトの他の一例であり、フォトダイオード 1 0 0 の受光面積が図 2 と異なる。

10

## 【 0 0 3 4 】

なお、図 3、図 5 及び図 6 は、フォトダイオード 1 0 0 の受光領域（ここでは i 層 2 0 2）に重なる配線（導電層 1 3 0）が透光性を有する材料で形成されている。光は、導電層 1 3 0 を透過して i 層 2 0 2 に入射される。したがって、受光面積を広げることができる。

## 【 0 0 3 5 】

ここで、透光性を有する材料は、例えばインジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛、インジウム亜鉛酸化物（IZO）、ガリウムを含む酸化亜鉛、酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。

20

## 【 0 0 3 6 】

更に、図 3 は、フォトダイオードの i 層 2 0 2 に重なってトランジスタ 1 0 1 及びトランジスタ 1 0 2 が形成されている。これは、酸化物半導体が透光性を有することを利用するものであり、光は、トランジスタ 1 0 1、トランジスタ 1 0 2、及び導電層 1 3 0 を透過して i 層 2 0 2 に入射される。したがって、受光面積を広げることができる。

## 【 0 0 3 7 】

以上のように、受光面積を拡大することで受光感度を高めることができる。そのため、光検出の精度を向上させることができる。

30

## 【 0 0 3 8 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 0 0 3 9 】

（実施の形態 2）

本実施の形態では、半導体装置の回路及びレイアウトについて、実施の形態 1 と異なる例を示す。

## 【 0 0 4 0 】

図 7 は、フォトセンサの回路図の一例であり、図 1 の回路からトランジスタ 1 0 2 を除いた構成である。

## 【 0 0 4 1 】

そして、図 8 ~ 図 1 2 は、図 7 の回路におけるレイアウトの例であり、それぞれ図 2 ~ 6 のレイアウトからトランジスタ 1 0 2 を除いた構成である。素子数が減るため、受光面積を広げることができる。

40

## 【 0 0 4 2 】

また、図 1 3 は、フォトセンサの回路の一例であり、図 1 の回路からトランジスタ 1 0 2 及びトランジスタ 1 0 4 を除いた構成である。

## 【 0 0 4 3 】

そして、図 1 4 ~ 図 1 8 は、図 1 3 の回路におけるレイアウトの例であり、それぞれ図 2 ~ 図 6 のレイアウトからトランジスタ 1 0 2 及びトランジスタ 1 0 4 を除いた構成である。素子数が減るため、更に受光面積を広げることができる。

50

## 【 0 0 4 4 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 0 0 4 5 】

## (実施の形態 3)

本実施の形態では、半導体装置の断面構造について説明する。

## 【 0 0 4 6 】

図 19 は、図 1 ~ 図 18 におけるフォトセンサの断面図である。

## 【 0 0 4 7 】

図 19 では、絶縁表面を有する基板 1001 上に、フォトダイオード 1002、トランジスタ 1003、及びトランジスタ 1004 が設けられている。それぞれ、図 1 ~ 図 18 におけるフォトダイオード 100、トランジスタ 103、及びトランジスタ 101 の断面構造の一例を示している。

10

## 【 0 0 4 8 】

被検出物 1201 から発せられる光 1202、被検出物 1201 により反射された光 1202 (外光など)、又は装置内部から発せられた光が被検出物 1201 で反射した光 1202 が、フォトダイオード 1002 に入射される。基板 1001 側の被検出物を撮像する構成としてもよい。

## 【 0 0 4 9 】

基板 1001 は、絶縁性基板 (例えばガラス基板又はプラスチック基板)、該絶縁性基板上に絶縁膜 (例えば酸化珪素膜又は窒化珪素膜) を形成したもの、半導体基板 (例えばシリコン基板) 上に該絶縁膜を形成したもの、又は金属基板 (例えばアルミニウム基板) 上に該絶縁膜を形成したものをを用いることができる。

20

## 【 0 0 5 0 】

フォトダイオード 1002 は、横型接合タイプの p i n フォトダイオードであり、半導体膜 1005 を有している。半導体膜 1005 は、p 型の導電性を有する領域 (p 層 1021) と、i 型の導電性を有する領域 (i 層 1022) と、n 型の導電性を有する領域 (n 層 1023) とを有している。なお、フォトダイオード 1002 は、p n フォトダイオードであっても良い。

## 【 0 0 5 1 】

横型接合タイプの p i n フォトダイオード又は p n フォトダイオードは、p 型を付与する不純物と、n 型を付与する不純物とを、それぞれ半導体膜 1005 の特定の領域に添加することで、形成することが出来る。

30

## 【 0 0 5 2 】

フォトダイオード 1002 は、入射光から生成される電気信号の割合 (量子効率) を向上させるために、結晶欠陥の少ない単結晶半導体 (例えば単結晶シリコン) を用いて半導体膜 1005 を形成することが好ましい。

## 【 0 0 5 3 】

トランジスタ 1003 は、トップゲート型の薄膜トランジスタであり、半導体膜 1006、ゲート絶縁膜 1007、及びゲート電極 1008 を有している。

## 【 0 0 5 4 】

トランジスタ 1003 は、フォトダイオード 1002 から供給される電気信号を出力信号に変換する機能を有する。そのため、単結晶半導体 (例えば単結晶シリコン) を用いて半導体膜 1006 を形成し、移動度の高いトランジスタとすることが好ましい。

40

## 【 0 0 5 5 】

半導体膜 1005 及び半導体膜 1006 を、単結晶半導体を用いて形成する例を示す。単結晶半導体基板 (例えば単結晶シリコン基板) の所望の深さに、イオン照射等を行い損傷領域を形成する。当該単結晶半導体基板と基板 1001 とを絶縁膜を介して貼り合わせた後、損傷領域から単結晶半導体基板を分離して、基板 1001 上に半導体膜を形成する。当該半導体膜をエッチングなどにより所望の形状に加工 (パターニング) することで、半導体膜 1005 及び半導体膜 1006 を形成する。半導体膜 1005 と半導体膜 100

50



6を同一工程で形成することができるため、コストを低減できる。これにより、フォトダイオード1002とトランジスタ1003とは同一表面上に形成されることになる。

【0056】

なお、半導体膜1005及び半導体膜1006は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体などを用いて形成することもできる。特に、単結晶半導体を用いることで移動度の高いトランジスタとすることが望ましい。また、半導体材料は、結晶性を向上させることが容易であるシリコン又はシリコンゲルマニウム等のシリコン半導体を用いることが好ましい。

【0057】

ここで、フォトダイオード1002の量子効率を向上させるため、半導体膜1005を厚く形成することが好ましい。更に、トランジスタ1003のS値等の電気特性を良好にするため、半導体膜1006を薄く形成することが好ましい。この場合、半導体膜1005は、半導体膜1006より厚く形成すればよい。

【0058】

また、図2～図12におけるトランジスタ104についても、結晶性半導体を用い、移動度が高いトランジスタとすることが望ましい。トランジスタ1003と同じ半導体材料を用いることで、トランジスタ1003と同一工程で形成することができ、コストを低減できる。

【0059】

なお、ゲート絶縁膜1007は、酸化珪素膜又は窒化珪素膜等を用いて、単層又は積層で形成する。プラズマCVD法又はスパッタリング法を用いて形成すればよい。

【0060】

なお、ゲート電極1008は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。

【0061】

また、トランジスタ1003は、ボトムゲート型としてもよく、チャネルストップ構造又はチャネルエッチ構造とすることもできる。

【0062】

トランジスタ1004は、ボトムゲート型の逆スタガ構造の薄膜トランジスタであり、ゲート電極1010、ゲート絶縁膜1011、半導体膜1012、電極1013、電極1014を有する。また、トランジスタ1004上に絶縁膜1015を有する。

【0063】

ここでトランジスタ1004は、フォトダイオード1002及びトランジスタ1003の上方に絶縁膜1009を介して形成されていることを特徴とする。このようにトランジスタ1004をフォトダイオード1002と異なる表面上に形成することで、フォトダイオード1002の面積を広げることができる。

【0064】

また、トランジスタ1004の一部又は全部が、フォトダイオード1002のn層1023又はp層1021のいずれかと重なるように形成することが好ましい。このようにすることで、フォトダイオード1002の受光面積を拡大できる。pnフォトダイオードの場合も、トランジスタ1004の一部又は全部が、n層又はp層と重なるように形成することが好ましい。

【0065】

トランジスタ1004は、フォトダイオード1002が供給する電気信号をトランジスタ1003のゲートに累積し、また、当該電気信号を保持する機能を有する。そのため、酸化物半導体を用いて半導体膜1012を形成し、オフ電流が極めて低いトランジスタとすることが好ましい。

【0066】

10

20

30

40

50

また、図１～図６のトランジスタ１０２についても、酸化物半導体を用いて、オフ電流が低いトランジスタとすることが望ましい。トランジスタ１００４と同じ半導体材料を用いることで、トランジスタ１００４と同一工程で同一表面上に形成することができ、コストを低減できる。ｎ層１０２３又はｐ層１０２１と重なるように形成することで、受光面積を広げることができる。

#### 【００６７】

以下に、半導体膜１０１２を、酸化物半導体を用いて形成する例を示す。

#### 【００６８】

トランジスタのオフ電流を大きくする要因として、酸化物半導体中に水素等の不純物（例えば水素、水、又は水酸基）が含まれていることが挙げられる。水素等は、酸化物半導体中でキャリアの供与体（ドナー）になる可能性があり、オフ状態においても電流を発生させる要因となる。すなわち、酸化物半導体中に水素等が多量に含まれていると、酸化物半導体がｎ型化されてしまう。

#### 【００６９】

そこで、以下で示す作製方法は、酸化物半導体中の水素を極力低減し、且つ、構成元素である酸素の濃度を高くすることで、酸化物半導体を高純度化するものである。高純度化された酸化物半導体は、真性又は実質的に真性な半導体であり、オフ電流を小さくすることができる。

#### 【００７０】

まず、絶縁膜１００９上に、酸化物半導体膜をスパッタリング法により形成する。

#### 【００７１】

酸化物半導体膜のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 、すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ のターゲットを用いることができる。また、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ の組成比を有するターゲットを用いることもできる。また、 $\text{SiO}_2$ を２重量％以上１０重量％以下含むターゲットを用いることもできる。

#### 【００７２】

なお、酸化物半導体膜の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素混合雰囲気下とすればよい。ここで、酸化物半導体膜を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がｐｐｍレベル、好ましくはｐｐｂレベルまで除去された高純度ガスを用いる。

#### 【００７３】

酸化物半導体膜は、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。

#### 【００７４】

酸化物半導体膜の膜厚は、２ｎｍ以上２００ｎｍ以下とすればよく、好ましくは５ｎｍ以上３０ｎｍ以下とする。そして、酸化物半導体膜にエッチング等を行い、所望の形状に加工（パターニング）して半導体膜１０１２とする。

#### 【００７５】

以上では、酸化物半導体膜として $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ を用いる例を示したが、その他にも、 $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Al}-\text{Zn}-\text{O}$ 、 $\text{In}-\text{Zn}-\text{O}$ 、 $\text{Sn}-\text{Zn}-\text{O}$ 、 $\text{Al}-\text{Zn}-\text{O}$ 、 $\text{Zn}-\text{Mg}-\text{O}$ 、 $\text{Sn}-\text{Mg}-\text{O}$ 、 $\text{In}-\text{Mg}-\text{O}$ 、 $\text{In}-\text{O}$ 、 $\text{Sn}-\text{O}$ 、又は $\text{Zn}-\text{O}$ などを用いることができる。また、上記酸化物半導体膜は $\text{Si}$ を含んでいてもよい。また、これらの酸化物半導体膜は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。

10

20

30

40

50

## 【0076】

また、酸化物半導体膜として、 $\text{InM} \text{O}_3 (\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を用いることもできる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素である。例えば、Mとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoが挙げられる。

## 【0077】

次に、酸化物半導体膜（半導体膜1012）に第1の加熱処理を行う。第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。

## 【0078】

第1の加熱処理によって酸化物半導体膜（半導体膜1012）から水素、水、及び水酸基等の除去（脱水素化処理）を行うことができる。これらが酸化物半導体膜に含まれると、ドナーとなりトランジスタのオフ電流を増大させるため、第1の加熱処理による脱水素化処理は極めて有効である。

## 【0079】

なお、第1の加熱処理は、電気炉を用いることができる。また、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって加熱してもよい。その場合、例えばGRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。

## 【0080】

LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。

## 【0081】

GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体としては、不活性ガス（代表的には、アルゴン等の希ガス）または窒素ガスを用いることができる。GRTA装置を用いることで、短時間で高温の加熱処理が可能となるため、特に有効である。

## 【0082】

また、第1の加熱処理は、パターニングを行う前に行ってもよいし、電極1013及び電極1014を形成した後行ってもよいし、絶縁膜1015を形成した後に行ってもよい。ただ、電極1013及び電極1014が第1の加熱処理によってダメージを受けることを避けるため、当該電極を形成する前に行うことが好ましい。

## 【0083】

ここで、第1の加熱処理において、酸化物半導体に酸素欠損が生じてしまうおそれがある。そのため、第1の加熱処理の後に、酸化物半導体に酸素の導入（加酸化処理）を行い、構成元素である酸素の高純度化を行うことが好ましい。

## 【0084】

加酸化処理の具体例としては、第1の加熱処理の後連続して、窒素又は酸素を含む雰囲気（たとえば、窒素：酸素の体積比＝4：1）中、又は酸素雰囲気中において、第2の加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。これにより酸化物半導体膜中の酸素濃度を向上させ、高純度化することができる。第2の加熱処理の温度は、200 以上400 以下、好ましくは250 以上350 以下とする。

## 【0085】

また、加酸化処理の別の例としては、半導体膜1012上に接して酸化珪素膜等の酸化絶縁膜（絶縁膜1015）を形成し、第3の加熱処理を行う。この絶縁膜1015中の酸素が半導体膜1012に移動し、酸化物半導体の酸素濃度を向上させ、高純度化することができる。第3の加熱処理の温度は、200 以上400 以下、好ましくは250 以上350 以下とする。なお、トップゲート型とした場合においても、半導体膜1012

10

20

30

40

50

上部に接するゲート絶縁膜を、酸化珪素膜等で形成し、同様の加熱処理を行うことで、酸化物半導体を高純度化することができる。

【0086】

以上のように、第1の加熱処理により脱水素化処理を行った後、第2の加熱処理又は第3の加熱処理により加酸化処理を行うことで、酸化物半導体膜を高純度化することが可能である。高純度化することで、酸化物半導体を真性又は実質的に真性とすることができ、トランジスタ1004のオフ電流を低減することができる。

【0087】

なお、絶縁膜1009は、フォトダイオード1002及びトランジスタ1003上に、酸化珪素膜、窒化珪素膜等を用いて、単層又は積層で形成する。プラズマCVD法、スパッタリング法を用いて形成すればよい。ポリイミド等の樹脂膜を塗布法等により形成してもよい。

10

【0088】

また、ゲート電極1010は、絶縁膜1009上に、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。

【0089】

また、ゲート絶縁膜1011は、酸化珪素膜又は窒化珪素膜等を用いて、単層又は積層で形成する。プラズマCVD又はスパッタリング法を用いて形成すればよい。

20

【0090】

また、電極1013及び電極1014は、ゲート絶縁膜1011及び半導体膜1012上に、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、イットリウムなどの金属、これらを主成分とする合金材料、又は酸化インジウム等の導電性を有する金属酸化物等を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。ここで、電極1013は、ゲート絶縁膜1007、絶縁膜1009、ゲート絶縁膜1011に形成されたコンタクトホールを介して、フォトダイオード1002のn層1023と電気的に接続されることが好ましい。また、電極1013及び電極1014は、ゲート電極1010と重なって形成されることが好ましい。このようにすることで、トランジスタ1004の電流駆動能力を向上させることができる。特に、真性又は実質的に真性な酸化物半導体を用いた場合に有効である。

30

【0091】

以下に、高純度化された酸化物半導体、及びそれを用いたトランジスタについて、詳細に説明する。

【0092】

高純度化された酸化物半導体の一例としては、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6 \cdot 0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体が挙げられる。

【0093】

高純度化された酸化物半導体を用いたトランジスタは、シリコンを用いた半導体を有するトランジスタ等に比較して、オフ電流が非常に小さいという特徴を有している。

40

【0094】

トランジスタのオフ電流特性について、評価用素子(TEGとも呼ぶ)を用いて測定した結果を以下に示す。なお、ここでは、nチャネル型のトランジスタであるものとして説明する。

【0095】

TEGには、 $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ (膜厚d:  $30 \text{nm}$ )のトランジスタを200個並列に接続して作製された $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタを設けた。その初期特性を図28に示す。ここでは、 $V_G$ を $-20 \text{V} \sim +5 \text{V}$ までの範囲で示している。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース-ドレイン間

50

電圧（以下、ドレイン電圧または $V_D$ という）を $10\text{ V}$ とし、ソース - ゲート間電圧（以下、ゲート電圧または $V_G$ という）を $-20\text{ V} \sim +20\text{ V}$ まで変化させたときのソース - ドレイン電流（以下、ドレイン電流または $I_D$ という）の変化特性、すなわち $V_G - I_D$ 特性を測定した。

【0096】

図28に示すように、チャネル幅 $W$ が $10000\text{ }\mu\text{m}$ のトランジスタは、 $V_D$ が $1\text{ V}$ 及び $10\text{ V}$ のいずれにおいても、オフ電流は $1 \times 10^{-13}\text{ A}$ 以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent社製）の分解能（ $100\text{ fA}$ ）以下となっている。このオフ電流値は、チャネル幅 $1\text{ }\mu\text{m}$ に換算すると、 $10\text{ aA}/\mu\text{m}$ に相当する。

10

【0097】

なお、本明細書においてオフ電流（リーク電流ともいう）とは、 $n$ チャネル型のトランジスタでしきい値 $V_{th}$ が正である場合、室温において $-20\text{ V}$ 以上 $-5\text{ V}$ 以下の範囲の任意のゲート電圧を印加したときにトランジスタのソース - ドレイン間を流れる電流のことを指す。なお、室温は、 $15$ 度以上 $25$ 度以下とする。本明細書に開示する酸化物半導体を用いたトランジスタは、室温において、単位チャネル幅（ $W$ ）あたりの電流値が $100\text{ aA}/\mu\text{m}$ 以下、好ましくは $1\text{ aA}/\mu\text{m}$ 以下、さらに好ましくは $10\text{ zA}/\mu\text{m}$ 以下である。

【0098】

また、高純度の酸化物半導体を用いたトランジスタは温度特性が良好である。代表的には、 $-25$  から  $150$  までの温度範囲におけるトランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、 $S$  値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんど見られない。また、高純度の酸化物半導体は光照射による劣化が少ないため、特にフォトセンサのように光を用いる半導体装置の場合、信頼性を高めることができる。

20

【0099】

なお、本実施の形態では、トランジスタ1004がボトムゲート型である例を示したが、図20のようにトップゲート型のトランジスタ2004としてもよい。トランジスタ2004は、半導体膜2012、電極2013、電極2014、ゲート絶縁膜2011、及びゲート電極2010を有する。

30

【0100】

なお、上記の各半導体素子について、薄膜半導体を用いても、バルク半導体を用いてもよい。

【0101】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0102】

（実施の形態4）

本実施の形態では、半導体装置の回路、レイアウト及び断面構造について、実施の形態1～3と異なる例を示す。

【0103】

図21は、フォトセンサの回路図の一例であり、図1の回路からトランジスタ101及びトランジスタ102を除いた構成である。

40

【0104】

そして、図22は、図21の回路におけるレイアウトの一例である。素子数が減るため、受光面積を広げることができる。

【0105】

また、図22では、 $p\text{-in}$ フォトダイオード100の $n$ 層201に重なってトランジスタ103及びトランジスタ104が形成されているため、受光面積を広げることができる。また、構成する配線109等を透光性を有する材料で形成し、該配線109と $i$ 層202を重ねて形成することで、受光面積を広げることができる。

50

## 【0106】

図23は、図21のフォトセンサの断面図の一例である。トランジスタ3001は、図21におけるトランジスタ103を示しており、フォトダイオード1002のn層1023に重なって形成されている。そして、トランジスタ3001はボトムゲート型の薄膜トランジスタであり、ゲート電極3010、ゲート絶縁膜3011、半導体膜3012、電極3013、及び電極3014を有する。また、図20で示したトランジスタ2004のようなトップゲート型としてもよい。

## 【0107】

なお、半導体膜3012は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いることが可能である。特に、酸化物半導体を用い、オフ電流が極めて小さいトランジスタとすることで、電気信号の増幅を精度良く行うことができる。

10

## 【0108】

また、図21のトランジスタ104についても、n層1023に重なるように、トランジスタ103と同一工程で同一表面上に形成することが好ましい。酸化物半導体を用いることで、出力信号の読み出しを精度良くに行うことができる。

## 【0109】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【0110】

(実施の形態5)

本実施の形態では、半導体装置の回路について上記実施の形態と異なる例を示す。

20

## 【0111】

図27(A)～(F)は、フォトセンサの回路の一例である。これらの回路について、本明細書で開示した、受光面積を広げるためのレイアウト又は構造を適用することができる。

## 【0112】

本実施の形態は、他の実施の形態と組み合わせて実施することができる。

## 【0113】

(実施の形態6)

本実施の形態では、半導体装置の断面構造について、実施の形態3と異なる例を示す。

30

## 【0114】

図24は、フォトセンサの断面図の一例である。

## 【0115】

図24では、絶縁表面を有する基板1001上にトランジスタ4001が形成され、トランジスタ4001の上方にフォトダイオード4002が形成されている。

## 【0116】

トランジスタ4001は、図1、図7、図13、図21、及び図27に示した全てのトランジスタに適用することができる。すなわち、全てのトランジスタについて、同じ材料を用いて、同一表面上に同一工程で形成することで、コストを削減することができる。

## 【0117】

フォトダイオード4002は、縦型接合タイプのpinフォトダイオードであり、n層4003、i層4004、及びp層4005が積層されている。なお、p層、i層、n層の順に積層してもよい。また、i層4004を設けずpnフォトダイオードとしてもよい。非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いて形成することが可能である。特にシリコン半導体を用いると、量子効率を高めることができるためことが好ましい。

40

## 【0118】

そして、被検出物1201からの光1202がフォトダイオード4002に入射される。この構造とすることで、フォトダイオード4002へ入射する光1202を遮る素子が無くなるため、受光面積を極力広くすることができる。

50

## 【 0 1 1 9 】

なお、トランジスタ 4 0 0 1 は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いて形成することが可能である。特に、酸化物半導体を用い、オフ電流が極めて小さいトランジスタとすることで、他の実施の形態で説明したように、光検出を精度良く行うことができる。

## 【 0 1 2 0 】

ただし、必要に応じてフォトセンサを構成する一部のトランジスタをトランジスタ 4 0 0 1 と異なる表面上に形成しても良い。その他の構成は、実施の形態 3 と同様である。

## 【 0 1 2 1 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

10

## 【 0 1 2 2 】

( 実施の形態 7 )

本実施の形態では、フォトセンサを用いた半導体装置の一例について説明する。

## 【 0 1 2 3 】

図 2 5 は、フォトセンサを搭載したイメージセンサの一例である。フォトセンサ部 5 0 0 1 及びフォトセンサ制御回路 5 0 0 2 を有する。フォトセンサ部は、マトリクス状に配置された複数のフォトセンサ 5 0 0 3 を有する。そして、フォトセンサ制御回路 5 0 0 2 は、フォトセンサ読み出し回路 5 0 0 4 及びフォトセンサ駆動回路 5 0 0 5 を有する。ここでは、エリアセンサを示したが、ラインセンサとしてもよい。当該イメージセンサは、デジタルスチルカメラや携帯電話等に用いられる。

20

## 【 0 1 2 4 】

フォトセンサ 5 0 0 3 において、他の実施の形態で示したフォトセンサを適用することができる。

## 【 0 1 2 5 】

また、図 2 6 は、フォトセンサを搭載した表示装置の一例である。表示パネル 6 0 0 0 は、画素部 6 0 0 1、表示素子制御回路 6 0 0 2、及びフォトセンサ制御回路 6 0 0 3 を有する。画素部 6 0 0 1 は、マトリクス状に配置された画素 6 0 0 4 を有し、画素 6 0 0 4 内に表示素子 6 0 0 5 及びフォトセンサ 6 0 0 6 を有する。表示素子制御回路 6 0 0 2 は、表示素子駆動回路 6 0 0 7、6 0 0 8 を有する。そして、フォトセンサ制御回路 6 0 0 3 は、フォトセンサ読み出し回路 6 0 0 9 及びフォトセンサ駆動回路 6 0 1 0 を有する。当該表示装置は、タッチパネル等に用いられる。

30

## 【 0 1 2 6 】

フォトセンサ 6 0 0 6 において、他の実施の形態で示したフォトセンサを適用することができる。

## 【 0 1 2 7 】

なお、フォトセンサ 6 0 0 6 は、画素 6 0 0 4 の外に設けてもよい。

## 【 0 1 2 8 】

また、表示素子 6 0 0 5 は、液晶素子、E L 素子、又は電気泳動素子等を用いることができる。

## 【 0 1 2 9 】

また、表示素子制御回路 6 0 0 2 は、表示パネル 6 0 0 0 の外に設けてもよい。フォトセンサ制御回路 6 0 0 3 も同様である。

40

## 【 0 1 3 0 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 0 1 3 1 】

( 実施の形態 8 )

本実施の形態では、半導体装置の動作について説明する。

## 【 0 1 3 2 】

フォトセンサの動作の一例として、図 1 の回路について説明する。図 2 9 は、図 1 の回路のタイミングチャートの一例である。

50

## 【 0 1 3 3 】

図 29 において、信号 3 0 1 ~ 信号 3 0 5 は、それぞれ図 1 における配線 1 0 7、配線 1 0 6、配線 1 0 9、配線 1 0 5、及び配線 1 1 0 の電位である。ここでは、配線 1 2 0 はグランド電位とする。

## 【 0 1 3 4 】

時刻 A において、信号 3 0 1 を「H (High)」、信号 3 0 2 を「H」とする（リセット動作開始）と、フォトダイオード 1 0 0 が導通し、信号 3 0 4 が「H」となる。

## 【 0 1 3 5 】

時刻 B において、信号 3 0 1 を「L (Low)」とし、信号 3 0 2 を「H」のままとする（リセット動作終了、累積動作開始）と、フォトダイオード 1 0 0 のオフ電流により、信号 3 0 4 が低下し始める。フォトダイオード 1 0 0 は、光が入射されるとオフ電流が増大するので、入射光の量に応じて信号 3 0 4 は変化する。

## 【 0 1 3 6 】

時刻 C において、信号 3 0 2 を「L」とする（累積動作終了）と、信号 3 0 4 は一定となる。ここで、信号 3 0 4 は累積動作中にフォトダイオード 1 0 0 が配線 1 0 5 に供給した電荷により決まる。すなわち、フォトダイオード 1 0 0 への入射光に応じてトランジスタ 1 0 3 のゲートに蓄積される電荷が変化する。

## 【 0 1 3 7 】

時刻 D に、信号 3 0 3 を「H」にする（選択動作開始）と、トランジスタ 1 0 4 が導通し、配線 1 0 8 と配線 1 1 0 とが、トランジスタ 1 0 3 とトランジスタ 1 0 4 とを介して導通する。すると、信号 3 0 5 は低下していく。ここで、信号 3 0 5 が低下する速さは、トランジスタ 1 0 3 のソースとドレイン間の電流に依存する。すなわち、累積動作中にフォトダイオード 1 0 0 に照射されている光の量に応じて変化する。

## 【 0 1 3 8 】

時刻 E において、信号 3 0 3 を「L」にする（選択動作終了）と、トランジスタ 1 0 4 が遮断され、信号 3 0 5 は一定値となる。ここで、一定値となる値は、フォトダイオード 1 0 0 に照射されている光の量に応じて変化する。したがって、信号 3 0 5 の電位を取得することで、累積動作中におけるフォトダイオード 1 0 0 への入射光の量を知ることができる。

## 【 0 1 3 9 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 符号の説明 】

## 【 0 1 4 0 】

1 0 0    フォトダイオード  
 1 0 1 ~ 1 0 4    トランジスタ  
 1 0 5 ~ 1 1 0    配線  
 1 2 0    配線  
 1 3 0    導電層  
 2 0 1    n 層  
 2 0 2    i 層  
 2 0 3    p 層  
 3 0 1 ~ 3 0 5    信号  
 1 0 0 1    基板  
 1 0 0 2    フォトダイオード  
 1 0 0 3    トランジスタ  
 1 0 0 4    トランジスタ  
 1 0 0 5    半導体膜  
 1 0 0 6    半導体膜  
 1 0 0 7    ゲート絶縁膜  
 1 0 0 8    ゲート電極

10

20

30

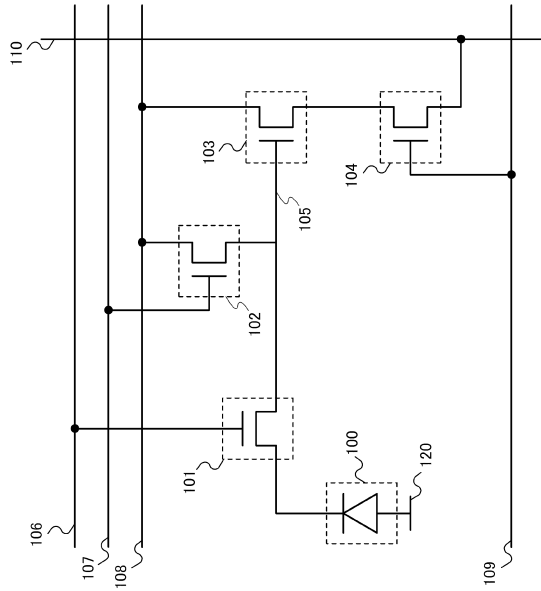
40

50

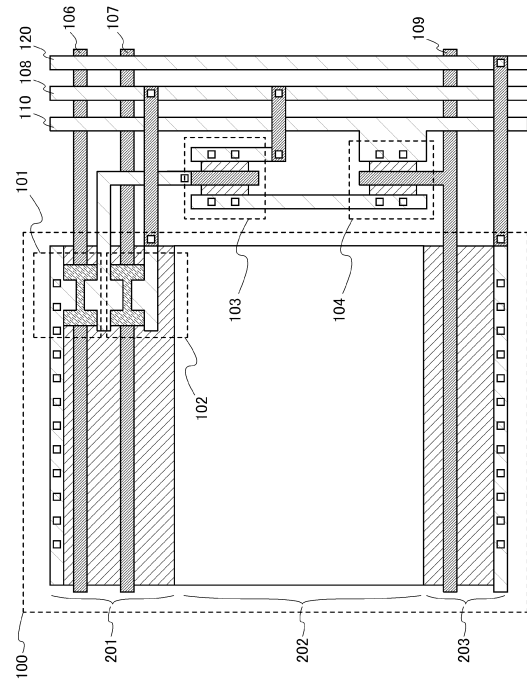


1 0 0 9	絶縁膜	
1 0 1 0	ゲート電極	
1 0 1 1	ゲート絶縁膜	
1 0 1 2	半導体膜	
1 0 1 3	電極	
1 0 1 4	電極	
1 0 1 5	絶縁膜	
1 0 2 1	p 層	
1 0 2 2	i 層	
1 0 2 3	n 層	10
1 2 0 1	被検出物	
1 2 0 2	光	
2 0 0 4	トランジスタ	
2 0 1 0	ゲート電極	
2 0 1 1	ゲート絶縁膜	
2 0 1 2	半導体膜	
2 0 1 3	電極	
2 0 1 4	電極	
3 0 0 1	トランジスタ	
3 0 1 0	ゲート電極	20
3 0 1 1	ゲート絶縁膜	
3 0 1 2	半導体膜	
3 0 1 3	電極	
3 0 1 4	電極	
4 0 0 1	トランジスタ	
4 0 0 2	フォトダイオード	
4 0 0 3	n 層	
4 0 0 4	i 層	
4 0 0 5	p 層	
5 0 0 1	フォトセンサ部	30
5 0 0 2	フォトセンサ制御回路	
5 0 0 3	フォトセンサ	
5 0 0 4	フォトセンサ読み出し回路	
5 0 0 5	フォトセンサ駆動回路	
6 0 0 0	表示パネル	
6 0 0 1	画素部	
6 0 0 2	表示素子制御回路	
6 0 0 3	フォトセンサ制御回路	
6 0 0 4	画素	
6 0 0 5	表示素子	40
6 0 0 6	フォトセンサ	
6 0 0 7	表示素子駆動回路	
6 0 0 8	表示素子駆動回路	
6 0 0 9	フォトセンサ読み出し回路	
6 0 1 0	フォトセンサ駆動回路	

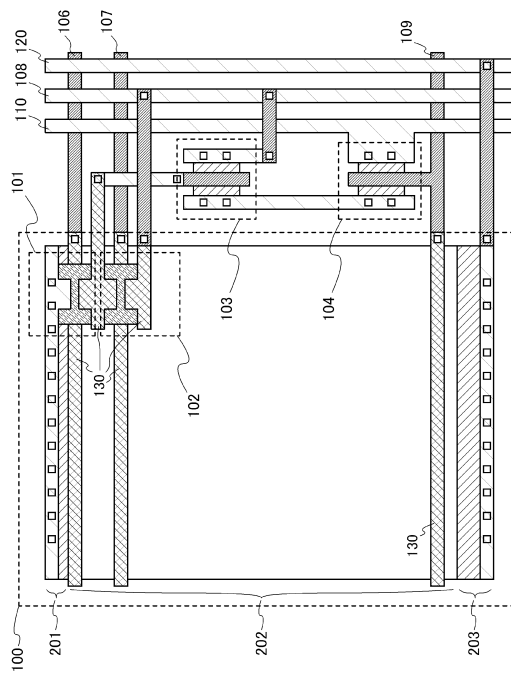
【図 1】



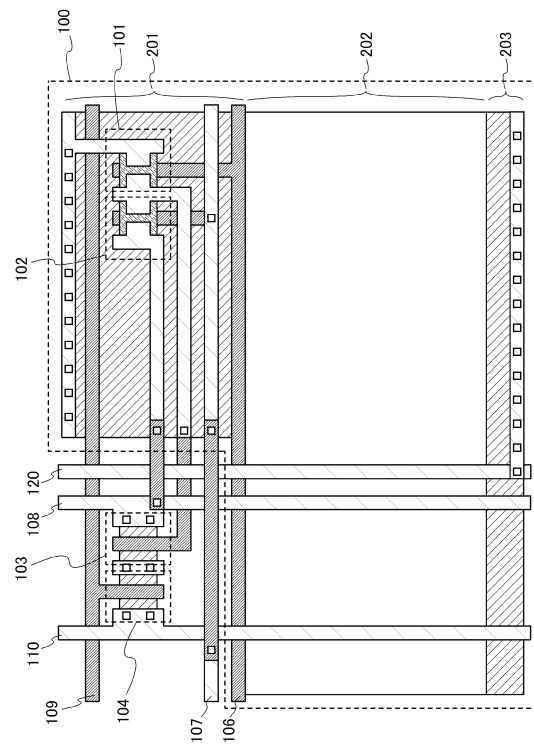
【図 2】



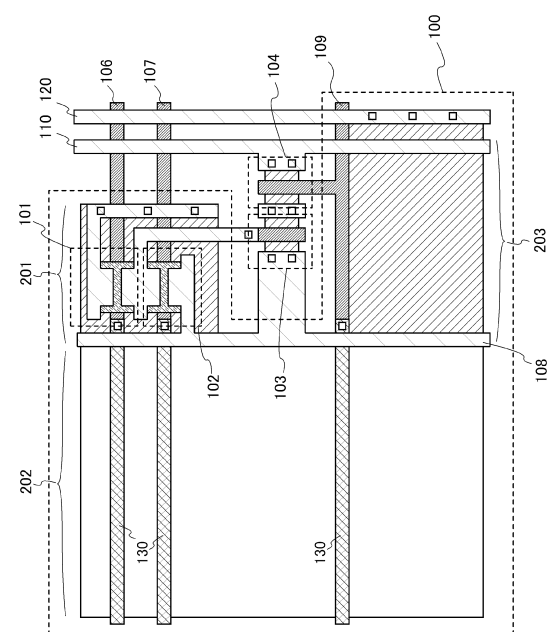
【図 3】



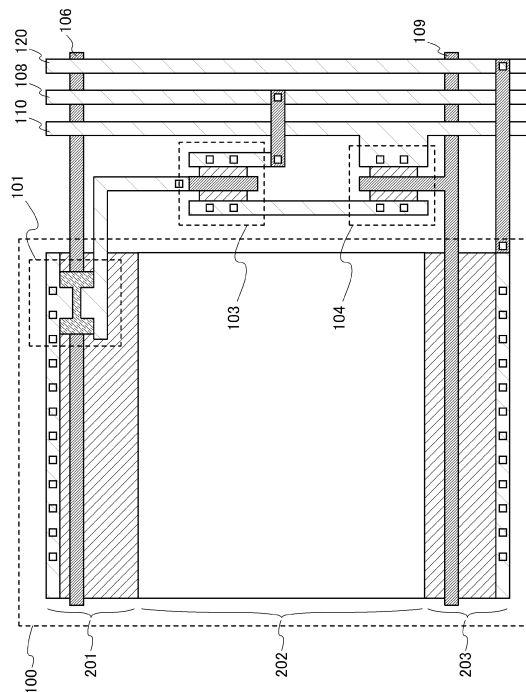
【図 4】



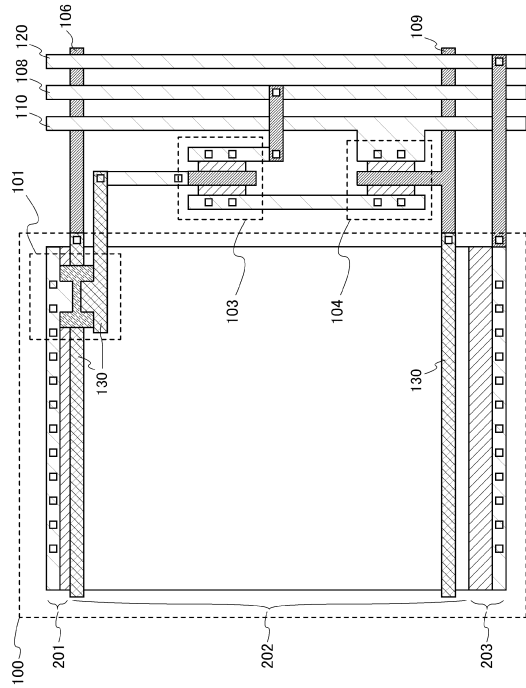
【 図 6 】



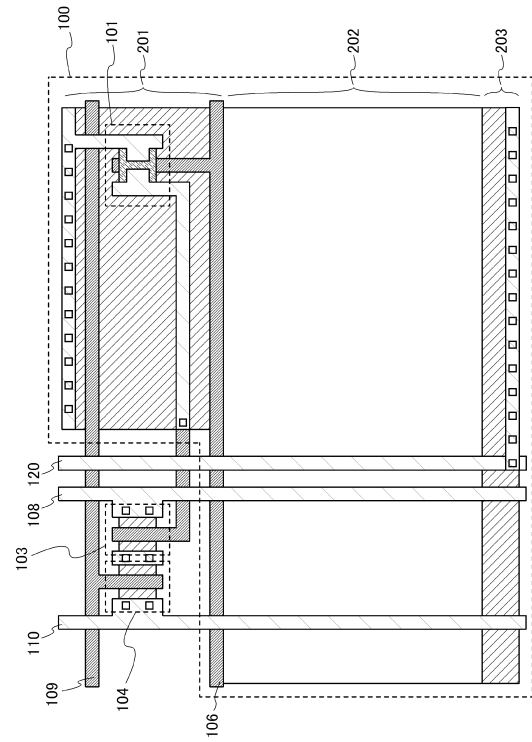
【 図 8 】



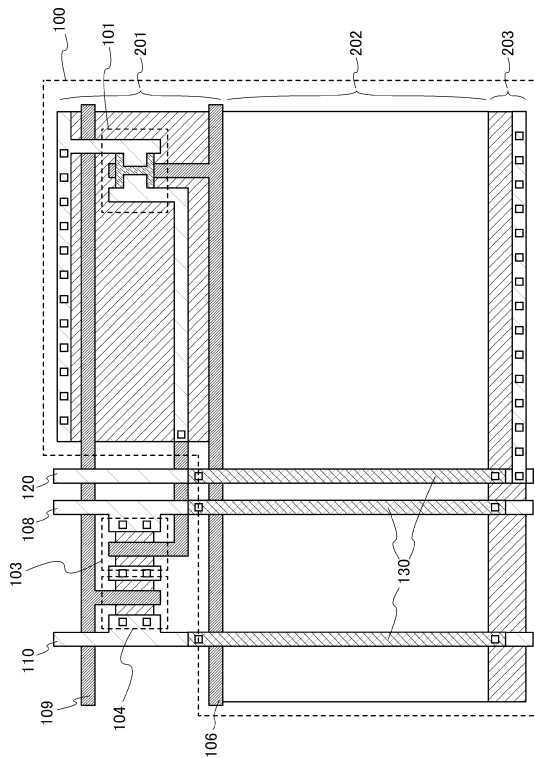
【図 9】



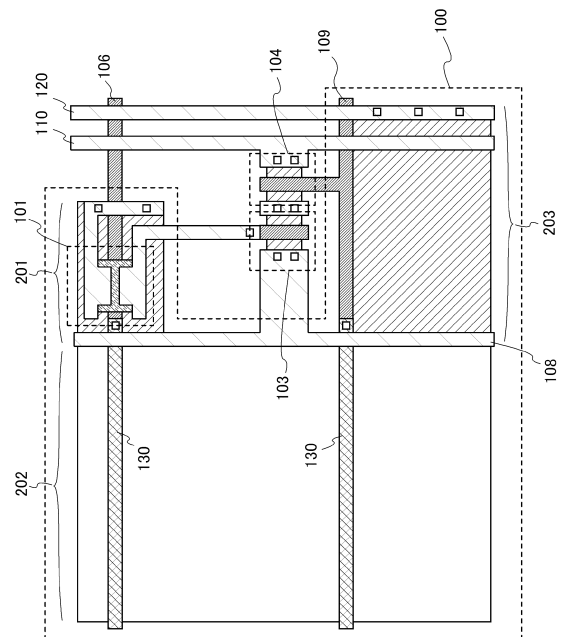
【図 10】



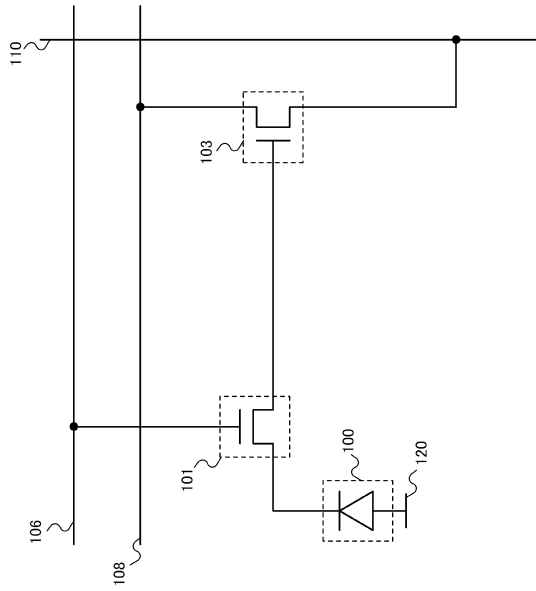
【図 11】



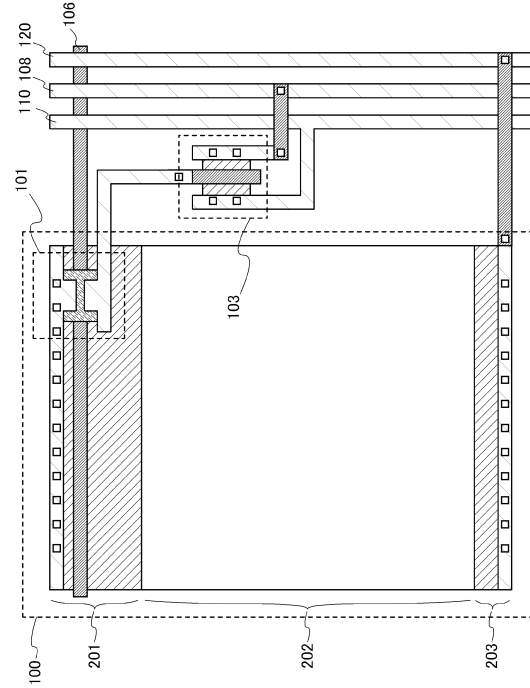
【図 12】



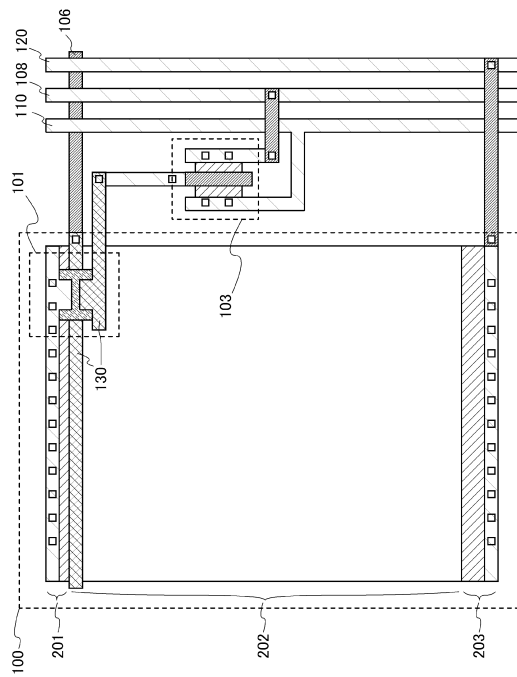
【図 13】



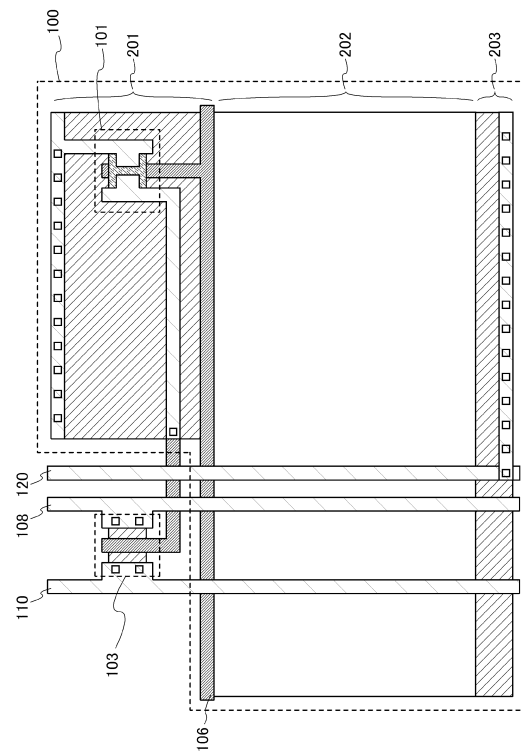
【図 14】



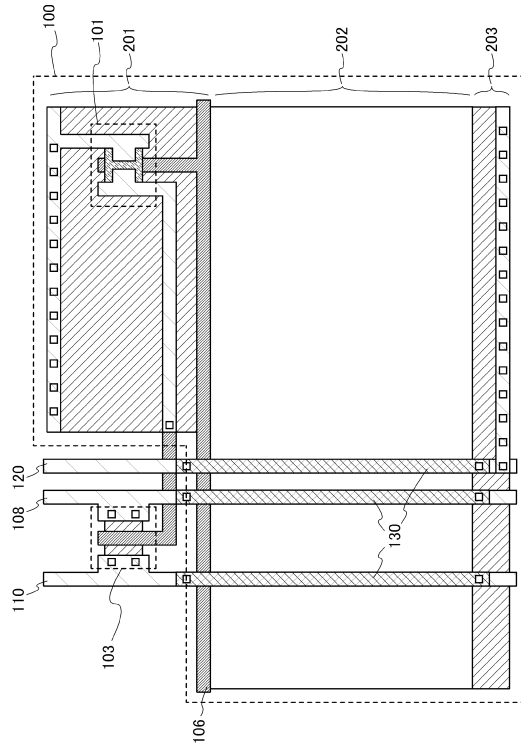
【図 15】



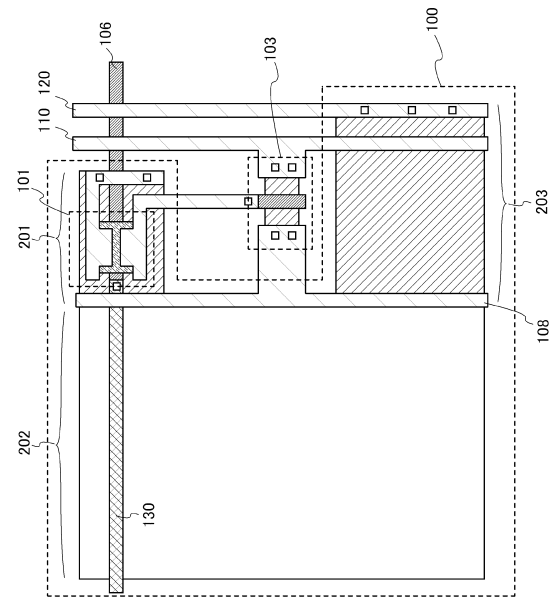
【図 16】



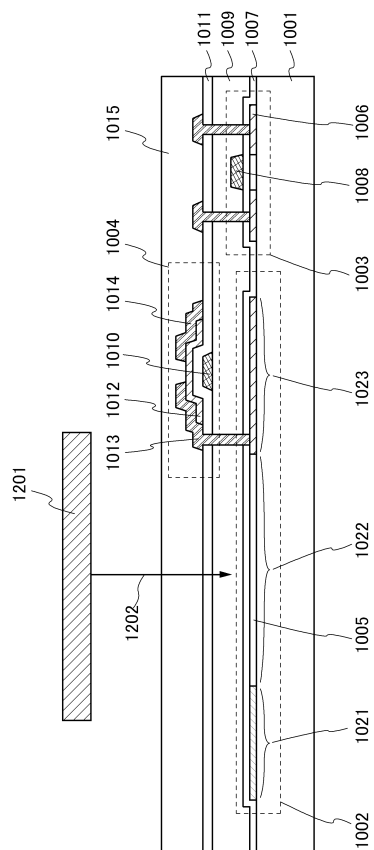
【 図 1 7 】



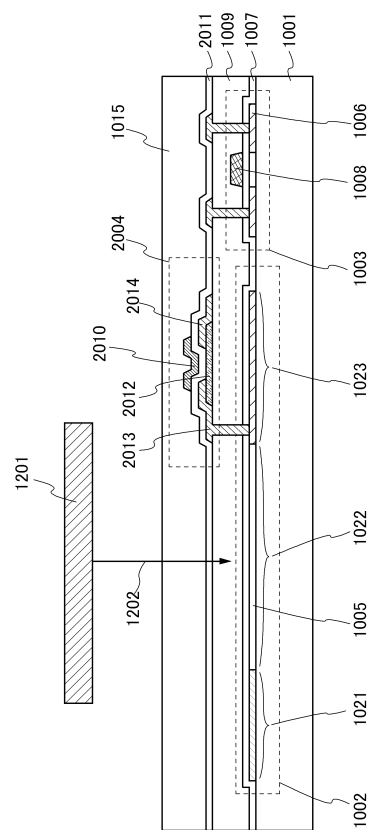
【圖 18】



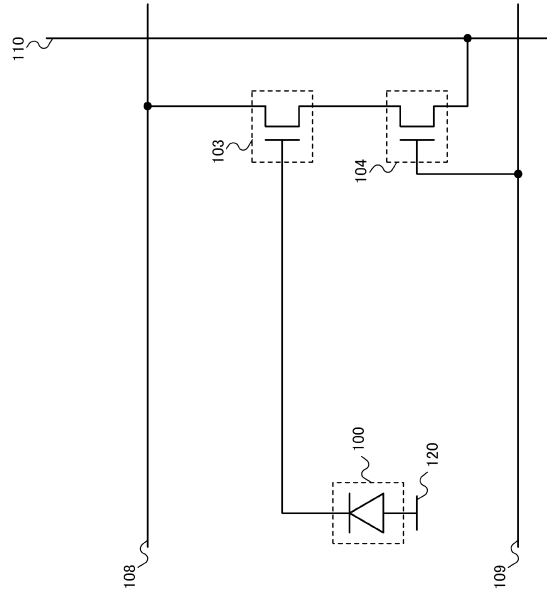
【 図 1 9 】



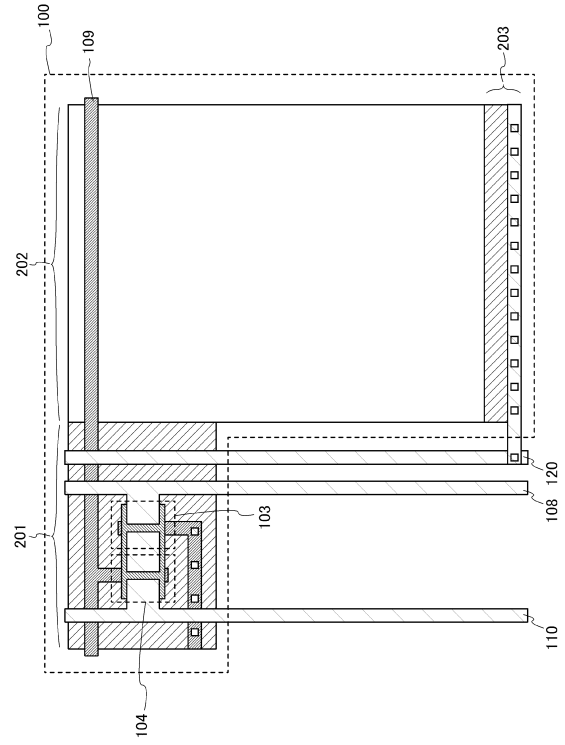
【 図 2 0 】



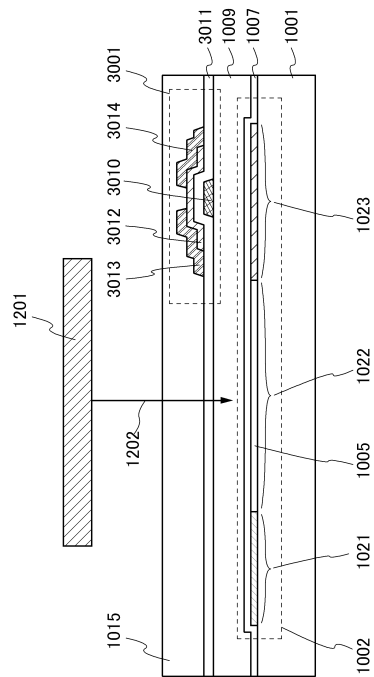
【図 2 1】



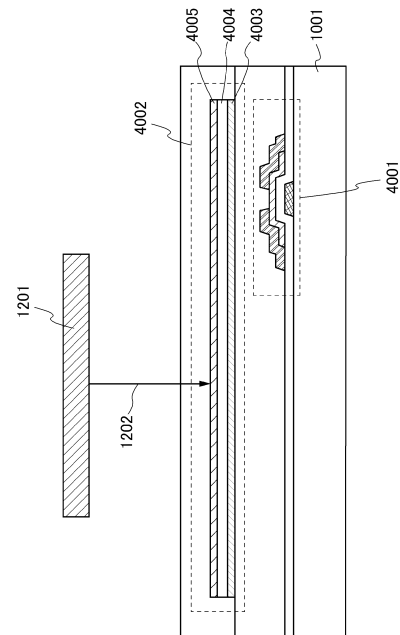
【図 2 2】



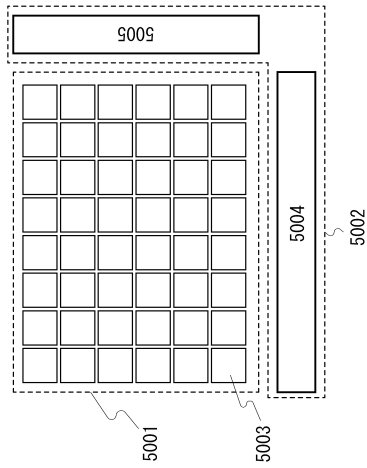
【図 2 3】



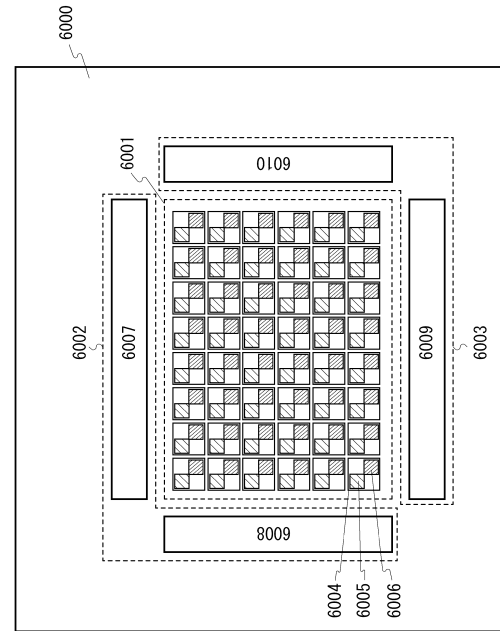
【図 2 4】



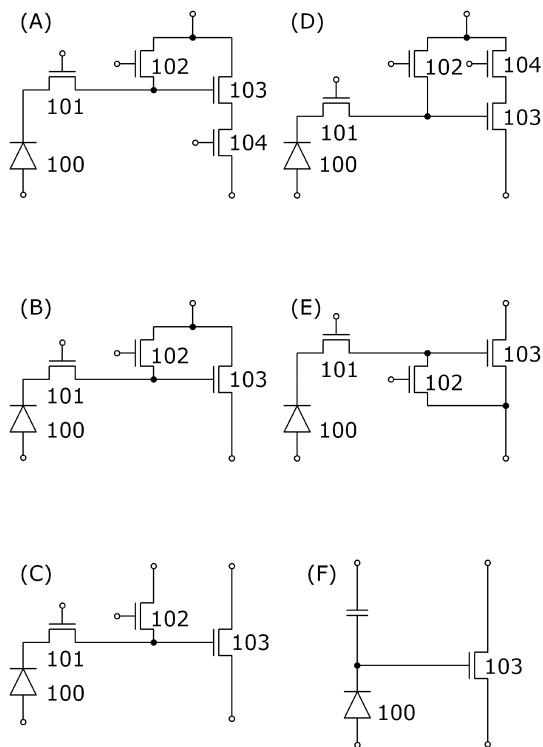
【図 25】



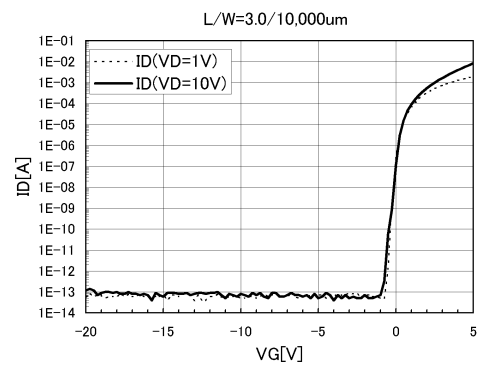
【図 26】



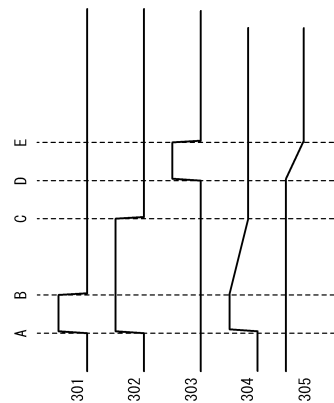
【図 27】



【図 28】



【図 29】





---

フロントページの続き

(56)参考文献 特開2009-105381(JP,A)  
特表2009-535819(JP,A)  
特開2009-267912(JP,A)  
特開2004-318067(JP,A)  
特開2008-042067(JP,A)  
特開2009-135350(JP,A)  
特開2009-212443(JP,A)  
特開2008-300518(JP,A)  
特開2008-281988(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 27/148  
H01L 21/336  
H01L 29/786  
H04N 5/30 - 5/378