

K AUTORSKÉMU OSVĚDČENÍ

(11) (B1)



(61)

(23) Výstavní priorita
(22) Přihlášeno 16 12 82
(21) PV 9255-82

(51) Int. Cl.³

H 03 K 23/00

ÚŘAD PRO VYNÁLEZY

A OBJEVY

(40) Zveřejněno 15 02 84

(45) Vydáno 01 06 86

(75)

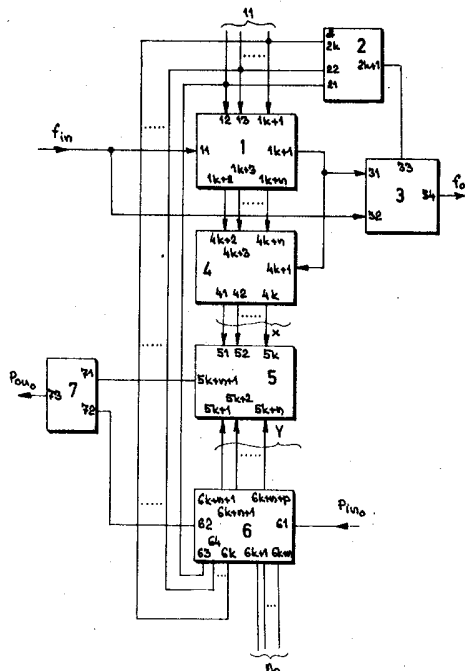
Autor vynálezu

NĚMEC ALEXEJ ing., PRAHA

(54)

Zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu

Zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu, sestávajícího ze základního modulu univerzálního děliče a z modulu vytvářejícího zlomkový dělicí poměr. Základní modul sestává z programovatelného předděliče kmitočtu typu n_2 ; $(n_2 + 1)/1$ připojeného svým výstupem k děliči kmitočtu $10/1$, jehož výstupy jsou připojeny ke komparátoru dvou binárních čísel $X_1 < Y_1$, ke kterému je svými výstupy připojena úplná sčítacíka Σ . Dělič kmitočtu $10/1$ je připojen ku programovatelnému děliči kmitočtu $M/1$ modulu vytvářejícího zlomkový dělicí poměr. Další prvky modulu vytvářejícího zlomkový dělicí poměr jsou elektronický přepínač, součinnové hradlo, blokovací obvod a komparátor dvou čtyřbitových čísel $X < Y$.



Vynález se týká programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu, sestávajícího ze základního modulu univerzálního děliče a z modulu vytvářejícího zlomkový dělicí poměr, přičemž základní modul univerzálního děliče sestává z programovatelného předděliče kmitočtu typu $n_2; (n_2+1)/1$, který je připojen svým výstupem k děliči kmitočtu 10/1, jehož výstupy, generující sérii impulzů, jsou připojeny ke komparátoru dvou binárních čísel $X_1 < Y_1$, ke kterému je svými výstupy připojena úplná sčítacíka Σ_1 , přičemž výstup děliče kmitočtu 10/1 je připojen ku programovatelnému děliči kmitočtu M/1 modulu vytvářejícího zlomkový dělicí poměr.

V současné době je vyráběn obvod (HEF 4751) - univerzální dělič kmitočtu, jehož funkce je podrobně popsána v práci Gileseho "Versatile LSI frequency synthesiser system" - Electronic components and applic. 2, 1980. Blokové uspořádání programovatelného modulu pro vytvoření zlomkového dělicího poměru podle Gileseho je na obr. 1. Pro snazší orientaci je na obr. 1 navíc blokové uspořádání základního modulu programovatelného děliče a jeho připojení na modul vytvářející zlomkový dělicí poměr. Základní modul podle Gileseho se skládá z programovatelného předděliče typu $n_2; (n_2+1)/1$, z děliče 10/1 a z rychlostního selektoru RS_1 . Dělič 10/1 je čtyřbitový dělič kmitočtu upravený tak, že na výstupech 1, 2, 4 a 8 se generují série impulzů o 1, 2, 4 a 8 impulzech v rámci jedné periody signálu f_{ou} . Rychlostní selektor RS_1 zpracovává signály z děliče 10/1 tak, aby se na jeho výstupu pro řízení předděliče generoval sled impulzů závislý na nastavení čísla n_1 a vstupního přenosu

P_{in1} . Zapojení podle obr. 1 pracuje v BCD kódu, takže číslo n_1 musí být nastavitelné v intervalu celých čísel 0 až 9. Číslo $n_1 = 0$ se realizuje trvalým zařazením dělicího poměru n_2 v děliči n_2 ; $(n_2+1)/1$, číslo $n_1 = 1$ se realizuje odmazáním jednoho vstupního impulzu, to je v rámci deseti podperiod, které vytváří dělič 10/1, je na předděliči nastaven dělicí poměr (n_2+1) v jedné podperiodě atd. až číslo $n_1 = 9$ se realizuje odmazáním devíti vstupních impulzů, to je v devíti podperiodách. Z uvedeného vyplývá, že minimálně jedna podperioda z deseti je volná, lze v ní zařadit na předděliči dělicí poměr (n_2+1) a tím realizovat číslo n_0 z nižšího digitu.

Modul vytvářející zlomkový dělicí poměr je podle Gileseho složen z programovatelného předděliče kmitočtu $M/1$ (M je nastavitelné v rozsahu celých čísel 1 až 16) a z rychlostního selektoru RS_0 . Předdělič kmitočtu $M/1$ a rychlostní selektor RS_0 v modulu pro zlomkový dělicí poměr podle obr. 1 pracují na stejném principu jako dělič kmitočtu 10/1 a rychlostní selektor RS_1 v základním modulu, takže na výstupu P_{ou0} rychlostního selektoru RS_0 je generován sled impulzů definovaný nastaveným číslem n_0 a vstupním přenosem P_{in0} podle vztahu $f_{vz0} = (n_0 + P_{in0}) \cdot f_{ou1} = (n_0 + P_{in0}) \cdot f_{ou2}/M$.

Rychlostní selektor dále zpracovává tento signál tak, že na jeho výstupu pro řízení dělicího poměru předděliče je generován sled impulzů definovaných vztahem

$f_{zv1} = n_1 + (n_0 + P_{in0})/M \cdot f_{ou2}$, kde n_1 a n_0 jsou nastavitelné v rozsahu celých čísel 0 až 9 a P_{in0} je vstupní přenos do rychlostního selektoru RS_0 z následujících modulů a je roven 1 nebo 0.

Nevýhodou řešení podle obr. 1 jsou složité logické struktury v programovatelném předděliči $M/1$ a v rychlostním selektoru RS_0 . Navíc z důvodů, že programovatelný předdělič kmitočtu $M/1$ musí na výstupech 1, 2, 4 a 8 generovat příslušné sledy impulzů, nelze na této pozici použít běžného programovatelného čítače v binárním nebo BCD kódu.

Uvedené nevýhody zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu odstraňuje zapojení podle vynálezu, jehož schéma zapojení je vyznačeno na obr. 3 a jehož funkce je vysvětlena podle schéma zapojení vyznačeného na obr. 2, jenž sestává ze základního modulu univerzálního děliče a z modulu vytvářející zlomkový dělicí poměr, přičemž základní modul univerzálního modulu sestává z programovatelného předděliče kmitočtu typu $n_2; (n_2+1)/1$, který je připojen svým výstupem k děliči kmitočtu $10/1$, jehož výstupy generující sérii impulsů jsou připojeny ke komparátoru dvou binárních čísel $X_1 < Y_1$, ke kterému je svými výstupy připojena úplná sčítací Σ_1 , přičemž výstup děliče $10/1$ je připojen ku programovatelnému děliči kmitočtu $M/1$ modulu vytvářejícího zlomkový dělicí poměr, vyznačené tím, že první vstup programovatelného děliče kmitočtu $M/1$ je připojen na druhý vstup elektronického přepínače, jehož třetí vstup je připojen na výstup součinného hradla, přičemž výstup elektronického přepínače je připojen na výstup modulu pro vytvoření zlomkového dělicího poměru a první vstup elektronického přepínače je připojen na k-plusprvní vstup blokovacího obvodu a na první výstup programovatelného děliče kmitočtu $M/1$, jehož první datový vstup, druhý datový vstup až k-tý datový vstup je připojen na první vstup, druhý vstup až k-tý vstup součinného hradla a na druhý vstup, třetí vstup až p-tý vstup úplné sčítací, na jejíž první vstup je připojen vstup pro přenos P_{in0} , přičemž druhý výstup, třetí výstup až r-tý výstup úplné sčítací je připojen na k-plusprvní vstup, k-plusdruhý vstup až na k-plusentý vstup komparátoru čtyřbitových čísel, jehož první vstup, druhý vstup až k-tý vstup je připojen k prvnímu výstupu, druhému výstupu až ke k-tému výstupu blokovacího obvodu, přičemž jeho druhý vstup, třetí vstup až jeho s-tý vstup je připojen k druhému výstupu, třetímu výstupu až k m-tému výstupu programovatelného děliče kmitočtu $M/1$, přičemž výstup komparátoru dvou čtyřbitových čísel je připojen na první vstup součtového hradla, jehož výstup je připojen k výstupu pro přenos P_{ou0} , a na druhý vstup součtového hradla je připojen první výstup

úplné sčítačky Σ , na jejíž k-plusprvní vstup, k-plusdruhý vstup až na k-plusentý vstup jsou připojeny datové vstupy.

Novost zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu podle vynálezu spočívá v tom, že rychlostní selektor RS_0 , obr. 1, je nahrazen komparátorem dvou binárních čísel $X < Y$ 5. Tím se výrazně zjednoduší logická struktura děliče kmitočtu $M/1$ 1 a lze na této pozici použít běžného čítače doplněného programováním i dělicího poměru $M = 1$. Další výhodou řešení modulu podle vynálezu je tvar signálu výstupního přenosu P_{ou0} . Tento signál na výstupu 73 součtového hradla 7 má v rámci jedné periody výstupního signálu f_{ou} tvar jediného impulzu, jehož šířka se mění v závislosti na nastavení čísla n_0 a vstupního přenosu P_{in0} . To opravňuje k předpokladu, že mezní kmitočet modulu podle obr. 3 (z hlediska řízení předděličů) je vyšší než mezní kmitočet modulu podle obr. 1, kde signál na výstupu P_{ou0} je ve formě sledu impulzů, jejichž počet je určen nastavením čísla n_0 a vstupního přenosu P_{in0} .

Vynález bude nyní blíže vysvětlen na příkladu zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu, který sestává ze základního modulu univerzálního děliče kmitočtu a z modulu vytvářejícího zlomkový dělicí poměr. Základní modul univerzálního děliče, obr. 2, sestává z programovatelného předděliče $n_2; (n_2+1)/1$, který je připojen k děliči kmitočtu $10/1$, jehož výstupy X_1 jsou připojeny ke komparátoru dvou binárních čísel $X_1 < Y_1$, který je připojen svým výstupem k programovatelnému předděliči $n_2; (n_2+1)/1$. Ke komparátoru dvou binárních čísel $X_1 < Y_1$ je svými výstupy Y_1 připojena sčítačka Σ_1 se vstupy dat n_1 . Výstup děliče kmitočtu $10/1$ je svým výstupem připojen k programovatelnému děliči $M/1$ modulu vytvářejícího zlomkový dělicí poměr. Podle vynálezu je tento programovatelný dělič kmitočtu $M/1$ připojen svými výstupy X_0 ke komparátoru dvou binárních čísel $X_0 < Y_0$, ke kterému je připojena sčítačka Σ_0 svými výstupy Y_0 . Výstupy této sčítačky jsou připojeny

k programovatelnému děliči kmitočtu $M/1$. Výstupy jak komparátoru dvou binárních čísel $X_0 < Y_0$, tak i sčítačky $\leq_0$ jsou připojeny k součtovému hradlu.

Zapojení programovatelného modulu vytvářejícího zlomkový dělicí poměr podle vynálezu, obr. 3, je následující:

První vstup 11 programovatelného děliče kmitočtu $M/1$ 1 je připojen na druhý vstup 32 elektronického přepínače 3. Třetí vstup 33 elektronického přepínače 3 je připojen na výstup $2k-1$ součinnového hradla 2 a výstup 34 elektronického přepínače 3 je připojen na výstup f_{ou} modulu pro vytvoření zlomkového dělicího poměru. První vstup 31 elektronického přepínače 3 na k -plusprvní vstup 4k-1 blokovacího obvodu 4 a na první výstup 1k-1 programovatelného děliče kmitočtu $M/1$ 1. První datový vstup 12, druhý datový vstup 13 až k -tý datový vstup 1k+1 programovatelného děliče kmitočtu $M/1$ 1 je připojen na první vstup 21, na druhý vstup 22 až na k -tý vstup 2k součinnového hradla 2 a na druhý vstup 63, na třetí vstup 64 až na p -tý vstup 6k+1 úplné sčítačky 6, na jejíž první vstup 61 je připojen vstup pro přenos P_{in0} . Druhý výstup 6k+n+1, třetí výstup 6k+n+2 až r -tý výstup 6k+n+p úplné sčítačky 6 je připojen na k -plusprvní vstup 5k+1, na k -plusdruhý vstup 5k+2 až na k -plusentý vstup 5k+n komparátoru dvou čtyřbitových čísel $X < Y$ 5. První vstup 51, druhý vstup 52 až k -tý vstup 5k komparátoru dvou čtyřbitových čísel $X < Y$ 5 je připojen k prvnímu výstupu 41, k druhému výstupu 42 až ke k -tému výstupu 4k blokovacího obvodu 4. Druhý vstup 4k+2, třetí vstup 4k+3 až s -tý vstup 4k+n blokovacího obvodu 4 je připojen k druhému výstupu 1k+2, k třetímu výstupu 1k+3 až k m -tému výstupu 1k+n programovatelného děliče $M/1$ 1. Výstup 5k+n+1 komparátoru dvou čtyřbitových čísel 5 je připojen na první vstup 71 součtového hradla 7, jehož výstup je připojen k výstupu pro přenos P_{ou} . Na druhý vstup 72 součtového hradla 7 je připojen první výstup 62 úplné sčítačky 6, na jejíž k -plusprvní vstup 6k+1, k -plusdruhý vstup 6k+2 až k -plusentý vstup 6k+n jsou připojeny datové vstupy n₀.

Funkce modulu pro vytvoření zlomkového dělicího poměru bude dále vysvětlena v zapojení programovatelného děliče kmitočtu podle obr. 2, které vyhovuje BCD kódu za předpokladu, že programovatelný předdělič $n_2; (n_2+1)/1$ je nastavitelný pro $n_2 = 1$ až 9, v děliči kmitočtu základního modulu je nastaven dělicí poměr 10 a komparátory dvou binárních čísel $X < Y$ RS_1 a RS_0 se zjednodušily na komparátory dvou čtyřbitových čísel $X_1 < Y_1$ a $X_0 < Y_0$ - viz obr. 2. Dělič kmitočtu 10/1 rozděluje periodu signálu f_{ou} na deset podperiod, ve kterých je ne děliči kmitočtu typu $n_2; (n_2+1)/1$ zařazen dělicí poměr (n_2+1) pro n_1 podperiod a pro zbytek, to je $(10-n_1)$ podperiod, je zařazen dělicí poměr n_2 . Dělicí poměr N základního modulu podle obr. 2 se může vyjádřit ve tvaru

$$N = n_1 \cdot (n_2 + 1) + (10 - n_1) \cdot n_2 ,$$

který lze jednoduchou úpravou převést na tvar

$$N = 10 \cdot n_2 + n_1 .$$

Z této rovnice je vidět, že základní modul děliče kmitočtu podle obr. 2 představuje programovatelný dělič kmitočtu nastavitelný BCD kódem v rozsahu dělicích poměrů 10 až 99. Pro realizaci čísla n_1 v rozsahu celých čísel 0 až 9 je třeba nejvýše devíti podperiod generovaných děličem 10/1, poslední desátá je vždy volná a proto ji lze využít při vytváření nižšího digitu, to je čísla n_0 . V modulu pro vytvoření zlomkového dělicího poměru podle obr. 2 rozděluje programovatelný dělič $M/1$, podobně jako dělič 10/1 v základním modulu, podperiodu výstupního signálu f_{ou1} na M podperiod, z nichž v n_0 podperiodách bude navíc v každé desáté podperiodě (při $n_1 = 9$) děliče 10/1 zařazen dělicí poměr n_2+1 v předděliči typu $n_2; (n_2+1)/1$. Je-li $n_1 = 9$, není nutné čekat až na desátou podperiodu děliče 10/1. Realizace čísla n_0 se může vložit do číselné sekvence následující ihned za vytvoření čísla n_1 . To velmi jednoduše umožňuje sčítací Σ_1 , obr. 2. V n_0 podperiodách bude na děličích v obr. 2 zařazen dělicí poměr

$$A = n_1 \cdot (n_2 + 1) + (9 - n_1) \cdot n_2 + n_2 + 1 ,$$

a pro zbytek podperiod, to je $(M - n_0)$ bude zařazen dělicí poměr

$$B = n_1 \cdot (n_2 + 1) + (9 - n_1) \cdot n_2 + n_2 \quad .$$

Celkový dělicí poměr děliče podle obr. 2 je pak dán vztahem

$$N_{fou1} = n_0 \cdot A + (M - n_0) \cdot B \quad .$$

Dosazením za A a B a úpravou nakonec se získá rovnice

$$N_{fou1} = M \cdot 10 \cdot n_2 + M \cdot n_1 + n_0 \quad .$$

Položí-li se v této rovnici $M = 10$, pak dělič podle obr. 2 se může bez problému rozšiřovat o další děliče $M/1$ a tím libovolně zvětšovat dělicí poměr řízeného děliče. Nastavení dělicího poměru přitom zůstává v BCD kódu. Realizace nedekadického kmitočtového rastru v nejnižší váze je závislá pouze na velikosti dělicího poměru M děliče $M/1$ např. kmitočtový rastr 25 kHz je nutno volit $M = 4$, které je nastavováno v doplňku. To umožňuje výhodné předřazení několika stejných předděličů typu 10; (11)/1.

Úpravou poslední rovnice na tvar $N_{fou1} = M(10 \cdot n_2 + n_1 + n_0/M)$ se získá přehlednější výraz k vysvětlení tak zvaného zlomkového dělicího poměru. Za předpokladu, že výstupní signál děliče podle obr. 2 je na výstupu f_{ou2} . Mezi kmitočty f_{ou1} a f_{ou2} musí platit vztah:

$$f_{ou2}/f_{ou1} = M = N_{fou1}/N_{fou2} \quad ,$$

kde N_{fou1} a N_{fou2} jsou dělicí poměry f'_{in}/f_{ou1} a f'_{in}/f_{ou2} .

Pro dělicí poměr N_{fou2} je možno pak napsat rovnici

$$N_{fou2} = N_{fou1}/M = 10 \cdot n_2 + n_1 + n_0/M \quad .$$

Je vidět, že na výstupu f_{ou2} je M krát vyšší kmitočet než na výstupu f_{ou1} a toho se může využít pro zvýšení srovnávacího kmitočtu ve fázovém závěsu. Je nutné si však uvědomit, že při nastavení kmitočtů jež odpovídají $n_0 \neq 0$, je signál f_{ou2} modulován parazitní fázovou modulací, která musí být dodatečně potlačena filtrem smyčky.

Zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu v součinnosti se zapojením základního modulu programovatelného děliče kmitočtu AO 231126 a se zapojením programovatelného předděliče kmitočtu typu $n; (n+1)/1$ AO 231127. lze sestavit univerzální programovatelný dělič kmitočtu s vícenásobnou zpětnou vazbou.

Toto zapojení základního modulu programovatelného děliče kmitočtu podle vynálezu umožňuje předřazení několika programovatelných předděličů typu $10; (11)/1$ (data v BCD kódu), nebo typu $16; (17)/1$ (data v binárním kódu). Typ programovatelného předděliče je přitom nezávislý na rozdělení digitu s nejnižší vahou, čemuž odpovídá určitý kmitočtový rastr výstupního kmitočtu syntezátoru, čímž se umožňuje velmi jednoduché programování nejnižšího digitu bez zásahu do programování vyšších digitů. Proto lze systém děliče kmitočtu s vícenásobnou zpětnou vazbou považovat za nejmodernější a současně rovněž i nejuniverzálnější v celosvětovém měřítku.

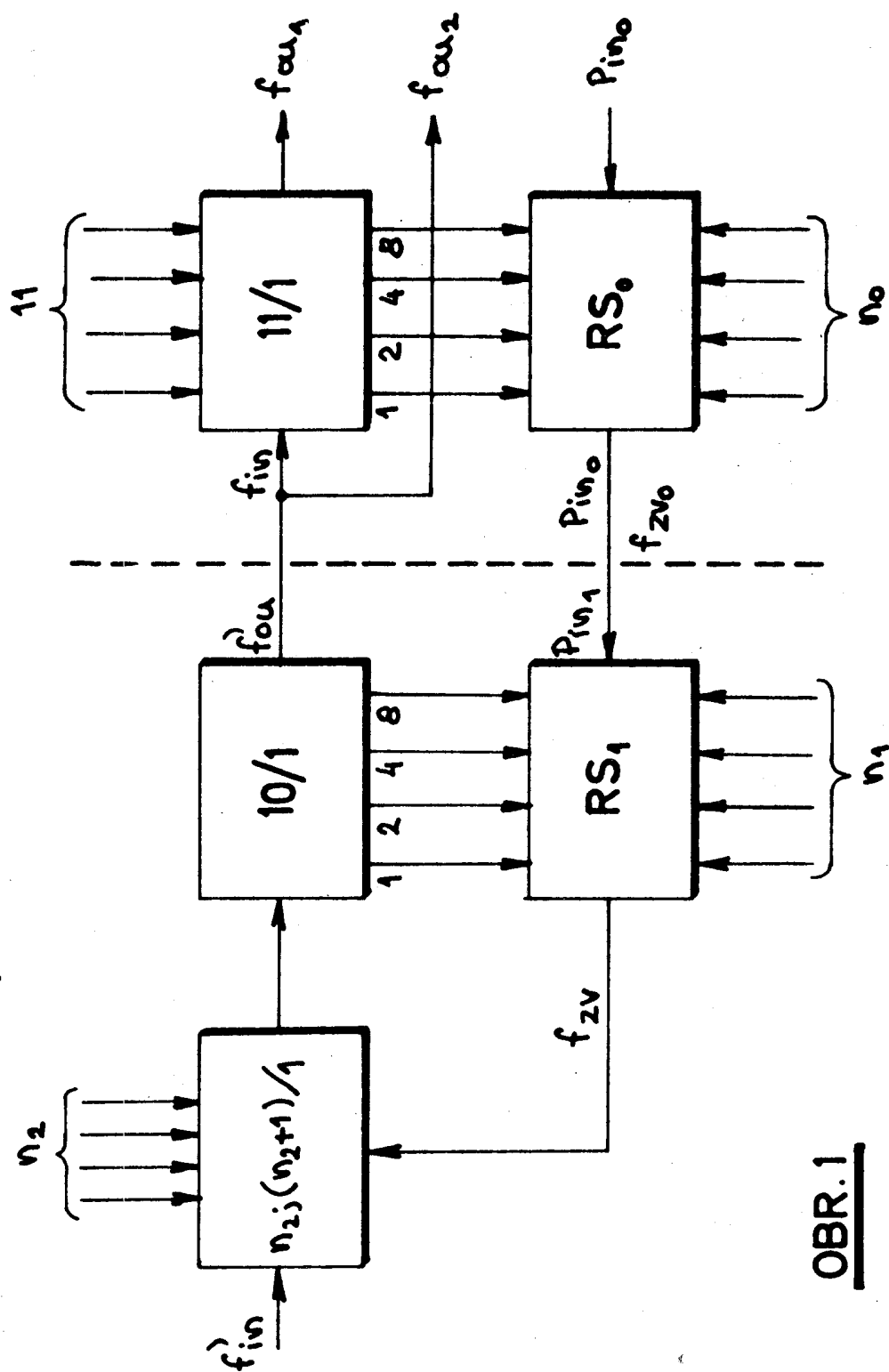
PŘEDMĚT VYNÁLEZU

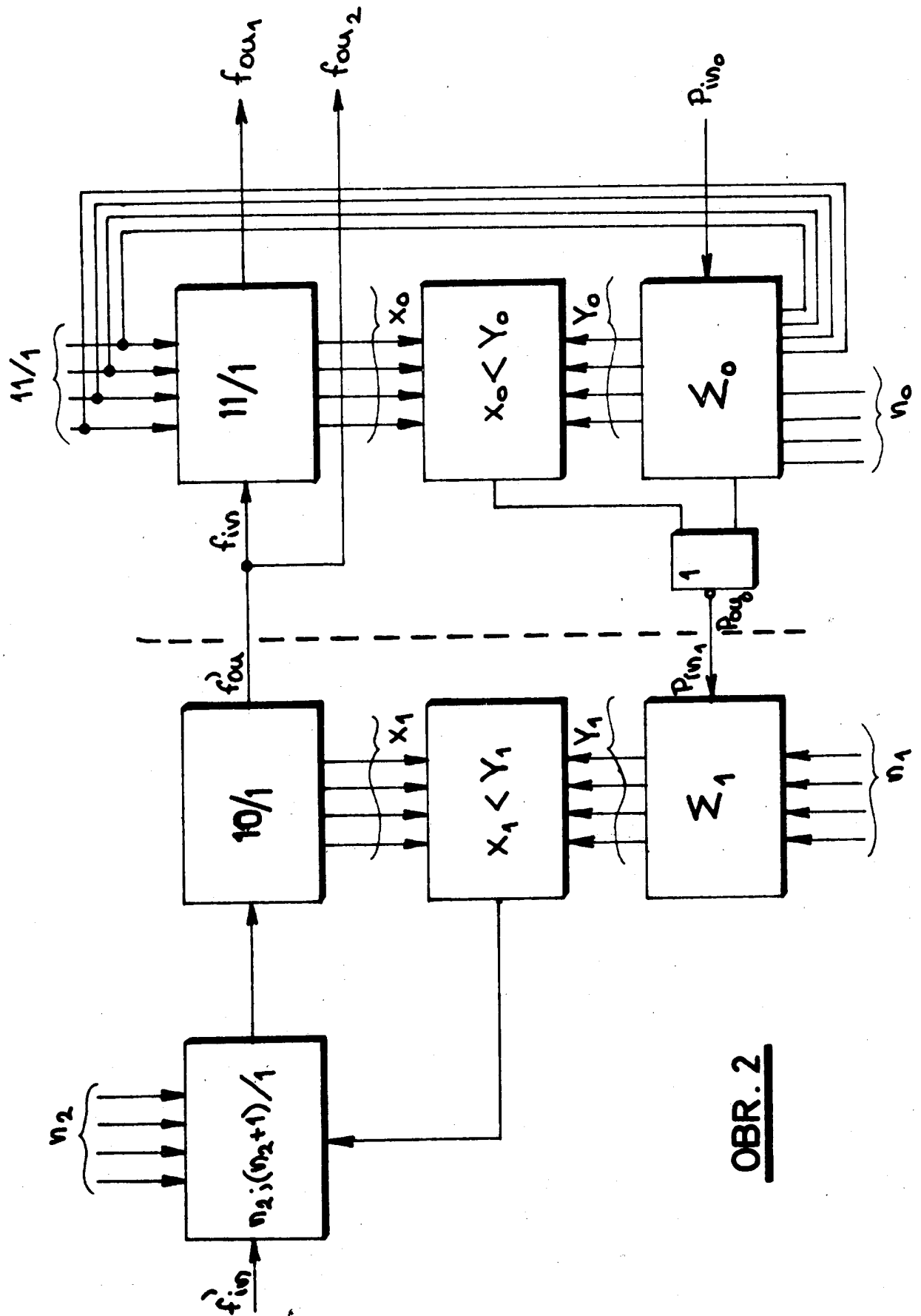
231 128

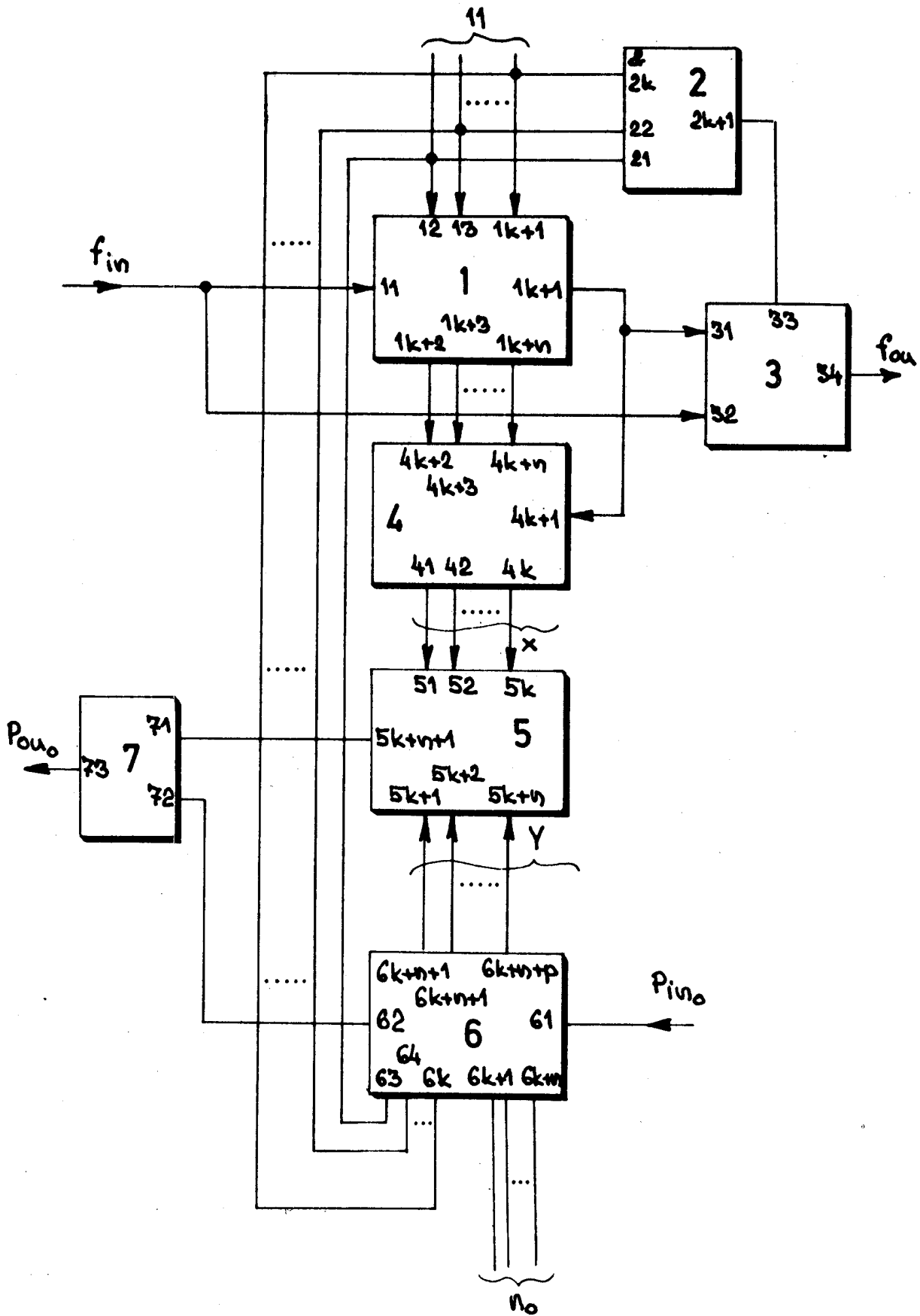
Zapojení programovatelného modulu pro vytvoření zlomkového dělicího poměru v univerzálním děliči kmitočtu, sestávajícího ze základního modulu univerzálního děliče a z modulu vytvářejícího zlomkový dělicí poměr, přičemž základní modul univerzálního děliče sestává z programovatelného předděliče kmitočtu typu n_2 ; $(n_2+1)/1$, který je připojen svým výstupem k děliči kmitočtu $10/1$, jehož výstupy generující sérii impulzů jsou připojeny ke komparátoru dvou binárních čísel $X_1 < Y_1$, ke kterému je svými výstupy připojena úplná sčítačka Σ_1 , přičemž výstup děliče kmitočtu $10/1$ je připojen ku programovatelnému děliči kmitočtu $M/1$ modulu vytvářejícího zlomkový dělicí poměr, vyznačené tím, že první vstup (11) programovatelného děliče kmitočtu (1) je připojen na druhý vstup (32) elektronického přepínače (3), jehož třetí vstup (33) je připojen na výstup $(2k+1)$ součinnového hradla (2), přičemž výstup (34) elektronického přepínače (3) je připojen na výstup (f_{ou}) modulu pro vytvoření zlomkového dělicího poměru a první vstup (31) elektronického přepínače (3) je připojen na k -plusprvní vstup $(4k+1)$ blokovacího obvodu (4) a na první výstup $(1k+1)$ programovatelného děliče kmitočtu $M/1$ (1), jehož první datový vstup (12), druhý datový vstup (13) až k -tý datový vstup $(1k+1)$ je připojen na první vstup (21), druhý vstup (22) až na k -tý vstup $(2k)$ součinnového hradla (2) a na druhý vstup (63), třetí vstup (64) až na p -tý vstup $(6k+1)$ úplné sčítačky (6), na jejíž první vstup (61) je připojen vstup pro přenos P_{in0} , přičemž druhý výstup $(6k+n+1)$, třetí výstup $(6k+n+2)$ až r -tý výstup $(6k+n+p)$ úplné sčítačky (6) je připojen na k -plusprvní vstup $(5k+1)$, k -plusdruhý vstup $(5k+2)$ až na k -plusentý vstup $(5k+n)$ komparátoru dvou čtyřbitových čísel (5), jehož první vstup (51), druhý vstup (52) až k -tý vstup $(5k)$ je připojen k prvnímu výstupu (41), druhému výstupu (42) až ke k -tému výstupu $(4k)$ blokovacího obvodu (4), přičemž jeho druhý vstup $(4k+2)$, třetí vstup $(4k+3)$ až jeho s -tý vstup $(4k+n)$ je připojen k druhému

výstupu $(1k+2)$, třetímu výstupu $(1k+3)$ až k m-tému výstupu $(1k+n)$ programovatelného děliče kmitočtu $M/1$ (1), přičemž výstup $(5k+n+1)$ komparátoru dvou čtyřbitových čísel (5) je připojen na první vstup (71) součtového hradla (7), jehož výstup je připojen k výstupu pro přenos P_{ou0} a na druhý vstup (72) součtového hradla (7) je připojen první výstup (62) úplné sčítačky (6), na jejíž k-plusprvní vstup $(6k+1)$, k-plusdruhý vstup $(6k+2)$ až na k-plusentý vstup $(6k+n)$ jsou připojeny datové vstupy (n_0) .

3 výkresy

OBR.1

**OBR. 2**

OBR. 3