【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成17年1月27日(2005.1.27)

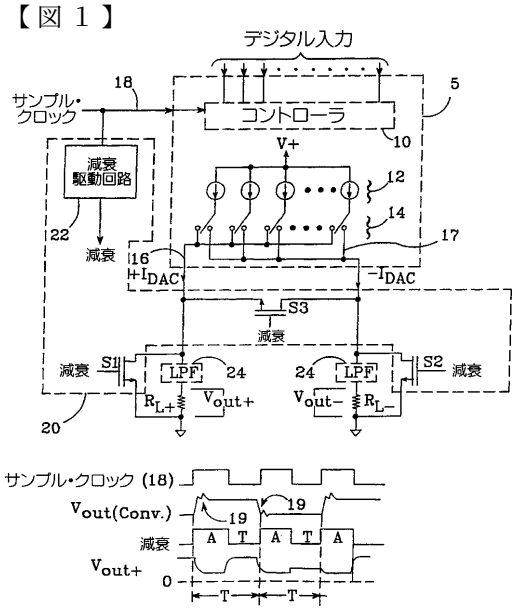
【公表番号】特表2004-504738(P2004-504738A)
【公表日】平成16年2月12日(2004.2.12)
【年通号数】公開・登録公報2004-006
【出願番号】特願2002-500539(P2002-500539)
【国際特許分類第７版】
　ＨＯ３Ｍ　 1/74
　ＨＯ３Ｈ　11/24
【ＦＩ】
　ＨＯ３Ｍ　 1/74
　ＨＯ３Ｈ　11/24　　Ｂ

【手続補正書】
【提出日】平成14年11月27日(2002.11.27)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
切換式電流源デジタル・アナログ・コンバータ（ＤＡＣ）であって、
それぞれが出力電流を生じる電流源のアレイ（１２）と、
制御信号に応答して前記電流源出力のそれぞれを相補的な１対の出力線（１６、１７）の一方に切り換え、前記相補的な１対の出力線の上に差動出力電流を提供するように接続されたスイッチのアレイ（１４）と、
所望の差動出力電流を表すデジタル入力ワードとサンプル・クロック（１８）とを入力において受け取り、前記制御信号を前記スイッチに提供して前記所望の差動出力電流を生じさせるコントローラであって、前記サンプル・クロックの１サイクル当たり前記スイッチを１回動作させるように構成されており、前記差動出力電流は前記スイッチが動作された後の所定の時間間隔の間に安定する、コントローラ（１０）と、
トラッキング及び減衰（Ｔ／Ａ）回路であって、
減衰信号に応答して閉じられると、前記相補的な出力線の一方を信号グランドに接続する第１の減衰スイッチ（Ｓ１）と、
前記減衰信号に応答して閉じられると、前記相補的な出力線の他方を信号グランドに接続する第２の減衰スイッチ（Ｓ２）と、
前記減衰信号に応答して閉じられると、前記相補的な出力線を相互に接続する第３の減衰スイッチ（Ｓ３）と、
前記減衰信号を生じ、それによって、前記減衰スイッチはそれぞれが前記所定の安定時間の間は閉じており、前記差動出力電流が安定する間、前記差動出力電流を減衰させるように構成された減衰スイッチ駆動回路（２２）と、
を備えているトラッキング及び減衰（Ｔ／Ａ）回路（２０）と、
を備えていることを特徴とするデジタル・アナログ・コンバータ。
【請求項２】
請求項１記載のデジタル・アナログ・コンバータにおいて、前記第１、第２及び第３の減衰スイッチは電界効果トランジスタ（ＦＥＴ）であり、前記ＦＥＴはそれぞれのゲート入力において前記減衰信号を受け取ることを特徴とするデジタル・アナログ・コンバータ。

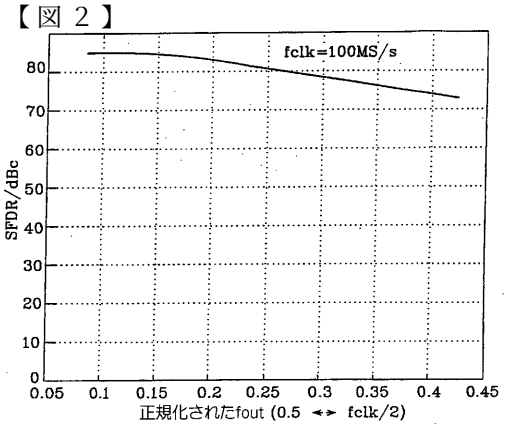
【請求項３】
請求項２記載のデジタル・アナログ・コンバータにおいて、前記第３の減衰スイッチを構成するＦＥＴは、前記第１及び第２の減衰スイッチのいずれを構成するＦＥＴの２倍大きいことを特徴とするデジタル・アナログ・コンバータ。
【請求項４】
請求項１記載のデジタル・アナログ・コンバータにおいて、前記減衰スイッチ駆動回路は、前記サンプル・クロックを受け取り、前記減衰スイッチを閉じてそれぞれのサンプル・クロック・サイクルの半分の間は前記差動出力電流を減衰させ、前記減衰スイッチを開くことによりそれぞれのサンプル・クロック・サイクルの残りの半分の間は前記差動出力電流の減衰を停止するように構成されていることを特徴とするデジタル・アナログ・コンバータ。
【請求項５】
請求項１記載のデジタル・アナログ・コンバータにおいて、前記相補的な１対の出力線は正の出力線（１６）と負の出力線（１７）とを備えており、このデジタル・アナログ・コンバータは、前記差動出力電流が前記電流源から供給されるように構成されており、前記正及び負の出力線に接続され前記電流源によって供給された差動出力電流をシンクする第１及び第２の折り返し電流源（５０、５２）を更に備えていることを特徴とするアナログ・デジタル・コンバータ。
【請求項６】
請求項１記載のデジタル・アナログ・コンバータにおいて、前記相補的な１対の出力線は正の出力線（１６）と負の出力線（１７）とを備えており、このデジタル・アナログ・コンバータは、前記差動出力電流が前記電流源によってシンクされるように構成されており、前記正及び負の出力線に接続され前記電流源によってシンクされる差動出力電流を供給する第１及び第２の折り返し電流源（５０、５２）を更に備えていることを特徴とするアナログ・デジタル・コンバータ。
【請求項７】
請求項６記載のデジタル・アナログ・コンバータにおいて、前記第１及び第２の折り返し電流源は、正の供給電圧と前記正及び負の出力線との間にそれぞれ接続された電流回路を有する第１及び第２のトランジスタ（Q_{f+}、Q_{f-}）を備え、その制御入力においてそれぞれのバイアス電圧を受け取り、前記第１及び第２のトランジスタが前記電流源によってシンクされた前記差動出力電流を導通させることを特徴とするデジタル・アナログ・コンバータ。
【請求項８】
請求項７記載のデジタル・アナログ・コンバータにおいて、第１及び第２の調整されたカスコード回路を更に備えており、
前記第１の調整されたカスコード回路（６０）は、
前記正の出力線と前記第１の減衰スイッチとの間に接続された電流回路を有する第３のトランジスタ（Ｑ１）と、
前記正の出力線に接続された制御入力と、前記正の供給電圧と前記第３のトランジスタの制御入力との間に接続された電流回路とを有する第４のトランジスタ（Ｑ２）と、
前記第３のトランジスタの制御入力と前記信号グランドとの間に接続された第１のバイアス電流源であって、前記第３及び第４のトランジスタとこの第１のバイアス電流源とは、前記正の出力線における電位を実質的に一定にするように構成された第１のフィードバック・ループを形成している、第１のバイアス電流源（Ｉ１）と、
前記第３のトランジスタの制御入力と前記信号グランドとの間に接続され前記第１のフィードバック・ループを補償する第１のコンデンサ（Ｃ１）と、
を備えており、前記第２の調整されたカスコード回路（６２）は、
前記負の出力線と前記第２の減衰スイッチとの間に接続された電流回路を有する第５のトランジスタ（Ｑ３）と、
前記負の出力線に接続された制御入力と、前記正の供給電圧と前記第５のトランジスタの

制御入力との間に接続された電流回路とを有する第６のトランジスタ（Ｑ４）と、
前記第５のトランジスタの制御入力と前記信号グランドとの間に接続された第２のバイアス電流源であって、前記第５及び第６のトランジスタとこの第２のバイアス電流源とは、前記負の出力線における電位を実質的に一定にするように構成された第２のフィードバック・ループを形成している、第２のバイアス電流源（Ｉ２）と、
前記第５のトランジスタの制御入力と前記信号グランドとの間に接続され前記第２のフィードバック・ループを補償する第２のコンデンサ（Ｃ２）と、
を備えていることを特徴とするデジタル・アナログ・コンバータ。
【請求項９】
請求項８記載のデジタル・アナログ・コンバータにおいて、前記調整されたカスコード回路は、それぞれの単位利得帯域幅がすべての出力電流値に対して１クロック・サイクルの間で安定するのに要求される最小値を超えるように構成されていることを特徴とするデジタル・アナログ・コンバータ。
【請求項１０】
切換式電流源デジタル・アナログ・コンバータ（ＤＡＣ）の動的線形性を改善する方法であって、
第１のデジタル入力ワードに応答して切換式電流源（１２）のアレイの正及び負の出力線（１６、１７）の上に差動出力電流（$+I_{DAC}$、$-I_{DAC}$）を発生するステップであって、前記切換式電流源のアレイはＤＡＣ（５）を形成する、ステップと、
前記デジタル入力ワードの変化に応答して前記出力電流が新たな値に変化している間、前記正の出力線の上の出力電流を減衰させるステップと、
前記デジタル入力ワードの変化に応答して前記出力電流が前記新たな値に変化している間、前記負の出力線の上の出力電流を減衰させるステップと、
前記正及び負の出力線を相互に接続して、前記デジタル入力ワードの変化に応答して前記出力電流が前記新たな値に変化している間、前記差動出力電流を減衰させるステップと、
を含むことを特徴とする方法。
【手続補正２】
【補正対象書類名】図面
【補正対象項目名】全図
【補正方法】変更
【補正の内容】

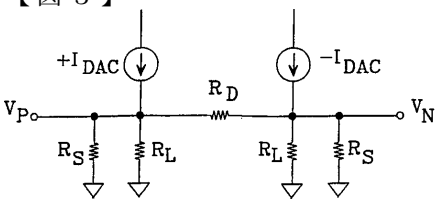
【図１】


デジタル入力
サンプル・クロック
18
5
コントローラ
10
減衰駆動回路
22
減衰
V+
12
14
17
16
+IDAC
−IDAC
S3
減衰
S1
S2
LPF
24
RL+
RL−
Vout+
Vout−
20
サンプル・クロック (18)
Vout(Conv.)
19
A T A T A
0
T

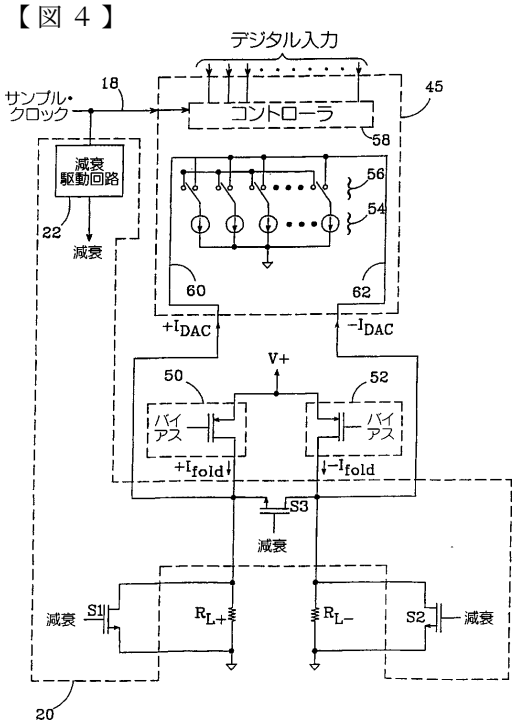
【図２】


fclk=100MS/s
SFDR/dBc
80
70
60
50
40
30
20
10
0
0.05
0.1
0.15
0.2
0.25
0.3
0.35
0.4
0.45
正規化されたfout (0.5 ◂▸ fclk/2)

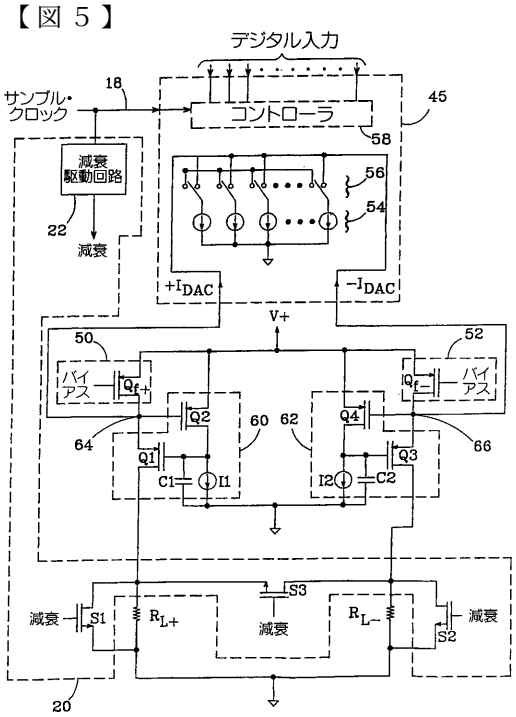
【図３】


+IDAC
−IDAC
RD
VP
VN
RS
RL
RL
RS

【図４】


デジタル入力
サンプル・クロック
18
45
コントローラ
58
減衰駆動回路
22
減衰
56
54
60
62
+IDAC
−IDAC
V+
50
52
バイアス
+Ifold
−Ifold
S3
減衰
S1
S2
RL+
RL−
20

【図５】


デジタル入力
サンプル・クロック
18
45
コントローラ
58
減衰駆動回路
22
減衰
56
54
+IDAC
−IDAC
V+
50
52
バイアス
Qf+
Qf−
Q1
Q2
Q3
Q4
60
62
64
66
C1
I1
I2
C2
S3
減衰
S1
S2
RL+
RL−
20