



(12)发明专利

(10)授权公告号 CN 104579570 B

(45)授权公告日 2018.04.13

(21)申请号 201510017326.X

(22)申请日 2015.01.14

(65)同一申请的已公布的文献号
申请公布号 CN 104579570 A

(43)申请公布日 2015.04.29

(73)专利权人 灿芯半导体(上海)有限公司
地址 201203 上海市浦东新区张江高科技
园区金蝶软件园晨晖路88号1幢409室

(72)发明人 周玉镇 戴颀 李耿民 职春星

(74)专利代理机构 无锡互维知识产权代理有限
公司 32236

代理人 庞聪雅

(51)Int.Cl.

H04L 1/00(2006.01)

H04L 7/00(2006.01)

(56)对比文件

CN 103944583 A,2014.07.23,说明书第38-65段.

CN 103592598 A,2014.02.19,全文.

CN 101135921 A,2008.03.05,全文.

CN 1747376 A,2006.03.15,全文.

审查员 张行素

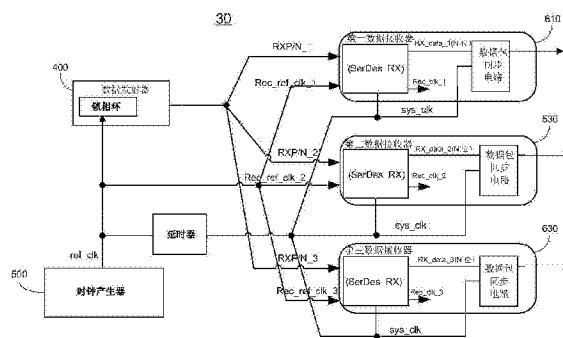
权利要求书2页 说明书6页 附图4页

(54)发明名称

数据接收器、数据接收系统和数据传输系统

(57)摘要

本发明提供一种数据接收器、数据接收系统和数据传输系统。所述数据接收器包括:采样时钟产生电路,其根据恢复参考时钟信号产生具有相同的频率以及预定的相位差的多个采样时钟信号;串行数据采样电路,其利用所述多个采样时钟信号采样数据传输信号得到一系列串行的接收数据;时钟选择电路,其根据系统时钟信号从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号;串并转换电路,其根据所述串并转换时钟信号将来自所述串行数据采样电路的串行的接收数据转换为并行的接收数据。由于根据系统时钟信号来从所述多个采样时钟信号中选择最为合适的一个作为串并转换时钟信号,可以提高各个数据接收器接收到的数据之间的同步性。



1. 一种数据接收器,其特征在于,其包括:

采样时钟产生电路,其根据接收到的恢复参考时钟信号产生多个采样时钟信号,各个采样时钟信号之间具有相同的频率以及预定的相位差;

串行数据采样电路,其利用所述多个采样时钟信号采样由数据发射器发过来的数据传输信号得到一系列串行的接收数据;

时钟选择电路,其根据接收到的系统时钟信号从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号;

串并转换电路,其根据所述串并转换时钟信号将来自所述串行数据采样电路的串行的接收数据转换为并行的接收数据,

所述时钟选择电路包括:

选择逻辑电路,其将所述多个采样时钟信号与接收到的系统时钟信号进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个采样时钟信号,并输出选通该跳变沿与所述系统时钟信号的跳变沿最接近的采样时钟信号的选通信号;

时钟选通电路,其接收多个采样时钟信号,并根据选择逻辑电路输出的选通信号选通与相应的采样时钟信号作为串并转换时钟信号。

2. 根据权利要求1所述的数据接收器,其特征在于,所述多个采样时钟信号包括多个中间对齐采样时钟信号和与所述多个边缘对齐采样时钟信号,

每个中间对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差,每个边缘对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差,

所述选择逻辑电路将所述多个中间对齐采样时钟信号、所述多个边缘对齐采样时钟信号与接收到的系统时钟信号进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个中间对齐采样时钟信号,并输出选通该跳变沿与所述系统时钟信号的跳变沿最接近的中间对齐采样时钟信号的选通信号;

所述时钟选通电路接收多个中间对齐采样时钟信号,并根据选择逻辑电路输出的选通信号选通对应的中间对齐采样时钟信号作为串并转换时钟信号。

3. 根据权利要求2所述的数据接收器,其特征在于,在选择逻辑电路中,利用各个采样时钟信号对所述系统时钟信号进行采样得到多个系统时钟同步信号,找到相位差发生突变的两个相邻的系统时钟同步信号,确定相位差发生突变的两个相邻的系统时钟同步信号对应的两个采样时钟信号,确定的两个采样时钟信号中的中间对齐采样时钟信号的跳变沿与所述系统时钟信号的跳变沿最接近。

4. 根据权利要求2所述的数据接收器,其特征在于,所述跳变沿为上升沿。

5. 根据权利要求1所述的数据接收器,其特征在于,所述选择逻辑电路还接收复位触发信号,在复位触发信号每次变为有效时,所述选择逻辑电路重新查找一次其跳变沿与所述系统时钟信号的跳变沿最接近的采样时钟信号,并输出相应的选通信号。

6. 根据权利要求5所述的数据接收器,其特征在于,所述选择逻辑电路还输出复位同步信号给所述串并转换电路,以保证所述串并转换电路输出的并行的接收数据与所述系统时钟信号同步。

7. 根据权利要求5所述的数据接收器,其特征在于,其还包括:

数据包同步电路,其接收来自所述串并转换电路的并行的接收数据,并基于所述系统

时钟信号对并行的接收数据进行数据包同步。

8. 一种数据接收系统,其特征在于,其包括:

多个如权利要求1-7任一所述的数据接收器,每个数据接收器都接收来自同一个数据发射器发过来的数据传输信号,接收恢复参考时钟信号和系统时钟信号。

9. 一种数据传输系统,其包括:

数据发射器,基于发送时钟信号将待传输数据进行调制后得到数据传输信号并发出该数据传输信号;

如权利要求8所述的数据接收系统,每个数据接收器都接收来自所述数据发射器发过来的数据传输信号。

10. 根据权利要求9所述的数据传输系统,其特征在于,其还包括:

时钟产生器,其产生参考时钟信号,该参考时钟信号被提供给数据发射器,所述数据发射器根据该参考时钟信号产生所述发送时钟信号,该参考时钟信号亦被作为恢复参考时钟信号被提供给各个数据接收器,该参考时钟信号经过一定的延迟后被作为系统时钟信号被提供给各个数据接收器。

数据接收器、数据接收系统和数据传输系统

【技术领域】

[0001] 本发明涉及数据传输领域,特别涉及一种数据接收器、数据接收系统和数据传输系统。

【背景技术】

[0002] 随着电子行业技术的发展,特别是在传输接口的发展上,IEEE1284被USB(Universal Serial Bus)接口取代,PATA(Parallel Advanced Technology Attachment)被SATA(Serial Advanced Technology Attachment)取代,PCI(Peripheral Component Interconnect)被PCI-Express所取代,无一都证明了传统并行接口的速度已经达到一个瓶颈了,取而代之的是速度更快的串行接口,于是原本用于光纤通信的SerDes(SERDES是SERializer(串行器)/DESerializer(解串器)的简称)技术成为了为高速串行接口的主流。串行接口主要应用了差分信号传输技术,具有功耗低、抗干扰强,速度快的特点,理论上串行接口的最高传输速率可达到10Gbps以上。

[0003] 图1示出了现有的一种SerDes数据传输系统,其包括数据发射器100、时钟产生器200、第一数据接收器310、第二数据接收器320、第三数据接收器330。每个数据接收器可以被称为一个数据接收通道,因此该数据传输系统也可以被称为多通道数据传输系统,多个通道接收到的数据之间需要相互同步。

[0004] 所述时钟产生器200产生参考时钟信号ref_clk,并将该参考时钟信号ref_clk提供给数据发射器100。所述数据发射器100中的锁相环PLL根据该参考时钟信号产生所述发送时钟信号,并基于发送时钟信号将待传输数据进行调制后发出,发出的输出传输信号RXP/N被提供给各个数据接收器,其中信号RXP/N₁被提供给第一数据接收器,信号RXP/N₂被提供给第二数据接收器,信号RXP/N₃被提供给第三数据接收器。该参考时钟信号亦被作为恢复参考时钟信号Rec_ref_clk被提供给各个数据接收器,其中Rec_ref_clk₁提供给数据接收器310,Rec_ref_clk₂提供给数据接收器320,Rec_ref_clk₃提供给数据接收器330。该参考时钟信号ref_clk经过延迟器的一定的延迟后被作为系统时钟信号sys_clk被提供给各个数据接收器。

[0005] 每个数据接收器包括数据接收单元SerDes RX以及数据包同步电路。所述数据接收单元SerDes RX基于接收到的恢复参考时钟信号Rec_ref_clk产生多个采样时钟信号,利用所述多个采样时钟信号采样由数据发射器100发过来的数据传输信号得到一系列串行的接收数据,并将所述串行的接收数据转换为并行的接收数据。所述数据包同步电路基于所述系统时钟信号并行的接收数据进行数据包同步。

[0006] 目前SerDes多通道数据同步通常靠数据缓冲器来实现。它通常利用传输数据中多余的同步信息来对齐各通道的数据传输。这种同步方式加大了数据传输的延时,且增加了芯片或系统设计的复杂度,在一定程度上也减小了数据传输的有效速率。此外,传统的SerDes数据接收器的串并转换的转换时钟是固定的,不能有效地通过干预数据传输的延迟。由于锁相环PLL的时钟和恢复的时钟的变化是随机的,所以每两个通道的数据时间差没

法得到保证。

[0007] 如图2所示,其示意出了图1中的各个数据接收器的数据接收单元得到的串行数据和恢复时钟信号Rec_clk的时序图。如图2所示的,第一数据接收器的数据接收单元得到的数据RX_data_1为0123,0123,……,而第二数据接收器的数据接收单元得到的数据RX_data_2为012,3012,3012,3012,……,而第三数据接收器的数据接收单元得到的数据RX_data_3为01,2301,2301,2301,……。第一数据接收器的数据接收单元得到的数据RX_data_1和第二数据接收器的数据接收单元得到的数据RX_data_2之间相差1位,第二数据接收器的数据接收单元得到的数据RX_data_2和第三数据接收器的数据接收单元得到的数据RX_data_3之间相差1位,第一数据接收器的数据接收单元得到的数据RX_data_1和第三数据接收器的数据接收单元得到的数据RX_data_3之间相差2位。

[0008] 因此,有必要提供一种改进的技术方案来克服上述问题。

【发明内容】

[0009] 本发明的目的之一在于提供一种数据接收器,其可以提高其接收到的数据与其它通道中接收到的数据同步性。

[0010] 本发明的目的之二在于提供一种数据接收系统,其具有多个并行的数据接收通道,并能提高各个数据接收通道接收到的数据之间的同步性。

[0011] 本发明的目的之三在于提供一种数据传输系统,其具有多个并行的数据接收通道,并能提高各个数据接收通道接收到的数据之间的同步性。

[0012] 为了解决上述问题,根据本发明的一个方面,本发明提供一种数据接收器,其包括:采样时钟产生电路,其根据接收到的恢复参考时钟信号产生多个采样时钟信号,各个采样时钟信号之间具有相同的频率以及预定的相位差;串行数据采样电路,其利用所述多个采样时钟信号采样由数据发射器发过来的数据传输信号得到一系列串行的接收数据;时钟选择电路,其根据接收到的系统时钟信号从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号;串并转换电路,其根据所述串并转换时钟信号将来自所述串行数据采样电路的串行的接收数据转换为并行的接收数据。

[0013] 进一步的,所述时钟选择电路包括:选择逻辑电路,其将所述多个采样时钟信号与接收到的系统时钟信号进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个采样时钟信号,并输出选通该跳变沿与所述系统时钟信号的跳变沿最接近的采样时钟信号的选通信号;时钟选通电路,其接收多个采样时钟信号,并根据选择逻辑电路输出的选通信号选通与相应的采样时钟信号作为串并转换时钟信号。

[0014] 进一步的,所述多个采样时钟信号包括多个中间对齐采样时钟信号和与所述多个边缘对齐采样时钟信号,每个中间对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差,每个边缘对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差,所述选择逻辑电路将所述多个中间对齐采样时钟信号、所述多个边缘对齐采样时钟信号与接收到的系统时钟信号进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个中间对齐采样时钟信号,并输出选通该跳变沿与所述系统时钟信号的跳变沿最接近的中间对齐采样时钟信号的选通信号;所述时钟选通电路接收多个中间对齐采样时钟信号,并根据选择逻辑电路输出的选通信号选通对应的中间对齐采样时钟信号作为

串并转换时钟信号。

[0015] 进一步的,在选择逻辑电路中,利用各个采样时钟信号对所述系统时钟信号进行采样得到多个系统时钟同步信号,找到相位差发生突变的两个相邻的系统时钟同步信号,确定相位差发生突变的两个相邻的系统时钟同步信号对应的两个采样时钟信号,确定的两个采样时钟信号中的中间对齐采样时钟信号的跳变沿与所述系统时钟信号的跳变沿最接近。

[0016] 进一步的,所述跳变沿为上升沿。

[0017] 进一步的,所述选择逻辑电路还接收复位触发信号,在复位触发信号每次变为有效时,所述选择逻辑电路重新查找一次其跳变沿与所述系统时钟信号的跳变沿最接近的采样时钟信号,并输出相应的选通信号。

[0018] 进一步的,所述选择逻辑电路还输出复位同步信号给所述串并转换电路,以保证所述串并转换电路输出的并行的接收数据与所述系统时钟信号同步。

[0019] 进一步的,数据接收器还包括:数据包同步电路,其接收来自所述串并转换电路的并行的接收数据,并基于所述系统时钟信号对并行的接收数据进行数据包同步。

[0020] 根据本发明的另一个方面,本发明提供一种数据接收系统,其包括:多个数据接收器,每个数据接收器都接收来自同一个数据发射器发过来的数据传输信号,接收恢复参考时钟信号和系统时钟信号。每个数据接收器包括:采样时钟产生电路,其根据接收到的恢复参考时钟信号产生多个采样时钟信号,各个采样时钟信号之间具有相同的频率以及预定的相位差;串行数据采样电路,其利用所述多个采样时钟信号采样由数据发射器发过来的数据传输信号得到一系列串行的接收数据;时钟选择电路,其根据接收到的系统时钟信号从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号;串并转换电路,其根据所述串并转换时钟信号将来自所述串行数据采样电路的串行的接收数据转换为并行的接收数据。

[0021] 根据本发明的另一个方面,本发明提供一种数据传输系统,其包括:数据发射器,基于发送时钟信号将待传输数据进行调制后得到数据传输信号并发出该数据传输信号;上文中提到的数据接收系统,每个数据接收器都接收来自所述数据发射器发过来的数据传输信号。

[0022] 进一步的,所述数据传输系统还包括:时钟产生器,其产生参考时钟信号,该参考时钟信号被提供给数据发射器,所述数据发射器根据该参考时钟信号产生所述发送时钟信号,该参考时钟信号亦被作为恢复参考时钟信号被提供给各个数据接收器,该参考时钟信号经过一定的延迟后被作为系统时钟信号被提供给各个数据接收器。

[0023] 与现有技术相比,在本发明中,根据接收到的系统时钟信号来从所述多个采样时钟信号中选择最为合适的一个作为串并转换时钟信号,而不是固定的或随机的采用所述多个采样时钟信号中的一个作为串并转换时钟信号,这样可以提高各个数据接收器接收到的数据之间的同步性。

【附图说明】

[0024] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本

领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其它的附图。其中:

[0025] 图1示出了现有的一种SerDes数据传输系统;

[0026] 图2出了图1中的各个数据接收器的各个数据接收单元得到的串行数据和恢复时钟信号Rec_clk的时序图;

[0027] 图3为本发明中的数据传输系统在一个实施例中的结构示意图;

[0028] 图4为图3中的数据接收单元在一个实施例中的结构示意图;

[0029] 图5为图4中的串行数据采样电路的工作原理图;

[0030] 图6为图4中的选择逻辑电路的工作原理图。

【具体实施方式】

[0031] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0032] 图3为本发明中的数据传输系统30在一个实施例中的结构示意图。所述数据传输系统30包括数据发射器400、时钟产生器500、第一数据接收器610、第二数据接收器620、第三数据接收器630。在此示例中,示出了三个数据接收器,实际上可以为两个、四个或更多个数据接收器,下面以三个数据接收器为例进行介绍。每个数据接收器可以被称为一个数据接收通道,因此该数据传输系统也可以被称为多通道数据接收系统,多个通道接收到的数据之间需要相互同步。

[0033] 所述时钟产生器500产生参考时钟信号ref_clk,并将该参考时钟信号ref_clk提供给数据发射器400。该参考时钟信号ref_clk亦被作为恢复参考时钟信号Rec_ref_clk被提供给各个数据接收器,其中Rec_ref_clk_1提供给数据接收器610,Rec_ref_clk_2提供给数据接收器620,Rec_ref_clk_3提供给数据接收器630。该参考时钟信号ref_clk经过延迟器的一定的延迟后被作为系统时钟信号sys_clk被提供给各个数据接收器610、620和630。在其他实施例中,也可以以其他的方式来提供参考时钟信号ref_clk、恢复参考时钟信号Rec_ref_clk和系统时钟信号sys_clk。

[0034] 所述数据发射器400中的锁相环PLL根据该参考时钟信号ref_clk产生所述发送时钟信号,并基于发送时钟信号将待传输数据进行调制后形成数据传输信号并将该数据传输信号发出,发出的数据传输信号RXP/N被提供给各个数据接收器,其中信号RXP/N_1被提供给第一数据接收器610,信号RXP/N_2被提供给第二数据接收器620,信号RXP/N_3被提供给第三数据接收器630。

[0035] 每个数据接收器包括数据接收单元SerDes_RX以及数据包同步电路。所述数据接收单元SerDes_RX基于接收到的恢复参考时钟信号Rec_ref_clk产生多个采样时钟信号,利用所述多个采样时钟信号采样由数据发射器400发过来的数据传输信号得到一系列串行的接收数据,基于接收到的系统时钟信号sys_clk从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号,基于所述串并转换时钟信号将所述串行的接收数据转换为并行的接收数据。由于各个数据接单元中的串并转换时钟信号能够根据不同的数据接收器的系统时钟信号sys_clk的延迟的不同而进行适应性的调整,这样可以提高得到的并行的接收数据的同步性。

[0036] 所述数据包同步电路基于所述系统时钟信号并行的接收数据进行数据包同步。在一个实施例中,在第一个数据接收器610中的数据包同步电路输出一个数据包时,要保证第二个数据接收器620和第三数据接收器630中的数据包同步电路正在输出同一个数据包。基于所述系统时钟信号sys_clk的同步,各个数据包同步电路可以同步的输出同一个数据包。每个数据包可以N位数据,比如N可以为20。在一个实施例中,所述数据包同步电路为一组D触发器,每个D触发器的输入端D与并行的接收数据中的一个数据位相连,其时钟端CLK接所述系统时钟信号sys_clk,其输出端Q输出数据包同步后的并行数据。

[0037] 图4为图3中的数据接收单元在一个实施例中的结构示意图。所述数据接收单元包括采样时钟产生电路(未图示)、串行数据采样电路602、时钟选择电路603和串并转换电路605。

[0038] 所述采样时钟产生电路根据接收到的恢复参考时钟信号Rec_ref_clk产生多个采样时钟信号。比如CK0-CK7共8个采样时钟信号,各个采样时钟信号之间具有相同的频率以及预定的相位差,比如相位差为45度。所述串行数据采样电路602利用所述多个采样时钟信号采样由数据发射器发过来的数据传输信号得到一系列串行的接收数据。所述时钟选择电路603根据接收到的系统时钟信号sys_clk从所述多个采样时钟信号中选择一个合适的采样时钟信号作为串并转换时钟信号CK_sel。所述串并转换电路605根据所述串并转换时钟信号CK_sel将来自所述串行数据采样电路602的串行的接收数据转换为并行的接收数据。

[0039] 如图4所示的,所述时钟选择电路603包括时钟选通电路606和选择逻辑电路607。选择逻辑电路607将所述多个采样时钟信号CK0-CK7与接收到的系统时钟信号sys_clk进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个采样时钟信号,并输出选通该跳变沿与所述系统时钟信号sys_clk的跳变沿最接近的采样时钟信号的选通信号。所述时钟选通电路606接收多个采样时钟信号,并根据选择逻辑电路607输出的选通信号选通与相应的采样时钟信号作为串并转换时钟信号CK_sel。

[0040] 在一个实施例中,所述多个采样时钟信号(比如CK0-CK7)包括多个中间对齐采样时钟信号(比如CK0、CK2、CK4、CK6)和与所述多个边缘对齐采样时钟信号(比如CK1、CK3、CK5、CK7)。每个中间对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差,每个边缘对齐采样时钟信号与相邻的边缘对齐采样时钟信号的相位差为预定相位差。所述选择逻辑电路607将所述多个中间对齐采样时钟信号、所述多个边缘对齐采样时钟信号与接收到的系统时钟信号sys_clk进行对比,找到其跳变沿与所述系统时钟信号的跳变沿最接近的一个中间对齐采样时钟信号,并输出选通该跳变沿与所述系统时钟信号的跳变沿最接近的中间对齐采样时钟信号的选通信号。所述时钟选通电路606接收多个中间对齐采样时钟信号,并根据选择逻辑电路输出的选通信号选通对应的中间对齐采样时钟信号作为串并转换时钟信号。

[0041] 在一个实施例中,所述数据发射器400中的发送时钟信号为2.4GHz,参考时钟信号ref_clk、系统时钟信号sys_clk和恢复参考时钟信号Rec_ref_clk为120MHz。所述采样时钟信号为600MHz,共有CK0-CK7八个采样时钟信号。需要知道的是,在其他实施例中,所述采样时钟信号、所述系统时钟信号sys_clk和所述恢复参考时钟信号Rec_ref_clk的频率都是可以更改的。

[0042] 图5为图4中的串行数据采样电路的工作原理图。在动态锁定后,时钟CK0、CK2、CK4、CK6对齐接收到的数据中间,其也被称为中间对齐采样时钟信号,时钟CK1、CK3、CK5、CK7对齐接收到的数据边沿,其也被称为边缘对齐采样时钟信号。每相邻的两个采样时钟信号之间相差45度的相位差。这样,利用时钟CK0、CK2、CK4、CK6中的每一个都能够采样得到一位数据,它们共能够得到4位串行的数据。在5个时钟周期后,能够得到20位串行数据。

[0043] 图6为图4中的选择逻辑电路607的工作原理图。采样时钟信号CK0-CK7对所述系统时钟信号sys_clk进行采样得到系统时钟同步信号sys_clk_sync<0>,sys_clk_sync<1>,sys_clk_sync<2>,sys_clk_sync<3>,……,sys_clk_sync<7>。根据图6可以发现,从系统时钟同步信号sys_clk_sync<2>和系统时钟同步信号sys_clk_sync<3>之间的相位差有较大的突变,也就是说,系统时钟信号sys_clk的上升沿位于采样时钟信号CK2和CK3之间。也就是说,与其上升沿与所述系统时钟信号的上升沿最接近的中间对齐采样时钟信号为中间对齐采样时钟信号CK2。接下来,所述选择逻辑电路607可以发出选通中间对齐采样时钟信号CK2的选通信号。所述时钟选通电路606将选通所述中间对齐采样时钟信号CK2作为串并转换时钟信号CK_sel。

[0044] 由于每个数据接收器中的时钟选通电路606都选择其上升沿与系统时钟信号sys_clk的上升沿最接近的中间对齐采样时钟信号作为串并转换时钟信号CK_sel,这样使得各个数据接收器的串并转换电路605能够输出同步的并行数据。从而可以控制任意两个数据接收器的传输数据锁定到一个数据位的偏差之内。

[0045] 如图4所示,所述选择逻辑电路607还接收复位触发信号rsn,在复位触发信号rsn每次变为有效时,所述选择逻辑电路607重新查找一次其跳变沿与所述系统时钟信号sys_clk的跳变沿最接近的采样时钟信号,并输出相应的选通信号。在复位触发信号rsn保持为有效时,所述选择逻辑电路607持续的输出该选通信号,使得所述时钟选通电路606持续的输出同一个采样时钟信号作为串并转换时钟。所述选择逻辑电路607还输出复位同步信号retn_sysn给所述串并转换电路605,以保证所述串并转换电路605输出的并行的接收数据与所述系统时钟信号同步sys_clk。

[0046] 在本发明中,“连接”、相连、“连”、“接”等表示电性相连的词语,如无特别说明,则表示直接或间接的电性连接,比如经过一个电阻、一个逻辑电路或一个功能电路后相连,等等。

[0047] 需要指出的是,熟悉该领域的技术人员对本发明的具体实施方式所做的任何改动均不脱离本发明的权利要求书的范围。相应地,本发明的权利要求的范围也并不仅仅局限于前述具体实施方式。

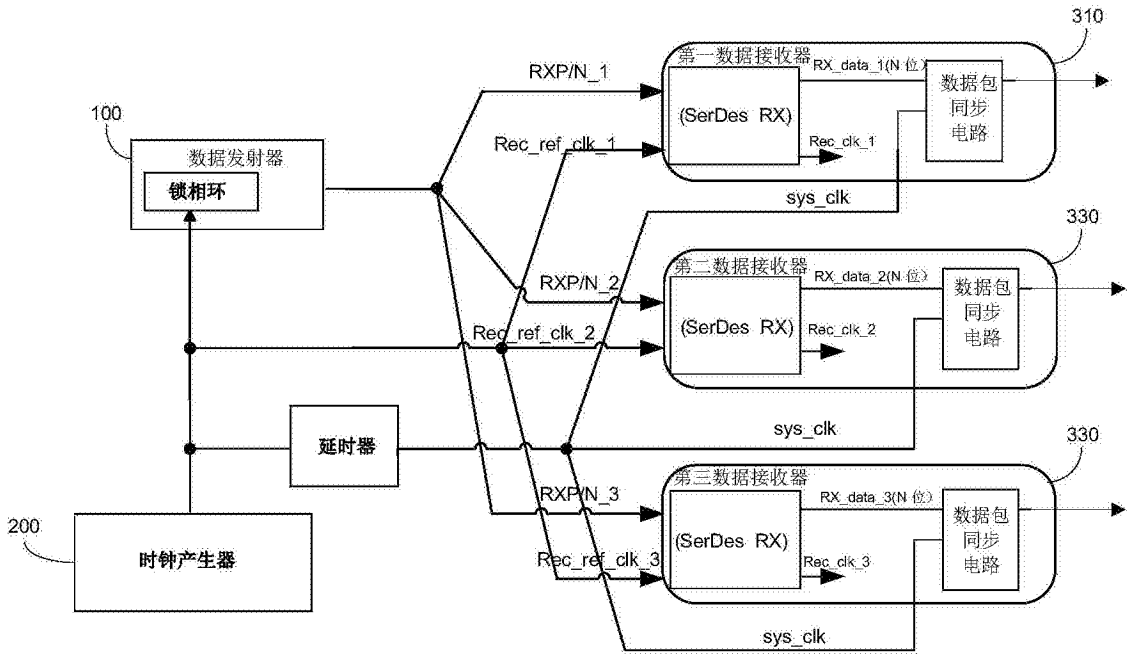


图1

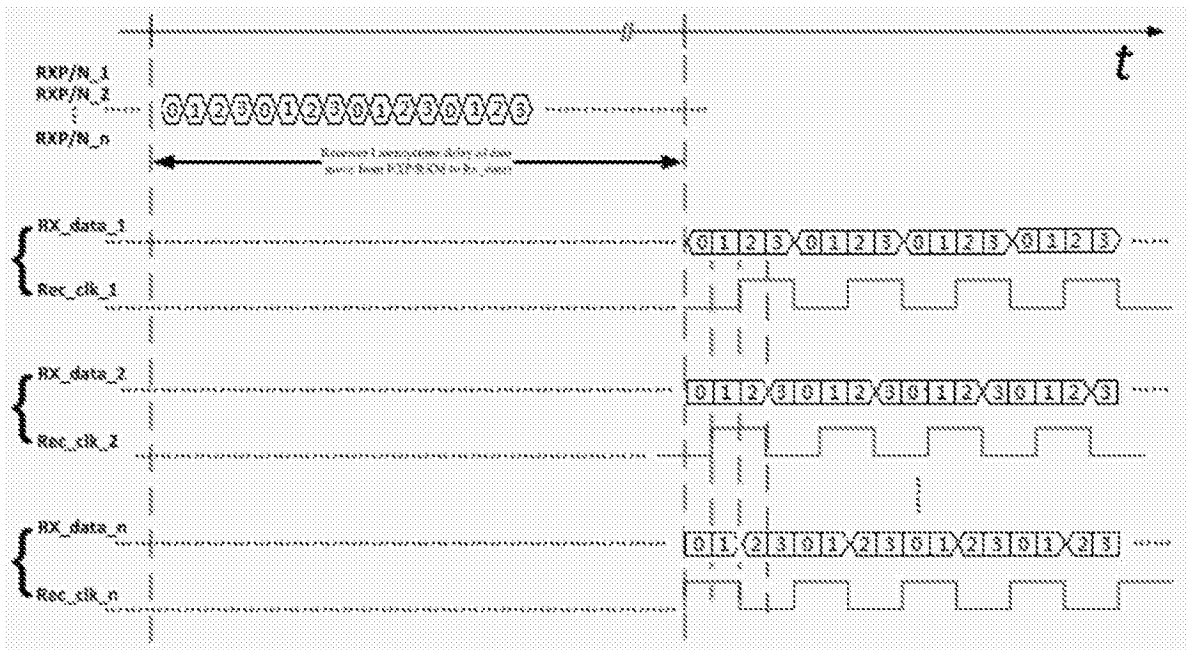


图2

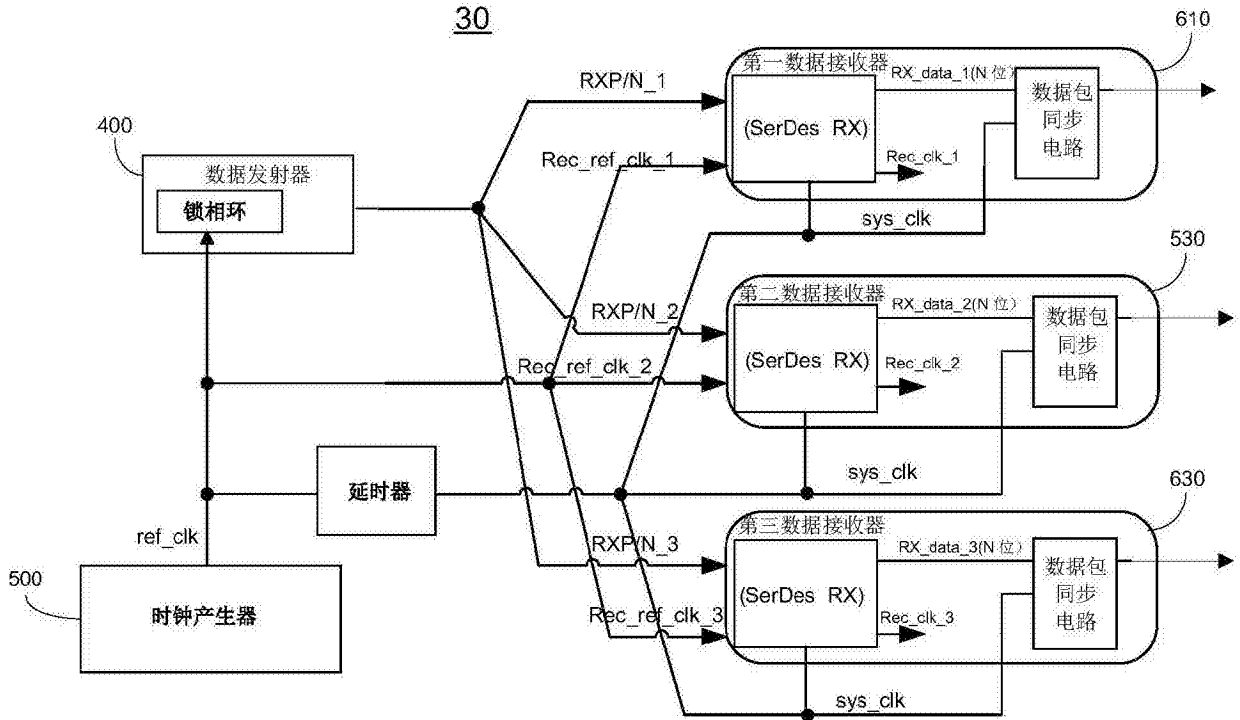


图3

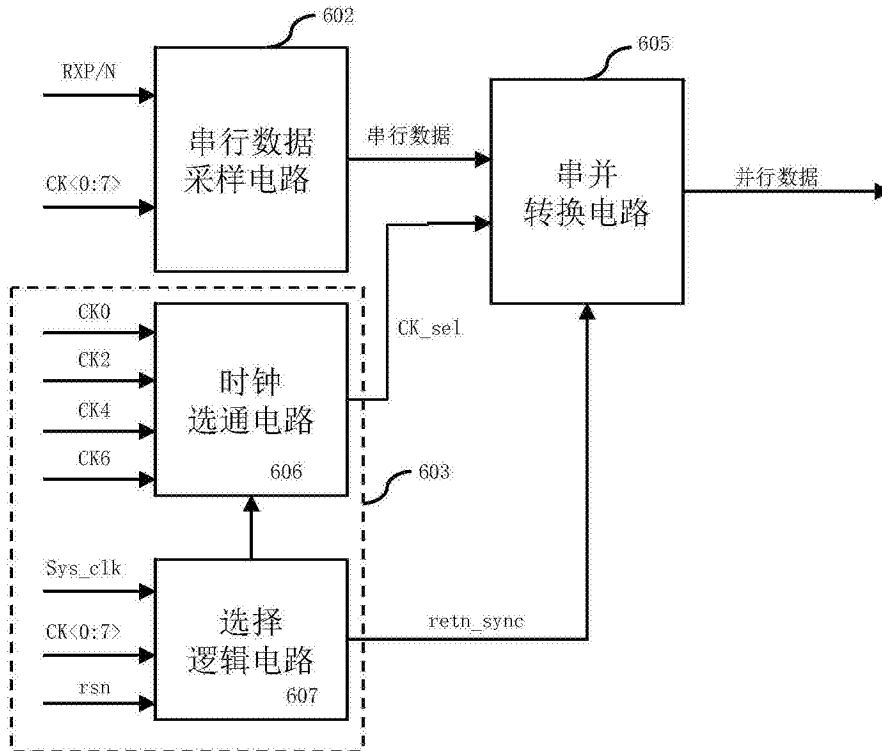


图4

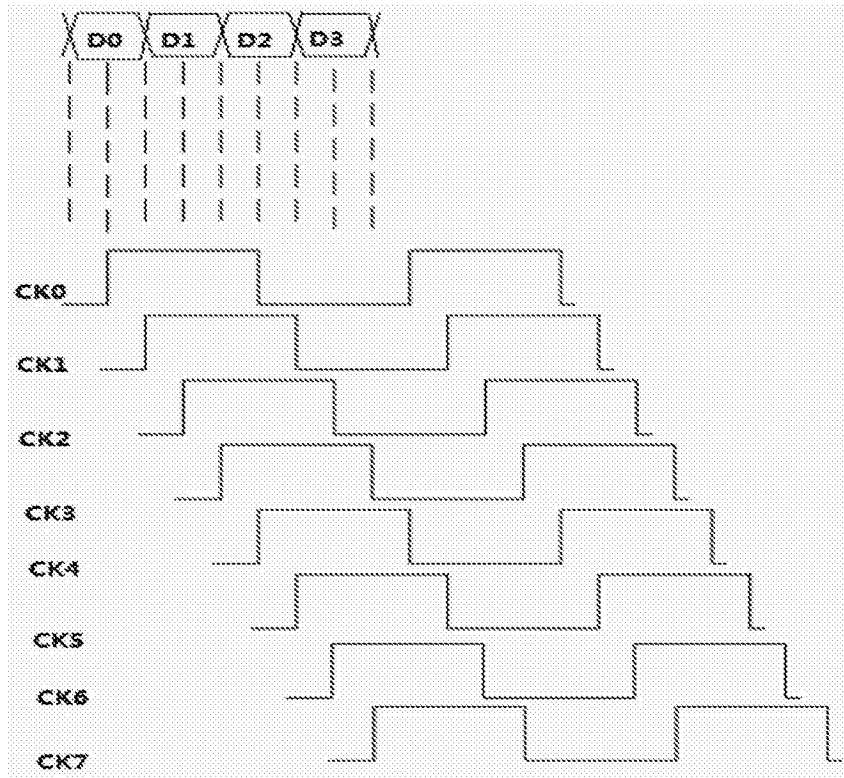


图5

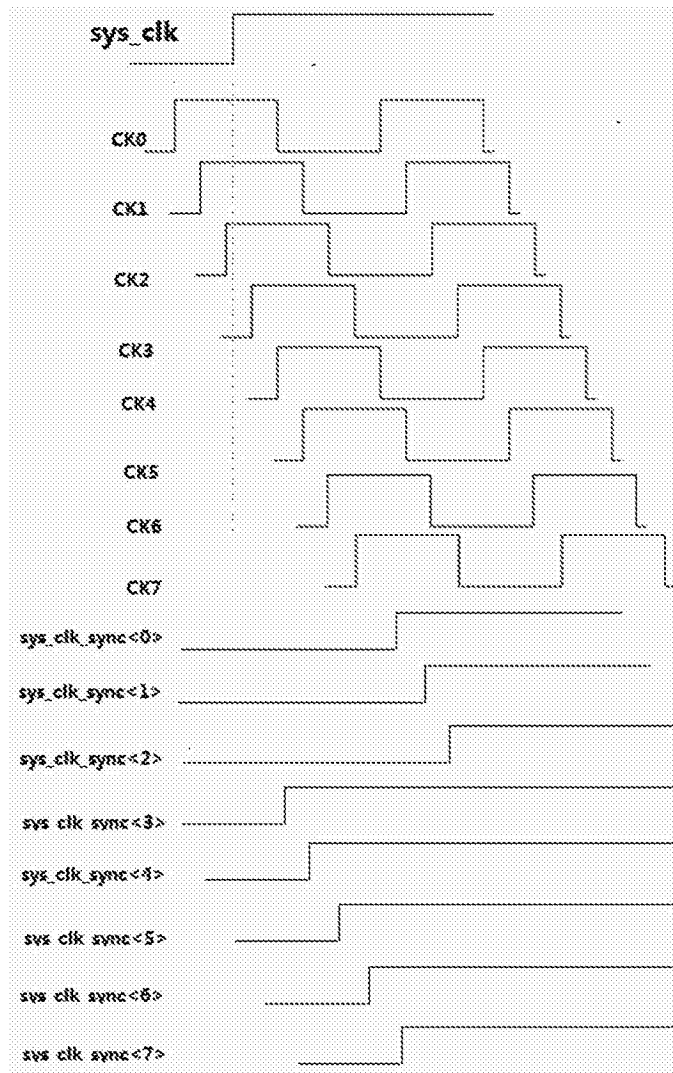


图6