[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03M 7/30

[12] 发明专利说明书

[21] ZL 专利号 97117499.7

[43] 授权公告日 2003 年 2 月 19 日

[11] 授权公告号 CN 1101993C

[22] 申请日 1997.7.18 [21] 申请号 97117499.7

[30] 优先权

[32] 1996. 7.18 [33] JP [31] 189163/1996

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 中屋秀雄 近藤哲二郎

审查员 田 竞

[74] 专利代理机构 北京市柳沈律师事务所

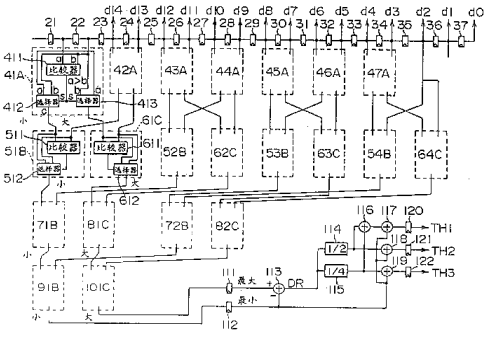
代理人 马 莹

权利要求书 1 页 说明书 11 页 附图 5 页

[54] 发明名称 数据处理设备及其方法

[57] 摘要

一种数据处理设备及其方法，其中，在电路块 41A 至 47A 中顺序地比较像素数据，较小的像素数据被施加到电路块 51B 至 54B，进而，较小的像素数据被施加到电路块 71B、72B。送到电路块 71B、72B 的像素数据的较小的一个被送到电路块 91B，这样确定像素数据的最小值。以同样方法也可获得像素数据的最大值。在这些数据的基础上，能获得用于产生等级代码的阀值。这样，简单的硬件结构就能将像素数据分成等级。



ISSN1008-4274

1. 一种根据数据的外围数据将输入的数据分为等级并处理每个等级的数据的数据处理设备，该数据处理设备包括:

存储装置，用于顺序存储形成等级的多种数据;

第 1 检测装置，用于顺序比较在存储装置中存储的该数据的幅值，并检测出该数据的最大值和最小值;

第 2 检测装置，用于检测作为由第 1 检测装置获得的数据的最大值和最小值之间的差的一动态范围; 和

运算装置，用于根据由第 2 检测装置检测的动态范围运算用于量化数据的多种阀值。

2. 根据权利要求 1 所述的数据处理设备，其中运算装置通过移位运算和加运算来运算多种阀值。

3. 根据权利要求 1 所述的数据处理设备，其中数据处理设备进一步包括:

量化装置，用于根据由运算装置运算的阀值来量化数据; 和

等级产生装置，用于根据由量化装置量化数据的量化结果来产生等级。

4. 一种根据数据的外围数据对输入数据分成等级并处理每个等级的数据的数据处理方法，该数据处理方法包括:

顺序存储形成等级的多种数据;

顺序比较存储该数据的幅值并检测出该数据的最大值和最小值;

检测作为检测数据的最大值和最小值之间的差的一动态范围; 和

根据检测的动态范围运算用于量化的多种阀值。

数据处理设备及其方法

技术领域

本发明涉及数据处理设备及其方法，特别是涉及适用于例如从SD(标准清晰度)TV图示图像、压缩编码中的自适应解码、和空间时间淡化内插等产生HD(高清晰度)TV图示图像的清晰度形成技术。

背景技术

当位移分支在每个像素形成一等级时，利用ADRC(自适应动态范围编码)的等级分级技术计算每个像素在每一时间的等级。如图4所示，在此情况下，例如，在水平方向用15个分支形成一级，该等级分级技术检出形成一分支的15个像素数据、检测该数据的最大值和最小值、计算动态范围、以及之后通过ADRC执行该编码。

图5是ADRC等级产生电路的一种示例性结构方框图。ADRC等级产生电路包括1－1至1－16的寄存器和等级代码产生电路17－1。下面将描述等级代码产生电路17－1。

依照时钟信号，一种以后将称为像素数据的、相应于来自一未示出的一输出端的一像素的像素值的数据被提供给构成该等级代码产生电路17－1的寄存器1－1和寄存器2、比较器4、寄存器8、和比较器10。以及，负载信号LD1被提供给“与”门3、9和寄存器5、12。

另外负载信号LD2和使能信号OE1被提供给寄存器(等级产生电路)16。该负载信号LD2和使能信号OE1被设计成这样：即信号电平在每第15个时钟处变低(L)。

提供给寄存器1－1的像素数据对应时钟信号被送到寄存器1－2。以同样方式，提供给寄存器1－2的像素数据对应时钟信号每次被顺序延迟1个时钟，并被传输给寄存器1－16。从寄存器1－16输出的像素数据被送到加

法器 6。

另一方面提供给寄存器 5 的最小值 MIN 是通过寄存器 2、比较器 4、和“与”门 3 检测出。比较器 4 将通过寄存器 2 提供给其中的端点 A 的数据与提供给其中端点 B 的数据相比较；以及如果提供给端点 A 的数据较大，则输出信号电平变低。从比较器 4 输出的低电平信号通过“与”门 3 作为负载脉冲提供给寄存器 2。从而，一新数据(提供给端点 B 的像素数据)被接受并保存在寄存器 2 中。最后，以这种方式，15 像素数据的最小像素数据被保存在寄存器 2 中。

在当 LD1 信号电平变成 L 时的定时处，该保存在寄存器 2 中的最小值 MIN 被收进到寄存器 5 中。且最小值 MIN 被保存在寄存器 5 中并提供给加法器 6。加法器 6 相加从寄存器 1－16 提供的像素数据和从寄存器 5 提供的最小值 MIN 的符号被反向的数据；以及，作为相加结果的数据(像素数据－最小值 MIN)通过寄存器 7 提供给量化电路 14。

并且通过寄存器 8、比较器 10、和“与”门 9 检测出提供给加法器 11 的最大值 MAX。比较器 10 以如比较器 4 那样相同的方法，将其中提供给给端点 A 的数据与其中提供给端点 B 的数据进行比较；且如果提供给端点 A 的数据较大，则其中的输出信号电平变低。从比较器 10 输出的低电平信号通过“与”门 9 提供给寄存器 8 作为负载脉冲。从而，取得一新像素数据(提供给端点 A 的像素数据)并保存在寄存器 8 中。以这种方式，最后，15 个像素数据的最大像素数据被保存在寄存器 8 中。

加法器 11 相加从寄存器 8 提供的最大值和从寄存器 2 提供的最小值 MIN 的符号被反向的数据；以及，由此计算动态范围。计算的动态范围 DR 被送到寄存器 12 并保存在其中。保存在寄存器 12 中的动态范围 DR 通过寄存器 13 送到量化电路 14。量化电路 14 从寄存器 7 提供的像素数据和从寄存器 13 提供的动态范围 DR 量化要被提供给等级产生电路 16 的像素数据。

在量化电路 14 中量化的像素数据相应于时钟信号被顺序地送到寄存器 15－1 且被传输到寄存器 15－8。在寄存器 15－1 至 15－7 中保存的量化像素数据每次被传输给下一个寄存器，在寄存器 15－8 中保存的量化像素数据被送到等级产生电路 16。在等级产生电路 16 中，从将被输出的被量化的 8 个像素数据中产生一个等级代码。

量化电路 14 包括有，例如 ROM(只读存储器)。在此情况下，从寄存器

13 提供的动态范围 DR、从寄存器 7 提供的数据(像素数据－最小 MIN)、和对应于这些数据的量化代码被彼此关联地存储在其中。

然而，在前述电路中，要计算伴随在通过量中多于 30 个时钟延迟的等级代码。进而，当像素在监视下一个接一个移位时，为便于计算每时处的实时等级代码，如图 6 所示，则必须并行地排列 15 个等级产生电路的阵列，且选择将被输出的等级代码。相应地，硬件的体积成为要考虑的问题，特别是由 ROM 制成的量化部分，使硬件体积变大。

发明内容

本发明旨在于克服前述的一些问题，从而本发明的一个目的是简化将数据分级为等级又不降低精度的硬件。

根据本发明的一个方面，提供一种数据处理设备，其包括：存储装置，用于顺序存储构成等级的多种数据；第 1 检测装置，用于顺序比较在存储装置中存储的数据的幅值并检测数据的最大值和最小值；第 2 检测装置，用于检测动态范围，作为由第 1 检测装置获得的数据的最大值和最小值之间的差；以及运算装置，用于运算多种阀值，该阀值用于根据由第 2 检测装置检测的动态范围来量化数据。在该数据处理设备中，存储装置顺序存储多种形成等级的数据、第 1 检测装置顺序比较在存储装置中存储的数据的幅值和通过锦标赛系统检测数据的最大值和最小值、第 2 检测装置检测动态范围作为由第 1 检测装置获得的数据的最大值和最小值之间的差、和运算装置运算多种阀值以用于根据由第 2 检测装置检测的动态范围来量化数据。

根据本发明的再一方面，提供一种数据处理方法，其包括顺序存储多种形成等级的数据、顺序比较存储的数据的幅值和检测数据的最大值和最小值、检测动态范围作为检测数据的最大值和最小值之间的差、和运算多种阀值用于根据检测的动态范围来进行量化。在该数据处理方法中，多种形成等级的数据被顺序地存储、存储的数据幅值被顺序地比较和通过锦标赛系统检测出数据的最大值和最小值、检测动态范围作为检测数据的最大值和最小值之间的差、和根据检测的动态范围操作用于量化的多种阀值。

从以下给出的详细描述中，本发明的申请的进一步的概念将变得明显。

然而，应当理解，通过本发明的最佳实施例所给出的详细描述和具体实例仅只给出描述的方法，本领域的普通技术人员从这些详细描述中，在不脱离本发明的精神和范围就可以作出各种变化和改型。

附图说明

图 1 是本发明应用的数据处理设备中的 ADRC 等级产生电路的一个实施例的结构方框图；

图 2 是本发明应用的数据处理设备中的 ADRC 等级产生电路的一个实施例的结构方框图；

图 3 是像素数据 d0 至 d14 和阀值 TH1 至 TH3 之间相互关系的示意图；

图 4 是 15 个水平阵列分支的构成等级的像素举例的示意图；

图 5 是 ADRC 等级产生电路的基本电路举例的方框图；和

图 6 是并行配置的 ADRC 等级产生电路实例的方框图。

具体实施方式

以下将参照附图对本发明的具体实施例详细描述。这里，为便于确定本发明的权利要求和实施例中所述装置之间的对应关系，一相应实施例(仅只一个实施例)将加入到下述装置的括弧中。

本发明的数据处理设备包括：存储装置(例如，图 1 中的寄存器 21 至 35)，用于顺序存储形成等级的多种数据；第 1 检测装置(例如，图 1 中的电路块 41A 至 47A、电路块 51B 至 54B、电路块 61C 至 64C、电路块 71B、72B、81C、82C、91B、101C)，它顺序比较在存储装置中存储的数据的幅值和检测出最大值和最小值；第 2 检测装置(例如，图 1 的加法器 113)，用于检测动态范围作为在第 1 检测装置获得的数据的最大值和最小值之间的差；和运算装置(例如，图 1 中的移位寄存器 114、115、加法器 116 至 119)，用于运算多种阀值，以用于根据由第 2 检测装置检测的动态范围去量化数据。

本发明的数据处理设备进一步包括量化装置(例如，图 2 的量化电路 131－1 至 131－15)，用于根据由运算装置运算的阀值去量化数据；和等级

产生装置(例如，图 2 中的寄存器 136)，用于根据由量化装置量化的数据去产生等级。

本发明的数据处理设备包括比较装置(例如,图 2 的比较器 132－1, 133－1, 134－1)，用于比较输入数据的幅值和特定基准值并输出比较的结果；和输出装置(例如，图 2 的选择器 135－1)，用于根据从特定比较装置输出的比较结果，而从其它比较装置输出的比较结果中有选择地输出任何一个。

上述括号的附加描述不应被理解成该装置由以上叙述所限定。

图 1 和图 2 每一个都表示本发明所提供的数据处理设备中的 ADRC 等级产生电路的一个实施例的结构方框图。图 1 是用于计算进行量化输入数据的阀值的一部分方框图，图 2 是用于量化输入数据和产生等级代码的一部分方框图。

在图 1 中，寄存器 21 至 37 被设计成用于顺序保存 15 个像素的对应于输入像素值的像素数据。电路块 41A 至 47A 被设计成能比较输入像素数据之间的幅值，并输出比较结果。

电路块 51B 至 54B 中的每一个被设计成能接收从电路块 41A 至 47A 的每一个输出的两个像素数据的一个较小数据和从相邻于给定前述一个较小数据的电路块的另一电路块输出的两个像素数据的另一较小数据，并输出这两个中最小的像素数据。进而，电路块 61C 至 64C 的每一个被设计成能接收从电路块 41A 至 47A 的每一个输出的两个像素数据的一个较大的数据和从相邻于给定前述一个较大数据的电路块的另一电路块输出的两个像素数据的另一个较大数据，并输出这两个中的最大像素数据。

每个电路块 71B、72B 的每一个都被设计成能接收从电路块 51B 至 54B 输出的像素数据的两个数据，并输出两个中较小的像素数据。

每个电路块 81C、82C 的每一个都被设计成能接收从电路块 61C 至 64C 输出的像素数据的两个数据，并输出两个中较大的像素数据。

电路块 91B 被设计成能接收从电路块 71B、72B 输出的像素数据，并输出两个中较小的像素数据。电路块 101C 被设计成能接收从电路块 81C、82C 输出的像素数据，并输出两个中较大的像素数据。

接着，将要描述操作。寄存器 21 至 37 为 15 个像素顺序保存相应于输入像素值的像素数据。电路块 41A 至 47A 每一个都比较二相邻像素数据之间的幅值，并划分这些像素数据为较大和较小。

例如，在电路块 41A 的比较器 411 中，从寄存器 21 提供给端点 a 的像素数据(a)和从寄存器 22 提供给端点 b 的像素数据(b)进行比较，并输出相应于比较结果的信号(s)。通过在比较器 411 比较结果的基础上，选择器 412 输出像素数据(a)和像素数据(b)中的较小数据。选择器 413 输出像素数据(a)和像素数据(b)中较大数据。

例如，假如像素数据(a)大于像素数据(b)，则比较器 411 输出电平 1 的信号(s)，且假如像素数据(a)小于或等于像素数据(b)，则输出电平 0 的信号(s)。假如从比较器 411 提供的信号(s)电平是 1，则选择器 412 输出输入到端点 b 的像素数据(b)；假如信号(s)电平是 0，则输出输入到端点 a 的像素数据(a)。假如从比较器 411 提供的信号(s)电平是 1，则选择器 413 输出输入到端点 a 的像素数据(a)；且假如信号(s)电平是 0，则输出输入到端点 b 的像素数据(b)。

在电路块 42A 至 47A 中，以如上所述方式，输入的像素数据被进行幅值比较，并划分为较大和较小数据。

以上所述是第一层次的操作，并且操作将进行到下一次。

在下一层次中，即在电路块 51B 至 54B 和电路块 61C 至 64C 中，对从电路块 41A 至 47A 提供的像素数据的幅值进行比较。在电路块 51B 至 54B 中，检测较小的像素数据；在电路块 61C 至 64C 中，较大的像素数据被检测和被输出。

电路块 51B 至 54B 的每一个被提供从电路块 41A 至 47A 的每一个输出的两个像素数据的一个较小的数据和从相邻于给定前述一个较小数据的电路块的另一个电路块输出的两个像素数据的另一个较小的数据。例如，在电路块 51B 中，比较器 511 比较从电路块 41A 和电路块 42A 提供的两个较小的像素数据的幅值，且在比较结果的基础上，选择器 512 输出较小的像素数据。以如上同样的方式，电路块 52B 至 54B 的每一个被提供从电路块 43A 至 47A 提供的像素数据中较小的两个。

另一方面，电路块 61C 至 64C 的每一个被提供从电路块 41A 至 47A 的每个输出的两个像素数据的一个较大的数据和从相邻于给定前述一个较大数据的电路块的另一电路块输出的两个像素数据的另一个较大数据。例如，在电路块 61C 中，比较器 611 比较从电路块 41A 和电路块 42A 提供的两个较大像素数据的幅值，且在比较结果的基础上，选择器 612 输出较大的像

素数据。以如上同样的方式，电路块 62C 至 64C 的每一个被提供从电路块 43A 至 47A 提供的像素数据的较大的两个。

上述是第 2 层次的操作，且操作还将进行到下一步。

在下一层次中，即在电路块 71B、72B、81C、82C 中，从电路块 51B 至 54B 和电路块 61C 至 64C 提供的像素数据的幅值被进行比较。在电路块 71B、72B 中，较小的像素数据被检测出；在电路块 81C、82C 中，较大的像素数据被检测出和被输出。

例如，在电路块 71B 中，从电路块 51B 提供的像素数据和从电路块 52B 提供的像素数据被进行比较，并输出较小的一个。在电路块 72B 中，从电路块 53B 提供的像素数据和从电路块 54B 提供的像素数据被进行比较，并输出较小的一个。

进而，在电路块 81C 中，从电路块 61C 提供的像素数据和从电路块 62C 提供的像素数据被进行比较，并输出较大的一个。在电路块 82C 中，从电路块 63C 提供的像素数据和从电路块 64C 提供的像素数据被进行比较，并输出较大的一个。

上述是第 3 层次的操作，且操作还将进行到下一步。

在下一层次中，即在电路块 91B 和 101C 中，从电路块 71B 和 72B 来的两个像素数据被提供给电路块 91B，以检测和输出较小的图像数据，且从电路块 81C 和 82C 来的两个像素数据被提供给电路块 101C，以检测和输出较大的图像数据。

从电路块 71B 来的像素数据和从电路块 72B 来的像素数据提供给电路块 91B，以比较这两个数据的幅值并输出较小的像素数据。从电路块 81C 来的像素数据和从电路块 82C 来的像素数据提供给电路块 101C，以比较这两个数据的幅值并输出较大的一个像素数据。

这样，通过锦标赛系统，从寄存器 21 至 35 提供的像素数据的最大值和最小值分别被检测出。

从电路块 91B 输出的像素数据的最小值被提供给寄存器 112 并在其中存储。从电路块 101C 输出的像素数据的最大值被提供给寄存器 111 并在其中存储。

在寄存器 111 中存储的像素数据和在寄存器 112 中存储的像素数据在极性上被反向的数据被提供给加法器 113。加法器 113 将从寄存器 111 提供

的像素数据和从寄存器 112 提供的像素数据在极性上被反向的数据相加，这样运算最大值和最小值的差，即，像素数据的动态范围 DR。

在加法器 113 中运算的动态范围 DR 被提供给移位寄存器 114 和 115。移位寄存器 114 在较低的数字方向上移动仅只 1 位像素数据，从而获得其中的一半值。

移位寄存器 115 在较低的数字方向上移动仅只两位像素数据，从而获得得其中的 1/4 值。

从移位寄存器 114 输出的值和从移位寄存器 115 输出的值在加法器 116 中被相加；且该相加值和从寄存器 112 输出的像素数据的最小值在加法器 117 中被相加，且该相加的值被提供给寄存器 120 并被存储。该值作为用于量化像素数据的阀值(TH1)。

从移位寄存器 114 输出的值和从寄存器 112 输出的像素数据的最小值在加法器 118 中被相加；且相加的值被提供给寄存器 121 并被存储。该值作为用于量化像素数据的阀值(TH2)。

进而，从移位寄存器 115 输出的值和从寄存器 112 输出的像素数据的最小值在加法器 119 中被相加；且相加的值被提供给寄存器 122 并被存储。该值作为用于量化像素数据的阀值(TH3)。

为简化起见，该实施例通过两位 ADRC 应用量化，如稍后参考图 3 所描述的。用等式表示 TH1 至 TH3，如下述等式(1)至(3)。

TH1 = DR/2 + DR/4 + MIN... (等式 1)

TH2 = DR/2 + MIN... (等式 2)

TH3 = DR/4 + MIN... (等式 3)

图 2 是在 ADRC 等级产生电路中执行量化和等级代码产生的部分结构方框图。该 ADRC 等级产生电路包括量化电路 131－1 至 131－15 和寄存器 136。量化电路 131－1 包括比较器 132－1、133－1、134－1 和选择器 135－1。

比较器 132－1、133－1、134－1 被施加从寄存器 37 输出的像素数据 d0。进而，比较器 132－1 被施加已经被操作的阀值 TH1、比较器 133－1 被施加阀值 TH2、且比较器 134－1 被施加阀值 TH3。

比较器 132－1 对输入的像素数据 d0 和阀值 TH1 进行比较，如果像素数据 d0 大于阀值 TH1，则比较器 132－1 被设计成能输出 H 电平信号；如果像素数据 d0 小于或等于阀值 TH1，则它被设计成能输出 L 电平信号。以如

上相同的方法，比较器 133－1 对输入的像素数据 d0 和阀值 TH2 进行比较，且如果像素数据 d0 大于阀值 TH2，则比较器 133－1 被设计成能输出 H 电平信号；如果像素 d0 小于或等于阀值 TH2，则它被设计成能输出 L 电平信号。进而，比较器 134－1 对输入像素数据 d0 和阀值 TH3 进行比较，且如果像素数据 d0 大于阀值 TH3，则比较器 134－1 被设计成能输出 H 电平信号；如果像素数据小于或等于阀值 TH3，则它被设计成能输出 L 电平信号。

而且如果比较器 133－1 的输出电平信号是 H 电平，即如果像素数据 d0 大于阀值 TH2，则选择器 135－1 有选择地输出从比较器 132－1 输出的将输入到端点 b 的信号。另一方面，如果比较器 133－1 的输出信号是 L 电平，即如果像素数据 d0 小于或等于阀值 TH2，则选择 135－1 有选择地输出从比较器 134－1 输出的将输入到端点 a 的信号。

首先，如果来自比较器 133－1 的输出信号是 H 电平，即如果像素数据 d0 大于阀值 TH2，则比较器 133－1 输出“1”。在此情况下，选择器 135－1 有选择地输出和将输入端点 b 的信号(来自比较器 132－1 的输出信号)。比较器 132－1 输出 H 电平，“1”，如果像素数据 d0 大于阀值 TH1 的话。进而，如果像素数据 d0 小于或等于阀值 TH1，比较器 132－1 输出 L 电平，“0”。

从而，如果像素数据 d0 大于阀值 TH1，则量化电路 131－1 输出两位数据“11”；且如果像素数据 d0 小于或等于阀值 TH1 和大于阀值 TH2，则量化电路 131－1 输出两位数据“10”。

接着，如果来自比较器 133－1 的输出信号是 L 电平，即如果像素数据 d0 小于或等于阀值 TH2，则比较器 133－1 输出“0”。在此情况下，选择器 135－1 有选择地输出将输入到端点 a 的信号(即来自比较器 134－1 的输出信号)。比较器 134－1 输出 H 电平，“1”，是由于像素数据 d0 大于阀值 TH3。进而，如果像素数据 d0 小于或等于阀值 TH3，则比较器 134－1 输出 L 电平，“0”。

从而，如果像素数据 d0 小于或等式阀值 TH2 和大小阀值 TH3，则量化电路 131－1 输出两位数据“01”；如果像素数据 d0 小于或等于阀值 TH3，则量化电路 131－1 输出两位数据“00”。

以此方法，像素数据被编码和转换成两位的量化值。

量化电路 131－2 至 131－15 的结构和操作与量化电路 131－1 的相同，从而其描述被省略。这些量化电路根据输入的像素数据 d1 至 d14 和阀值 TH1

至 TH3 也输出两位数据。

图 3 描述的是有关像素数据 d0 至 d14 根据阀值 TH1 至 TH3 通过两位 ADRC 被量化的过程。在此情况，例如，像素数据 d0 小于或等于阀值 TH2 和大于阀值 TH3；从而，像素数据 d0 如上所述被量化成“01”。进而，像素数据 d2(左数第 3)小于或等于阀值 TH3，且被量化成“00”。像素数据 d4(左数第 5)大于阀值 TH1，且被量化成“11”。像素数据 d5(左数第 6)小于或等于阀值 TH1 和大于阀值 TH2，且被量化成“10”。

接着，来自量化电路 131－1 至 131－15 的输出数据(两位量化值)被提供给寄存器 136。构成这些两位量化数据的 30 位(＝15×2)量化代码被最终集合成将被输出的等级代码。

这样，以上所述的量化电路 131－1 至 131－15 的构成便于产生 ADRC 等级代码且减少了门电路尺寸，且该电路结构会较好地适合于被集成化为 LSI。

为进一步证实 ADRC 等级产生电路和该实施例电路之间的差别而作如下所述。首先，检测像素数据的最大值和最小值的方法是从并行系统改变为顺序锦标赛系统。其次，构成量化电路的方法是从 ROM 阵列改变成逻辑合成。

相应地，当将 ADRC 用于硬件中来形成等级分级技术时，这些方面将会使硬件简化。

进而，在前述实施例中，两位 ADRC 被施加给在量化电路 131－1 至 131－15 中执行的量化；然而，也可应用 1 位或多于 3 位的 ADRC。

进而，在前述实施例中，阀值 TH1 至 TH3 通过在最小值上加最大值和最小值之间的差值的 1/2 和 1/4 值来操作；然而，阀值 TH1 至 TH3 也能进行从最大值上减去最大值和最小值之间的差值的 1/2 值和 1/4 值的操作。

进而，前述实施例描述了处理图示图像信号的情况，然而，这不限定于图示图像信号，本发明也可应用于处理其它信号，例如音频信号的情况。

在根据本发明的数据处理设备和数据处理方法中，形成等级的多种数据被顺序存储，存储数据的幅值被顺序比较，通过锦标赛系统检测出数据的最大值和最小值，检测出作为被检测数据的最大值和最小值之间的差的动态范围，在检测动态范围的基础上操作用于量化的多种阀值；从而，利用简单的硬件就能实现等级分级。另外，对输入数据的幅值和特定基准值

进行比较，输出比较结果，在输出的特定比较结果的基础上，选择性地输出其它输出的比较结果的任何一个；从而，利用简单硬件就能执行量化。

所述本发明，很明显同样可以有许多改变。这些改变并没有脱离本发明的精神和范围，所有这些变型对本领域技术人员来说是很明显的，且都包括在下述权利要求的范围内。

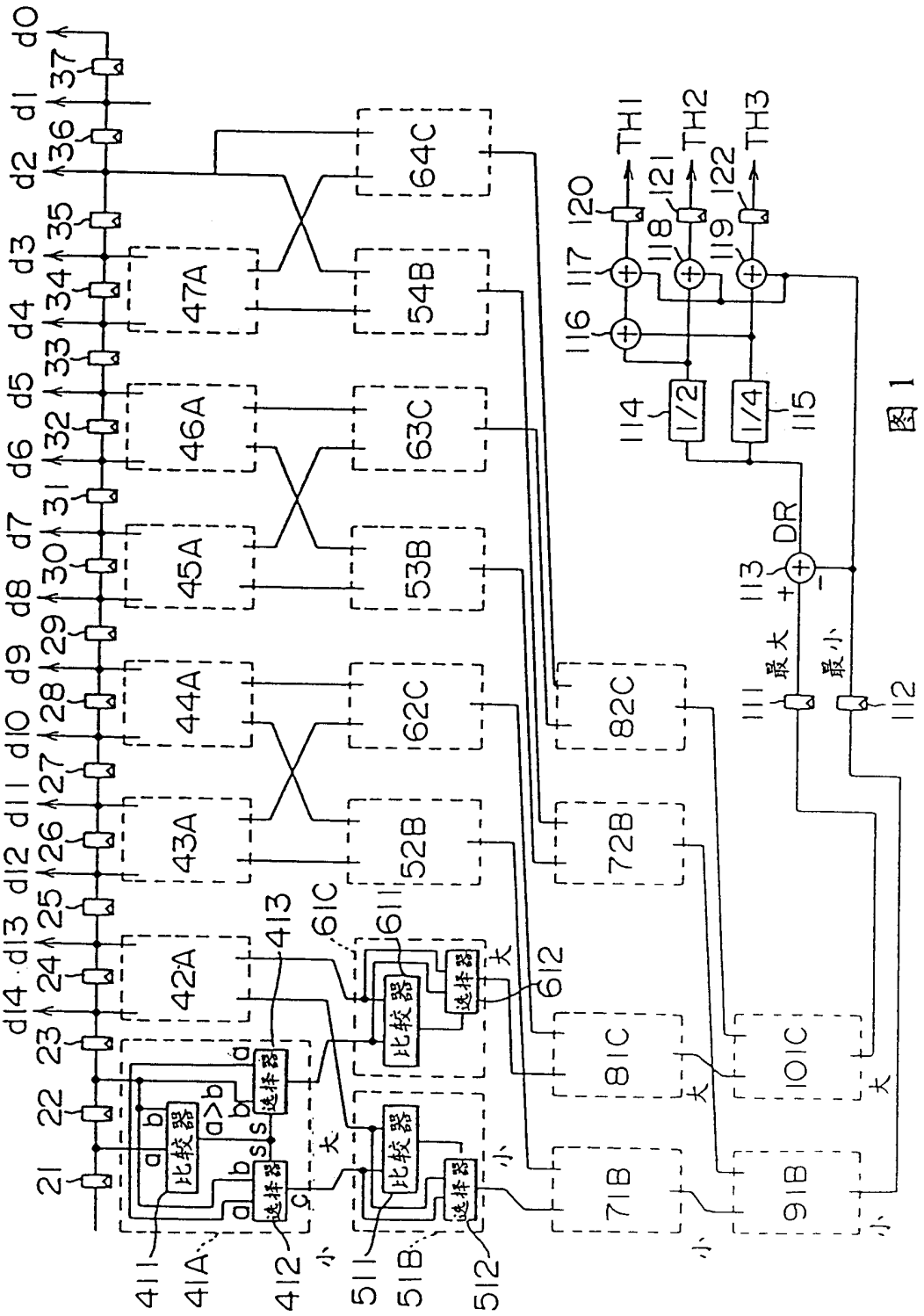

d0
d1
d2
d3
d4
d5
d6
d7
d8
d9
d10
d11
d12
d13
d14
37
36
35
34
33
32
31
30
29
28
27
26
25
24
23
22
21
64C
47A
54B
46A
63C
45A
53B
44A
62C
43A
52B
42A
82C
72B
81C
101C
71B
91B
TH1
TH2
TH3
120
121
122
117
118
119
116
114
1/2
1/4
115
DR
113
111
112
最大
最小
413
61C
611
612
411
41A
412
511
51B
512
比较器
选择器
a
b
a>b
s
c
大
小

图 1

图 2

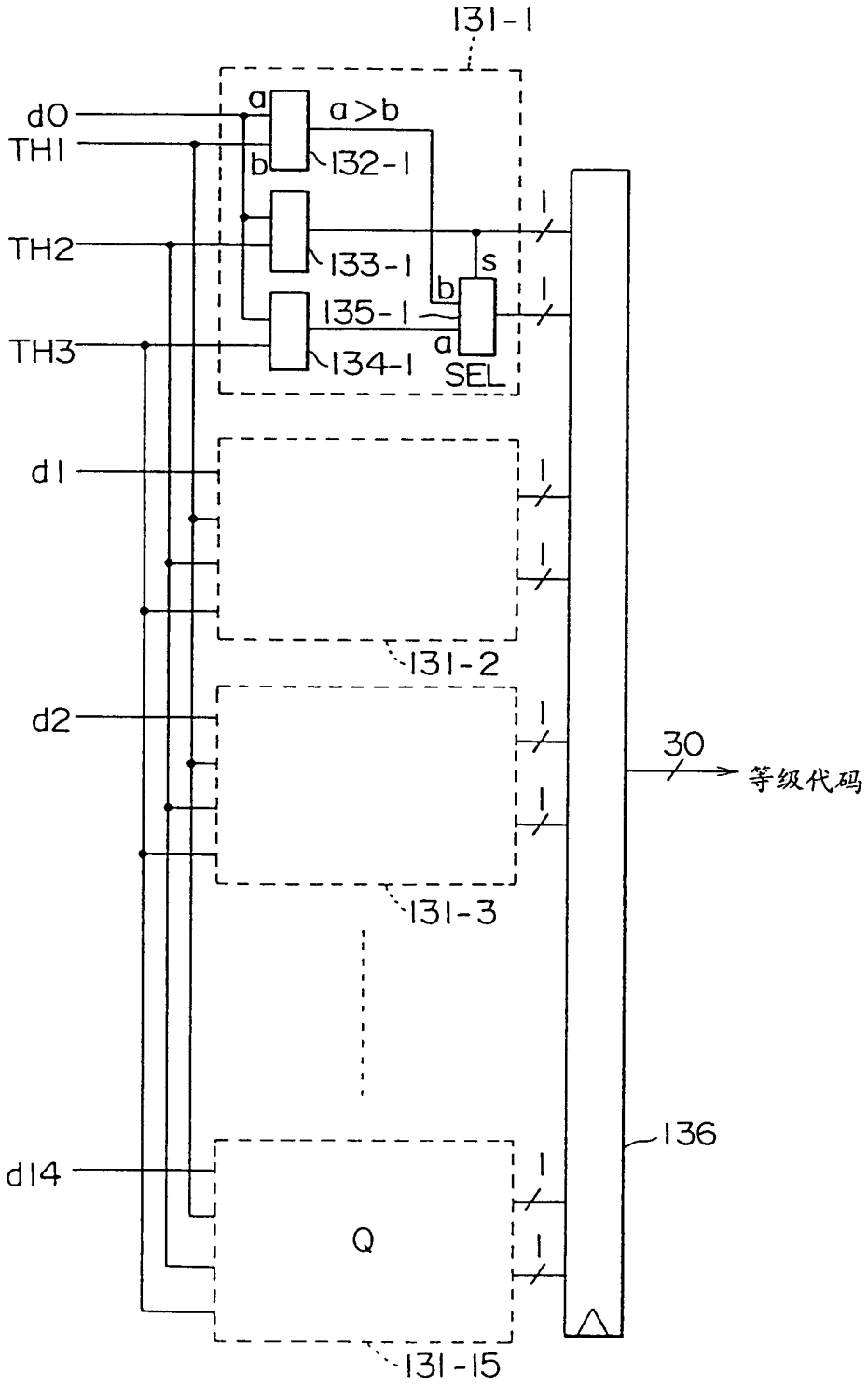

131-1
d0
TH1
TH2
TH3
a
b
a>b
132-1
133-1
135-1
134-1
s
SEL
d1
131-2
d2
131-3
d14
Q
131-15
30
等级代码
136

图 3

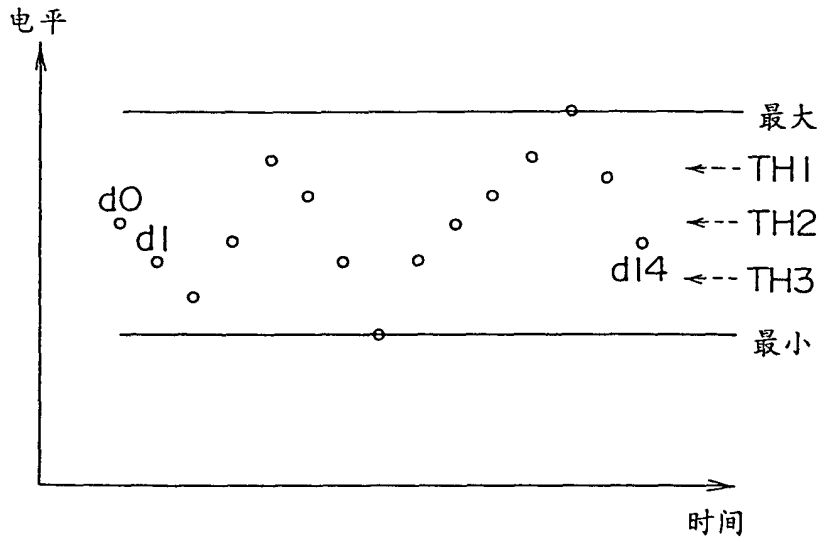


图 4

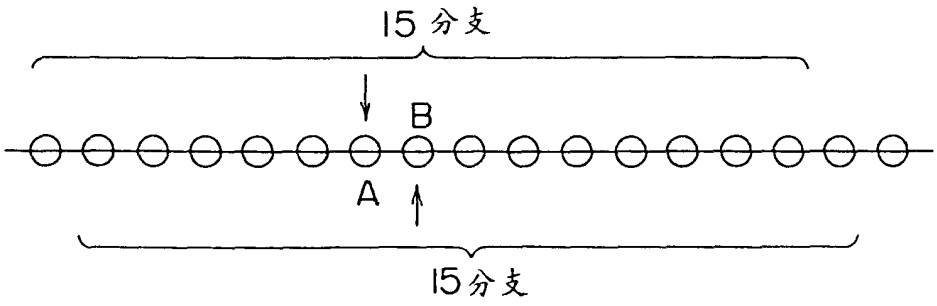


图 5

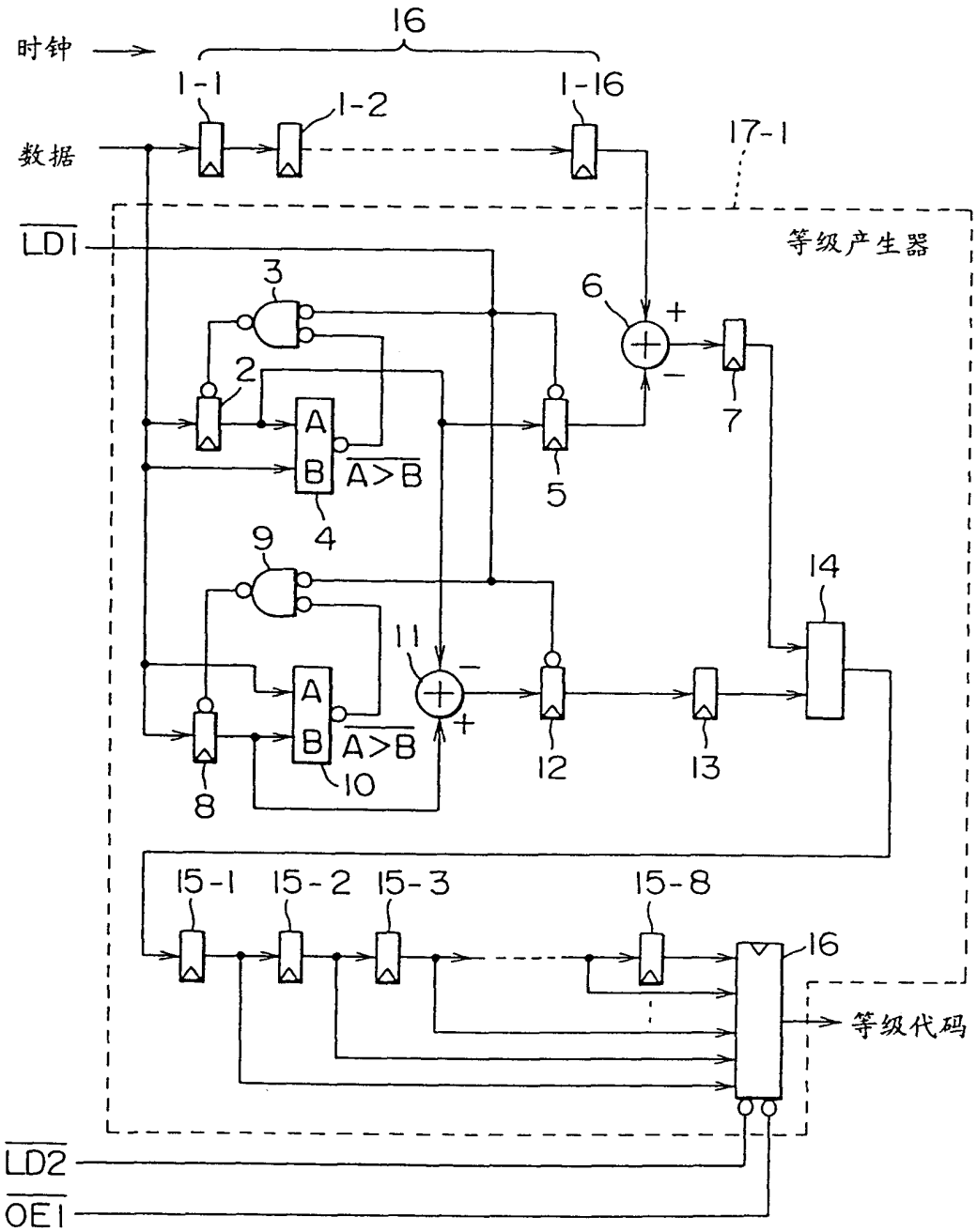

时钟
16
1-1
1-2
1-16
数据
17-1
LD1
等级产生器
3
6
+
2
A
B
A>B
7
5
4
9
14
11
−
+
12
13
8
10
15-1
15-2
15-3
15-8
16
等级代码
LD2
OE1

图 6

