



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월22일

(11) 등록번호 10-1596232

(24) 등록일자 2016년02월16일

- (51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) *H01L 21/3205* (2006.01)
(21) 출원번호 10-2014-0164164
(22) 출원일자 2014년11월24일
 심사청구일자 2014년11월24일
(65) 공개번호 10-2015-0062963
(43) 공개일자 2015년06월08일
(30) 우선권주장
 JP-P-2013-247862 2013년11월29일 일본(JP)
(56) 선행기술조사문현

JP10303198 A*

JP07066384 A*

JP2007095853 A*

JP2003045877 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
미쓰비시덴키 가부시키가이샤
 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
 고
(72) 발명자
코야마 히데토시
 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
 고 미쓰비시덴키 가부시키가이샤 나이
(74) 대리인
이화의, 김홍두

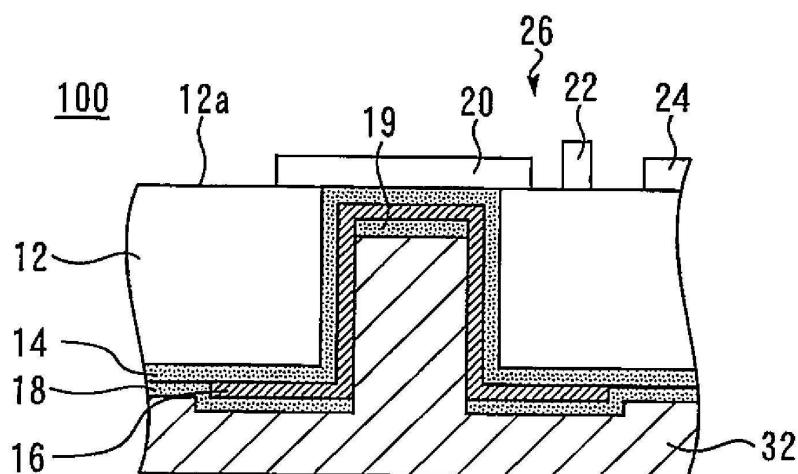
전체 청구항 수 : 총 9 항

심사관 : 강병섭

(54) 발명의 명칭 반도체장치

(57) 요약

비아홀 내부에서 보이드가 생기는 것을 억제할 수 있는 반도체장치를 제공한다. 반도체장치(100)는, 반도체 기판(12)을 구비하고 있다. 반도체 기판(12)은, 표면(12a)과 이면(12b)을 구비하고, 표면(12a)에 트랜지스터(26)의 소스 전극(20), 게이트 전극(22) 및 드레인 전극(24)이 설치되어 있다. 소스 전극(20)은, 윗면(20a) 및 밑면(20b)을 갖는다. 밑면(20b)에 이르는 개구(12d)가, 이면(12b)에 설치되어 있다. Au층 14는, 개구(12d)의 측면 및 저면을 덮고 있다. Ni층(16)은, 개구(12d) 내부에 있어서 Au층 14를 덮도록 설치되어 있다. Au층 19는, Ni층(16)의 재료보다도 땜납에 대한 밀착성이 높은 재료로 형성되고, 개구(12d) 내부에 있어서 Ni층(16)의 적어도 일부를 덮도록 Ni층(16)에 적층되어 있다. 땜납층(32)은, 개구(12d) 내부를 매립하도록 설치되고, Ni층(16)의 일부 및 Au층 19와 접하고 있다.

대표도 - 도1

명세서

청구범위

청구항 1

표면과 이면을 구비하고, 상기 표면에 반도체 소자 및 상기 반도체 소자의 전극이 설치되고, 상기 전극의 밑면에 이르는 개구가 상기 이면에 설치된 반도체 기판과,

상기 개구의 측면 및 저면을 덮는 제1금속층과,

상기 개구 내부에 있어서 상기 제1금속층을 덮도록 설치된 배리어 메탈층과,

상기 배리어 메탈층의 재료보다도 땜납에 대한 밀착성이 높은 재료로 형성되고, 상기 개구 내부에 있어서 상기 배리어 메탈층의 적어도 일부를 덮도록 상기 배리어 메탈층에 적층된 제2금속층을 구비하고,

상기 제2금속층은, 상기 배리어 메탈층 중 상기 저면에 중첩된 부분을 덮고, 상기 배리어 메탈층 중 상기 측면에 중첩된 부분의 적어도 일부를 노출시키는 것을 특징으로 하는 반도체장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 배리어 메탈층은, 니켈, 백금, 납, 티타늄, 및 코발트로 이루어진 군으로부터 선택한 1개의 재료로 형성된 것을 특징으로 하는 반도체장치.

청구항 6

제 1항에 있어서,

상기 배리어 메탈층은, 니켈, 백금, 납, 티타늄, 및 코발트로 이루어진 군으로부터 선택한 1개의 재료의 산화물로 형성된 것을 특징으로 하는 반도체장치.

청구항 7

제 1항에 있어서,

상기 배리어 메탈층은,

제1배리어 메탈층과,

상기 제1배리어 메탈층의 재료보다도, 층 내부의 응력이 낮은 재료로 이루어진 제2배리어 메탈층을

적어도 1회 이상 서로 중첩하여 적층한 것인 것을 특징으로 하는 반도체장치.

청구항 8

제 7항에 있어서,

상기 제1배리어 메탈층이 니켈로 형성되고,

상기 제2배리어 메탈층이, 백금, 납, 티타늄, 금, 알루미늄, 니오브, 및 구리로 이루어진 군으로부터 선택한 1개의 재료로 형성된 것을 특징으로 하는 반도체장치.

청구항 9

제 7항에 있어서,

상기 제1배리어 메탈층은, 상기 제2배리어 메탈층보다도 두꺼운 것을 특징으로 하는 반도체장치.

청구항 10

제 1항에 있어서,

상기 배리어 메탈층은, 상기 개구의 내부로부터 상기 이면에 있어서의 상기 개구의 가장자리부까지 설치되고 상기 가장자리부의 외측에는 설치되어 있지 않은 것을 특징으로 하는 반도체장치.

청구항 11

제 1항에 있어서,

상기 반도체 소자가 트랜지스터이고, 상기 표면에 게이트, 소스, 드레인 이 순서로 나란하게 설치되고,

상기 전극이 상기 소스 위에 설치한 소스 전극인 것을 특징으로 하는 반도체장치.

청구항 12

제 1항에 있어서,

상기 제1금속층 및 상기 제2금속층이 금을 포함하고, 상기 배리어 메탈층이 니켈을 포함하는 것을 특징으로 하는 반도체장치.

발명의 설명

기술 분야

[0001]

본 발명은, 반도체장치에 관한 것이다.

배경 기술

[0002]

종래, 예를 들면, 일본국 특개평 10-303198호 공보에 개시되어 있는 것 같이, 이면측으로부터 반도체 기판을 관통해서 표면의 전극 패드에 이르는 비아홀(Via Hole)을 구비하고, 이 비아홀 내부에 땜납을 설치하는 반도체장치가 알려져 있다. 이 공보에 관한 반도체장치는, 반도체 기판의 표면에 반도체 소자의 전극이 설치되고, 전극의 밑면에 이르는 개구가 반도체 기판의 이면에 설치되어 있다. 이 개구 내부에 Au막과 Ni막을 순차 적층한 후, 반도체 기판과 패키지 기판을 AuSn 땜납을 사용해서 접착하고 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본국 특개평 10-303198호 공보

(특허문헌 0002) 일본국 특개평 7-066384호 공보

(특허문헌 0003) 일본국 특개 2007-095853호 공보

발명의 내용

해결하려는 과제

[0004] 니켈은 땜납을 밀어내는 성질을 갖는다. 이 때문에, 상기 종래의 기술에 관한 반도체장치에서는 Ni막과 땜납의 밀착성 저하에 의해 땜납 내부에 공기가 남은 영역이 발생할 우려가 있다. 땜납 내부에 공기가 남은 이 영역은, 보이드로도 불린다.

[0005] 비아홀 내부의 땜납은, 반도체 소자의 동작시에 발생하는 열을 확산시키는 역할도 있다. 땜납 내부에 보이드가 있으면 그와 같은 열의 확산이 방해되어 버린다. 그 결과, 땜납을 통한 방열이 행해지지 않아 반도체 소자에 열이 축적하여, 반도체 소자의 특성을 저하시켜 버린다.

[0006] 본 발명은, 전술한 것과 같은 과제를 해결하기 위해 이루어진 것으로서, 비아홀 내부에 땜납을 설치했을 때의 보이드 발생을 억제할 수 있는 반도체장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명에 관한 반도체장치는,

[0008] 표면과 이면을 구비하고, 상기 표면에 반도체 소자 및 상기 반도체 소자의 전극이 설치되고, 상기 전극의 밑면에 이르는 개구가 상기 이면에 설치된 반도체 기판과,

[0009] 상기 개구의 측면 및 저면을 덮는 제1금속층과,

[0010] 상기 개구 내부에 있어서 상기 제1금속층을 덮도록 설치된 배리어 메탈층과,

[0011] 상기 배리어 메탈층의 재료보다도 땜납에 대한 밀착성이 높은 재료로 형성되고, 상기 개구 내부에 있어서 상기 배리어 메탈층의 적어도 일부를 덮도록 상기 배리어 메탈층에 적층된 제2금속층을 구비한 것을 특징으로 한다.

발명의 효과

[0012] 본 발명에 따르면, 비아홀 내부로 있어서 배리어 메탈층 표면에 제2금속층을 설치함으로써, 제1금속층과 땜납 사이의 반응을 방지하면서 땜납의 밀착성을 높였으므로, 비아홀 내부에 땜납을 설치했을 때의 보이드 발생을 억제할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시형태에 관한 반도체장치를 나타낸 단면도다.

도 2는 본 발명의 실시형태에 관한 반도체장치의 제조공정을 나타낸 단면도다.

도 3은 본 발명의 실시형태에 관한 반도체장치의 제조공정을 나타낸 단면도다.

도 4는 본 발명의 실시형태에 관한 반도체장치의 제조공정을 나타낸 단면도다.

도 5는 본 발명의 실시형태에 관한 반도체장치의 제조공정을 나타낸 단면도다.

도 6은 본 발명의 실시형태의 변형예에 관한 반도체장치를 나타낸 단면도다.

도 7은 본 발명의 실시형태의 변형예에 관한 반도체장치를 나타낸 단면도다.

도 8은 본 발명의 실시형태의 변형예에 관한 반도체장치를 나타낸 단면도다.

도 9는 본 발명의 실시형태의 변형예에 관한 반도체장치를 나타낸 단면도다.

도 10은 본 발명의 실시형태의 변형예에 관한 반도체장치를 나타낸 단면도다.

도 11은 실시형태에 대한 비교예에 관한 반도체장치를 나타낸 단면도다.

도 12는 실시형태에 대한 비교예에 관한 반도체장치를 나타낸 단면도다.

발명을 실시하기 위한 구체적인 내용

[0014] 도 1은, 본 발명의 실시형태에 관한 반도체장치(100)를 나타낸 단면도다. 도 2~도 5는, 본 발명의 실시형태에 관한 반도체장치의 제조공정을 나타낸 단면도다. 반도체장치(100)는, 트랜지스터(26)가 형성된 반도체기판(12), 비아홀(30), 반도체기판(12)의 이면(12b)에 설치된 Au층 18, 및 비아홀(30) 내부를 매립하는 땜납층(32)을 구비하고 있다.

[0015] 비아홀(30)은, 반도체기판(12)의 개구(12d) 내에, Au층 14, Ni층(16), 및 Au층 19가 설치된 것이다. Ni층(16)은, 후술하는 것과 같이 땜납과 Au층 14 사이의 AuSn 반응을 배리어하기 위한 배리어 메탈층이다.

[0016] 실시형태에 관한 반도체장치(100)에 설치한 반도체 소자는, 트랜지스터(26)이다. 트랜지스터(26)는 전계효과트랜지스터(FET)로서, 반도체기판(12)의 표면(12a)에 게이트, 소스, 드레인이 이 순서로 나란하게 설치되고, 소스 전극(20)이 소스 위에, 게이트 전극(22)이 게이트 위에, 드레인 전극(24)이 드레인 위에 각각 설치되어 있다. 이때, 본 발명은 FET에 한정되지 않고, 반도체기판에 형성하는 공자의 반도체 소자에 적용할 수 있다.

[0017] 반도체기판(12)은, 표면(12a)과 이면(12b)을 구비하고 있다. 표면(12a)에는, 트랜지스터(26)의 소스 전극(20), 게이트 전극(22) 및 드레인 전극(24)이 설치되어 있다. 소스 전극(20)은, 윗면(20a) 및 밑면(20b)을 갖는다. 밑면(20b)에 이르는 개구(12d)가, 이면(12b)에 설치되어 있다. Au층 14는, 개구(12d)의 측면(12c) 및 저면 즉 밑면(20b)을 덮고 있다.

[0018] Ni층(16)은, 개구(12d) 내부에 있어서 Au층 14를 모두 덮도록 설치되어 있다. Ni층(16)은 땜납을 밀어내는 성질을 갖고 있어, 땜납에 대하여 배리어 메탈로서 기능한다. Au층 18, 19와 땜납층(32) 사이에서 AuSn 반응이 발생해도, Ni층(16)이 배리어 메탈로서 기능하므로 이 AuSn 반응은 정지한다. 따라서, 트랜지스터(26)의 소스 전극(20)까지 땜납이 기어오르는 것을 방지할 수 있다.

[0019] 본 실시형태에 있어서, Ni층(16)은, 개구(12d)의 내부로부터 이면(12b)에 있어서의 개구(12d)의 가장자리부까지 설치되어 있기는 하지만, 개구(12d)의 가장자리부보다도 외측에는 설치되어 있지 않다. 반도체기판(12)에 있어서 트랜지스터(26)를 설치한 표면(12a)이 아니라, 보다 요철이 적은 이면(12b)에 대하여 Ni층(16)을 부분적으로 설치함으로써, 평활한 면에 적은 양의 Ni층을 설치하도록 해서 스트레스를 저감하고 있다. 이와같이 Ni층(16)을 설치하는 위치 및 범위를 향상시켰으므로, Ni층(16)의 벗겨짐을 억제할 수 있다.

[0020] Au층 19는, 개구(12d) 내부에 있어서 Ni층(16)의 일부를 덮도록 Ni층(16)에 적층 어 있다. Au는 Ni보다도 땜납에 대한 밀착성이 높다. 본 실시형태에 있어서, Au층 19는, Ni층(16) 중 개구(12d)의 저면에 중첩된 부분을 덮고, Ni층(16) 중 측면(12c)에 중첩된 부분을 노출시키고 있다. 그 결과, Ni층(16)은 노출부(16a)를 갖는다. 이 노출부(16a)는, 비아홀(30)의 측면을 구성하고 있다. 이때, 반드시 Ni층(16) 중 측면(12c)에 중첩된 부분의 전체를 노출시키지 않아도 되고, Ni층(16) 중 측면(12c)에 중첩된 부분의 일부만을 노출시켜도 된다.

[0021] 땜납층(32)은, 개구(12d) 내부를 매립하도록 설치되고, Ni층(16)의 일부 및 Au층 19와 접하고 있다. 이 땜납층(32)은, 반도체장치(100)를 형성한 반도체기판(12)을 그후 다이싱해서 반도체침화한 후, 그 반도체침을 패키지 기판(미도시) 등에 다이본드할 때에 그들 사이에 개재하는 땜납이다. Au층 19가 있음으로써 비아홀(30) 내부에 있어서 땜납의 밀착성이 확보되고 있으므로, 땜납이 비아홀(30) 내부의 구석구석까지 충전되도록 하여,

보이드의 발생이 억제되고 있다.

[0022] 또한, Au층 19보다도 1층 아래에는 Ni층(16)이 존재하고, 또한, 비아홀(30) 내부에 있어서 Ni층(16)이 노출부(16a)를 구비하고 있다. Ni층(16)은 땜납에 대하여 배리어 메탈로 되고, 트랜지스터(26)의 소스 전극(20)까지 땜납이 기여오르는 것을 방지할 수 있다.

[0023] 이상에서 설명한 것과 같이, 비아홀(30) 내부에 있어서 Ni층(16)의 표면에 Au층 19를 부분적으로 설치하여, Au층 14와 땜납 사이의 반응을 방지하면서 땜납의 밀착성을 높였으므로, 비아홀(30) 내부에서 보이드가 생기는 것을 억제할 수 있다.

[실시형태에 관한 제조방법]

[0024] 이하 도 2~도 5를 사용하여 설명하는 제조 프로세스에서 사용하는 메탈 형성방법으로서는, 전해 도금, 무전해 도금, 증착, 및 스퍼터 등의 공지의 메탈 적층기술을 적절히 사용하면 된다.

[0025] 우선, 반도체 기판(12)의 표면(12a)에, 도시하지 않은 소스, 드레인, 게이트를 형성하고, 이들 위에 소스 전극(20), 드레인 전극(24), 게이트 전극(22)을 더 설치하여, 트랜지스터(26)를 형성한다. 그후, 소스 전극(20)의 바로 아래에 비아홀(30)을 형성하기 위해, 반도체 기판(12)을 이면(12b)측에서 에칭한다. 이에 따라, 반도체 기판(12)에 개구(12d)가 형성된다. 그 결과, 도 2의 구조가 얻어진다.

[0026] 개구(12d)를 형성한 후에, 이면(12b)측에, 개구(12d)를 포함하는 이면(12b)전체를 덮도록, Au층 14를 형성한다. 그 결과, 도 3의 구조가 얻어진다. 개구(12d)의 저면인 소스 전극(20)의 밑면(20b) 및 개구(12d)의 측면(12c)을, Au층 14가 덮는다. 이때, Au층 14 대신에, Au층 14와 동일한 위치에 Ti/Au층, 또는 Ti/Pt/Au층을 적층해도 된다.

[0027] 그후, Ni층(16)을, 이면(12b)측에 있어서 Au층 14 위에 적층한다. 구체적으로는, 개구(12d)를 포함하는 이면(12b)의 전체에 Ni를 적층한 후, 개구(12d) 내부 및 이 개구(12d)의 가장자리 주변부에만 Ni가 남도록 패터닝을 행한다. 이 가장자리 주변부 이외의 Ni를 에칭에 의해 제거한다. 이에 따라, Ni층(16)이 형성된다. 그 결과, 도 4의 구조가 얻어진다.

[0028] 다음에, Au층 18, 19를 형성한다. Au층 18은, 이면(12b)의 전체면에 가장 표면측에 오도록 형성한다. Au층 19는, 개구(12d)의 저면측에 부분적으로 설치한다. Au층 19는, Ni층(16) 중 개구(12d)의 저면측 부분을 덮고, 한편 Ni층(16) 중 개구(12d)의 측면(12c)에 중첩된 부분을 덮지 않는다. 그 결과, 도 5의 구조가 얻어진다. 이방성의 강한 스퍼터 혹은 증착장치 등을 사용해서 개구(12d)의 저면과 수직 방향으로 Au를 적층함으로써, 측면(12c)측에 Au층을 형성하지 않고, 개구(12d)의 저면측에 부분적으로 Au층 19를 설치할 수 있다. 이때, Au층 18, 19 대신에, Au층 18, 19와 동일한 위치에 예를 들면 Ti/Au층 또는 Ti/Pt/Au층을 적층해도 된다.

[0029] 다음에, 땜납을 사용한 다이본드를 행한다. 다이본드 목적지인 패키지 기판 등을 도시를 생략하고 있다. 비아홀(30)을 매립하도록 이면(12b) 전체에 땜납이 설치됨으로써, 땜납층(32)이 형성된다. 그 결과, 도 1의 구조가 얻어진다.

[비교예의 설명]

[0030] 도 11 및 도 12는, 실시형태에 대한 비교예에 관한 반도체장치(200)를 나타낸 단면도다. 도 11은, 비교예에 관한 반도체장치(200)의 단면도이고, 실시형태에 관한 반도체장치(100)와의 차이는, Au층 18, 19를 구비하지 않고 있는 것이다. 도 12는, 반도체장치(200)가 형성된 반도체 기판(12)을 땜납으로 다이본드한 경우에, Ni층(16)과 땜납의 밀착성이 나쁘므로 땜납층(32) 내부에 있어서의 Ni층(16) 주변에 보이드(132)가 발생한 상태를 나타내고 있다.

[0031] 트랜지스터의 소스 접지를 행하기 위한 전기적 접속방법으로서, 소스 전극에 와이어를 거는 방법과, 소스 전극에 접속하도록 비아홀을 형성하는 방법이 있다. 소스 전극에 비아홀(30)을 형성하는 경우, 일반적으로, 비아홀(30)의 내면에 설치하는 금속으로서 Au가 사용되고 있다.

[0032] 땜납과 Au층(비아홀(30) 내부 및 소스 전극 부분)이 접하면, AuSn 반응을 일으킨다. 다이본드시에, 비아홀(30) 내부에 있어서 Au층 14가 땜납과 접하고 있으면, AuSn 반응이 일어난다. 이 AuSn 반응에 의해 땜납이

소스 전극표면까지 기어오른다고 하는 문제가 있다. 이 땜납의 기어오름은, 트랜지스터 영역까지 AuSn 반응을 확산시키게 되어, 트랜지스터(26)가 정상적으로 동작하지 않게 된다.

[0035] 비교예에 관한 반도체장치(200)는, 이 기어오름의 대책으로서, 비아홀(30) 내부에 땜납과의 반응을 배리어할 수 있는 Ni층(16)을 형성하고 있다. Ni층(16)에 의해, 땜납의 기어오름을 방지하는 것이 가능해진다.

[0036] 그렇지만, 한편으로, Ni층(16)은 땜납과의 밀착성이 나쁘므로, 땜납 내부에 공기가 남는 영역이 발생해버린다고 하는 문제가 있다. 땜납 내부에 공기가 남는 이 영역은, 보이드라고도 불린다. 보이드(132)는 트랜지스터(26)의 동작시에 발생하는 열의 확산을 방해하게 되어, 결과적으로, 트랜지스터(26)의 특성을 저하시켜 버린다. 또한, 보이드(132)가 있음으로써 땜납과 반도체 기판(12)측의 밀착성이 낮아져, 벗겨짐을 유발해 버리는 것도 생각된다.

[0037] 이 점에서, 실시형태에 관한 반도체장치(100)에 따르면, 비아홀(30) 내부에 있어서 Ni층(16)의 표면(12a)측 부분에 Au층 19를 부분적으로 설치하고 있다. Ni층(16)으로 Au층 14와 땜납 사이의 반응을 방지하면서, 비아홀(30) 내부의 Au층 19로 땜납의 밀착성을 높였으므로 비아홀(30) 내부에서 보이드가 생기는 것을 억제할 수 있다.

[0038] 이때, 실시형태에 있어서는, Au층 19는, 개구(12d)의 저면을 구성하는 소스 전극(20)의 밀면(20b)의 윗쪽(즉, 비아홀(30)의 저면의 위쪽)에만 부분적으로 설치되어 있다. 이때, 여기에서 말하는 「밀면(20b)의 윗쪽」은, 도 1의 지면 윗쪽을 의미하는 것이 아니고, 밀면(20b)의 법선 방향을 의미한다. 한편, 비아홀(30)의 측면(즉, 개구(12d)의 측면(12c))에 있어서는, Au층 19가 설치되어 있지 않으므로, Ni층(16)이 노출되어 있다. 그렇지만, 본 발명은 이것에 한정되는 것은 아니다. 비아홀(30) 내부의 적어도 일부에 Au층을 설치하면 되고, 그 위치는 반드시 개구(12d)의 저면측에 한정되지 않는다.

[0039] 도 6은, 본 발명의 실시형태의 변형예에 관한 반도체장치(111)를 나타낸 단면도다. 반도체장치 111은, 비아홀(40)을 구비하고 있는 점을 제외하고, 반도체장치 100과 같다. 비아홀(40)은, 개구(12d) 내부에 있어서 Ni층(16)의 전부를 덮도록 설치된 Au층 38을 구비하고 있다. Au층 38은, 개구(12d)의 저면을 구성하는 소스 전극(20)의 밀면(20b)의 윗쪽(즉, 비아홀(40)의 저면의 위쪽)과, 비아홀(40)의 측면(즉, 개구(12d)의 측면(12c))의 양쪽 모두를 덮는다. 이와 같이 함으로써, Ni층(16)과 땜납층(32)이 접하는 부분이 없어져, 비아홀(40) 내부에 구석구석까지 땜납을 충전시킬 수 있어, 보이드를 억제할 수 있다.

[0040] 이때, 배리어 메탈층으로서 Ni층(16)을 설치했지만, 본 발명은 이것에 한정되지 않는다. Ni층(16) 대신에, Ni층(16)과 동일한 위치에, 백금(Pt), 납(Pb), 티타늄(Ti), 및 Cobalt(Co)로 이루어진 군으로부터 선택한 1개의 재료로 형성한 배리어 메탈층을 설치해도 된다. 이를 재료는, 니켈과 마찬가지로 땜납과의 반응성이 낮기 때문이다.

[0041] 도 7은, 본 발명의 실시형태의 변형예에 관한 반도체장치(112)를 나타낸 단면도다. 반도체장치 112는, Ni층(16)을 산화 Ni층(42)으로 치환한 점을 제외하고, 반도체장치 100과 같다. 즉, 반도체장치 112에 있어서, Au층 19는, 산화 Ni층(42) 중 저면에 중첩된 부분을 덮고, 산화 Ni층(42) 중 측면에 중첩된 부분을 덮지 않는다. 그 결과, 산화 Ni층(42)은 노출부(42a)를 갖는다. 이 노출부(42a)는, 반도체장치 112에 있어서의 비아홀(30)의 측면을 구성하고 있다.

[0042] 일반적으로 Au층과 비교해서 Ni층 쪽이 메탈의 응력이 높다. 장벽을 높이기 위해서 Ni층(16)을 두껍게 하면, 반도체 기판(12)으로부터 Ni층(16)이 벗겨지기 쉬워져 버린다. 이 벗겨짐을 억제하고자 하여 단순히 Ni층(16)을 얇게 하면, 배리어 메탈층으로서의 효과가 불충분해진다. Ni층(16)과 땜납도 Au층보다 매우 느리기는 하지만 반응이 일어나므로, 단순하게 Ni층(16)을 얇게 할 수는 없다.

[0043] 니켈보다도, 산화 니켈 쪽이 땜납을 강하게 밀어내는 성질을 갖고 있다. 이 때문에, 산화 Ni층(42) 쪽이, Ni층(16)보다도 막두께를 얇게 하는 것이 가능해진다.

[0044] 따라서, 반도체장치 112에서는, 배리어성(barrier property)이 보다 높은 산화 니켈로 형성한 산화 Ni층(42)을, 배리어 메탈층으로서 사용하고 있다. 산화 Ni층(42)은 Ni층(16)보다 땜납을 강하게 밀어낼 수 있기 때문에, 배리어 메탈층의 막두께를 얇게 해도 Au층 14를 땜납으로부터 배리어하는 효과를 충분히 얻을 수 있다. 이에 따라, 배리어 메탈로서의 확보를 하면서 산화 Ni층(42)을 얇게 하여, 벗겨짐의 문제를 억제할 수 있다.

[0045] 반도체장치 112의 제조 프로세스로서는, 실시형태 1에 관한 Ni층(16)과 마찬가지로 Ni층을 형성한 후, 그 Ni층을 산화시켜, 산화 니켈(NiO_x)로 한다. 그 후에, 실시형태 1과 마찬가지로 Au층 18, 19를 적층한다.

[0046] 이때, 산화 Ni층(42) 대신에, 백금(Pt), 납(Pb), 티타늄(Ti), 및 Cobalt(Co)로 이루어진 군으로부터 선택한 1개의 재료의 산화물층을 설치해도 된다.

[0047] 도 8은, 본 발명의 실시형태의 변형예에 관한 반도체장치(113)를 나타낸 단면도다. 반도체장치 113은, 도 6에 나타낸 반도체장치(111)에 있어서, Ni층(16)을 산화 Ni층(42)으로 치환한 것이다.

[0048] 도 9는, 본 발명의 실시형태의 변형예에 관한 반도체장치(114)를 나타낸 단면도다. 반도체장치 114는, Ni층(16)을 배리어 메탈층(50)으로 치환한 점을 제외하고, 반도체장치 100과 같다. 배리어 메탈층(50)은, Ni층과, 니켈 이외의 후술하는 재료로 이루어진 중간층을 적어도 1회 이상 서로 중첩하여 적층한 다층막 구조를 갖고 있다. 배리어 메탈층(50)에 있어서 Ni층은 중간층보다도 두껍게 되어 있다.

[0049] 배리어 메탈층(50)에 있어서는, Ni층/중간층/Ni층/중간층/…으로 복수회 서로 중첩하여 적층하여, Ni층과 중간층의 다층 구조로 한다. 중간층의 재료는, 니켈보다도 층 내부의 응력이 낮은 재료로서, 구체적으로는 티타늄(Ti), 금(Au), 백금(Pt), 알루미늄(Al), 니오브(Nb), 납(Pb) 및 구리(Cu)로 이루어진 군으로부터 선택한 1개의 재료를 사용해도 된다.

[0050] 다층 구조로 함으로써, Ni층의 한 개 한개를 얇게 하고, 또한, Ni층 사이에 니켈보다 응력이 낮은 메탈로 이루어진 중간층을 삽입하도록 한다. 이에 따라, 배리어 메탈층(50)과 실시형태 1의 Ni층(16) 사이에서 Ni층으로서 본 경우의 최종적인 층 두께는 동일해도, 배리어 메탈층(50) 쪽이 Ni층(16)보다도 내부의 응력을 저감시킬 수 있다.

[0051] 예를 들면, 반도체장치(100)에 있어서 Ni층(16)을 단층으로 100nm으로 하고 있었을 경우를 상정한다. 이에 대하여, 반도체장치 114에 있어서는, Ni층/중간층/Ni층/중간층/Ni층/중간층/Ni층/중간층/Ni층이라고 하는 것 같이 Ni층이 5층과 중간층이 4층으로 하고, Ni층을 1층당 20nm로 하고, 중간층은 1층당 10nm로 한다. 배리어 메탈층(50)은 Ni층이 1층당 20nm이기는 하지만, 합계 5층이 있기 때문에 층 두께로서는 Ni층(16)과 동일한 100nm의 두께의 Ni층을 갖는다. 이와 같이, Ni층의 두께를 충분히 확보해서 땜납에 대한 배리어성을 동일하게 하면서, 내부의 응력을 저감하는 것이 바람직하다.

[0052] 이때, 반도체장치 114에 있어서도, Au층 19는, 배리어 메탈층(50) 중 개구(12d)의 저면에 중첩된 부분을 덮고, 배리어 메탈층(50) 중 측면(12c)에 중첩된 부분을 덮지 않는다. 그 결과, 배리어 메탈층(50)은 노출부(50a)를 갖는다. 이 노출부(50a)는, 비아홀(30)의 측면을 구성하고 있다.

[0053] 도 10은, 본 발명의 실시형태의 변형예에 관한 반도체장치(115)를 나타낸 단면도다. 반도체장치 115는, Ni층(16)을 배리어 메탈층(50)으로 치환한 점을 제외하고, 반도체장치(111)와 동일하다.

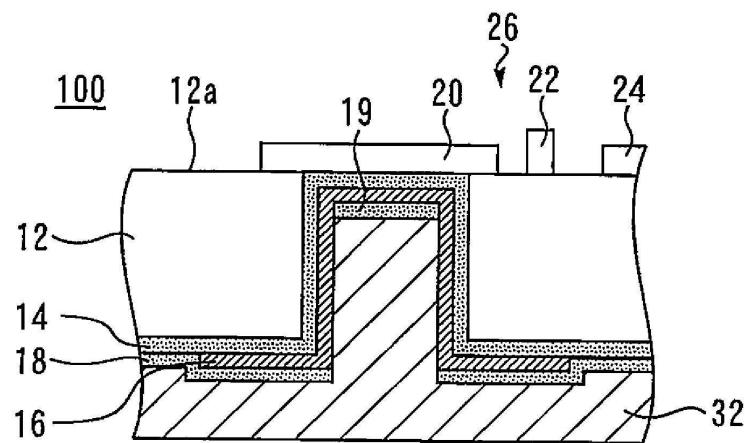
[0054] 이하, 도 6~도 10에서는 설명의 편의상, 땜납층(32)은 도시를 생략하고 있지만, 실제로는 반도체장치 111~115도 반도체 장치 100과 마찬가지로 땜납층(32)을 갖고 있다.

부호의 설명

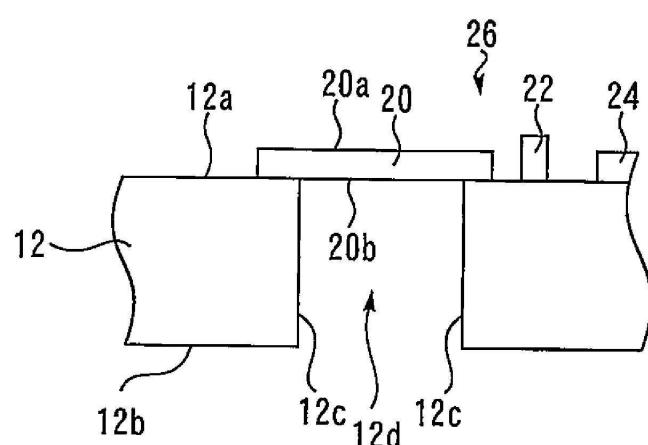
[0055] 12 반도체 기판, 12a 표면, 12b 이면, 12c 측면, 12d 개구, 14, 18, 19, 38 Au층, 16 Ni층, 16a 노출부, 20 소스 전극, 20a 윗면, 20b 밑면, 22 게이트 전극, 24 드레인 전극, 26 트랜지스터, 30, 40 비아홀, 32 땜납층, 42 산화 Ni층, 42a 노출부, 50 배리어 메탈층, 50a 노출부, 100, 111, 112, 113, 114, 115 반도체장치, 132 보이드

도면

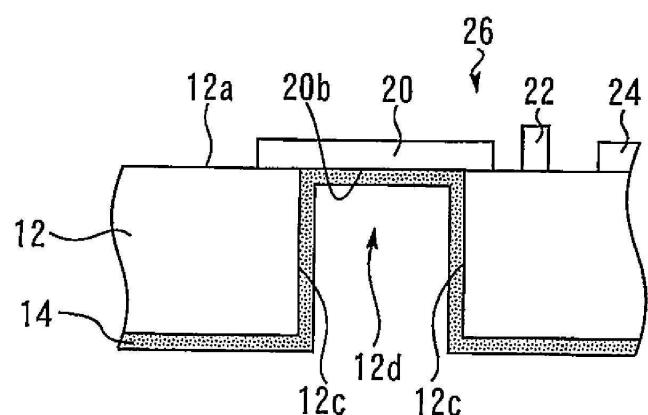
도면1



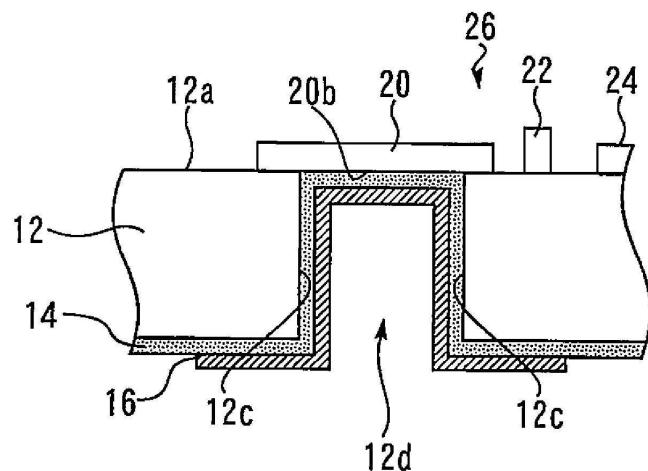
도면2



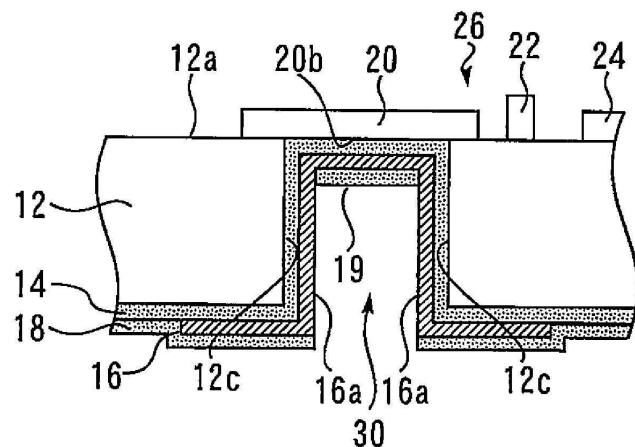
도면3



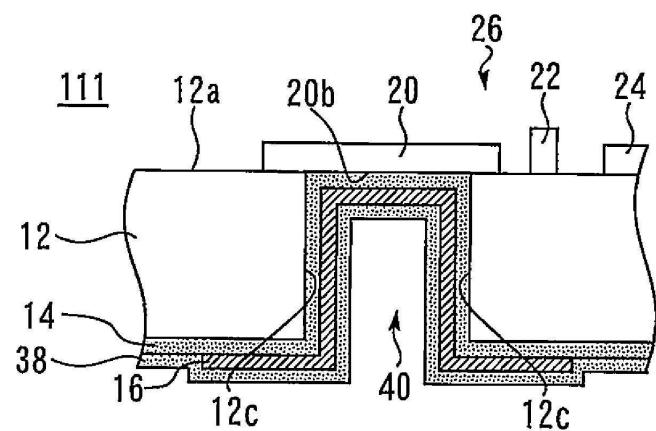
도면4



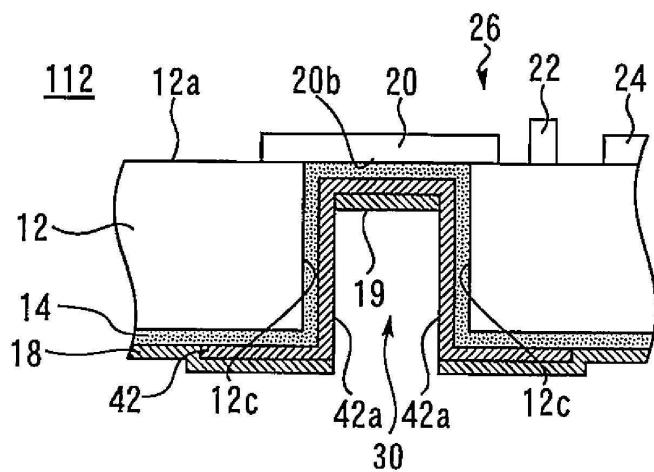
도면5



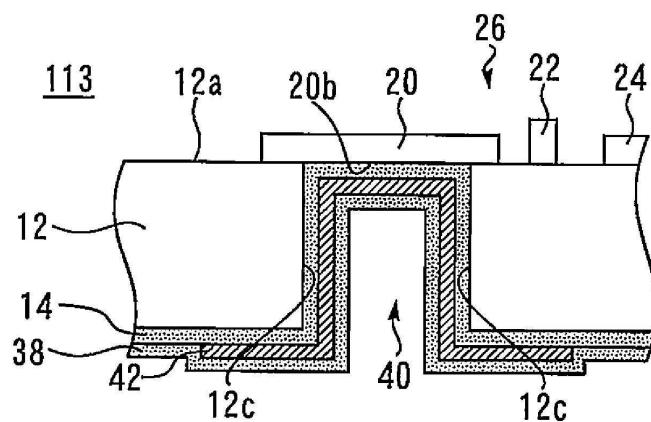
도면6



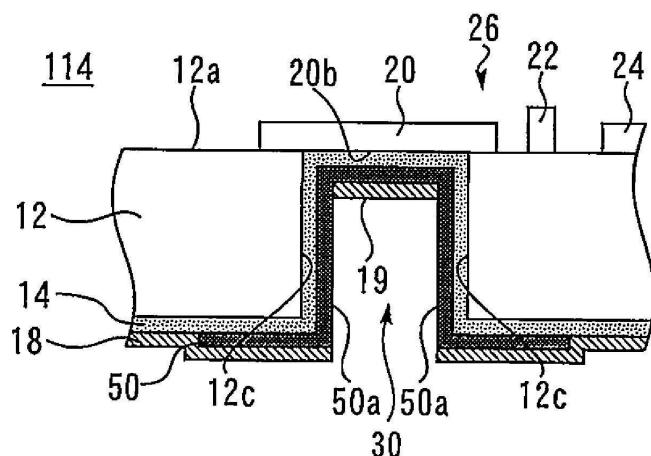
도면7



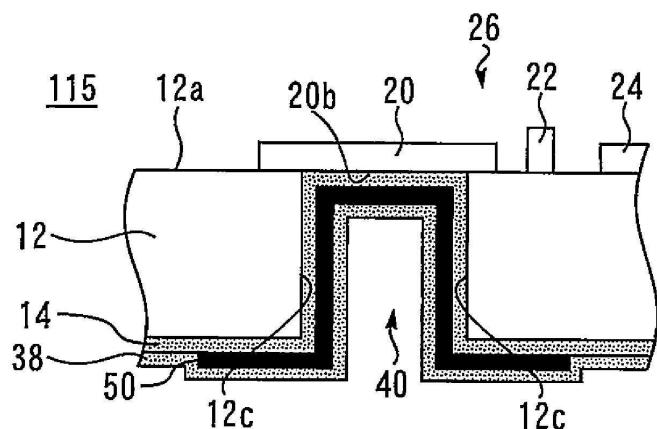
도면8



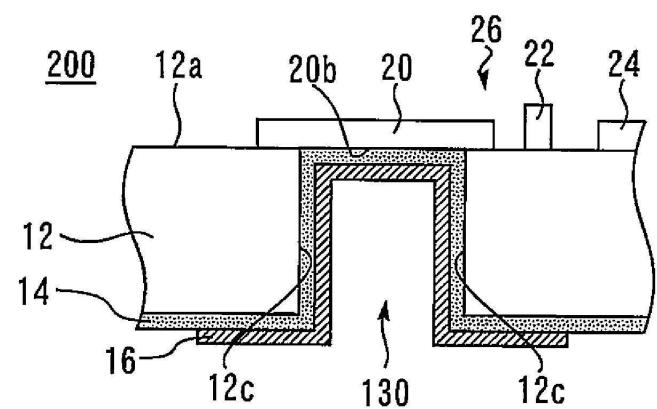
도면9



도면10



도면11



도면12

