



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월07일 10-0713765 2007년04월25일
-----------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0019771 2000년04월15일 2005년04월13일	(65) 공개번호 (43) 공개일자	10-2001-0006984 2001년01월26일
----------------------------------	-----------------------------------------------	------------------------	--------------------------------

(30) 우선권주장      1999-108915      1999년04월16일      일본(JP)

(73) 특허권자      가부시킴가이샤 히타치세이사쿠쇼  
                         일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

히타치디바이스 엔지니어링가부시킴가이샤  
일본국 지바켄 모바라시 하야노 3681

(72) 발명자      리끼노구니히토  
                         일본도쿄도다찌카와시와카바쥬2-38-19

사사키야스히코  
일본도쿄도고가네이시가지노쥬4-16-9

야노가즈오  
일본도쿄도히노시다마다이라6-6-6

가또나오키  
일본도쿄도고다이라시쥬스이호쥬5-17-7-5

(74) 대리인      장수길  
                         구영창

(56) 선행기술조사문헌 JP09162723 A *	JP09162724 A *
KR1019990005442 A	KR1020010006190 A
*는 심사관에 의하여 인용된 문헌	

심사관 : 정병홍

전체 청구항 수 : 총 9 항

(54) 반도체 집적 회로 장치

(57) 요약

패스 트랜지스터 논리 회로에 있어서, 소면적에서 배선 길이가 짧은 레이아웃 및 고속의 칩을 구성하기 위한 회로 방식을 제공한다.

셀렉터 회로는, pMOS, nMOS 모두, 게이트 신호가 다르지만, 드레인 출력이 동일하고 MOS끼리 확산층을 공유하는 형태 (p103과 p104, n103과 n104)로 트랜지스터를 배치하고, p103과 n104의 게이트가 거의 일직선 상에 오도록, pMOS와 nMOS가 어긋나도록 배치하여 배선을 행함으로써, pMOS와 nMOS의 드레인끼리, 소스끼리의 배선은, 다른 신호 배선과 교차하지 않고 배선할 수 있기 때문에, 제1 배선층만으로 배선할 수 있고, 또한 In101과 In102의 게이트의 입력 신호도, 상호 교차하지 않고, 폴리 실리콘 배선만으로 배선할 수 있다. 또한, 패스 트랜지스터 논리 회로는, 셀렉터에 입력되기 전 또는 나중에, 신호 증폭 회로를 통과하는 형태로 하고, 이에 따라 조밀하게 고속의 회로를 구성할 수 있다.

대표도

도 1

## 특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

적어도 하나의 회로 셀을 포함하여 이루어지는 반도체 논리 회로로서,

상기 회로 셀은 셀렉터, 제1 및 제2 논리 게이트, 제1 및 제2 동작 전위점을 갖고,

상기 셀렉터는 제1 및 제2 PMOS 트랜지스터, 제1 내지 제4 NMOS 트랜지스터, 및 제1 내지 제3 노드를 갖고,

상기 제1 PMOS 트랜지스터의 게이트는 제1 입력 신호로 제어되고, 제1 PMOS 트랜지스터의 소스·드레인 경로는, 상기 제1 동작 전위점과 상기 제1 노드 사이에 접속되고,

상기 제2 PMOS 트랜지스터의 게이트는 제2 입력 신호로 제어되고, 제2 PMOS 트랜지스터의 소스·드레인 경로는 상기 제1 동작 전위점과 상기 제2 노드 사이에 접속되고,

상기 제1 NMOS 트랜지스터의 게이트는 상기 제1 입력 신호로 제어되고, 상기 제1 NMOS 트랜지스터의 소스·드레인 경로는, 상기 제2 동작 전위점과 상기 제1 노드 사이에 접속되고,

상기 제2 NMOS 트랜지스터의 게이트는 상기 제2 입력 신호로 제어되고, 상기 제2 NMOS 트랜지스터의 소스·드레인 경로는, 상기 제2 동작 전위점과 상기 제2 노드 사이에 접속되고,

상기 제3 NMOS 트랜지스터의 게이트는 제3 입력 신호로 제어되고, 상기 제3 NMOS 트랜지스터의 소스·드레인 경로는, 상기 제1 노드와 상기 제3 노드 사이에 접속되고,

상기 제4 NMOS 트랜지스터의 게이트는 제4 입력 신호로 제어되고, 상기 제4 NMOS 트랜지스터의 소스·드레인 경로는 상기 제2 노드와 상기 제3 노드 사이에 접속되고,

상기 제3 노드는 상기 제1 논리 게이트와 제2 논리 게이트의 입력 단자에 접속되는 것을 특징으로 하는 반도체 논리 회로.

## 청구항 11.

적어도 하나의 셀렉터를 포함하는 반도체 집적 회로 장치로서,

상기 집적 회로에서의 셀렉터는, 제1 및 제2 PMOS 트랜지스터와, 제1 및 제2 NMOS 트랜지스터와, 제1 내지 제4 입력 단자와, 제1 노드를 갖고,

상기 제1 PMOS 트랜지스터의 소스·드레인 경로는, 상기 제1 입력 단자와 상기 제1 노드 사이에 접속되고,

상기 제1 NMOS 트랜지스터의 소스·드레인 경로는, 상기 제1 입력 단자와 상기 제1 노드 사이에 접속되고,

상기 제2 PMOS 트랜지스터의 소스·드레인 경로는, 상기 제2 입력 단자와 상기 제1 노드 사이에 접속되고,

상기 제2 NMOS 트랜지스터의 소스·드레인 경로는, 상기 제2 입력 단자와 상기 제1 노드 사이에 접속되고,

상기 제1 PMOS 트랜지스터의 제어 전극은, 상기 제3 입력 단자에 공급되는 제1 신호에 의해 제어되고,

상기 제2 NMOS 트랜지스터의 제어 전극은, 상기 제3 입력 단자에 공급되는 상기 제1 신호에 의해 제어되고,

상기 제2 PMOS 트랜지스터의 제어 전극은, 상기 제4 입력 단자에 공급되는 제2 신호에 의해 제어되고,

상기 제1 NMOS 트랜지스터의 제어 전극은, 상기 제4 입력 단자에 공급되는 상기 제2 신호에 의해 제어되고,

상기 제1 신호와 상기 제2 신호는, 상반되는 신호이고,

상기 제1 PMOS 트랜지스터의 제1 전극과, 상기 제2 PMOS 트랜지스터의 제1 전극은, 상호 확산층을 공유하는 형상으로서 배치함으로써 접속되고,

상기 제1 NMOS 트랜지스터의 제1 전극과, 상기 제2 NMOS 트랜지스터의 제2 전극은, 상호 확산층을 공유하는 형상으로서 배치함으로써 접속되고,

상기 제1 PMOS 트랜지스터의 제2 전극과, 상기 제1 및 제2 NMOS 트랜지스터의 제1 전극의 공통 부분이, 전위 공급선의 주행 방향에 교차하는 방향에 대하여 직선적이 되도록 배치되고,

상기 제2 NMOS 트랜지스터의 제2 전극과, 상기 제1 및 제2 PMOS 트랜지스터의 제1 전극의 공통 부분이, 전위 공급선의 주행 방향에 교차하는 방향에 대하여 직선적이 되도록 배치되는 반도체 집적 회로 장치.

## 청구항 12.

제11항에 있어서,

상기 각 PMOS 및 NMOS 트랜지스터의 제어 신호는, 폴리실리콘 배선으로 공급되고,

상기 제1 PMOS 트랜지스터의 제2 전극과, 상기 제1 NMOS 트랜지스터의 제2 전극은, 제1 층의 금속 배선으로 접속되고,

상기 제2 PMOS 트랜지스터의 제2 전극과, 상기 제2 NMOS 트랜지스터의 제2 전극은, 상기 제1 층의 금속 배선으로 접속되고,

상기 제1 PMOS 트랜지스터의 제1 전극과 상기 제2 PMOS 트랜지스터의 제1 전극의 공통 부분과, 상기 제1 NMOS 트랜지스터의 제1 전극과 상기 제2 NMOS 트랜지스터의 제1 전극의 공통 부분은, 상기 제1 층의 금속 배선을 이용하여 접속되는 반도체 집적 회로 장치.

## 청구항 13.

제11항에 있어서,

상기 제1 PMOS 트랜지스터의 제어 전극과, 상기 제2 NMOS 트랜지스터의 제어 전극은, 상기 전위 공급선의 주행 방향에 대하여 직교하는 방향으로 대향하도록 배치되고,

상기 전위 공급선의 주행 방향을 좌우 방향으로 한 경우, 상기 제1 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터는, 상기 제1 PMOS 트랜지스터의 제어 전극과 상기 제2 NMOS 트랜지스터의 제어 전극을 접속하는 배선을 끼우고, 좌우 상반되는 측에 배치되는 반도체 집적 회로 장치.

## 청구항 14.

제11항에 있어서,

상기 제1 PMOS 트랜지스터의 제어 전극과, 상기 제2 PMOS 트랜지스터의 제어 전극은, 상기 셀렉터 내의 다른 단자간 거리보다도 작은 간격으로 배치되고,

상기 제1 NMOS 트랜지스터의 제어 전극과, 상기 제2 NMOS 트랜지스터의 제어 전극은, 상기 셀렉터 내의 다른 단자간 거리보다도 작은 간격으로 배치되는 반도체 집적 회로 장치.

## 청구항 15.

제11항에 있어서,

상기 전위 공급선의 주행 방향을 좌우 방향으로 한 경우, 적어도 하나의 게이트 신호의 입력 단자는, 상기 제2 PMOS 트랜지스터의 상부 또는 하부에 생기는 스페이스와, 상기 제1 NMOS 트랜지스터의 상부 또는 하부에 생기는 스페이스에 배치되는 반도체 집적 회로 장치.

## 청구항 16.

제11항에 있어서,

상기 셀렉터를 적어도 2개 이용하는 구성으로 하고,

상기 전위 공급선의 주행 방향을 좌우 방향으로 한 경우, 각각의 셀렉터가 갖는, 상기 제2 PMOS 트랜지스터의 상부 또는 하부에 생기는 스페이스 또는, 상기 제1 NMOS 트랜지스터의 하부 또는 상부에 생기는 스페이스를, 상호 오버랩시키는 반도체 집적 회로 장치.

## 청구항 17.

제11항에 있어서,

상기 셀렉터를 적어도 2개 이용하여, 상반되는 신호인 제1 및 제2 출력을 출력하는 구성으로 하고,

상기 제1 출력은, 제1 출력 버퍼의 입력에, 제1 층의 금속 배선을 통하여 공급되고,

상기 제2 출력은, 제2 출력 버퍼의 입력에, 상기 제1 층의 금속 배선을 통하여 공급되고,

상기 제1 및 제2 출력 버퍼를 이루는 2가지 형태의 전계 효과 트랜지스터가 상기 전위 공급선이 주행하는 방향에 좌표계를 정한 경우, 그 좌표치가 가장 작은 층의 셀 경계와 그 좌표치가 가장 큰 층의 셀 경계의 양단에 배치되는 반도체 집적 회로 장치.

## 청구항 18.

제17항에 있어서,

상기 제1 출력은, 상기 제1 출력 버퍼의 입력에, 상기 제1 층의 금속 배선과 상이한 금속 배선층으로 접속되고,

상기 제2 출력은, 상기 제2 출력 버퍼의 입력에, 상기 제1 층의 금속 배선과 상이한 금속 배선층으로 접속되는 반도체 집적 회로 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적 회로 전반, 특히 논리 회로를 포함하는 범용 프로세서, 신호 처리 프로세서, 화상 처리 프로세서, 각종 제어 프로세서 등의 LSI에의 응용이 가능한 것이다.

현재, 고성능의 논리 회로의 자동 설계를 행하기 위해, 게이트 어레이, 셀 베이스 IC 등이 널리 이용되고 있다. 논리 회로의 하나로서, 패스 트랜지스터 논리 회로라고 하는 것이 알려져 있다. 이 패스 트랜지스터 논리 회로는, 현재 논리 회로에 주로 사용되고 있는 CMOS 논리 회로와 비교하여, 소면적, 저소비 전력, 소지연 시간을 실현할 수 있는 것이 발표되어 있다.

지금까지, IEEE Journal of Solid-State Circuits, Vol.sc-22, No.2, April 1987 pp216-pp222 (이하, 제1 종래 기술이라고 칭함)에 있어서 Differential Pass-transistor Logic으로서 소개되어 있는 것이나, IEEE Journal of Solid-State Circuits, Vol.sc-25, No.2, April 1990 pp388-pp395 (이하, 제2 종래 기술이라고 칭함)에 있어서 Complementary Pass-transistor Logic으로서 소개되고, IEEE Journal of Solid-State Circuits, Vol.sc-28, No.11, November 1993 pp1145-pp1151 (이하, 제3 종래 기술이라고 칭함)에 있어서 A1.5-ns 32-b CMOS ALU in Double Pass-Transistor Logic으로서 소개되어 있다.

또한, IEEE Journal of Solid-State Circuits, Vol. sc-32, No.7, July 1997 pp1079-pp1090 (이하, 제4 종래 기술이라고 칭함)에 있어서 Low-Pover Logic Style : CMOS Versus Pass-Transistor Logic과, CMOS VLSI 설계의 원리 -시스템의 관점으로부터 -(丸善 주식회사 Neil H. E. Weste & Kamran Eshraghian저 豊澤孝 松山泰男 번역) pp173에서는 (이하, 제5 종래 기술이라고 칭함) 레이아웃의 일례가 소개되고, Custom Integrated Circuits Conference 1994 Digest pp103-pp106 (이하, 제6 종래 기술이라고 칭함)에는 패스 트랜지스터 회로와 상술된 표준 셀 방식을 조합한 회로 설계 수법이 도시되어 있다.

또한, 1994년 전자 정보 통신학회 추계 대회 강연 논문집, 기초·경계 분책 pp64 (이하, 제7 종래 기술이라고 칭함)에는, 2분 결정 그래프라고 하는 논리 표현 방법을 이용하여 패스 트랜지스터 회로와 표준 셀 방식을 조합한 설계 수법에 대해서도 소개되고, 특개평 7-130856호 공보 (이하, 제8 종래 기술이라고 칭함)에는, 패스 트랜지스터 회로를 이용한 논리 회로 셀에 대해 나타내고, 미국 특허5,162,666 (이하, 제9 종래 기술이라고 칭함)에서는 트랜스미션 게이트 멀티플렉서에 대해 나타내고, Proc/ of the IEEE International Symp. on Circuite and Systems 1983 pp509-pp512 (이하, 제10 종래 기술이라고 칭함)에 있어서 Pass Transistor Neetwork In MOS Technology가 소개되어 있다.

#### 발명이 이루고자 하는 기술적 과제

도 4에 비교예로서의 CMOS 논리 회로의 셀의 레이아웃을 나타낸다. 이 레이아웃에서는, PMOS와 NMOS의 게이트 전극이 서로 직선적이 되도록 배치하는 것이, 레이아웃 면적을 작게 하기 위해 행해지고 있다. 발명자들은, 패스 트랜지스터 회로를 이용하여 레이아웃 면적이 작은 집적 회로를 실현하기 위해, 상기된 사상에 기초하여 레이아웃의 사전 검토를 행하였다.

도 5에 그 결과를 나타낸다. 그러나, 도 5에서, 동일 전위의 소스·드레인의 확산층을 공유하여, 게이트 전극을 근접시켜 배치할 수 없는데다가, 이와 같이 공유화할 수 없는 만큼, 상위의 메탈 배선으로 배선해야하고 레이아웃 면적이 커서, 배선량이 많다고 하는 문제가 생겼다. 이에 따라, 레이아웃 면적이 커지는 것뿐만 아니라, 총 배선 길이가 길어짐에 따라 지연 시간도 늦어진다는 문제가 생겼다. 본 발명의 목적은, 레이아웃 면적이 작은 패스 트랜지스터 논리 회로를 제공하는 것에 있다.

또한, 종래의 패스 트랜지스터 논리 회로에서는, 소스·드레인 전극이 입력 단자로서 기능하기 때문에, 입력 신호의 파형이 완만해진다는 문제가 있었다. 또한, 입력 용량이 동작 조건에 따라 변화하기 때문에, 딜레이 계산이 어렵다고 하는 과제가 있었다. 이것을 해결하는 수단으로서, 소스·드레인 전극의 입력 단자에 인버터를 설치하는 것이 알려져 있다 (제9, 10 종래 기술). 그러나, 발명자의 사전 검토에 따르면, 이 방법에서는 인버터 분만큼 지연 시간이 증가한다는 문제가 있었다. 본 발명의 또 하나의 목적은, 고속이고 딜레이 계산이 용이한 패스 트랜지스터 논리 회로를 제공하는 것에 있다.

상기 과제로 나타난 문제를 해결하기 위해, 본 발명에서는, 상기 구성의 패스 트랜지스터 논리 회로 셀을 레이아웃하는 경우, 셀렉터 부분 부분의 레이아웃 방법에 대해 제안한다.

본 발명에서는, 적어도 1개의 셀렉터를 포함하는 셀을 이용하는 것으로 한다. 폴리실리콘 배선 또는 게이트 전극과 동일한 재료의 배선과 제1 층의 메탈 배선만을 이용하여, 면적이 작은 셀을 작성하기 위해, 본 발명의 반도체 집적 회로는 이하의 사상으로 레이아웃되어 있다.

즉, 본 발명의 패스 트랜지스터 회로에서는, 소스에 동일 신호가 인가되는 pMOS, nMOS의 게이트 신호는 상반되는 신호가 인가되지만, 드레인 출력이 동일 MOS끼리 확산층을 공유하는 형태로 레이아웃한다.

또한, 본 발명의 다른 바람직한 형태에서는, 셀렉터가 복수개 존재하는 경우, 셀의 양끝에 출력 증폭 회로를 배치하고, 셀렉터를 제1 전위의 공급선 및 제2 전위의 공급선이 주행하는 방향으로, 셀렉터를 복수개 배치한다. 이에 따르면, 셀렉터가 복수개 존재해도 전개 방향으로 유연하게 수를 증가시킬 수 있기 때문에, 셀렉터의 수가 증가해도 규칙적으로 레이아웃할 수 있다. 이에 따라 셀렉터의 레이아웃 설계에 걸리는 시간을 삭감하는 것이 가능해진다.

또한, 본 발명의 다른 바람직한 형태에서는, 셀렉터의 입력측에 신호 증폭 회로를 접속한다. 이에 따라, 이 패스 트랜지스터 회로의 입력 신호는, 전부 게이트로 되기 때문에 입력 용량이 저감되고, 또한 입력 파형이 완만해진다는 문제도 해결된다. 또한, 입력 용량이 동작 조건에 따라, 변화하는 일도 없어져, 입력 용량의 견적이 용이해지고, 딜레이 계산도 용이해지기 때문에, 설계 시간의 단축이 예상된다.

또한, 소스·드레인 전극에 신호 증폭 회로를 접속하는 이 회로에서는, 패스 트랜지스터 회로의 게이트 전극을 통하는 신호 전과 경로에서는, 신호 증폭 회로를 경유하지 않기 때문에, 고속 동작이 가능해진다.

또한, 본 발명의 다른 바람직한 형태에서, 본 회로를 포함하는 집적 회로는 평행하게 배치된 전위 공급선을 지니고, 전위 공급선(1, 3, 5, ...,  $2n+1$ , ... (단,  $n$ 은 자연수))은 서로 동일한 전위이고, 전위 공급선(2, 4, 6, ...,  $2n$ , ... (단  $n$ 은 자연수))은 서로 동일한 전위이며, 이에 따라 CMOS를 대표로 하는 다른 회로와 혼재 가능한 형태를 취한다.

또한, 본 발명의 다른 바람직한 형태에서, 본 회로를 포함하는 집적 회로는 래치를 지니고, 셀렉터의 게이트 전극을 통하는 신호는 신호 증폭 회로를 통과하지 않아서, 래치·래치 사이의 고속 신호 전파를 가능하게 하기 때문에, 집적 회로의 스펙을 정하는 중요한 요인이 된다.

또한, 본 발명의 다른 바람직한 형태에서, 입력 증폭 회로를 통과한 신호는 셀렉터를 통과하고, 그 통과한 신호를 입력으로 하는 복수의 단자로 전파한다. 이에 따라, 집적 회로 전체를 컴팩트한 회로로 하는 것을 가능하게 한다.

본 발명의 회로의 일례를 예로 들면, 집적 회로는, 셀렉터(1)와 논리 게이트 (1, 2)를 지니고, 서로 평행하게 배치된 동작 전위 공급선(1, 2, 3, 4, 5, 6)을 지니고, 동작 전위 공급선(1, 3, 5)은 실질적으로 동일 전위이고, 동작 전위 공급선(2, 4, 6)은 실질적으로 동일 전위이고, 셀렉터(1)는 PMOS1, 2와 NMOS1, 2, 3, 4를 지니고, PMOS1의 게이트는 입력 신호(1)로 제어되고, PMOS1의 소스·드레인 경로는 동작 전위점(1)과 노드(1) 사이에 접속되고, PMOS2의 게이트는 입력 신호(2)로 제어되고, PMOS2의 소스·드레인 경로는 동작 전위점(1)과 노드(2) 사이에 접속되고, NMOS1의 게이트는 입력 신호(1)로 제어되고, NMOS1의 소스·드레인 경로는 동작 전위점(2)과 노드(1) 사이에 접속되고, NMOS2의 게이트는 입력 신호(2)로 제어되고, NMOS2의 소스·드레인 경로는 동작 전위점(2)과 노드(2) 사이에 접속되고, NMOS3의 게이트는 입력 신호(3)로 제어되고, NMOS3의 소스·드레인 경로는 노드(1)와 노드(3) 사이에 접속되고, NMOS4의 게이트는 입력 신호(4)로 제어되고, NMOS4의 소스·드레인 경로는 노드(2)와 노드(3) 사이에 접속되고, 노드(3)는 논리 게이트(1)와 논리 게이트(2)의 입력 단자에 접속되는 것을 특징으로 한다.

또한, 동기식의 회로로서 구성하면, 제1 및 제2 일시 기억 회로를 지니고 제1 전원 공급선은 수평 방향으로 형성되고, 제2 전원 공급선은 제1 전원 공급선과 평행하게 형성되고, 클럭 신호로 제어된 제1 일시 기억 회로와 동일 클럭 신호로 제어된 제2 일시 기억 회로를 지니고, 제1 일시 기억 회로의 데이터 출력 노드(01)는 NMOS1과 PMOS2의 게이트 전극을 제어하고, NMOS1의 소스·드레인 경로는 노드  $n1$ 과  $n2$  사이에 접속되고, PMOS2의 소스·드레인 경로는 노드  $n2$ 와  $n3$  사이에 접속되고, PMOS3의 소스·드레인 경로는 제1 전위 공급선과 노드  $n1$  사이에 접속되고, NMOS3의 소스·드레인 경로는 제2 전원 공급선과 노드  $n1$  사이에 접속되고, 노드  $n4$ 의 신호는 PMOS3과 NMOS3의 게이트 전극을 제어하고, PMOS4의 소스·드레인 경로는 제1 전위 공급선과 노드  $n3$  사이에 접속되고, NMOS4의 소스·드레인 경로는 제2 전원 공급선과 노드  $n3$  사이에 접속되고, 노드  $n5$ 의 신호는 PMOS4와 NMOS4의 게이트 전극을 제어하고, NMOS2의 소스·드레인 경로는 노드  $n2$ 와  $n3$  사이에 접속되고, PMOS1의 소스·드레인 경로는 노드  $n1$ 과  $n2$  사이에 접속되고, 노드  $n6$ 의 신호는 PMOS1과 NMOS2의 게이트 전극을 제어하고, 노드  $n2$ 의 신호는 PMOS5와 NMOS5의 게이트 전극을 제어하고, 다른 논리 게이트의 입력 단자에 인가되고, PMOS5의 소스·드레인 경로는 제1 전위 공급선과 노드  $n7$  사이에 접속되고, NMOS5의 소스·드레인 경로는 제2 전위 공급선과 노드  $n7$  사이에 접속되고, PMOS8의 소스·드레인 경로는 노드  $n7$ 과  $n9$  사이에 접속되고, NMOS8의 소스·드레인 경로는 노드  $n7$ 과  $n9$  사이에 접속되고, PMOS9의 소스·드레인 경로는 노드  $n9$ 와  $n11$  사이에 접속되고, NMOS9의 소스·드레인 경로는 노드  $n9$ 와  $n11$  사이에 접속되고, 노드  $n8$ 의 신호는 PMOS9와 NMOS8의 게이트 전극을 제어하고, 노드  $n10$ 의 신호는 PMOS8과 NMOS9의 게이트 전극을 제어하고, 노드  $n12$ 의 신호는 PMOS8과 NMOS8의 게이트 전극을 제어하고, PMOS8의 소스·드레인 경로는 제1 전위 공급선과 노드  $n11$  사이에 접속되고, NMOS8의 소스·드레인 경로는 제2 전위 공급선과 노드  $n11$  사이에 접속되고, 노드  $n15$ 의 신호는 PMOS9와 NMOS9의 게이트 전극을 제어하고, PMOS9의 소스·드레인 경로는 제1 전위 공급선과 노드  $n14$  사이에 접속되고, NMOS9의 소스·드레인 경로는 제2

전위 공급선과 노드 n14 사이에 접속되고, PMOS10의 소스·드레인 경로는 노드 n14와 n17 사이에 접속되고, NMOS10의 소스·드레인 경로는 노드 n14와 n17 사이에 접속되고, PMOS11의 소스·드레인 경로는 노드 n9와 n17 사이에 접속되고, NMOS11의 소스·드레인 경로는 노드 n9와 n17 사이에 접속되고, 노드 n13의 신호는 PMOS10과 NMOS11의 게이트 전극을 제어하고, 노드 n16의 신호는 PMOS11과 NMOS10의 게이트 전극을 제어하고, 노드 n18의 신호는 PMOS15와 NMOS15의 게이트 전극을 제어하고, PMOS15의 소스·드레인 경로는 제1 전위 공급선과 노드 n18 사이에 접속되고, NMOS15의 소스·드레인 경로는 제2 전위 공급선과 노드 n18 사이에 접속되고, PMOS13의 소스·드레인 경로는 노드 n20과 n22 사이에 접속되고, NMOS13의 소스·드레인 경로는 노드 n20과 n22 사이에 접속되고, PMOS14의 소스·드레인 경로는 노드 n18과 n20 사이에 접속되고, NMOS14의 소스·드레인 경로는 노드 n18과 n20 사이에 접속되고, 노드 n17의 신호는 PMOS13과 NMOS14의 게이트 전극을 제어하고, 노드 n21의 신호는 PMOS14와 NMOS13의 게이트 전극을 제어하고, 노드 n23의 신호는 PMOS12와 NMOS12의 게이트 전극을 제어하고, PMOS12의 소스·드레인 경로는 제1 전위 공급선과 노드 n22 사이에 접속되고, NMOS12의 소스·드레인 경로는 제2 전위 공급선과 노드 n22 사이에 접속되고, 노드 n20의 신호는 제2 일시 기억 회로의 입력 사이에 접속되는 것을 특징으로 한다.

도 7은 본 발명에 적용되는 논리 회로의 회로도이다. 도 7의 (a)에서는, 신호가 셀렉터를 통과한 후에 신호를 증폭하고, 도 7의 (c)에서는, 신호가 셀렉터를 통과하기 전에 신호를 증폭하고 있다. 이에 따라, 도 7의 (c)에서는, 회로의 드레인 입력 시의 입력 용량이 입력 증폭 회로의 게이트만으로 이루어지고, 입력 용량을 대폭 경감할 수 있다. 또한, 도 7의 (b)는, 셀렉터가 복수 배열되는 회로예이다. 이하 이들 회로에 적합한 레이아웃에 대해 상세히 설명한다.

### 발명의 구성

이하, 본 발명의 실시예에 대해, 도면에 따라 설명한다.

도 1은 본원 발명의 실시예의 레이아웃도 및 회로도이다. 도 1에서, p101~p107, n101~n107은 트랜지스터를, In101~In108은 외부로부터의 입력 신호를 나타내고 있다. node101~node103은 셀렉터의 입출력을, Out101, Out102는 패스트랜지스터 논리 회로의 출력력을, BC101은 출력 증폭 회로를, 1B101, 102는 입력 증폭 회로를, cp101, 102는 기판 급전 컨택트를, cn101, 102는 웰 급전 컨택트를 나타내고 있다.

본 발명의 패스트랜지스터 논리 회로에서, 소스에 동일 신호가 인가되는 pMOS, nMOS의 게이트 신호는 상반되는 신호가 인가되지만, 드레인 출력이 동일 MOS의 페어를 확산층을 공통화하는 형태로 레이아웃한다.

도 1에서, p102와 p103, n102와 n103이 확산층을 공통화하는 형태로 페어가 된다. 또한, p102와 n103의 게이트가 전위 공급선에 직행하는 방향으로 직선적이 되도록 배치하여 배선을 행한다. 이에 따라, pMOS와 nMOS의 드레인끼리, 소스끼리의 배선은, 다른 신호선과 교차하지 않고 배선할 수 있기 때문에, 폴리실리콘 배선 및 제1 층의 메탈 배선만으로 배선할 수 있다. 또한, In101과 In102의 게이트의 입력 신호도, 상호 교차하지 않고, 폴리실리콘 배선만으로 배선할 수 있다.

또한, p102와 n103이 게이트가 전위 공급선에 직행하는 방향으로 직선적이 되도록 배치함으로써 생긴, p102의 가로의 영역과 n103의 가로의 영역의 MOS의 미배치 영역에는, 게이트 전극의 단자를 배치하는 데에 이용하는 것도 가능하고, 쓸데없는 스페이스가 없는 레이아웃으로 되어 있다.

적어도 1개의 셀렉터를 포함하는 반도체 집적 회로를 레이아웃할 때에는, 제1 전위 공급선 및 제2 전위 공급선과 평행한 방향을 가로 방향으로 한 경우, 셀의 좌우단에 출력 증폭 회로를 배치하고, 그 사이에 출력 증폭 회로의 입력으로 연결되는 셀렉터를 배치한다. 이것은, 출력 증폭 회로의 입력은 pMOS와 nMOS의 게이트를 폴리 실리콘 배선이고, 출력은 pMOS와 nMOS의 드레인을 제1 배선층을 이용하여, 전위 공급선의 주행 방향에 대해 직행하는 방향으로 배선되기 때문에, 셀의 내부 배선이 출력 증폭 회로 상을 통과하기 위해서는 제2 배선층을 사용해서는 안되는 것을 회피하기 위해서이다. 이에 따라, 셀렉터의 출력 및 출력의 반전 신호는, 원활하게 출력 증폭 회로에 신호를 전파할 수 있고, 레이아웃 면적을 작게 할 수 있다. 즉, 상술된 바와 같은 본 발명의 형태에서는, 출력 증폭 회로가 전위 공급선의 주행 방향에 대해 셀렉터를 끼우도록 배치되어 있기 때문에, 셀렉터가 복수개 존재한 경우라도, 출력 증폭 회로가 이들 복수의 셀렉터 사이의 접속을 방해하지 않기 위해 무리없이 레이아웃 면적을 작게 할 수 있기 때문이다.

도 2의 실시예를 예로 설명한다. 도 2에서, p201~p206, n201~n206은 트랜지스터를, In201~In206은 외부로부터의 입력 신호를 나타내고 있다. NPC201은 셀렉터 회로를, node201과 node202는 셀렉터 회로의 출력력을, Out201과 Out202는 패스트랜지스터 논리 회로의 출력력을, BC201과 BC202는 출력 증폭 회로를, cp201은 기판급전 컨택트를, cn201은 웰 급전 컨택트를 나타내고 있다.



셀렉터 회로는, pMOS, nMOS 모두, 게이트 신호가 다르지만, 드레인 출력이 동일 MOS끼리 확산층을 공유하는 형태로 레이아웃한다. 이 공통화하는 페어는, 도 2 중의 p203과 p204, p205와 p206, n203과 n204, n205와 n206이 확산층을 공통되는 형태에서 페어가 된다. 또한, p203과 p204의 조합과 p205와 p206의 조합은 최소 간격으로 배치하고, n203과 n204의 조합과 n205와 n206의 조합은 최소 간격으로 배치한다. 또한, p203과 n204, p205와 n206이 일직선이 되도록 배치하여 배선을 행한다. 이에 따라, pMOS와 nMOS의 드레인끼리, 소스끼리의 배선은, 다른 신호와 교차하지 않고 배선할 수 있기 때문에, 제1 배선층만으로 배선할 수 있다. 또한, In201과 In202의 게이트의 입력 신호도, 서로와 교차하지 않고, 폴리실리콘 배선만으로 배선할 수 있다. 또한, p203과 n204, p205와 n206이 일직선이 되도록 배치함으로써 생긴, n203의 상부 영역과 p206의 하부 영역의 MOS의 미배치 영역에, 게이트 입력의 단자를 넣으로써, 쓸데없는 스페이스가 없는 레이아웃으로 되어 있다.

나중에 설명한 바와 같이, 상술된 바와 같은 본 발명의 실시예에 따른 반도체 집적 회로에서는, 셀렉터 회로가 복수개 존재하는 경우(예를 들면 도 9의 NPC901, NPC902, NPC903), 이들 셀렉터 회로를 제1 전위의 공급선 및 제2 전위의 공급선이 주행하는 방향으로 배치 전개한다. 도 8에서는 NPC801, NPC802, NPC803의 순서로 전개 배치하고 있다.

상술된 바와 같이 본 발명의 실시예에 따른 반도체 집적 회로에서는, 출력 증폭 회로를 셀단에 배치하고 있고(도 8의 p801, p802, n801, n802), 셀렉터 회로가 복수개 존재해도(예를 들면 도 9의 NPC901, NPC902, NPC903), 전개 방향으로 유연하게 수를 증가시킬 수 있기 때문에, 셀렉터 회로의 수가 증가해도 규칙적으로 레이아웃할 수 있다. 이에 따라 레이아웃 설계에 걸리는 시간을 삭감하는 것이 가능해진다.

도 3에서, p301~p306, n301~n306은 트랜지스터를, In301~In306은 외부로부터의 입력 신호를 나타내고 있다. NPC301은 셀렉터를, node301과 node302는 셀렉터의 출력, Out301과 Out302는 패스 트랜지스터 논리 회로의 출력, BC301과 BC302는 출력 증폭 회로를, cp301은 기판 급전 콘택트를, cn301은 웰 급전 콘택트를 나타내고 있다.

도 4에 있어서, p401~p405, n401~n405는 트랜지스터를, In401~In404는 외부로부터의 입력 신호를, Out401은 출력 신호를, cp401은 기판 급전 콘택트를, cn401은 웰 급전 콘택트를 나타내고 있다.

도 5에 있어서, p501~p506, n501~n506은 트랜지스터를, In501~In506은 외부로부터의 입력 신호를 나타내고 있다. NPC501은 셀렉터를, node501과 node502는 셀렉터의 출력, Out501과 Out502는 패스 트랜지스터 논리 회로의 출력, BC501과 BC502는 출력 증폭 회로를, cp501은 기판 급전 콘택트를, cn501은 웰 급전 콘택트를 나타내고 있다.

도 6에서, p601~p602, n601~n602는 트랜지스터를, In601~In604는 외부로부터의 입력 신호를, Out601은 회로의 출력을 나타내고 있다.

도 7에서, p701~p703, n701~n703, p711~p716, n711~n716, p721~P724, n721~n724는 트랜지스터를, In701~In704, In711~In716, In721~In724는 외부로부터의 입력 신호를 나타내고 있다. NPC711은 셀렉터를, node701과 node702, node711과 node712, node721과 node722는 셀렉터의 출력, Out701, Out711, Out712, Out721은 패스 트랜지스터 논리 회로의 출력을, BC711과 BC712는 출력 증폭 회로를, IB721과 IB722는 입력 증폭 회로를 나타내고 있다.

도 8에 있어서, p801~p814, n801~n814는 트랜지스터를, NPC801~NPC803은 셀렉터를 나타내고 있다. 도 8의 실시예에서는, 출력 증폭 회로가 셀 경계 가까이에 배치되고, 전위 공급선의 주행 방향(도 8의 가로 방향)을 따라 열거되어 있기 때문에(도 8의 p801, p802, n801, n802), 셀렉터 회로가 복수개 존재한 경우라도, 이들 복수의 셀렉터 사이의 접속을 방해하지 않기 위해 무리없이 작은 면적에 셀을 레이아웃할 수 있다.

도 9는 도 8의 레이아웃에 적합한 회로의 예이다. 셀렉터 회로(NPC901, NPC902, NPC903)가 복수개 존재하는 경우, 이들 셀렉터 회로를 도 8에 도시된 바와 같이, 제1 전위의 공급선 및 제2 전위의 공급선이 주행하는 방향으로 배치 전개된다. 도 9에서, p901~p914, n901~n914는 트랜지스터를, In901~In914는 외부로부터의 입력 신호를 나타내고 있다. NPC901~NPC903은 셀렉터를, Out901과 Out902는 패스 트랜지스터 논리 회로의 출력을, BC901과 BC902는 출력 증폭 회로를 나타내고 있다. 레이아웃으로서 도 8의 생각을 적용하면, 출력 증폭 회로가 전위 공급선의 주행 방향(도 8의 가로 방향)에 대해 셀 경계 가까이에 배치되기 때문에(도 8의 p801, p802, n801, n802), 상술된 바와 같이 셀렉터 회로가 복수 존재한 경우라도, 이들 복수의 셀렉터 사이의 접속을 방해하지 않기 위해 무리없이 작은 면적에 셀을 레이아웃할 수 있다.

도 10에서, In1001~In1014는 외부로부터의 입력 신호를, Out1001과 Out1002는 패스 트랜지스터 논리 회로의 출력을 나타내고 있다.

도 11 및 도 12에, 본 발명을 이용하여, 패스 트랜지스터 논리 회로와 CMOS를 혼재시킨 회로의 레이아웃예를 나타낸다. 도면에서 도시된 바와 같이, 인접하는 셀의 여하에 상관없이, 최소 간격으로 배치할 수 있는 것을 알 수 있다. 또한, 인접하는 셀과 접하는 단의 트랜지스터가 전원 공급선과 접속하는 경우, 인접하는 다른 셀의 단의 트랜지스터가 마찬가지로 전원 공급선과 접속하는 경우, 각각의 확산층을 공유할 수 있어, 칩 면적을 더욱 축소할 수도 있다.

도 13에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 13은 셀렉터 회로를 두개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 하나의 셀렉터 회로의 출력이 다른 드레인의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 13에서, In1301~In1307은 외부로부터의 입력 신호를, Out1301은 패스 트랜지스터 논리 회로의 출력을, cp1301은 기관 급전 콘택트를, cn1301은 웰 급전 콘택트를 나타내고 있다.

도 14에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 14는 셀렉터 회로를 2개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 하나의 셀렉터 회로의 출력이 다른 게이트의 입력에 들어가, 셀렉터의 게이트의 반전 신호를 내부의 인버터로 작성하고 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 14에서, In1401~In1405는 외부로부터의 입력 신호를, Out1401과 패스 트랜지스터 논리 회로의 출력을, cp1401은 기관 급전 콘택트를, cn1401은 웰 급전 콘택트를 나타내고 있다.

도 15에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 15는 셀렉터 회로를 3개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데 없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 15에서, In1501~In1510은 외부로부터의 입력 신호를, Out1501은 패스 트랜지스터 논리 회로의 출력을, cp1501은 기관 급전 콘택트를, cn1501은 웰 급전 콘택트를 나타내고 있다.

도 16에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 16은 셀렉터 회로를 3개 이용하여, 셀렉터의 게이트의 반전 신호를 내부의 인버터로 발생시킨 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인과 게이트의 입력에 들어가 있다. 이 경우라도, 본 발명의 용태를 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 16에서, In1601~In1607은 외부로부터의 입력 신호를, Out1601은 패스 트랜지스터 논리 회로의 출력을, cp1601은 기관 급전 콘택트를, cn1601은 웰 급전 콘택트를 나타내고 있다.

도 17에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 17은 셀렉터 회로를 4개 이용하여, 셀렉터의 게이트의 반전 신호를 내부의 인버터로 발생시킨 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인과 게이트의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 17에서, In1701~In1709는 외부로부터의 입력 신호를, Out1701과 패스 트랜지스터 논리 회로의 출력을, cp1701은 기관 급전 콘택트를, cn1701은 웰 급전 콘택트를 나타내고 있다.

도 18에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 18은 셀렉터 회로를 4개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 하나의 셀렉터의 출력이 다른 드레인의 입력에 들어가 있다. 이 경우에서도, 본 발명의 용태를 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 18에서, NPC1801~NPC1802는 셀렉터를, BC1801과 BC1802는 출력 증폭 회로를, cp1801은 기관 급전 콘택트를, cn1801은 웰 급전 콘택트를 나타내고 있다.

도 19에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 19는 셀렉터 회로를 4개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 하나의 셀렉터의 출력이 다른 게이트의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 19에서, NPC1901~NPC1902는 셀렉터를, BC1901과 BC1902는 출력 증폭 회로를, cp1901은 기관 급전 콘택트를, cn1901은 웰 급전 콘택트를 나타내고 있다.

도 20에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 20은 셀렉터 회로를 6개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 20에서, NPC2001~NPC2003은 셀렉터를, BC2001과 BC2002는 출력 증폭 회로를, cp2001은 기관 급전 콘택트를, cn2001은 웰 급전 콘택트를 나타내고 있다.

도 21에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 21은 셀렉터 회로를 6개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인과 게이트의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 21에서, NPC2101~NPC2103은 셀렉터를, BC2101과 BC2102는 출력 증폭 회로를, cp2101은 기관 급전 컨택트를, cn2101은 웰급전 컨택트를 나타내고 있다.

도 22에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 22는 셀렉터 회로를 8개 이용한 경우의 레이아웃도(a)와 회로도(b)이다. 입력에 가까운 셀렉터의 출력이 출력에 가까운 셀렉터의 드레인과 게이트의 입력에 들어가 있다. 이 경우라도, 본 발명을 이용하면, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 22에서, NPC2201~NPC2204는 셀렉터를, BC2201과 BC2202는 출력 증폭 회로를, cp2201은 기관 급전 컨택트를, cn2201은 웰급전 컨택트를 나타내고 있다.

도 23에, 본 발명을 이용하여 구성한 회로를 도시한다. 도 23은 입력에 신호 증폭 장치를 갖는 셀렉터 회로로서, 셀렉터가 1개인 레이아웃도(a)와 회로도(b)이다. 이에 따라, 드레인의 입력 용량이 작아지는 데다가, 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 23에서, p2301~p2304, n2301~n2304는 트랜지스터를, In2301~In2304는 외부로부터의 입력 신호를 나타내고 있다. IB2301, IB2302는 입력 증폭 회로를, node2301과 node2302는 입력 증폭 회로의 출력을, Out2301은 패스 트랜지스터 논리 회로의 출력을, cp2301은 기관 급전 컨택트를, cn2301은 웰급전 컨택트를 나타내고 있다.

도 24에, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 24는 입력으로 신호 증폭 장치를 갖는 셀렉터 회로이고, 셀렉터의 게이트의 반전 신호를 내부의 인버터로 발생시킨 회로이고, 셀렉터가 1개인 레이아웃도(a)와 회로도(b)이다. 이에 따라, 드레인의 입력 용량이 작아지는 데다가, 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 24에서, p2401~p2405, n2401~n2405는 트랜지스터를, In2401~In2403은 외부로부터의 입력 신호를 나타내고 있다. IB2401~IB2402는 입력 증폭 회로를, node2401~node2402는 입력 증폭 회로의 출력을, Out2401, Out2402는 패스 트랜지스터 논리 회로의 출력을, cp2401은 기관 급전 컨택트를, cn2401은 웰 급전 컨택트를 나타내고 있다.

도 25는, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 25는 입력에 신호 증폭 장치 갖는 셀렉터 회로이고, 셀렉터가 2개인 레이아웃도(a)와 회로도(b)이다. 이에 따라, 드레인의 입력 용량이 작아지는 데다가, 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 25에서, p2501~p2508, n2501~n2508은 트랜지스터를, In2501~In2406은 외부로부터의 입력 신호를 나타내고 있다. IB2501~IB2504는 입력 증폭 회로를, Out2501, Out2502는 패스 트랜지스터 논리 회로의 출력을, cp2501은 기관 급전 컨택트를, cn2501은 웰 급전 컨택트를 나타내고 있다.

도 26은, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 26은 입력에 신호 증폭 장치를 갖는 셀렉터 회로이고, 셀렉터의 게이트의 반전 신호를 내부의 인버터로 발생시킨 회로이고, 셀렉터가 6개인 레이아웃도(a)와 회로도(b)이다. 이에 따라, 드레인의 입력 용량이 작아지는 데다가, 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다.

도 26에서, p2601~p2611, n2601~n2611은 트랜지스터를, In2601~In2607은 외부로부터의 입력 신호를 나타내고 있다. IB2601~IB2605는 입력 증폭 회로를, Out2601, Out2602는 패스 트랜지스터 논리 회로의 출력을, cp2601은 기관 급전 컨택트를, cn2601은 웰 급전 컨택트를 나타내고 있다.

도 27은, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 27은 입력에 신호 증폭 장치를 갖는 셀렉터 회로로서, 셀렉터 회로가 6개인 레이아웃도(a)와 회로도(b)이다. 이에 따라, 드레인의 입력 용량이 작아지는 데다가, 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 27에서, p2701~p2722, n2701~n2722는 트랜지스터를, In2701~In2714는 외부로부터의 입력 신호를 나타내고 있다. 또한, Out2701, Out2702는 패스 트랜지스터 논리 회로의 출력을, cp2701은 기관 급전 컨택트를, cn2701은 웰 급전 컨택트를 나타내고 있다.

도 28은, 본 발명을 이용하여 구성한 회로를 나타낸다. 도 28의 (a)는 래치 레이아웃도이고 도 28의 (b)는 회로도이다. 본 발명의 용태를 이용하면, 확산층의 공통화를 이용하여, 쓸데없는 스페이스가 없는 레이아웃을 작성할 수 있다. 도 28에서, p2801~p2809, n2801~n2809는 트랜지스터를, In2801~In2802는 외부로부터의 입력 신호를 나타내고 있다. Out2801은 패스 트랜지스터 논리 회로의 출력을, cp2801은 기관 급전 컨택트를, cn2801은 웰 급전 컨택트를 나타내고 있다.

도 29는, 본 발명의 칩 내에서의 회로도이다. L2901과 L2902는 래치이다. 이들 래치에는 동일 CLOCK가 공급된다. A2901, A2902, A2903은, 본 발명을 이용하여 구성한 패스 트랜지스터 논리 회로 셀, B2901은 CMOS 회로이다. A2901, A2902, A2903은, 제1 전원 공급선(여기서는 가령 VCC)과 제2 전원 공급선(여기서는 가령 GND)사이에 끼워지는 형태로 존재하고, 회로 사이에는 신호선에 의해 접속되어 있다. A2901의 셀렉터를 통과한 신호는, 그 신호를 이용하는 복수의 단자에 전달하고 있다.

도 30은, 본 발명의 칩 내에서의 레이아웃도이다. L3001과 L3002는 래치이다. 이들 래치에는 동일 CLOCK가 공급된다. A3001, A3002, A3003은, 본 발명을 이용하여 구성한 패스 트랜지스터 논리 회로 셀, B3001, B3002는 CMOS 회로 셀이다. A3001, A3002, A3003은, 제1 전원 공급선(여기서는 가령 VCC)과 제2 전원 공급선(여기서는 가령 GND) 사이에 끼워지는 형태로 존재하고, 회로 사이에는 신호선에 의해 접속되고, A3001의 셀렉터를 통과한 신호는, 그 신호를 이용하는 복수의 단자로 전달하고 있다. 또한, 본 발명의 형태를 취하면, 종래의 CMOS 회로 모두, 문제없이 공존하여 칩을 구성할 수 있다.

도 31은, 본 발명의 칩 내에서의 레이아웃도이다. L31001과 L3102는 래치이다. 이들 래치에는 동일 CLOCK가 공급된다. A3101, A3102, A3103은, 본 발명을 이용하여 구성한 패스 트랜지스터 논리 회로 셀, B3101, B3102는 CMOS 회로 셀이다. A3101, A3102, A3103은, 제1 전원 공급선(여기서는 가령 VCC)과 제2 전원 공급선(여기서는 가령 GND) 사이에 끼워지는 형태로 존재하고, 회로 사이에는 신호선에 의해 접속되어 있다. 또한, L3101-A3101-A3102-A3103-L3102의 계에서, 보다 고속의 신호 전파가 요구되는 경우, 저임계치 회로를 준비함으로써, 보다 고속의 신호 전파를 행할 수 있다. 이 저임계치 회로도 본 발명을 이용하여 구성할 수 있고, 이에 따라 회로의 성능 향상이 가능해진다.

도 32에 본 발명을 이용한 회로의 단면 구조를 나타낸다.

## 발명의 효과

본 발명에 따르면, 면적이 작고, 소비 전력 및 지연 시간의 저감, 또한 설계 시간의 단축이 가능한 패스 트랜지스터 논리 회로 셀을 갖는 반도체 집적 회로를 제공할 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.

도 2는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.

도 3은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.

도 4는 CMOS 논리 회로(4 입력 AND) 레이아웃도 및 회로도.

도 5는 비교예로서 본 발명의 실시예를 이용하지 않은 경우의 논리 회로 셀의 레이아웃도 및 회로도.

도 6은 비교예로서의 논리 회로의 레이아웃도.

도 7은 본 발명의 실시예에 따른 논리 회로의 회로도.

도 8은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도.

도 9는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 회로도.

도 10은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도.

도 11은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 어레이 구성도.

도 12는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 어레이 구성도.

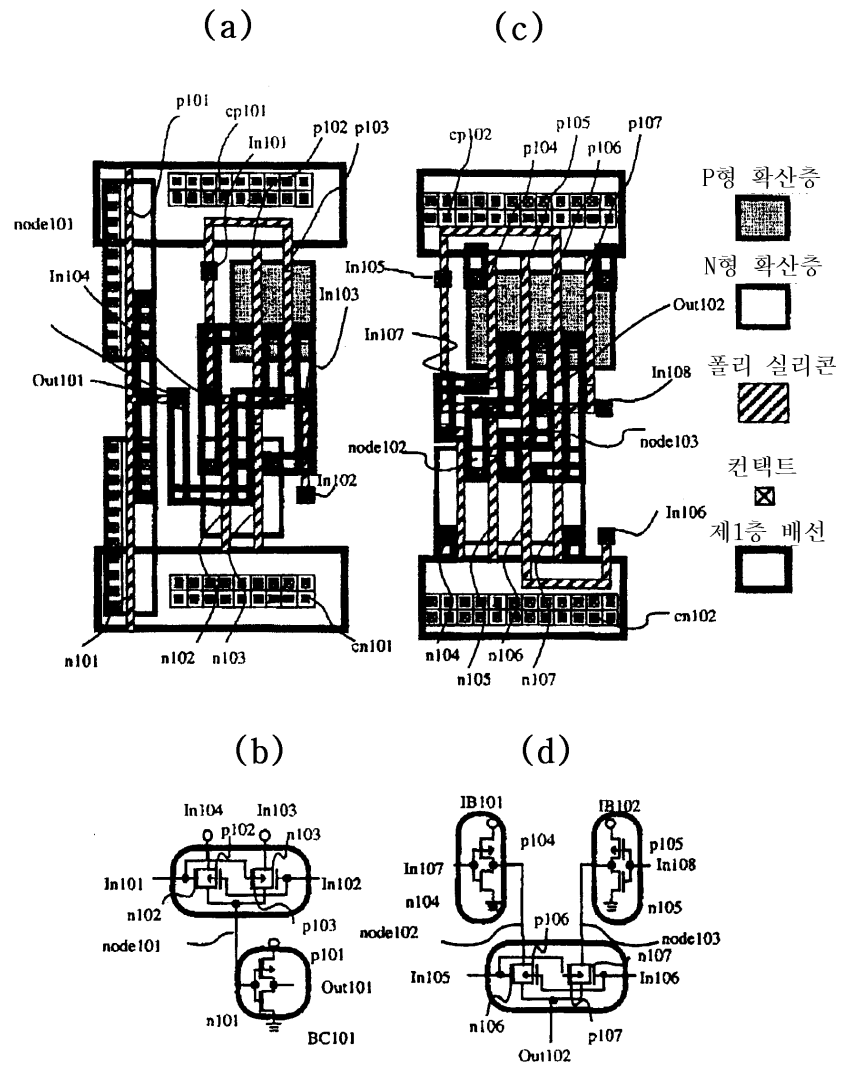
- 도 13은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 14는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 15는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 16은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 17은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 18은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 19는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 20은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 21은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 22는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 23은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 24는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 25는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 26은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 27은 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 회로도.
- 도 28은 본 발명의 실시예에 따른 래치의 레이아웃도 및 회로도.
- 도 29는 본 발명의 실시예에 따른 칩 내의 회로도.
- 도 30은 본 발명의 실시예에 따른 칩 내의 레이아웃도.
- 도 31은 본 발명의 실시예에 따른 칩 내의 레이아웃도(2중 임계치).
- 도 32는 본 발명의 실시예에 따른 패스 트랜지스터 논리 회로의 레이아웃도 및 디바이스의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

p101~p106, n101~n106 : 트랜지스터  
 IN101~IN106 : 외부로부터의 입력 신호  
 NPC201 : 셀렉터 회로  
 node201, node202 : 셀렉터 회로의 출력  
 Out201, Out202 : 패스 트랜지스터 논리 회로의 출력  
 BC201, BC202 : 출력 증폭 회로  
 cp201 : 기판 급전 콘택트  
 cn201 : 웰 급전 콘택트

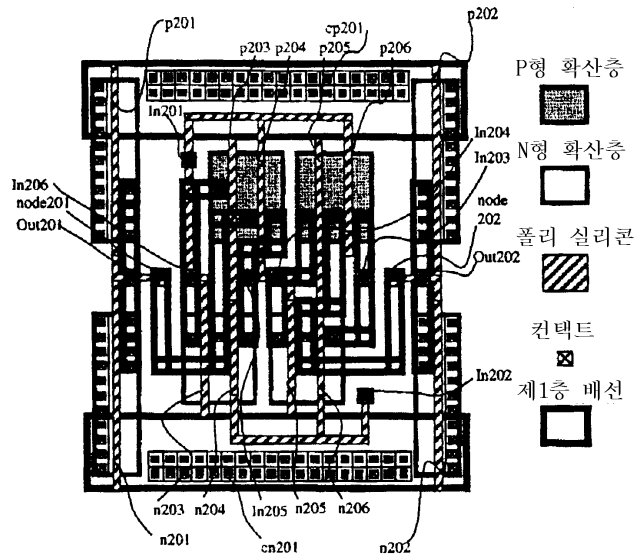
도면

도면1

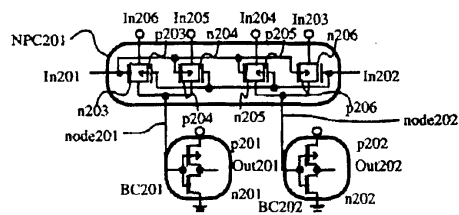


도면2

(a)

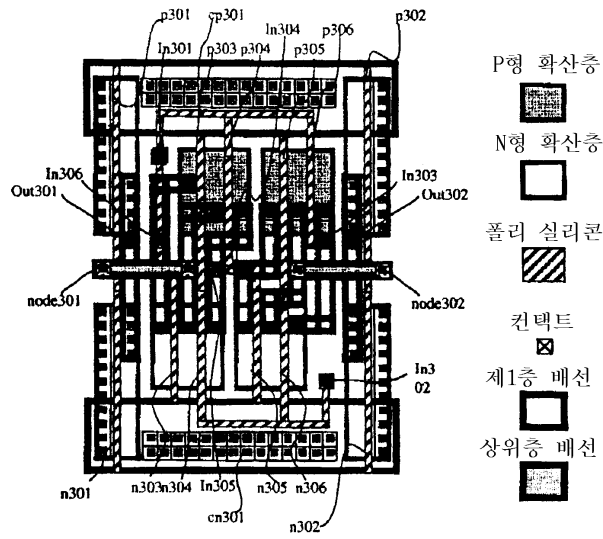


(b)

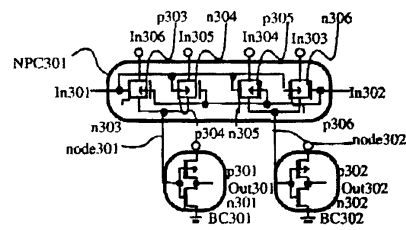


도면3

(a)



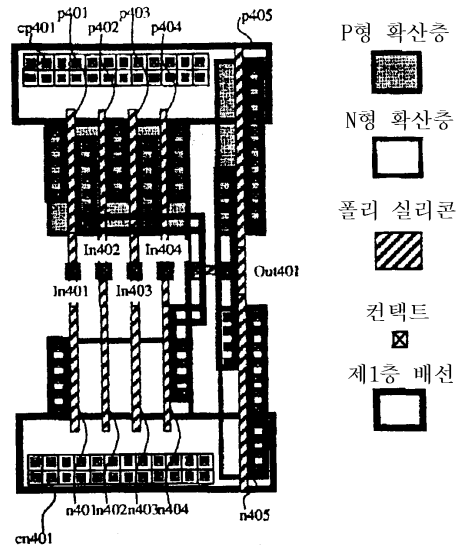
(b)



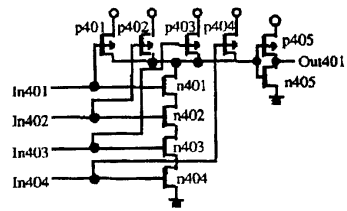


도면4

(a)

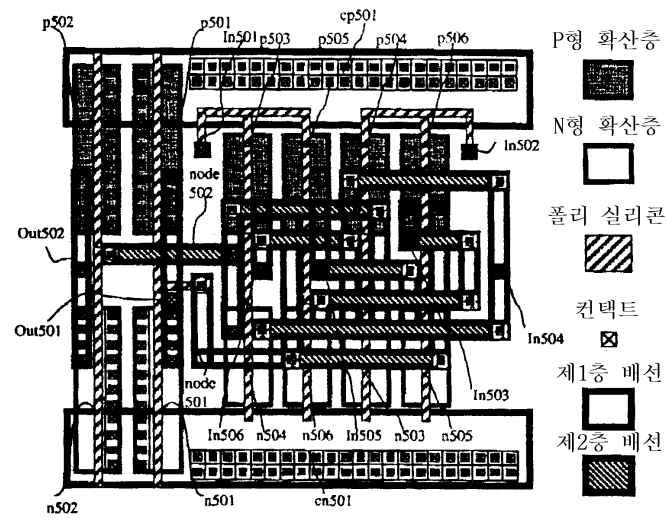


(b)

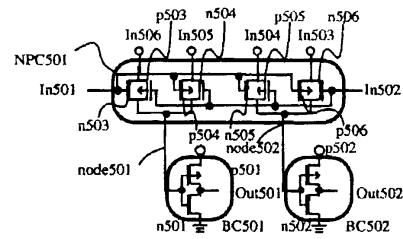


도면5

(a)

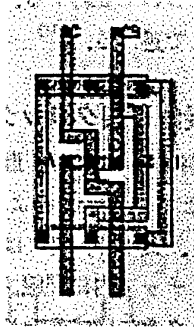


(b)

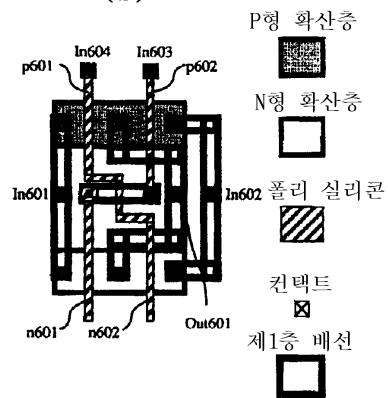


도면6

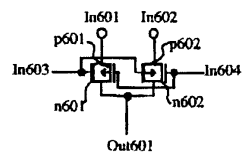
(a)



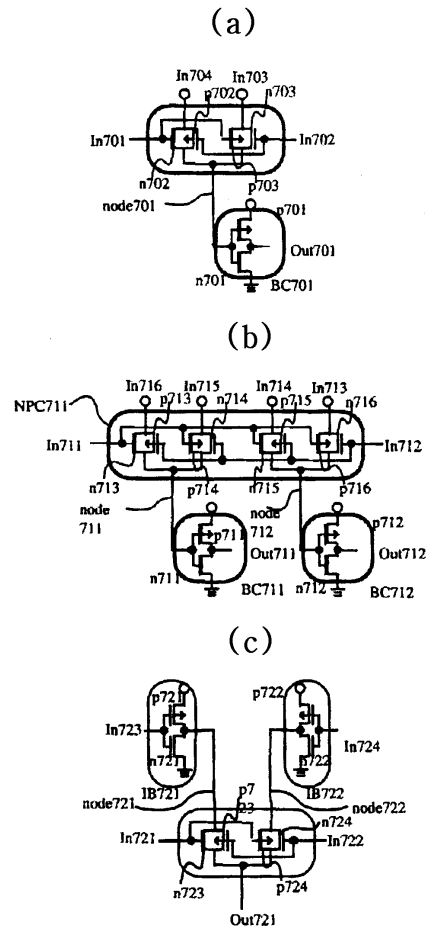
(b)



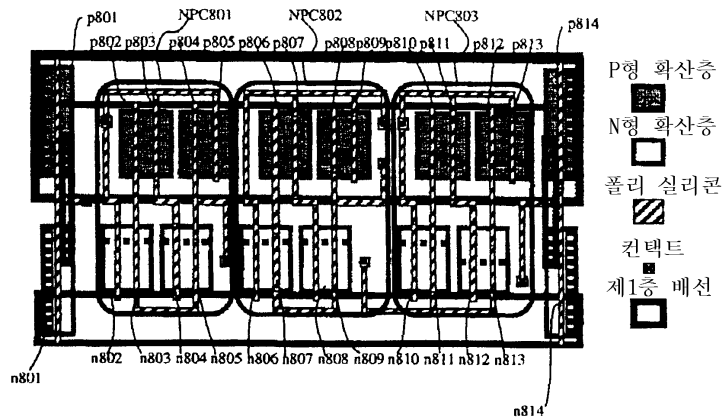
(c)



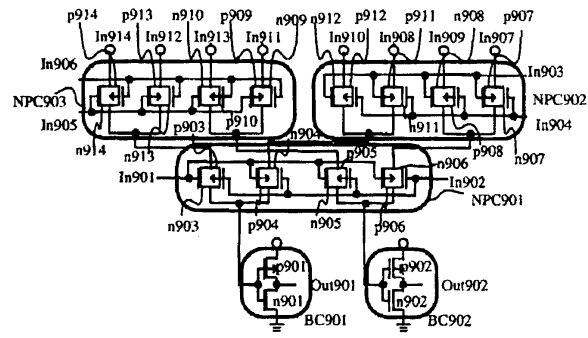
도면7



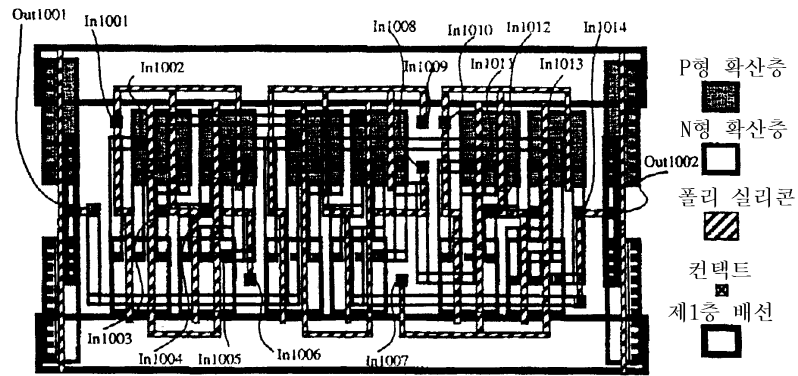
도면8



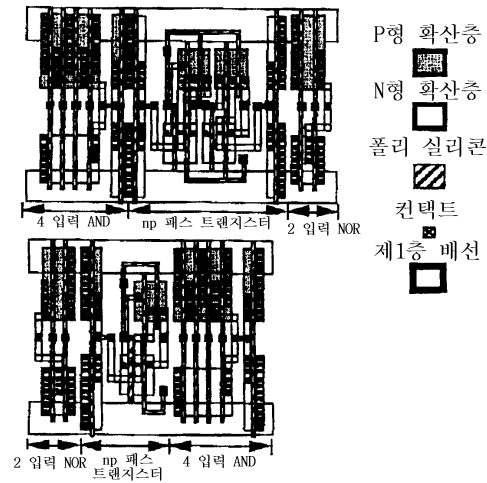
도면9



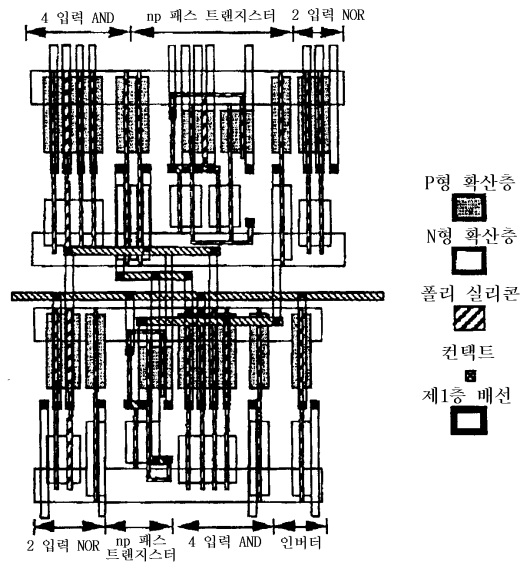
도면10



도면11

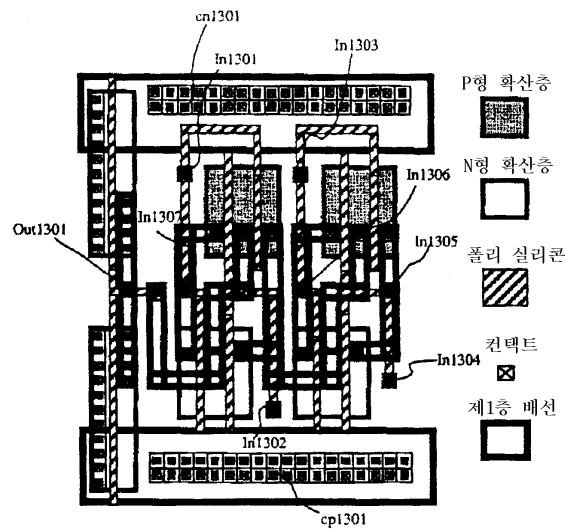


도면12

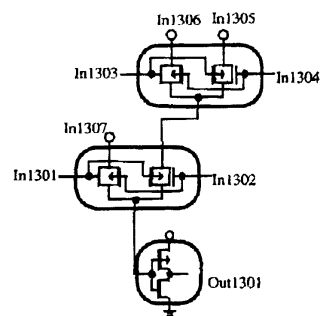


도면13

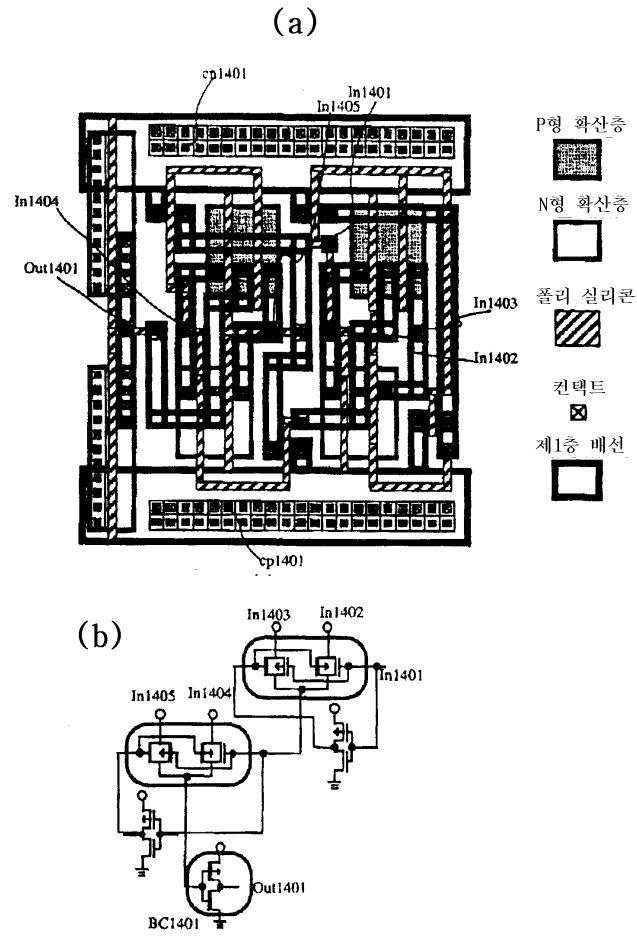
(a)



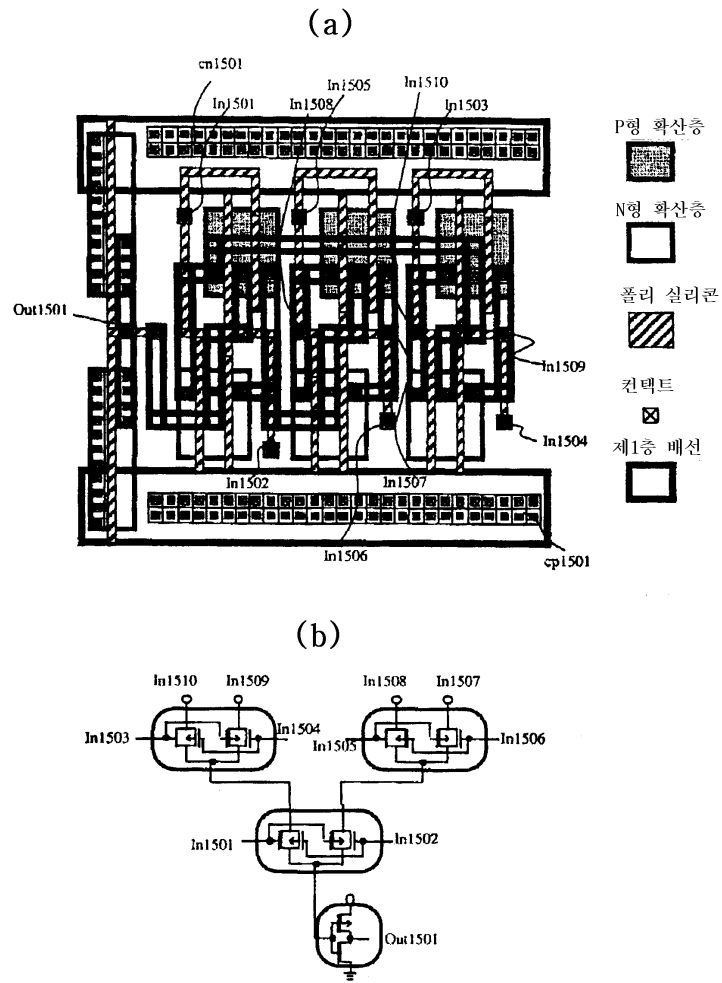
(b)



도면14



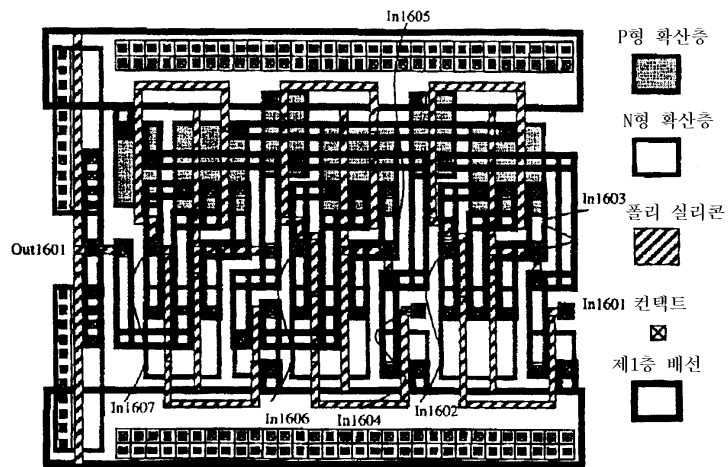
도면15



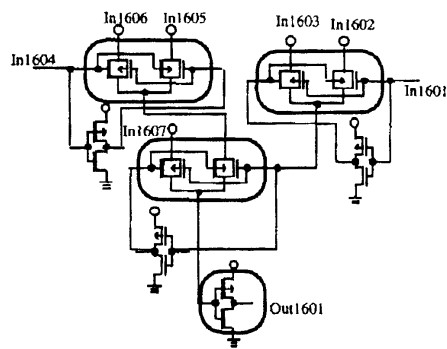


도면16

(a)

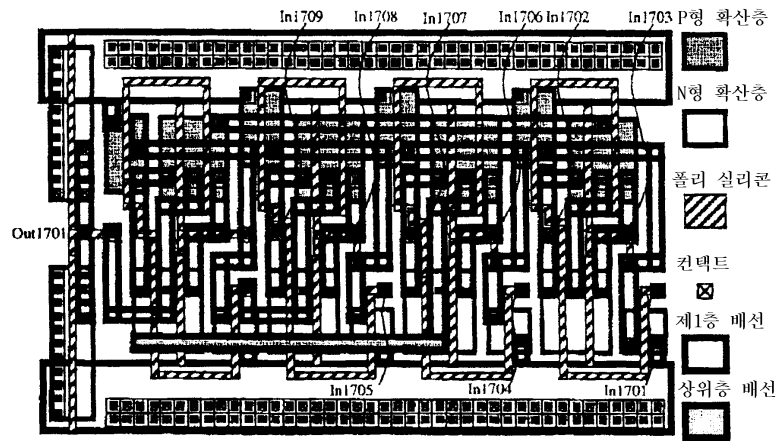


(b)

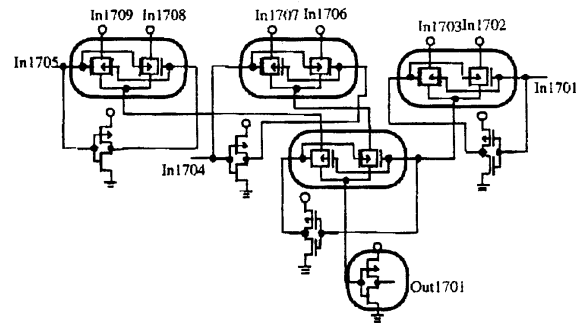


도면17

(a)

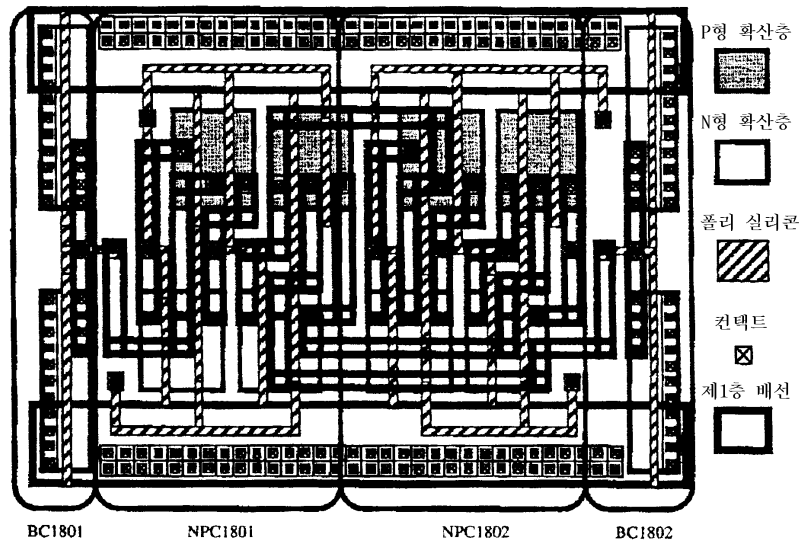


(b)

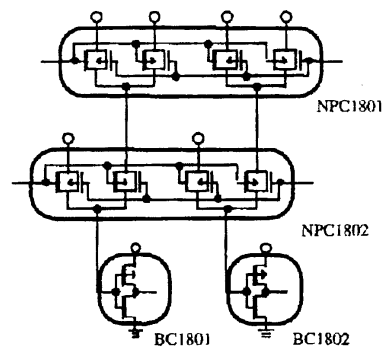


도면18

(a)

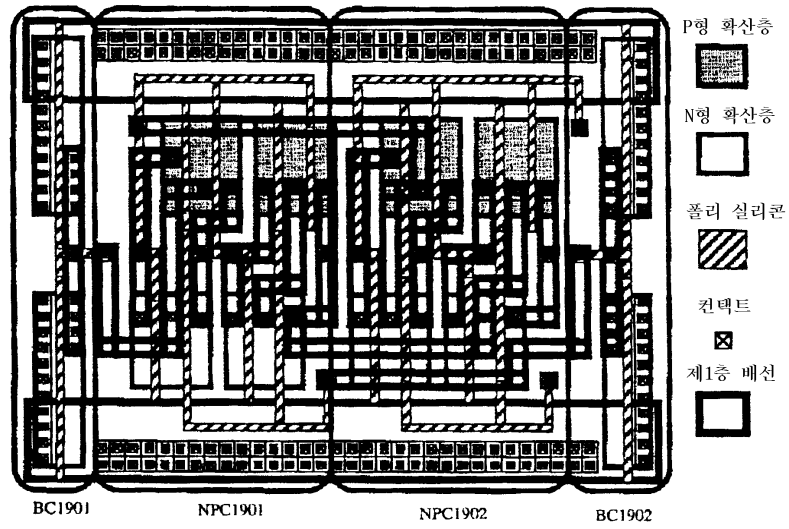


(b)

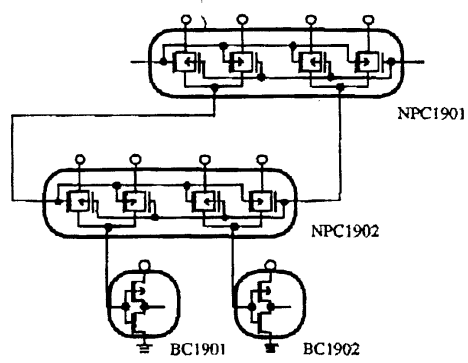


도면19

(a)

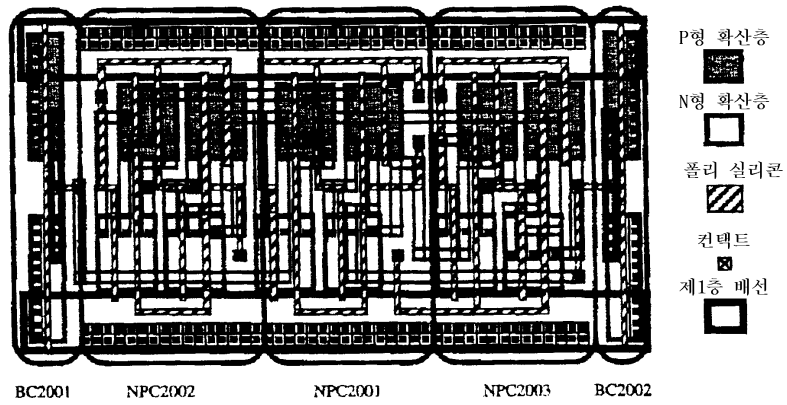


(b)

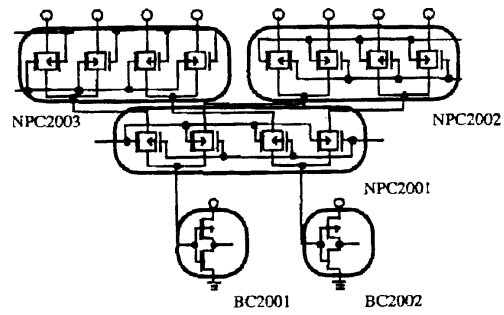


도면20

(a)

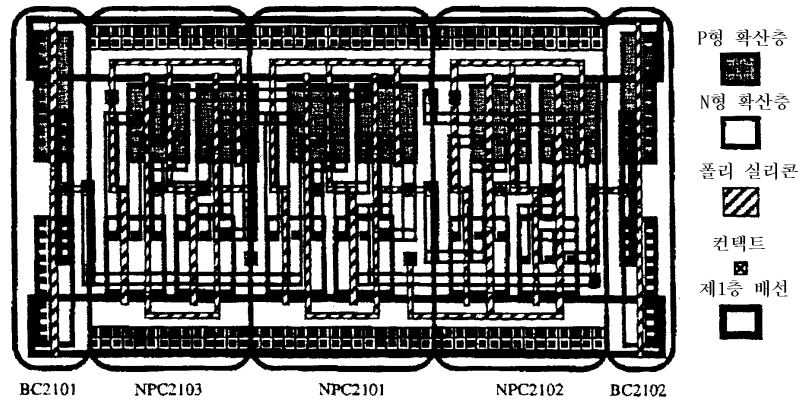


(b)

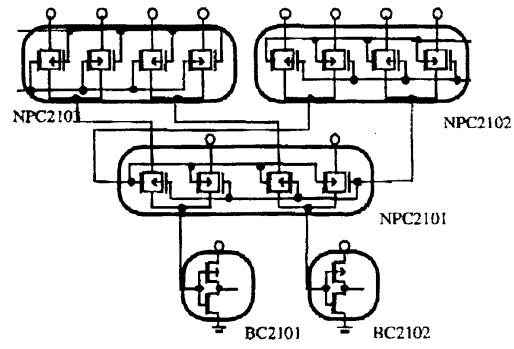


도면21

(a)

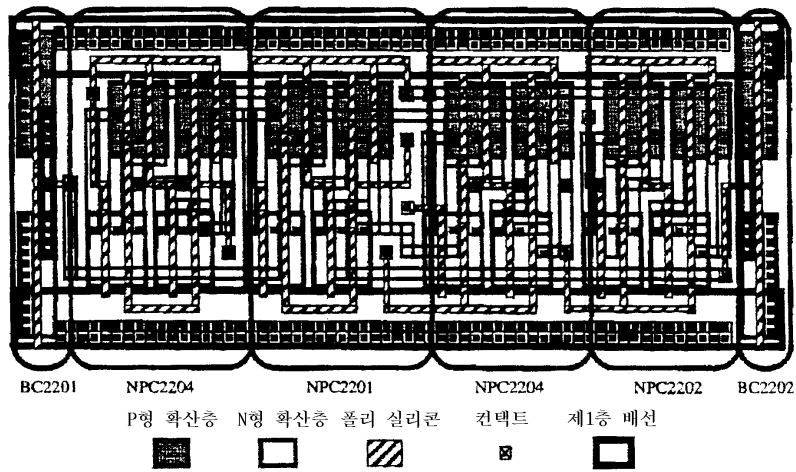


(b)

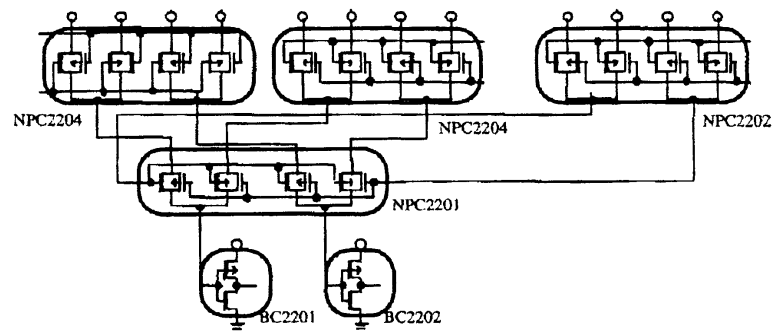


도면22

(a)

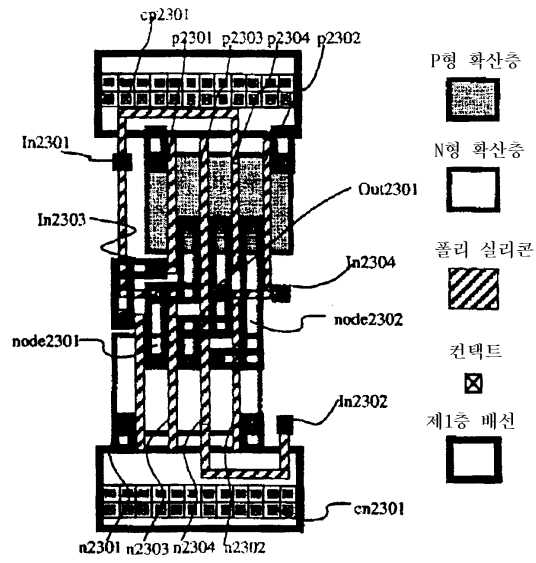


(b)

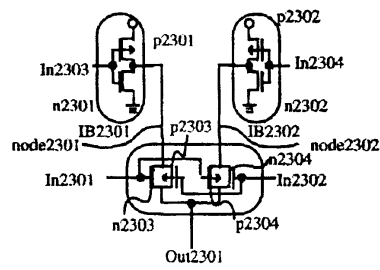


도면23

(a)



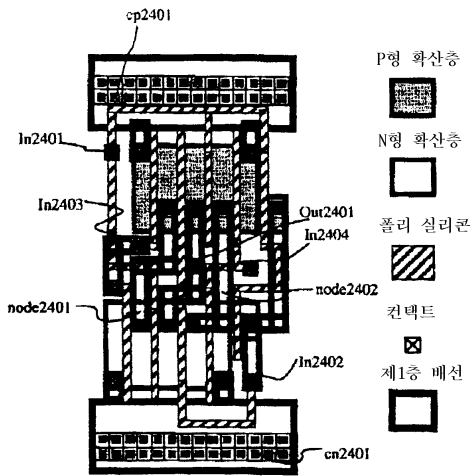
(b)



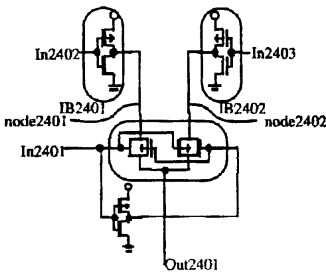


도면24

(a)

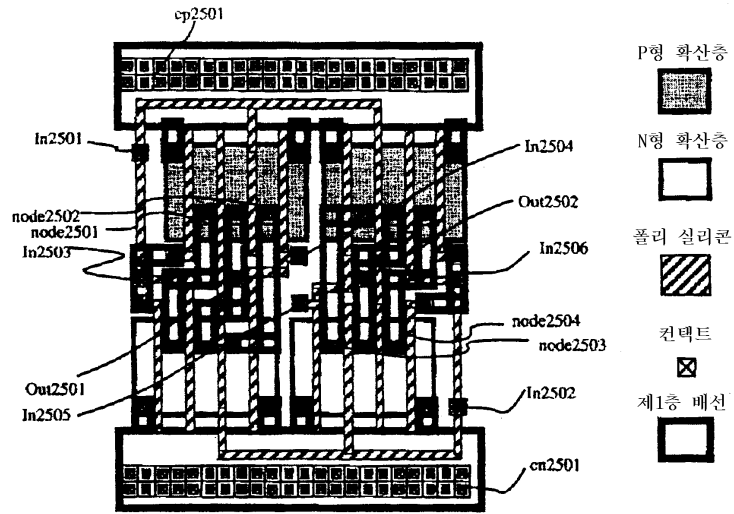


(b)

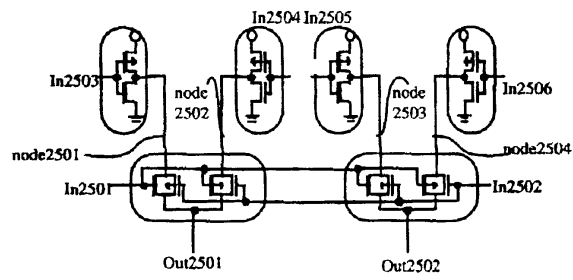


도면25

(a)

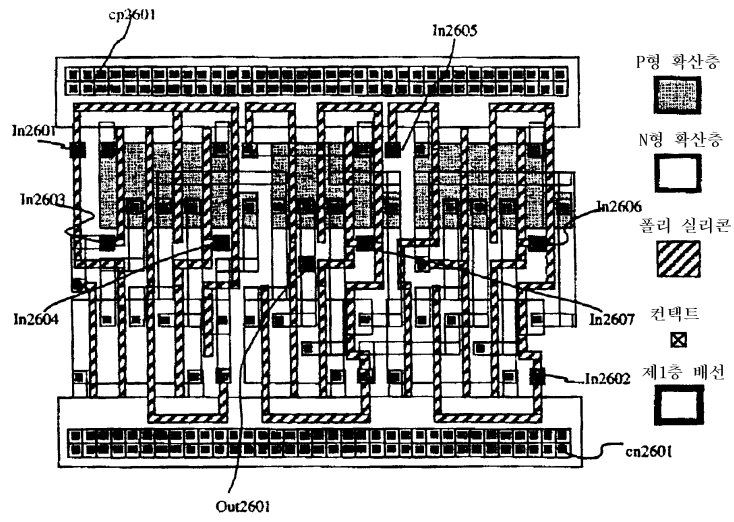


(b)

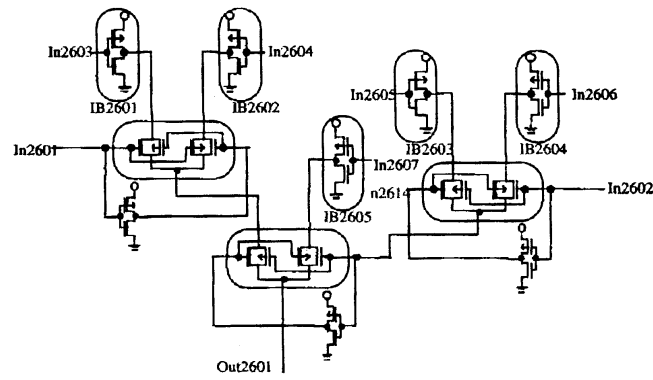


도면26

(a)

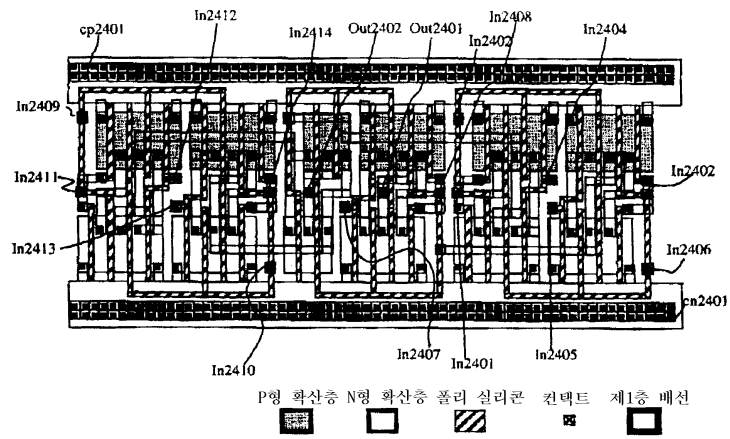


(b)

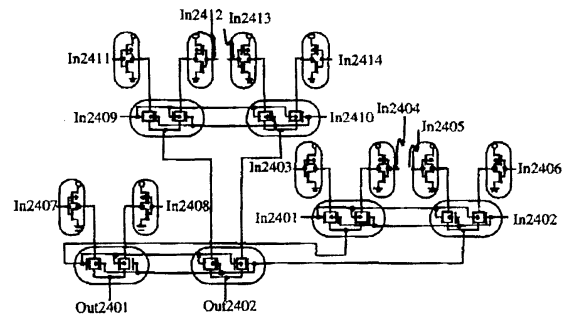


도면27

(a)

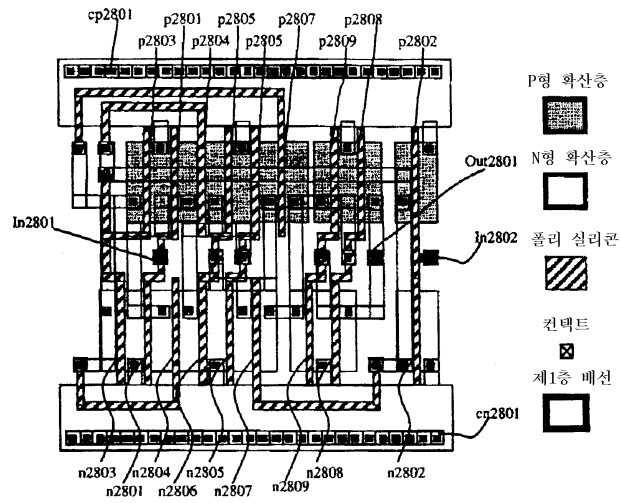


(b)

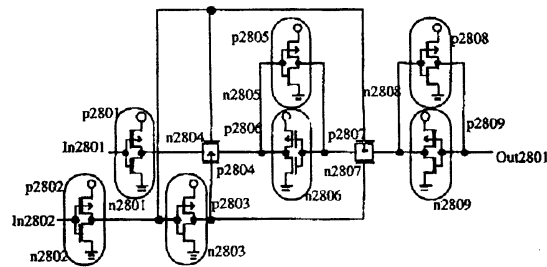


도면28

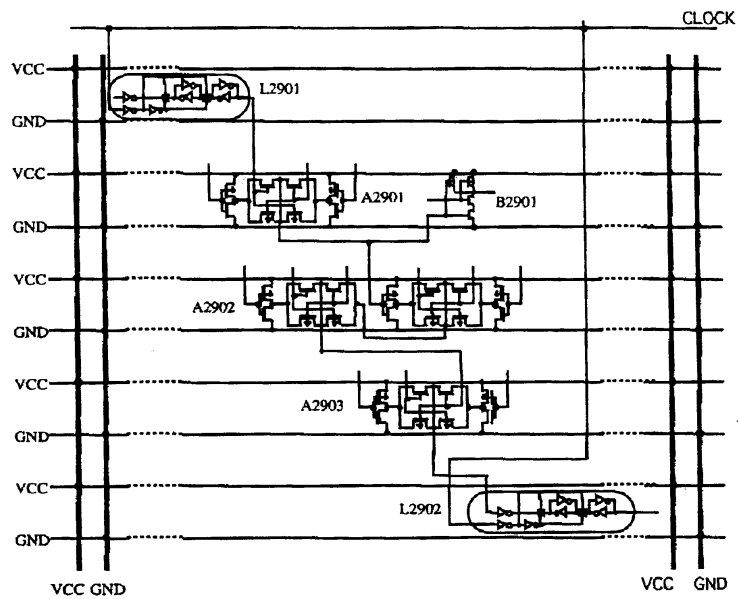
(a)



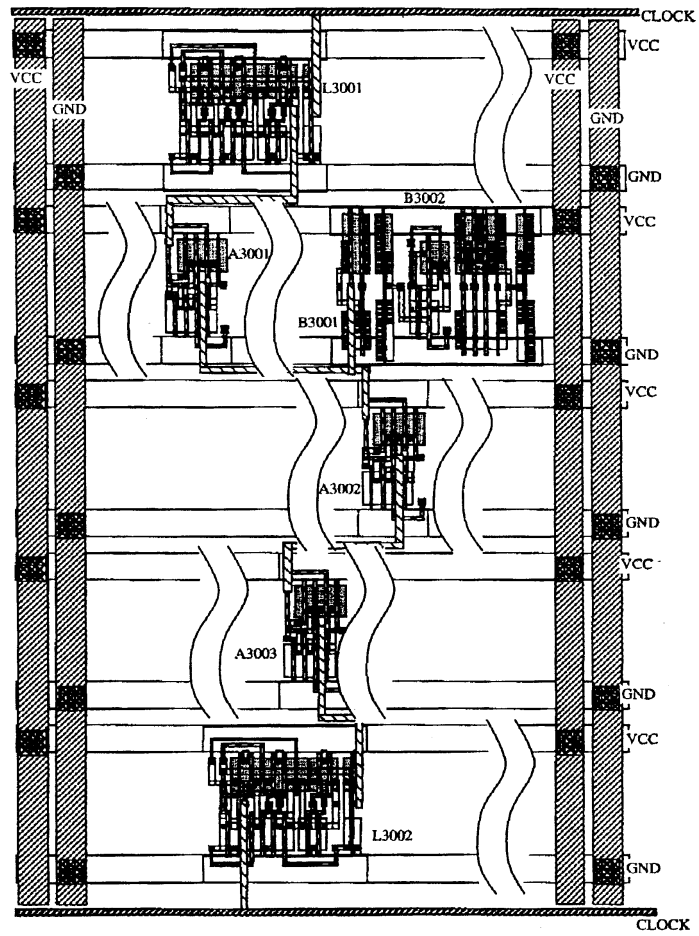
(b)



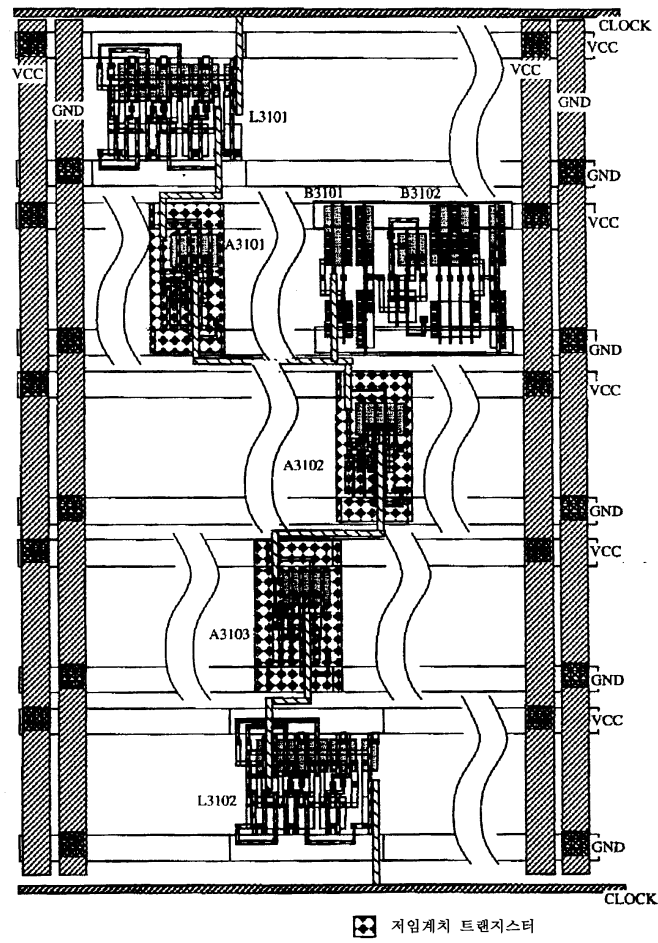
도면29



도면30

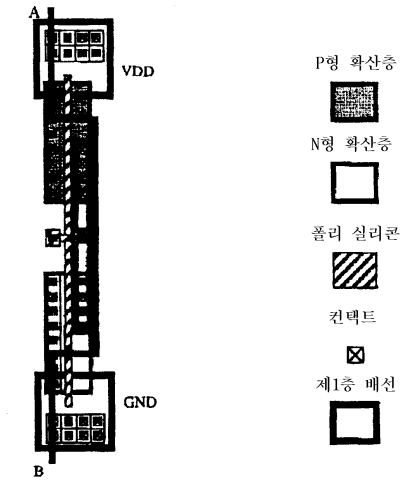


도면31



도면32

(a)



(b)

