(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0071130
(43) 공개일자 2025년05월21일

(51) 국제특허분류(Int. Cl.)
H10D 48/00 (2025.01) *H01L 21/02* (2006.01)
H10D 30/67 (2025.01) *H10D 64/62* (2025.01)
H10D 84/03 (2025.01)
(52) CPC특허분류
H10D 99/00 (2025.01)
H01L 21/02274 (2013.01)
(21) 출원번호 10-2023-0175338
(22) 출원일자 2023년12월06일
심사청구일자 2023년12월06일
(30) 우선권주장
1020230157650 2023년11월14일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유현용
서울특별시 서초구 신반포로 270, 130동 2403호
한규현
서울특별시 성동구 고산자로 164, 116동 2302호
(74) 대리인
김등용

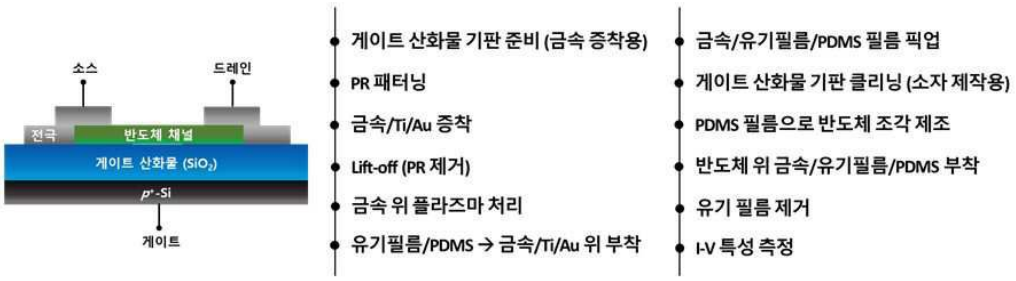
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **저온 플라즈마 처리 기반 금속 이동 및 고품질 소스-드레인 형성 방법**

(57) 요 약

저온 식각 기반 금속 이동 기술 및 고품질 소스-드레인 형성 기술과 이를 이용한 반도체 소자의 제조 방법이 개시된다. 상기 반도체 소자의 제조 방법은, 산화물 기판이 마련되는 단계, 상기 산화물 기판 상에 컨택 금속, Ti, 및 Au가 순차적으로 증착되는 단계, 상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 산화물 기판이 플라즈마 처리되는 단계, 상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 상기 산화물 기판 상에 유기 필름이 부착되는 단계, 및 상기 산화물 기판이 제거되는 단계를 포함를 포함한다.

대 표 도 - 도3



(52) CPC특허분류
H10D 30/675 (2025.01)
H10D 64/62 (2025.01)
H10D 84/017 (2025.01)
H10D 84/0193 (2025.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711196376
과제번호 00257003
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 차세대지능형반도체기술개발(소자)
연구과제명 차세대 대면적 3차원 Monolithic 집적을 위한 저온 공정 기반 Si/Ge 채널 상부 응용 소자 제작 기술 개발 및 회로/아키텍처 구현
기 여 율 1/2
과제수행기관명 고려대학교산학협력단
연구기간 2023.04.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711187445
과제번호 2020R1A2C2004029
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)
연구과제명 차세대 반도체 소자를 위한 steep switching 특성 기반의 Hybrid Conductance Transition Steep Switching (HYCOS) FET 소자 개발
기 여 율 1/2
과제수행기관명 고려대학교
연구기간 2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

산화물 기판이 마련되는 단계;

상기 산화물 기판 상에 컨택 금속, Ti, 및 Au가 순차적으로 증착되는 단계;

상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 산화물 기판이 플라즈마 처리되는 단계;

상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 상기 산화물 기판 상에 유기 필름이 부착되는 단계; 및

상기 산화물 기판이 제거되는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 컨택 금속은, Ti, Au, Pt, Al, Ag, Cr, V, Mn, Fe, Co, Ni, Nb, Ru, Rh, Hf, Ta, W, Re, TaN, TiN, Er, W, Mo, 및 Cu 중 어느 하나인,

반도체 소자의 제조 방법.

청구항 3

제1항에 있어서,

상기 유기 필름은 PPC(Poly propylene carbonate) 필름 또는 PMMA(Polymethyl methacrylate) 필름인,

반도체 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 유기 필름이 부착되는 단계는, 상기 유기 필름 상에 PDMS(Polydimethylsiloxane) 필름이 부착되는 단계를 더 포함하는,

반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

게이트 산화물 기판이 마련되는 단계;

상기 게이트 산화물 기판 상에 채널이 형성되는 단계;

상기 채널이 형성된 상기 게이트 산화물 기판에 상기 컨택 금속, 상기 Ti, 상기 Au, 및 상기 유기 필름이 소스 또는 드레인으로 부착되는 단계; 및

상기 유기 필름이 제거되는 단계를 더 포함하는,

반도체 소자의 제조 방법.

청구항 6

제6항에 있어서,

상기 채널은 WSe_2, MoS2, WS2, ReS2, ReSe2, PtSe2, HfS2, MoS2, HfSe2, HfTe5, HfTe2, ZrS2, ZrSe2, ZrTe2, ZrS3, ZrS5, ZrTe3, MoTe2, MoSe2, BP(black phosphorus), 2D tellurium, GeSe, GaSe, GeAs, black AsP, 및

a-MnS 중 어느 하나를 포함하는,

반도체 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 금속 위 저온 플라즈마 처리를 통해 모든 금속을 액상 처리 없이 건식 이동시킬 수 있는 기술에 대한 것이며, 이를 통해 금속/반도체 접합시에 페르미 레벨 언피닝 유도를 통해 반도체의 타입을 결정할 수 있는 기술에 대한 것이다.

배 경 기 술

[0002] 최근 미래에 실리콘을 대체할 새로운 반도체 재료로 각광받고 있는 2D 반도체 물질인 전이 금속 다이칼코겐(MoS_2, WS_2, $MoTe_2$, $MoSe_2$, ReS_2, $ReSe_2$, HfS_2, BP 등)을 기반으로 한 여러 종류의 소자에 대한 연구가 활발히 진행 중이다. 특히, 도 1에 도시된 바와 같이, 2D 반도체 및 벌크 반도체(Si, Ge, SiGe, GaAs 등)들은 소스/드레인 영역에 금속/반도체 접합을 형성하기 위해 금속을 직접 증착할 때, 반도체 계면에 임의의 에너지 상태(state)가 형성되어 모든 금속의 일함수와 상관없이 임의의 에너지 상태로 피닝되며, 이를 페르미 레벨 피닝(Fermi level pinning)으로 부른다.

[0003] 따라서, 도 1에 도시된 바와 같이, 피닝(pinning) 위치가 반도체 밴드갭에서 가운데 위치한다고 가정한다면, 전기적 특성 곡선이 N-타입(N-type)과 P-타입(P-type) 형태를 모두 가진 앰비폴러(amibipolar) 곡선 형태를 갖게 된다.

[0004] 이렇듯, 반도체의 페르미 레벨 피닝 현상은 금속의 일함수와 상관없이 한 가지의 반도체 타입으로 정해지게 되어 대면적 웨이퍼에서 한가지 채널 물질로 CMOS 형태의 P-타입과 N-타입 반도체 소자 복합 구조로 제작하기 매우 힘든 한계점이 있다.

[0005] 이 한계점을 극복하기 위해 개발된 기술이 금속 반 데르 발스 (van der Waals, vdW) 컨택이며, 이는 반도체 소스/드레인 영역에 직접 금속을 증착하는 과정에서 반도체 계면에서 발생하는 문제를 해결하기 위해 금속을 별도의 기판에서 증착하여 PMMA(Polymethyl methacrylate) 필름을 이용하여 반도체 소스/드레인 영역에 부착하는 방식이다.

[0006] 이렇듯, 금속 vdW 컨택 기술을 이용한다면, 도 1에 도시된 바와 같이, 금속/반도체 계면에서 페르미 레벨 언피닝(Fermi level unpinning)으로 인해 금속의 일함수에 따라 반도체의 타입이 결정될 수 있다. 일함수가 작은 금속 물질일수록 N-타입 반도체 동작을 보이며, 일함수가 큰 금속 물질을 사용하면 P-타입 반도체 동작을 보일 수 있어, 도 1에 도시된 바와 같이, 전기적 특성 곡선이 금속의 일함수에 따라 달라질 수 있다.

[0007] 하지만, 기존의 금속 vdW 컨택 기술은 건식 필름으로 강제로 뜯어내는 기술이며, 기판과 강한 결합력을 가진 금속은 뜯어내는 것이 불가능하다. 특히, 일함수가 매우 적은 Ti 금속의 경우, 기판과의 결합력이 너무 강력하여 픽업하기 매우 힘들다.

[0008] 본 발명에서는, 금속 위 플라즈마 처리를 통해 필름과의 강화된 결합력을 이용하여 모든 모든 금속을 건식 이동하여 반도체 소스/들인을 vdW 컨택할 수 있는 기술을 제안하며, 최종적으로 이를 통해 반도체의 타입을 결정할 수 있다.

발명의 내용

해결하려는 과제

[0009] 기존에 금속 이동 기술은 PMMA 필름을 스핀 코팅 방식으로 기판 위 금속 전극으로 덮어 강제로 뜯어내는 방식이었다. 하지만, 이 기술은 PMMA 필름이 매우 얇아 기판에서 금속을 픽업한 후, 금속이 손상될 위험이 있으므로 금속의 품질을 유지할 수 있는 픽업 기술을 개발하고자 한다.

[0010] 또한, 기존의 기술은 기판에서 금속을 강제로 픽업하는 방식이므로 Ti와 같이 결합력이 매우 강한 금속은 픽업이 불가능하여 반도체 타입을 결정하는 기술에 한계점이 있었으나, 본 발명에서 이를 해결할 수 있는 기술을 개발하고자 한다.

[0011] 또한, 기존의 금속 이동 기술은 Au, Ag 등 순수한 컨택 금속만 증착하여 이동하는 방식이었다. 하지만, 필요 금속만 이동하는 것은 금속 층이 매우 얇고, 내구성이 약해 금속 픽업 과정에서 손상될 위험이 있다.

[0012] 따라서, 본 발명은 이러한 컨택 금속의 내구성을 강화하기 위해 컨택 금속/Ti/Au 형태로 증착하는 방식을 이용하였으며, 이를 통해 컨택 금속의 내구성이 강화되었으며, 위의 층 Au 금속이 커버해줌으로써 산화를 방지함과 동시에 플라즈마 처리로 인한 컨택 금속 층의 손상을 방지할 수 있어 더 뚜렷한 내구성을 보여줄 수 있는 기술이다.

[0013] 또한, 단순 저온 금속 위 플라즈마 처리를 통해 유기 필름과의 결합력을 강화하여 건식 이동을 가능하게 함으로써 액상 공정에 의한 손상이 없이 컨택 금속의 품질을 유지할 수 있는 기술이다.

[0014] 또한, 본 발명에서 제안하는 금속 이동 기술을 통해 차세대 반도체 물질들마다 페르미 레벨 피닝 효과 방지가 어려움을 해결하여 한 개의 반도체 물질에서 타입 조절이 모두 가능한 기술을 개발하고자 한다.

[0015] 즉, 본 발명은 저온 금속 vdW 컨택을 위해 기판 위 플라즈마 처리를 통해 결합력을 강화시킨 후, 두꺼운 층의 유기 필름을 코팅이 아닌 단순히 부착한 상태로 픽업하는 방식을 개발하여 모든 금속이 안정적으로 소스/드레인으로 이동되는 기술에 대한 것이며, 최종적으로 반도체의 타입을 조절하는 것에 대한 것이다.

과제의 해결 수단

[0016] 저온 식각 기반 금속 이동 기술 및 고품질 소스-드레인 형성 기술과 이를 이용한 반도체 소자의 제조 방법이 개시된다. 상기 반도체 소자의 제조 방법은, 산화물 기판이 마련되는 단계, 상기 산화물 기판 상에 컨택 금속, Ti, 및 Au가 순차적으로 증착되는 단계, 상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 산화물 기판이 플라즈마 처리되는 단계, 상기 컨택 금속, 상기 Ti, 및 상기 Au가 증착된 상기 산화물 기판 상에 유기 필름이 부착되는 단계, 및 상기 산화물 기판이 제거되는 단계를 포함를 포함한다.

발명의 효과

[0017] 차세대 신물질로 각광받고 있는 2D 반도체 물질인 전이 금속 다이칼코겐(MoS_2, ReS_2, $ReSe_2$, WS_2, $MoTe_2$, WSe_2, BP, $MoSe_2$,. HfS_2, $HfSe_2$, ZrS_2, $ZrSe_2$, $SnSe_2$, SnS_2, etc.) 물질들은 페르미 레벨 피닝 효과가 너무 강해 타입이 정해져 있어 CMOS 공정에서 사용하기 불가능하다는 한계점이 있다. 또한, 이를 해결하기 위한 기존 금속 건식 이동 기술은 특정 금속들만 이동이 가능하며, 기술이 불안정하여 금속의 품질을 보장하기가 힘들었다.

[0018] 본 발명은 위에 설명한 모든 문제들을 해결하여 모든 금속들이 고품질 필름을 유지한 채 이동이 가능한 기술이며, 금속 일함수에 따라 반도체의 타입을 조절하는 것이 가능하다.

[0019] 반도체의 타입 조절이 가능하다는 것은 웨이퍼에서 대량 생산 CMOS 공정 시에 N-타입과 P-타입 물질들을 각각 제조해야 하는 복잡한 공정이 아닌 한 가지 반도체 채널 물질만을 제조하여 N-타입과 P-타입 동작이 가능하다는 것을 의미하므로 상당히 획기적인 효과를 예상하고 있다.

[0020] 또한, 반도체 타입을 결정할 수 있다는 것은 로직 소자 중 하나인 인버터(inverter)의 동작이 가능하다는 것을 의미하므로 다수 로직 회로 제작에 큰 기여를 할 발명으로 예상하고 있다.

도면의 간단한 설명

[0021] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 기존 직접 금속 컨택 기술과 제안하는 금속 컨택 기술의 게이트 전압과 드레인 전류에 대한 그래프를 도시한다.

도 2는 저온 식각 기반 금속 이동 기술 및 고품질 소스-드레인 형성 기술의 흐름을 설명하기 위한 제1 도이다.

도 3은 금속 이동 및 소스-드레인 형성 기술의 흐름을 설명하기 위한 제2 도 이다.

도 4는 제안하는 금속 이동 기술의 효과를 설명하기 위한 도면이다.

도 5는 제안 기술로 제작된 FET에서의 전류-전압 그래프를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0023] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0024] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.

[0025] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0026] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0028] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0029] 기존에 사용되고 있던 금속 이동 기술은 "Nature volume 557, pages696-700 (2018)"에서 세계 최초로 보고되어 있으며, 증착 물질들과 결합력이 약한 Si 기판 위에 금속 전극들이 증착된 상태에서 금속 이동 공정을 시작하였다.

[0030] 기존 보고된 기술은 Si 기판 위 금속 전극 위에 PMMA(Polymethyl methacrylate) 용액을 스핀 코팅 방식으로 얇은 층으로 코팅 후, 105℃에서 가열하여 필름을 형성한다. 그 후, PMMA 필름을 물리적으로 픽업하여 금속 전극을 Si 기판과 분리한다. 이 분리된 금속 전극은 2차원 반도체 위에 접합되어 페르미 레벨 언피닝(Fermi level unpinning) 효과로 인해 반도체 타입을 조절할 수 있음을 확인하였다. 이러한 금속 이동 기술로 반도체 소스/드레인 컨택 기술을 vdW 컨택으로 부른다.

[0031] 하지만, 기존 보고된 금속 이동 기술은 한계점이 많으며, 첫 번째로 PMMA 용액을 스핀 코팅 방식으로 얇은 필름을 만들어서 픽업하는 방식이다 보니 픽업 과정에서 필름의 손상 위험이 매우 크다. 이로 인해, 필름에 같이 부착된 금속 전극들이 훼손될 가능성이 매우 크다. 또한, 필름 코팅 후, PMMA 필름의 액상을 증발시키기 위해 고온에서 장시간 노출이 필하므로 이는 필름의 내구성에 변화를 줄 가능성이 있다.

[0032] 이러한 금속 전극 위 PMMA 필름 형성 과정과 금속 전극 픽업 과정의 복잡성과 공정 문제를 해결하기 위해, 본 발명에서는 PMMA 보다 두꺼운 PPC(Poly propylene carbonate) 유기 필름과 PDMS(Polydimethylsiloxane)가 복합된 스탬프를 사용한다. PPC/PDMS 금속 이동용 필름은, PPC 유기 필름 뿐 아니라 PMMA, PDMS 등의 유기 필름을

모두 포함할 수 있다.

[0033] 도 2에 도시된 바와 같이, PPC/PDMS 스탬프는 PMMA 필름을 사용할 경우와 다르게 고온 공정이 필요가 없으며, 단순히 상온에서 금속 전극 위에 부착시키는 방식으로 사용할 수 있다. 또한, 두꺼운 PPC/PDMS 층을 사용하기 때문에 물리적으로 가할 수 있는 힘도 더 크게 작용할 수 있으며, 금속 픽업 과정에서 필름의 손상을 최대한 방지할 수 있다.

[0034] 기존 금속 이동 기술의 한계점 두 번째로 모든 금속들의 픽업이 불가능하다는 점이다. 현재까지 반도체 채널에 금속 이동 기술로 vdW 컨택이 가능한 금속은 Ag, Co, Au, Pt 등이 있으며, 보통은 일함수가 큰 함수들이며, 즉, 반도체 채널에서 앰비폴라(ambipolar) 혹은 P-타입(P-type) 특성 구현이 매우 유리한 금속들이다.

[0035] 하지만, Ti, Al 등과 같이 일함수가 매우 작은 금속들은 Si 기판과의 결합력이 매우 강하여 PMMA 필름으로 픽업하는 기존 금속 이동 기술로는 이동이 불가능하여, 고품질의 N-타입(N-type) 반도체 소자 동작이 어렵다는 한계점이 있다.

[0036] 따라서, 이러한 기존 금속 이동 기술의 한계점을 해결하기 위해 본 발명은, 도 2에 도시된 바와 같이, 이 금속 위 플라즈마 처리를 하여 유기 필름과의 결합력을 강화시켜 기판과의 결합력이 강한 금속도 쉽게 픽업이 가능하다.

[0037] 본 발명에서 제안하는 기술을 이용한다면, Ti, Al 등을 포함해 모든 금속들이 이동이 가능하여 반도체 소자의 vdW 컨택의 선택적 자율성이 높아지므로 원하는 특성의 CMOS 제작이 가능한 획기적인 기술이다.

[0038] 추가로, 기존 금속 이동 기술의 한계점 세 번째로는 일반적으로 Si 기판 위에 순수 컨택 금속 Au, Ag, Cu 등만 증착하여 금속 이동을 진행한다. 하지만, 순수 컨택 금속만 픽업을 하게 되면 두께가 얇고, 내구성이 약해 컨택 금속의 품질이 저하되는 문제점이 있다. 또한, 금속 위 플라즈마 처리 과정에서 컨택 금속에 직접 처리를 가하게 되면 컨택 금속의 산화 및 손상이 발생할 수 있다.

[0039] 이를 해결하고자, 본 발명에서는, 도 2에 도시된 바와 같이, 컨택 금속 위에 Ti/Au 층을 더하여 플라즈마로부터 컨택 금속을 보호할 수 있다. 또한, 컨택 금속/Ti/Au 형태로 두께를 적절히 두껍게 증착하여 픽업을 진행하였으며, 컨택 금속 위 Ti는 금속의 내구성을 유지할 수 있으며, 가장 윗층 Au는 플라즈마에 의한 컨택 금속의 손상을 방지할 수 있으므로 금속 이동 기술의 품질을 높일 수 있다.

[0040] 도 2 및 도 3에 도시된 바와 같이, 본 발명에서 제시하고자 하는 금속 이동 기술은 처음 산화물 기판 위에 컨택 금속/Ti/Au 형태로 증착하였으며, 그 금속 위에 저온 플라즈마 처리를 수행한다. 그 후, 금속 위 PPC/PDMS 스탬프를 상온에서 부탁시켜 준다. 플라즈마 가스는 O_2, Ar, SF_6, CF_4, N_2 등 다양한 가스를 이용할 수 있다.

[0041] 부착 후, PPC/PDMS 스탬프를 픽업하여 컨택 금속/Ti/Au 금속 층이 산화물 기판과 떨어지도록 한다. 그 후, 도 3에 도시된 바와 같이, PPC/PDMS 스탬프를 2D 반도체의 소스/드레인 영역에 vdW 컨택한다.

[0042] 유기 필름/PDMS 스탬프로 픽업한 금속들을 도시하는 도 4를 참조하면, Ag, Bi, Au 등 다양한 컨택 금속이 컨택 금속/Ti/Au 형태로 PPC 필름과 같이 픽업된 것을 실시예를 통해 확인할 수 있다. 최소 두께 10um의 얇은 금속 전극이 유지된 것이 확인되었으며, 이는 본 발명에 대한 실제 가능성 여부를 증명한다. 컨택 금속은 실시예로 제시한 Bi, Au, 및 Ag 외에도 Pt, Ti, Al, Cr, V, Mn, Fe, Co, Ni, Nb, Ru, Rh, Hf, Ta, W, Re, TaN, TiN, Er, W, Mo, Cu 등의 모든 금속을 포함할 수 있다.

[0043] 도 3의 공정 순서도를 참고하면, 픽업된 금속은 반도체 채널 위의 소스/드레인 영역에 vdW 컨택으로 금속 전극을 부착할 수 있다. 또한, 픽업된 금속들로 반도체 채널의 소스/드레인 영역에 vdW 컨택된 FET 소자 특성들을 도시하는 도 5를 참조하면, 픽업된 금속 Au로 vdW 컨택된 WSe_2 FET와 vdW 컨택의 일종인 Bottom Au 컨택된 WSe_2 FET, 그리고 페르미 레벨 피닝이 유도되는 Top Au 컨택된 WSe_2 FET를 제작하여 전기적 특성을 측정하였다. 도 5에 도시된 바와 같이, Top Au 컨택은 WSe_2 반도체의 mid-gap 페르미 레벨 피닝에 의해 앰비폴라 특성이 나타난다. 또한, Bottom Au 컨택은 이론에 맞게 P-타입의 성질이 나타났음에도 불구하고, 반도체 채널 형성시 물리적 힘에 의해 전기적 특성의 불안정성이 보인다.

[0044] 본 2종류 컨택과 더불어, 본 발명의 플라즈마 기반 저온 금속 이동 기술로 제작된 Au 컨택 WSe_2 FET는 페르미 레벨 언피닝의 뚜렷한 효과가 보이며 안정적인 P-타입 동작이 나타남을 확인하였다. 즉, 본 실시예들을 통해 본 발명의 플라즈마 기반 저온 금속 이동 기술이 반도체 소자로 구현시에 고품질의 금속 vdW 컨택이 가능하다는 것

을 확인하였다.

[0045] 채널은 실시예로 제시한 WSe_2 채널 외에도 MoS2, WS2, ReS2, ReSe2, PtSe2, HfS2, MoS2, HfSe2, HfTe5, HfTe2, ZrS2, ZrSe2, ZrTe2, ZrS3, ZrS5, ZrTe3, MoTe2, MoSe2, BP(black phosphorus), 2D tellurium, GeSe, GaSe, GeAs, black AsP, a-MnS 등을 모두 포함하며, Bulk 반도체는 Ge, Si, SiGe와 GaAs, GaN, GaP, InP, InAs, InSb 등의 Ⅲ-Ⅴ족 반도체와 Pentacene, rubrene, Alq3, tetracene, DFH-4T, perylene, poly[9,9 dioctyl-fluorene-co-bithiophene] (F8T2), poly[2-methoxy-5-(3,7-dimethyloctyloxy)]- 1,4-phenylenevinylene (MDMO-PPV), regioregular poly[3-hexylthiophene] (P3HT) polytriarylamine (PTAA), poly-[2,5-thienylene vinylene] (PVT), Naphthalene tetracarboxylic diimide (NDI), perylene diimide (PDI) 등의 유기물 반도체들을 모두 포함한다.

[0046] 본 발명은 게이트 절연체(또는 게이트 절연층) 위에서 반도체 채널(channel) 및 소스/드레인 금속 형성을 진행하며, 게이트 절연체는 SiN, SiO_2, GeO_2, TiO_2, ZnO, ITO, AZO, MgO, Al_2O_3, ZrO_2, $ZrSiO_4$, $HfSiO_4$, Si_3N_4, SrO, Ta_2O_5, Y_2O_3, HfO_2, La_2O_3, BaO, $LaLuO_2$, $LaAlO_3$ 등의 산화막, 질화막, low/high-k 절연체를 모두 포함한다.

[0047] 본 실시예를 통해 본 발명의 금속 이동 기술이 반도체 소자로 구현 시에 한 가지 반도체 물질에서 원하는 타입을 선택할 수 있음을 최종적으로 확인하였다.

[0048] 본 발명은 두꺼운 PPC/PDMS 스탬프와 컨택 금속/Ti/Au 형태를 사용하여 금속을 픽업할 때 컨택 금속의 품질을 향상시켰으며, 산화물 식각 방식을 이용해 모든 금속의 픽업이 가능하게끔 한 획기적인 기술이다.

[0049] 또한, 발명된 금속 이동 기술을 통해 반도체 채널의 소스/드레인 영역을 형성한 최종 반도체 소자에서 반도체의 타입을 선택할 수 있는 기술에 대한 것이다.

[0050] 다시, 도 2 및 도 3을 참조하여, 제안 방법(금속 이동 방법, 소스-드레인 형성 방법, 반도체 소자 제조 방법 등으로 명명될 수도 있음)을 설명한다.

[0051] 우선, 게이트 산화물 기판(또는 산화물 기판)이 마련된다. 금속 증착용 게이트 산화물 기판으로써, 소자 제조용 게이트 산화물 기판과 구분하기 위해 제1 게이트 산화물 기판이라 명명할 수 있다. 제1 게이트 산화물 기판은 Si 기판과 산화물층으로 구성될 수 있다.

[0052] 포토레지스트(Photoresist, PR) 패터닝이 수행된다. 이는 컨택 금속을 증착하기 위한 패터닝을 의미할 수 있다. 그런 다음, 컨택 금속/Ti/Au가 순차적으로 증착되고, 포토레지스터가 제거된다(Lift-off). 그런 다음, 증착된 금속 상에 플라즈마 처리가 수행된다.

[0053] 유기 필름/PDMS 스탬프가 부착된다. 이후, 컨택 금속/Ti/Au/유기 필름/PDMS 필름이 픽업된다. 즉, 게이트 산화물 기판과 분리된다.

[0054] (반도체) 소자 제작을 위한 게이트 산화물 기판이 마련된다. 금속 증착용 게이트 산화물 기판과 구분하기 위해 제2 게이트 산화물 기판이라 명명할 수 있다. 제2 게이트 산화물 기판은 Si 기판과 게이트 산화물층으로 구성될 수 있다. 실시예에 따라 반도체 채널이 형성되어 있는 게이트 산화물 기판이 이용될 수도 있다.

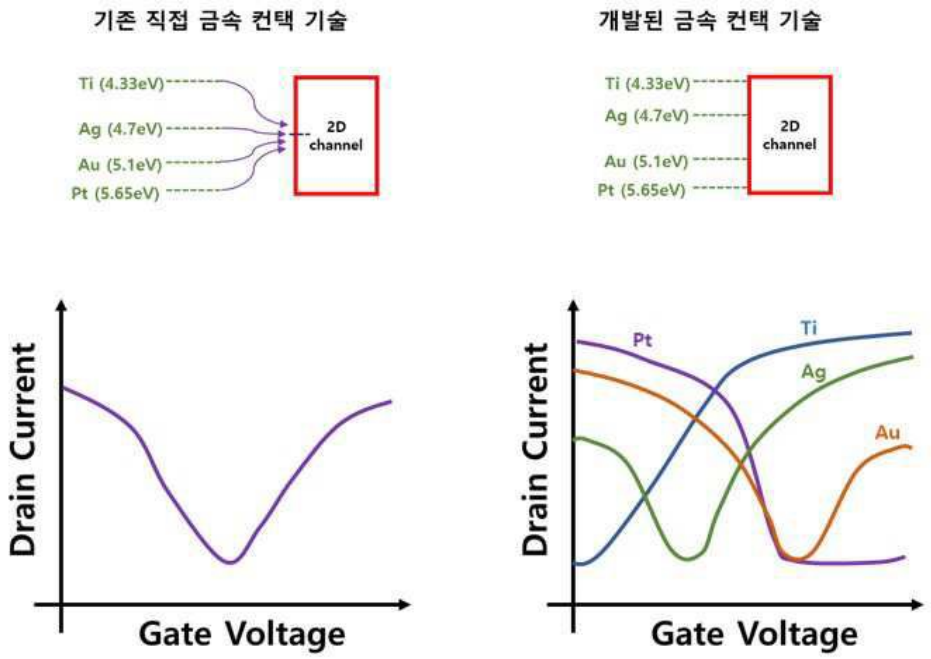
[0055] 반도체 채널이 제2 게이트 산화물 기판 상에 형성된다. 그런 다음, 소스 및/또는 드레인이 형성된다. 소스 또는 드레인은 픽업된 컨택 금속/Ti/Au을 의미할 수 있다. 이때, 금속 vdW 컨택 기술이 이용될 수 있다.

[0056] 마지막으로, 유기 필름이 제거된다. 이로써, 반도체 소자가 제조된다. 반도체 소자는 트랜지스터(transistor), FET(Field-Effect Transistor), MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor) 등을 포함할 수 있다.

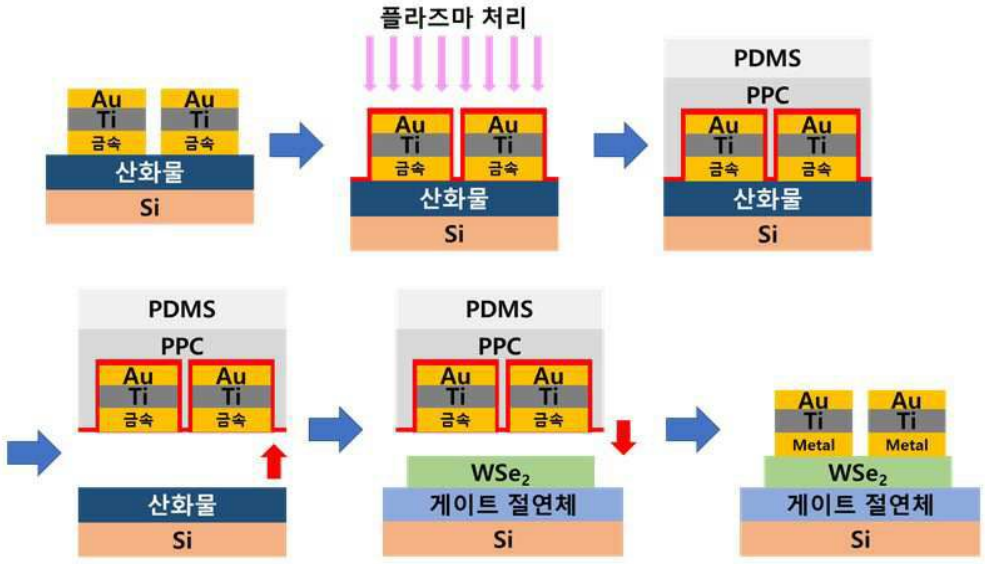
[0057] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성 요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

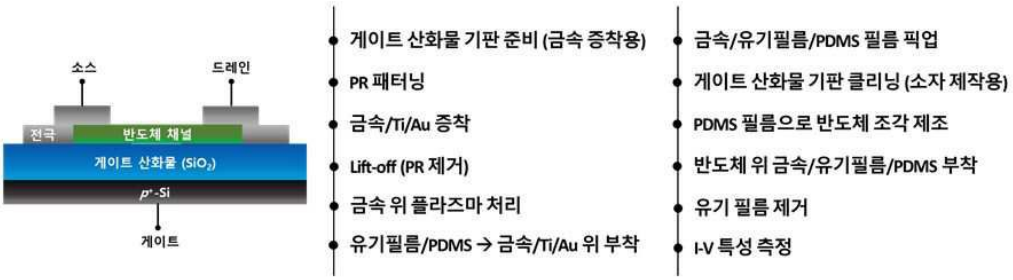
도면1



도면2



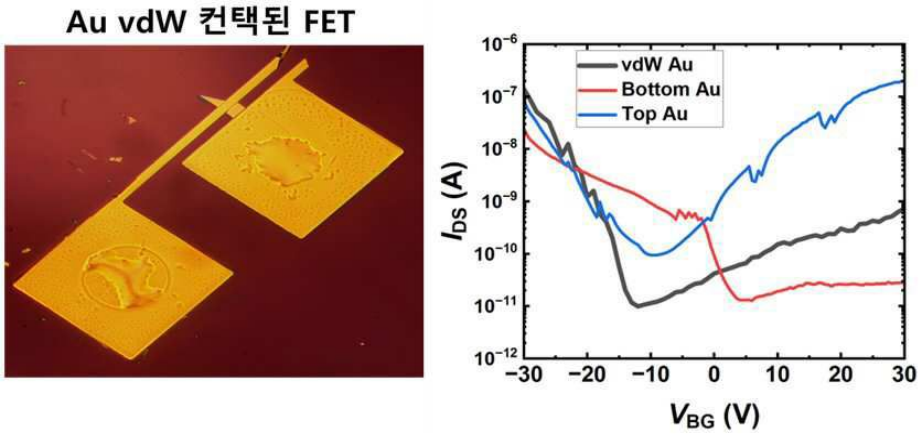
도면3



도면4


유기 필름 위 Ag
유기 필름 위 Bi
유기 필름 위 Au

도면5


Au vdW 컨택된 FET
vdW Au
Bottom Au
Top Au
I_{DS} (A)
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
10^{-11}
10^{-12}
−30
−20
−10
0
10
20
30
V_{BG} (V)