

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 2 月 6 日 (06.02.2003)

PCT

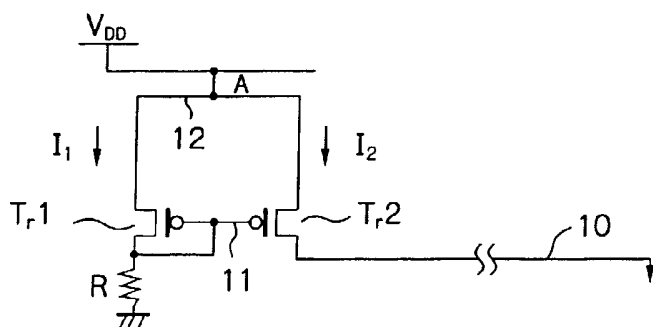
(10) 国際公開番号
WO 03/010616 A1

- (51) 国際特許分類: G05F 3/26 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 烏谷 宗宏 (KARA-SUDANI, Munehiro) [JP/JP]; 〒105-0012 東京都港区 芝大門 1 丁目 1 6 番 3 号 芝大門 1 1 6 ビル 7 F 新潟精密株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/06970
- (22) 国際出願日: 2002 年 7 月 10 日 (10.07.2002)
- (25) 国際出願の言語: 日本語 (74) 代理人: 橋 和之 (TACHIBANA, Kazuyuki); 〒350-1136 埼玉県 川越市 大字下新河岸 8 7 番地 6 4 Saitama (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR, US.
- (30) 優先権データ: 特願2001-220878 2001 年 7 月 23 日 (23.07.2001) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- (71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 1 3 号 Niigata (JP). 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: MOS INTEGRATED CIRCUIT WITH CURRENT MIRROR

(54) 発明の名称: カレントミラーを備えた MOS 集積回路



(57) Abstract: An MOS integrated circuit equipped with a current mirror comprising pMOS transistors (Tr1, Tr2) arranged closely to each other. Wiring length of each transistor (Tr1, Tr2) is shortened by extending the drain line of each transistor (Tr1, Tr2) to a desired position so that a distributed resistance being generated on a source line (12) can be reduced to a negligible level thus suppressing voltage drop on the source line (12) and eliminating uneven source potential.

(57) 要約:

カレントミラーを構成する pMOS トランジスタ Tr1, Tr2 どうしを互いに近傍に配置し、各トランジスタ Tr1, Tr2 のドレインライン 10 を所望の位置まで引き伸ばして配線することにより、各トランジスタ Tr1, Tr2 のソースライン 12 の配線長を短くして、ソースライン 12 上に発生する分布抵抗を無視できる程度にまで小さくできるようにし、ソースライン 12 上での電圧ドロップを抑止してソース電位の不揃いをなくす。



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

カレントミラーを備えたMOS集積回路

技術分野

本発明は、カレントミラーを備えたMOS集積回路に関するものである。

背景技術

半導体装置を製造するための技術には、Si（シリコン）バイポーラ技術や、化合物半導体のGaAs（ガリウムヒ素）技術、CMOS技術などがある。この中でCMOS技術は、消費電力が小さいこと、低電圧でも動作すること、微細化で高速動作が可能なこと、製造コストが安く済むことなどの特徴があり、現在、半導体装置の中でも最も多く採用されている。

その中にあって、高周波信号を受信して処理するRF（Radio Frequency）回路（アナログ回路部）には、バイポーラ技術やGaAs技術が用いられることが多く、これまでCMOS技術が用いられることはほとんどなかった。これは、CMOS技術は主にデジタル回路に適した技術であり、CMOS回路ではS/Nが良好な十分な高周波特性を得ることができなかったからである。

ところが、近年になって、近距離無線データ通信技術のブルートゥースや、5GHz帯を使う無線LANなどに向けた半導体チップで、CMOS技術を導入したものが登場してきている。これは、音声通話が最優先の携帯電話機等と異なり、ブルートゥースや無線LANはデータ通信が主なので、RF回路に必要な特性の基準値が携帯電話機等に比べて緩

いことによる。しかし、今後CMOS技術の改良が進めば、携帯電話機等にもCMOS技術が導入されることが予想される。

一方、集積回路の中で用いられる回路として最も基本的かつ重要な回路に、カレントミラー回路がある。図1に、CMOS技術で構成したカレントミラーの基本回路を示す。図1に示すカレントミラー回路は、pMOSトランジスタ T_{r1} に流れる基準電流 I_1 と等しい電流 I_2 を、独立した電位にあるpMOSトランジスタ T_{r2} に流すための回路である。

図1において、pMOSトランジスタ T_{r1} は、ソースとゲートとが接続されたいわゆるダイオード結合になっている。pMOSトランジスタ T_{r1} のソースは電源VDDに接続され、ドレインは抵抗Rを介して接地されている。また、pMOSトランジスタ T_{r1} と共にカレントミラーを構成するもう1つのpMOSトランジスタ T_{r2} は、ソースが電源VDDに接続され、ドレインが所望の位置に接続され、ゲートがpMOSトランジスタ T_{r1} のゲートに接続されている。

カレントミラー回路を回路図的に書くと図1のようになるが、実際に半導体チップ上にレイアウトするときには、図2に示すように、カレントミラーの回路配置が離れざるを得ないことが多い。この場合において従来は、各トランジスタ T_{r1} 、 T_{r2} 自体をレイアウト上必要な位置に配置し、各トランジスタ T_{r1} 、 T_{r2} のソースに別電源VDDを接続することによって対応していた。

この場合には、各トランジスタ T_{r1} 、 T_{r2} のゲート間およびソース間の配線11、12が長く引き伸ばされる。しかしながら、電源VDDが接続されるソースライン12を長く引き伸ばすと、そのソースライン12上には分布抵抗が生じる。特に高周波信号を扱うRF回路において図2のようにカレントミラー回路をレイアウトすると、ソースライン

1 2 上に生じる抵抗値は大きくなる。そのため、その抵抗によって電圧ドロップが生じ、トランジスタ T_{r1} 、 T_{r2} 間でソース電位が揃わなくなってしまう。

これにより、カレントミラーのバランスがくずれてしまい、トランジスタ T_{r2} に流れる電流 I_2 を、トランジスタ T_{r1} に流れる基準電流 I_1 に等しくすることができなくなってしまうという問題があった。このことは、回路の動作性能を劣化させる要因となる。特に、携帯電話機等における RF 回路の高周波特性を向上させるためには、このようなカレントミラーのエラーはできるだけ除去することが望まれる。

本発明は、このような問題を解決するために成されたものであり、カレントミラーの回路配置がチップレイアウト上遠く離されるような場合であっても、カレントミラーのバランスを良好に保つことができるようにすることを目的とする。

発明の開示

本発明のカレントミラーを備えた MOS 集積回路は、カレントミラーを構成する複数の MOS トランジスタ素子どうしを互いに近傍に配置し、上記複数の MOS トランジスタ素子のドレインに接続される信号線を所望の位置まで配線するようにしたことを特徴とする。

本発明の他の態様では、上記複数の MOS トランジスタ素子のソースを同じ電源に共通に接続するようにしたことを特徴とする。

本発明のその他の態様では、前段からの入力信号を増幅して次段に出力する差動増幅器が多段接続されて成る増幅回路と、上記多段接続された複数の差動増幅器に共通に接続される定電流源回路と、上記複数の差動増幅器と上記定電流源回路との間に接続される複数の MOS トランジスタ素子から成るカレントミラー回路とを備え、上記複数の MOS トラ

ンジスタ素子どうしを互いに近傍に配置し、上記複数のMOSトランジスタ素子のドレインに接続される信号線を上記複数の差動増幅器の位置までそれぞれ配線するようにしたことを特徴とする。

本発明は上記技術手段より成るので、カレントミラー回路を構成する複数のMOSトランジスタ素子間のソース配線長が短くなり、その分配線上に生じる分布抵抗、ひいては電圧ドロップを極力小さくすることが可能となる。

図面の簡単な説明

図1は、一般的なカレントミラー回路の構成例を示す図である。

図2は、従来のカレントミラー回路のレイアウト構成例を示す図である。

図3は、本実施形態によるカレントミラー回路のCMOS集積回路におけるレイアウト構成例を示す図である。

図4は、本実施形態によるカレントミラー回路のCMOS集積回路における他のレイアウト構成例を示す図である。

図5は、本実施形態のカレントミラー回路を応用した多段増幅器の構成例を示す図である。

発明を実施するための最良の形態

以下、本発明の一実施形態を図面に基づいて説明する。

図3は、本実施形態によるカレントミラー回路のCMOS集積回路におけるレイアウト構成例を示す図である。この図3に示すカレントミラー回路は、pMOSトランジスタ T_{r1} に流れる基準電流 I_1 と等しい電流 I_2 を、独立した電位にあるpMOSトランジスタ T_{r2} に流すための回路である。

図 3 において、p MOS トランジスタ T_{r1} は、ソースとゲートとを接続したいわゆるダイオード結合になっている。この p MOS トランジスタ T_{r1} のゲートは、p MOS トランジスタ T_{r1} と共にカレントミラーを構成するもう一方の p MOS トランジスタ T_{r2} のゲートに接続されている。

これら一対の p MOS トランジスタ T_{r1} 、 T_{r2} のソースは、各トランジスタ T_{r1} 、 T_{r2} からほぼ等しい距離にある共通ノード A を介して同じ電源 V_{DD} に共通に接続されている。また、p MOS トランジスタ T_{r1} のドレインは抵抗 R を介して接地され、p MOS トランジスタ T_{r2} のドレインは所望の位置に接続されている。

図 3 に示すように、本実施形態では、カレントミラーを構成する一対の p MOS トランジスタ T_{r1} 、 T_{r2} どうしを互いに近傍に配置し、トランジスタ T_{r2} のドレインに接続される信号線（ドレインライン）10 を所望の位置まで引き伸ばして配線するようにしている。

一対の p MOS トランジスタ T_{r1} 、 T_{r2} を近傍に配置しているため、ゲート間の信号線（ゲートライン）11 およびソース間の信号線（ソースライン）12 を短くすることができる。これにより、ソースライン 12 上に発生する分布抵抗を無視できる程度にまで小さくすることができ、ソースライン 12 上の電圧ドロップを抑止することができる。

しかも、本実施形態では、各トランジスタ T_{r1} 、 T_{r2} のソースを、ほぼ等しい距離にある共通ノード A を介して同じ電源 V_{DD} に共通に接続しているので、各トランジスタ T_{r1} 、 T_{r2} のソース電位をほぼ正確に同じ大きさにすることができる。したがって、各トランジスタ T_{r1} 、 T_{r2} のソース電位の不揃いをなくして、カレントミラーのバランスを良好に保つことができる。

図 4 は、本実施形態によるカレントミラー回路の CMOS 集積回路上

における他のレイアウト構成例を示す図である。この図 4 に示すカレントミラー回路は、p MOS トランジスタ T_{r1} に流れる基準電流 I_1 と等しい電流 I_2 , I_3 , I_4 を、各 p MOS トランジスタ $T_{r2} \sim T_{r4}$ に流すための回路である。

図 4 に示す回路では、ソースとゲートとが接続されたいわゆるダイオード結合の p MOS トランジスタ T_{r1} と、他の 3 つの p MOS トランジスタ $T_{r2} \sim T_{r4}$ とで 3 対（p MOS トランジスタ T_{r1} は 3 対で兼用）のカレントミラー回路が構成されている。

この場合のカレントミラー回路においては、p MOS トランジスタ T_{r1} のゲートと、他の 3 つの p MOS トランジスタ $T_{r2} \sim T_{r4}$ のゲートとが互いに接続されている。また、各 p MOS トランジスタ $T_{r1} \sim T_{r4}$ のソースは、共通ノード B を介して同じ電源 VDD に共通に接続されている。

また、p MOS トランジスタ T_{r1} のドレインは抵抗 R を介して接地され、他の 3 つの p MOS トランジスタ $T_{r2} \sim T_{r4}$ のドレインは所望の位置に接続されている。

図 4 に示すように、カレントミラーを構成する 3 対の p MOS トランジスタ $T_{r1} \sim T_{r4}$ どうしを互いに近傍に配置し、トランジスタ $T_{r2} \sim T_{r4}$ のドレインに接続されるドレインライン 10 をそれぞれ所望の位置まで引き伸ばして配線するようにしている。

この場合も、3 対の p MOS トランジスタ $T_{r1} \sim T_{r4}$ 間をつなぐソースライン 12 の配線長を短くすることができる。これにより、ソースライン 12 上に発生する分布抵抗を無視できる程度にまで小さくすることができ、ソースライン 12 上の電圧ドロップを抑止することができる。このように本実施形態では、カレントミラー回路を構成するトランジスタ数を増やしても、ソース電位の不揃いをなくしてカレントミラー

のバランスを良好に保つことができる。

図 5 は、上述したカレントミラー回路の応用例を示す図である。ここでは、例えば A M あるいは F M のラジオ受信機、テレビジョン受信機、携帯電話機、近距離無線データ通信技術のブルートゥース、無線 L A N などの各種無線通信装置に適用される多段増幅器の構成を示している。なお、図 5 において、図 4 に示した構成要素と同一の機能を有する構成要素には同一の符号を付している。

図 5 に示す多段増幅器は、入力側から出力側へと n 個の差動増幅器が多段接続されて構成されている。入力段に配置された 1 段目の差動増幅器は、2 つの抵抗 R_{11} , R_{12} と 2 つの p M O S トランジスタ Q_{11} , Q_{12} とから成る差動対を備えて構成される。また、2 段目の差動増幅器は、1 段目と同様に 2 つの抵抗 R_{21} , R_{22} と 2 つの p M O S トランジスタ Q_{21} , Q_{22} とから成る差動対を備えて構成される。3 段目～ n 段目（図示せず）も同様に構成される。

個々の差動対において、各トランジスタ Q_{i1} , Q_{i2} ($i = 1 \sim n$) のドレインは、それぞれ抵抗 R_{i1} , R_{i2} を介して接地されている。また、各トランジスタ Q_{i1} , Q_{i2} のゲートには、初段の差動増幅器を除いて、前段の差動増幅器からの出力信号が入力される。初段の差動増幅器の各トランジスタ Q_{11} , Q_{12} のゲートには、増幅前の微小信号が入力される。

また、個々の差動対において、2 つのトランジスタ Q_{i1} , Q_{i2} のソースどうしが互いに共通に接続され、これらの共通ソースに p M O S トランジスタ T_{r2} , T_{r3} , T_{r4} , … のドレインがそれぞれ接続されている。この場合の p M O S トランジスタ T_{r2} , T_{r3} , T_{r4} , … は、各差動対のスイッチング素子として機能する。

各トランジスタ T_{r2} , T_{r3} , T_{r4} , … と共にカレントミラー回路を構成するもう 1 つの p M O S トランジスタ T_{r1} は、そのドレイン

が抵抗 R を介して接地されるとともに、ソースが定電流源回路 30 の一端に接続されている。定電流源回路 30 の他端は、電源 V_{DD} に接続されている。各差動対には、カレントミラー回路で構成された pMOS トランジスタ T_{r2} , T_{r3} , T_{r4} , ... を通じて、定電流源回路 30 を流れる電流 I_1 と同じ電流 I_2 , I_3 , I_4 , ... がそれぞれ供給される。

このように構成された多段増幅器において、初段の差動増幅器のトランジスタ Q_{11} , Q_{12} のベースに入力された信号は、所定レベルだけ増幅されて出力される。ここで増幅されて出力された信号は、2 段目の差動増幅器のトランジスタ Q_{21} , Q_{22} のベースに入力され、当該 2 段目の差動増幅器において更に増幅されて出力される。以下同様にして、各段の差動増幅器によって信号が順次増幅されていく。これにより、1 段目の差動増幅器への入力信号は、後段になるに従って振幅が大きくなり、最終的に所定レベルまで増幅された出力信号が得られる。

このように構成した多段増幅器においても、カレントミラーを構成する pMOS トランジスタ $T_{r1} \sim T_{r4}$ どうしを互いに近傍に配置し、トランジスタ $T_{r2} \sim T_{r4}$ のドレインに接続されるドレインライン 10 をそれぞれ各段の差動対の位置まで引き伸ばして配線するようにしている。そのため、各トランジスタ $T_{r1} \sim T_{r4}$ 間をつなぐソースライン 12 を短くすることができる。

これにより、ソースライン 12 上に発生する分布抵抗を無視できる程度にまで小さくして、ソースライン 12 上の電圧ドロップを抑止することができる。よって、各トランジスタ $T_{r1} \sim T_{r4}$ でのソース電位の不揃いをなくしてカレントミラーのバランスを良好に保つことができる。

したがって、このような特徴を持つカレントミラー回路を無線通信装置の多段増幅器に適用した場合には、増幅の入出力特性について良好な

直線性を確保することができるようになる。また、各トランジスタ $T_{r1} \sim T_{r4}$ から電源 V_{DD} および定電流源回路 30 への配線長が短いので、この間の接続を低インピーダンス化して低雑音の電源供給を実現することができる、高周波信号を扱う場合でも動作を安定させることができる。

なお、上記実施形態では、カレントミラー回路を構成するトランジスタ素子として $pMOS$ トランジスタを用いたが、 $nMOS$ トランジスタを用いても良いことは言うまでもない。

また、上記実施形態で示したカレントミラー回路を構成するトランジスタ素子の数は単なる例示であって、本発明はこれに限定されるものではない。

また、カレントミラー回路の応用例として図 5 に多段増幅器を示したが、これに限定されるものでなく、カレントミラー回路を用いるものであれば何れにも応用することが可能である。

その他、上記説明した実施形態は、本発明を実施するにあたっての具体化の一例を示したものに過ぎず、これによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明は上述したように、カレントミラーを構成する複数の MOS トランジスタ素子どうしを互いに近傍に配置し、上記複数の MOS トランジスタ素子のドレインに接続される信号線を所望の位置まで配線するようにしたので、各 MOS トランジスタ素子のソース間をつなぐ信号線の配線長を短くすることができる。これにより、ソースライン上に発生する分布抵抗を無視できる程度にまで小さくすることができるので、ソースライン上での電圧ドロップを抑止して、各 MOS トランジスタのソー

ス電位に差が生じないようにすることができる。したがって、カレントミラーの回路配置がチップレイアウト上遠く離されるような場合であっても、カレントミラーのバランスを良好に保つことができる。特に、携帯電話機等のようなRF回路に本発明のカレントミラー回路を適用した場合には、その高周波特性を向上させることが可能となる。

また、本発明の他の特徴によれば、複数のMOSトランジスタ素子のソースを同じ電源に共通に接続するようにしたので、各MOSトランジスタのソース電位をより正確に揃えることができ、カレントミラーのバランスをより良好に保つことができる。

産業上の利用可能性

本発明は、カレントミラーの回路配置がチップレイアウト上遠く離されるような場合であっても、カレントミラーのバランスを良好に保つことができるようにしたMOS集積回路に有用である。

請 求 の 範 囲

1. カレントミラーを構成する複数のMOSトランジスタ素子どうしを互いに近傍に配置し、上記複数のMOSトランジスタ素子のドレインに接続される信号線を所望の位置まで配線するようにしたことを特徴とするカレントミラーを備えたMOS集積回路。

2. 上記複数のMOSトランジスタ素子のソースを同じ電源に共通に接続するようにしたことを特徴とする請求項1に記載のカレントミラーを備えたMOS集積回路。

3. 前段からの入力信号を増幅して次段に出力する差動増幅器が多段接続されて成る増幅回路と、

上記多段接続された複数の差動増幅器に共通に接続される定電流源回路と、

上記複数の差動増幅器と上記定電流源回路との間に接続される複数のMOSトランジスタ素子から成るカレントミラー回路とを備え、

上記複数のMOSトランジスタ素子どうしを互いに近傍に配置し、上記複数のMOSトランジスタ素子のドレインに接続される信号線を上記複数の差動増幅器の位置までそれぞれ配線するようにしたことを特徴とするカレントミラーを備えたMOS集積回路。

図 1

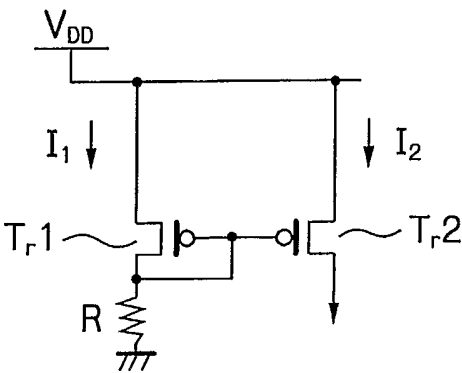


図 2

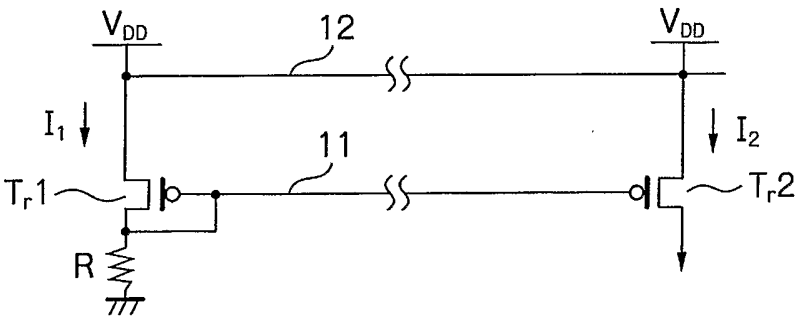


図 3

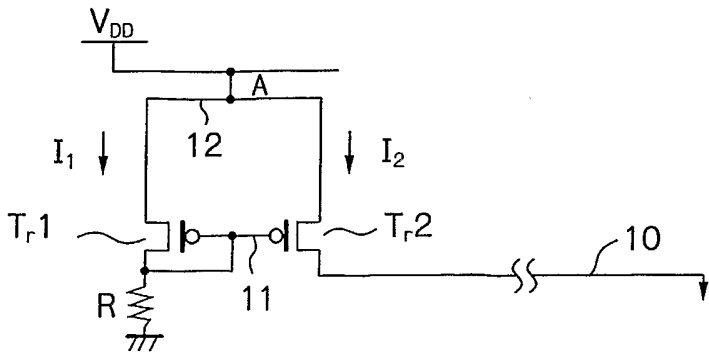


図 4

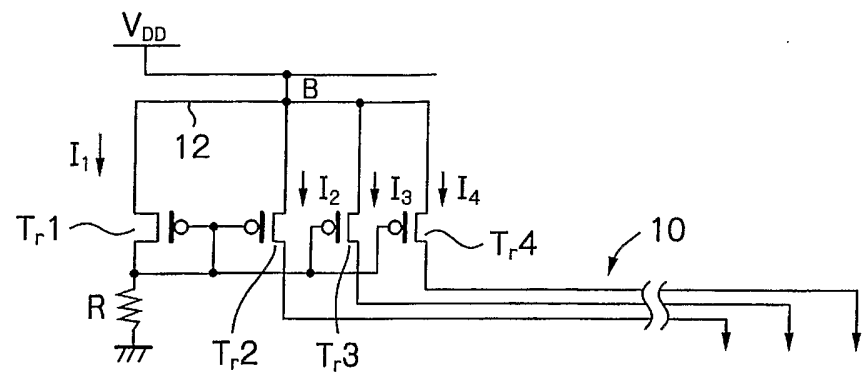
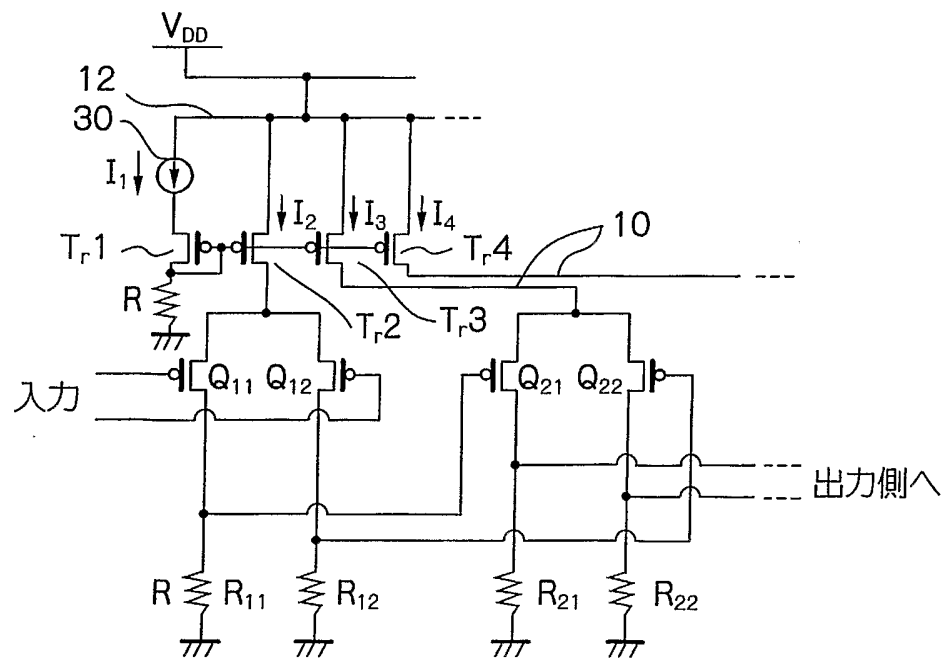


図 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/06970

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G05F3/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G05F3/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-49722 A (NEC Kansai, Ltd.), 21 February, 1995 (21.02.95), Figs. 1 to 3 (Family: none)	1-3
Y	JP 9-275320 A (Sony Corp.), 21 October, 1997 (21.10.97), Fig. 1 (Family: none)	1-3
Y	JP 2000-269426 A (Toshiba Corp.), 29 September, 2000 (29.09.00), Figs. 1, 2; Par. Nos. [0022] to [0025] (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 October, 2002 (21.10.02)

Date of mailing of the international search report
05 November, 2002 (05.11.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G05F3/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G05F3/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-49722 A (関西日本電気株式会社) 1995. 02. 21, 図1-3, (ファミリーなし)	1-3
Y	JP 9-275320 A (ソニー株式会社) 1997. 10. 21, 図1, (ファミリーなし)	1-3
Y	JP 2000-269426 A (株式会社東芝) 2000. 09. 29, 図1, 2, 段落【0022】-【0025】, (ファミリーなし)	1-3

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

21. 10. 02

国際調査報告の発送日

05.11.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

米山 毅



3V

9324

電話番号 03-3581-1101 内線 3356