

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月16日(16.06.2022)



(10) 国際公開番号
WO 2022/124019 A1

(51) 国際特許分類:
H01L 31/107 (2006.01) *H01L 27/146* (2006.01)
H01L 31/10 (2006.01)

(21) 国際出願番号: PCT/JP2021/041947

(22) 国際出願日: 2021年11月15日(15.11.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-205037 2020年12月10日(10.12.2020) JP

(71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪府中央区城見2丁目1番61号 Osaka (JP).

(72) 発明者: 井上 暁登 (INOUE, Akito). 廣瀬裕 (HIROSE, Yutaka).

(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目

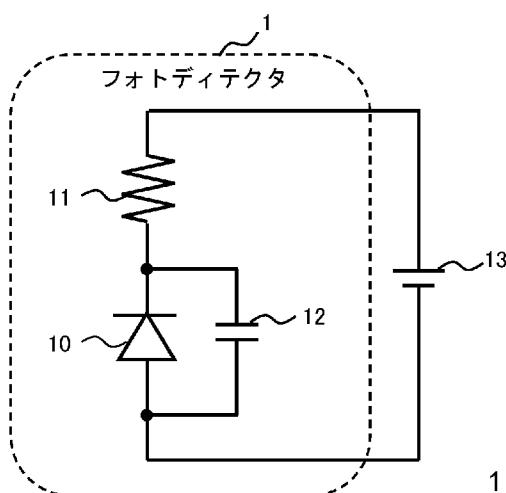
3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: PHOTODETECTOR, PHOTODETECTOR ARRAY, AND DISTANCE MEASUREMENT SYSTEM

(54) 発明の名称: フォトディテクタ、フォトディテクタアレイおよび距離測定システム



1 Photodetector

(57) Abstract: A photodetector (1) comprises a single-photon avalanche diode (SPAD) (10) and a first resistor (11) connected in series to the SPAD (10), and during a recharge time in which an electric charge is discharged from the SPAD (10) via the first resistor (11), the electric charge disappears from a multiplication region of the SPAD (10).

(57) 要約: フォトディテクタ (1) は、SPAD (10) と、SPAD (10) に直列に接続された第1抵抗 (11) とを備え、SPAD (10) から第1抵抗 (11) を介して電荷が排出されるリチャージ時間において、SPAD (10) の増倍領域から電荷が無くなる。

WO 2022/124019 A1

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：

フォトディテクタ、フォトディテクタアレイおよび距離測定システム

技術分野

[0001] 本開示は、光検出器に関し、特に微弱な光を検出することが可能な固体撮像素子等のフォトディテクタ、フォトディテクタアレイおよび距離測定システムに関する。

背景技術

[0002] 近年、医療、通信、バイオ、化学、監視、車載、及び、放射線検出など多岐に渡る分野において、SPAD (Single Photon Avalanche Diode) が利用されている。SPADは光電変換によって発生した信号電荷を、アバランシェ降伏（あるいは、アバランシェブレークダウン）現象を用いて増倍することで光の検出感度が高められたフォトダイオードである（特許文献1、非特許文献1～5参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開平7-176782号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、クエンチングのデッドタイムを短縮するフォトディテクタ、フォトディテクタアレイおよび距離測定システムを提供することを目的とする。

課題を解決するための手段

[0005] 上記目的を達成するために、本開示の一態様に係るフォトディテクタは、シングルフォトンアバランシェダイオード（以下、SPADと記す）と、前記SPADに直列に接続された第1抵抗とを備え、前記SPADから前記第

1 抵抗を介して電荷が排出されるリチャージ時間において、前記SPADの増倍領域から電荷が無くなる。

[0006] ここで、前記SPADに印加される余剰バイアス電圧は、前記SPADのブレークダウン電圧より小さく、前記第1抵抗の抵抗値Rは、後述の式(21)を満たしてもよい。

[0007] また、本開示の一態様に係るフォトディテクタアレイは、上記のフォトディテクタをN個備え(Nは2以上の整数)、前記N個のフォトディテクタに含まれるN個の直列回路は並列に接続され、前記N個の直列回路のそれぞれは、直列接続された前記SPADおよび前記第1抵抗を有し、前記N個の直列回路の一端であって前記SPAD側のN個の一端は互いに接続され、さらに、前記互いに接続されたN個の前記一端に接続され、かつ、前記N個のフォトディテクタと直列に接続される第2抵抗を備え、前記第2抵抗の抵抗値は、前記第1抵抗の抵抗値のN分の1よりも小さい。

[0008] また、本開示の一態様に係る測距測定システムは、フォトディテクタを有する受光部と、測定対象物に向けて発光する発光部と、前記受光部および前記発光部を制御する制御部と、を備え、前記制御部は、前記測定対象物で反射した反射光に対応する信号を前記受光部から受け、前記測定対象物までの距離を算出する。

発明の効果

[0009] 本開示のフォトディテクタ、フォトディテクタアレイおよび距離測定システムによれば、クエンチングのデッドタイムを短縮することができる。

図面の簡単な説明

[0010] [図1A]図1Aは、実施の形態に係るフォトディテクタの回路例を示す図である。

[図1B]図1Bは、図1Aのシミュレーションに用いた物理量の一覧を示す図である。

[図1C]図1Cは、図1Aのシミュレーションに用いた物理定数の一覧を示す図である。

[図2]図2は、シミュレーションから計算される電圧変動と空乏層内の電荷数の時間変化を示す図である。

[図3]図3は、アバランシェ増倍が発生したときの逆バイアス電圧の時間変化を示す図である。

[図4]図4は、実施の形態1に係るフォトディテクタの回路例を示す図である。

[図5]図5は、実施の形態1に係るフォトディテクタの変形例を示す図である。

[図6]図6は、余剰バイアス電圧および第1抵抗の抵抗値に対し、クエンチングの可否を示した図の一例である。

[図7]図7は、第1容量の容量値および第1抵抗の抵抗値に対し、クエンチングの可否を示した図の一例である。

[図8]図8は、実施の形態2に係るフォトディテクタを含む制御システムの構成例を示すブロック図である。

[図9]図9は、実施の形態2に係るフォトディテクタを含む制御システムの別の構成例を示すブロック図である。

[図10]図10は、図8あるいは図9の制御システムを実現するフォトディテクタの回路図である。

[図11]図11は、実施の形態3に係るフォトディテクタアレイの回路例を示す図である。

[図12]図12は、実施の形態3に係る固体撮像装置の回路例を示す図である。

[図13]図13は、図12Aの固体撮像装置を平面視したレイアウト例を示す図である。

[図14]図14は、図13の固体撮像装置を平面視したレイアウトの変形例を示す図である。

[図15]図15は、図13のXV-XV線における固体撮像装置の断面構成例を示す図である。

[図16]図16は、図13のXV-XV線における固体撮像装置の断面構成の変形例を示す図である。

[図17]図17は実施の形態3に係る固体撮像装置の別の断面構成例を示す図である。

[図18]図18は、図17の固体撮像装置の全体を平面視した模式的なレイアウト図である。

[図19]図19は、本開示に係るフォトディテクタあるいはフォトディテクタアレイを用いた距離測定システムの一例を示すブロック図である。

[図20]図20は、図19の測距測定システムにおけるタイミングチャート例を示す図である。

発明を実施するための形態

[0011] (本開示の基礎となった知見)

本発明者は、「背景技術」の欄において記載した、SPAD (Single Photon Avalanche Diode) に関し、以下の問題が生じることを見出した。

[0012] 非特許文献1では、SPADのアバランシェ降伏による電荷の増倍を瞬時に止める(クエンチング)ため、クエンチング素子と呼ばれる抵抗やトランジスタなどの回路素子(クエンチング素子、あるいは、クエンチング抵抗)がSPADに直列に接続される構成が提示されている。さらに、シミュレーション結果が記載され、131ページ目には抵抗値が300kオームと記載されている。しかし、SPADのデバイス構造や、回路定数に対する、具体的な表式や関係性は開示されていない。

[0013] 非特許文献2では、SPADからの出力に応じてSPAD両端の逆バイアス電圧を制御することで、クエンチングのデッドタイムを短縮する構成が開示されている。ここで、クエンチングのデッドタイムとは、アバランシェ増倍の開始から、SPADに印加される逆バイアス電圧が変動した後、再度増倍が可能になるまで逆バイアス電圧が戻るまでの時間をいう。

[0014] しかし、SPADのクエンチング抵抗を制御する構成は開示されておらず、また、クエンチング抵抗に要求される抵抗値と、SPADの構造あるいは

特性値あるいはバイアス条件、具体的にはAPDの容量、ブレークダウン電圧 (V_{BD})、空乏層幅、余剰バイアス電圧 (excess voltage (V_{ex})) の間の関係性は示されていない。

[0015] 特許文献1では、APDに流れる電流に応じて、APDに印加される逆バイアス電圧を制御する構成が提示されているが、クエンチング抵抗や、APDの容量などの制御については示されていない。

[0016] ここで、クエンチングとはSPADの動作原理の1つでアバランシェ増倍を一定の増倍率で即座に停止させることを指す。SPADとは、アバランシェフォトダイオードであって、ブレークダウン電圧以上で用いられ、単一光子から発生した電子をアバランシェ増倍により増倍し検出できる素子である。

[0017] 本発明者らは、SPADのクエンチング抵抗に求められる要件が、「クエンチングのリチャージの過程において、空乏層内からキャリアがなくなること」であると、クエンチングにおける動力学シミュレーションより見出し、後述の式(21)のとおり、抵抗の条件を見出した。

[0018] この発見に基づけば、クエンチング抵抗の抵抗値をより低く設定し、あるいはクエンチング抵抗を能動的に制御し、クエンチングのリチャージ時間すなわちデッドタイム (Dead time) を従来のSPADに対して短縮できる。これにより、SPADの感度向上およびダイナミックレンジ拡大を実現できる。

[0019] 以下、実施の形態について、図面を参照しながら具体的に説明する。

[0020] なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

[0021] (本開示の基になったシミュレーション)

まず、本開示の基になったシミュレーションについて説明する。

[0022] 図1Aは、実施の形態に係るフォトディテクタ1の回路例を示す図である

。同図では、フォトディテクタ1の他に電源13も示されている。この回路例は、本開示の基になったシミュレーションに係る回路図である。

[0023] フォトディテクタ1は、SPAD10と、SPAD10のアノードに直列に接続された第1抵抗11と、SPAD10に並列に接続された第1容量12とを備える。図1Aでは第1抵抗11はSPAD10のカソード側に接続しているが、アノード側でもよい。SPAD10には、少なくとも、電荷が空乏層内に存在しないアイドリング状態においては、ブレークダウン電圧以上の逆バイアス電圧が印加される。第1容量12は、SPAD10カソードの容量であって、SPAD10の寄生容量を含む容量である。すなわち、第1容量12は、SPAD10の接合容量、配線容量などの寄生成分を含み、外部容量である必要はなく、種類は限定されない。言い換えれば、第1容量12は、外部容量がない場合はSPAD10の寄生容量、外部容量がある場合はSPAD10の寄生容量とSPAD10に並列な容量成分の和である。

[0024] 図1Aの回路を用いたシミュレーションでは、SPAD10内のキャリアの時間変化をシミュレーションしている。シミュレーションに用いた物理量を図1Bに示す。また、シミュレーションに用いた物理定数を図1Cに示す。なお、図1Cの(*1)付きの物理定数は、非特許文献3を参考にしている。(*1)あるいは(*2)付きの物理定数は、材料、温度などに依存して異なる値を取り得る。(*3)付きの物理定数は任意に設定されるパラメータで、外部印加電圧や、デバイスの構造、不純物濃度などによって決まる。このシミュレーション、および図1Cの物理定数はシリコンを想定しているが、材料を限定するものではなく、材料を変更してもよい。この場合には図1Cの物理定数を材料に応じて変更すれば良い。他の材料の例として、ゲルマニウム、ヒ化ガリウム、窒化ガリウム、リン化インジウム、セレンなどの材料が挙げられる。

[0025] 1個の光子によりアバランシェ増倍が起きたときの、SPAD10における空乏層内の電子数および正孔数の時間変化は、式(1)および式(2)の微分方程式によって記述される。

[0026] [数1]

$$\frac{dn(t)}{dt} = \alpha(E(t))v_{s,e}n(t) + \beta(E(t))v_{s,h}p(t) - \frac{2v_{s,e}}{W}n(t) \quad (1)$$

$$\frac{dp(t)}{dt} = \alpha(E(t))v_{s,e}n(t) + \beta(E(t))v_{s,h}p(t) - \frac{2v_{s,e}}{W}p(t) \quad (2)$$

[0027] ここで、インパクトイオン化率には下記の関係式が成り立つ。

[0028] [数2]

$$\alpha(E(t)) = \alpha_0 \cdot \exp\left(-\frac{a}{E(t)}\right), \quad (3)$$

$$\beta(E(t)) = \beta_0 \cdot \exp\left(-\frac{b}{E(t)}\right). \quad (4)$$

[0029] アバランシェ増倍により発生した電荷は第1容量12に一時的に保持され、第1抵抗11を介して電源13に排出される。この時、SPAD10の両端に印加される電圧、およびSPAD10内の増倍領域における内部電界の大きさは式(5)～式(7)に従い変化する。

[0030] [数3]

$$E(t) = \frac{V(t)}{W} \quad (5)$$

$$V(t) = V_0 - q \cdot \frac{n(t) + N_c(t)}{C}. \quad (6)$$

$$\frac{dN_c(t)}{dt} = \frac{2v_{s,e}}{W}n(t) - \frac{N_c}{RC}. \quad (7)$$

[0031] また、次の式(8)は、初期状態からの電圧変動 ΔV を示す。

[0032] [数4]

$$\Delta V = V_0 - V(t) \quad (8)$$

[0033] 図2は上記のシミュレーションから計算される電圧変動と空乏層内の電荷数の時間変化を示す図である。図2の(a)および(b)の縦軸は、SPAD10に印加される逆バイアス電圧に生じる電圧変動 ΔV の絶対値を示す。図2の(c)および(d)の縦軸は空乏層内の電子数 n を示す。横軸はいずれも時間変化を示している。図2では、初期電圧 $V_0 = 29V$ のシミュレーション結果である。図1Cの物理定数より得られるSPAD10のブレークダウン電圧は、 $27.5V$ であり、 $V_{ex} = 1.5V$ である。 $t = 0$ はアバラ

ンシェ増倍開始の時刻であり、増倍領域に電子・正孔対が1組生成された時刻を意味している。図2の(a)は第1抵抗11の抵抗値 $R = 65 \text{ k}$ オームの結果で、クエンチングできない場合のシミュレーション結果の例である。

100~200 psにおいて、アバランシェ増倍により発生した電荷が容量に蓄積することで、 ΔV が約2.6 V振幅する。その後、抵抗を介して電荷が排出(リチャージ)されることで ΔV が低下し、 $t \sim 730 \text{ ns}$ で $\Delta V \sim 0.9 \text{ V}$ となった後、再度 ΔV が増大する。その後は ΔV が減衰振動を続け、最終的に1.5 Vとなる。 ΔV が0に戻らないことから、アバランシェ増倍は停止しておらず、クエンチングできていない。

[0034] 一方、図2の(b)は第1抵抗11の抵抗値 $R = 70 \text{ k}$ オームの結果で、クエンチングできる場合のシミュレーション結果の例である。 $t \sim 200 \text{ ps}$ で電圧がおよそ2.6 V振幅した後、リチャージにより ΔV が低下し、 $t \sim 2 \text{ ns}$ では $\Delta V \sim 0$ となることから、アバランシェ増倍が停止し、クエンチングできている。このように、本開示のフォトディテクタの、クエンチングにおける電圧振幅の最大値は余剰電圧 V_{ex} より大きい。

[0035] 図2の(c)の $R = 65 \text{ k}$ オームにおける空乏層内の電子数の時間変化によれば、リチャージにより、 ΔV が減少している間にも、空乏層内の電子数 $n(t)$ が必ず1以上であるため、空乏層内に残存した電子を基に再度アバランシェ増倍を起こしている。

[0036] 図2の(d)の $R = 70 \text{ k}$ オームにおける空乏層内の電子数の時間変化によれば、リチャージの途中である $t \sim 380 \text{ ps}$ で空乏層内から電子が無くなるため、再度アバランシェ増倍を起こすことはない。

[0037] このシミュレーションにより、SPAD10でクエンチングを実現するための条件は、リチャージの過程において空乏層からキャリアがなくなること、であり、この条件に基づいて抵抗値を設定することでクエンチングを確実に実現できる。また、この条件を満たす範囲で抵抗値を低くすることで、デッドタイムを短縮し、感度向上およびダイナミックレンジ拡大を実現できる。

[0038] ここで、クエンチングの条件である、リチャージの過程において空乏層からキャリアがなくなること、を満たす第1抵抗11の抵抗値Rは、下記のように解析的に計算できる。インパクトイオン化率は、 V_{ex} が V_{BD} に対して十分に小さい場合には、式(9)および式(10)のように線形に近似できる。

[0039] [数5]

$$\alpha(E) = \alpha_0 \exp\left(-\frac{a}{E_{BD} + \delta E}\right) = \alpha_0 \exp\left(-\frac{\frac{a}{E_{BD}}}{1 + \left(\frac{\delta E}{E_{BD}}\right)}\right) \approx \alpha(E_{BD}) \left(1 + \frac{a}{E_{BD}^2} \delta E\right), \quad (9)$$

$$\beta(E) = \beta_0 \exp\left(-\frac{b}{E_{BD} + \delta E}\right) = \beta_0 \exp\left(-\frac{\frac{b}{E_{BD}}}{1 + \left(\frac{\delta E}{E_{BD}}\right)}\right) \approx \beta(E_{BD}) \left(1 + \frac{b}{E_{BD}^2} \delta E\right). \quad (10)$$

[0040] ただし、

[0041] [数6]

$$\delta E = E(t) - E_{BD}, \quad E_{BD} = \frac{V_{BD}}{W}. \quad (11)$$

である。また、 V_{BD} において式(12)および式(13)の等式が成立することが非特許文献5により知られている。

[0042] [数7]

$$\alpha(E_{BD}) + \beta(E_{BD}) = \frac{2}{W} \quad (12)$$

$$v_{s,e}n = v_{s,h}p \quad (13)$$

[0043] さらに、 V_{ex} が V_{BD} に対して十分に小さい場合、 $N_c(t) \gg n(t)$ なので、式(6)は

[数8]

$$V(t) \sim V_0 - q \cdot \frac{N_c(t)}{C}. \quad (14)$$

と近似できる。式(9)～(14)を用いると、式(1)、式(2)は下記のように書き換えられる。

[0044]

[数9]

$$\frac{dn(t)}{dt} = A\delta E v_{s,e} n(t) \quad (15)$$

[0045] ただし、

[数10]

$$A = \frac{a\alpha(E_{BD}) + b\beta(E_{BD})}{E_{BD}^2} \quad (16)$$

式(14)より、空乏層内の電子数 $n(t)$ は、

[数11]

$$n(t) = \exp\left(\int_0^{T_0} \frac{1}{\tau_Q V_{ex}} (V_{ex} - \Delta V(t)) dt\right) \quad (17)$$

となる。ただし、

[数12]

$$\tau_Q = \frac{W}{A v_{s,e} V_{ex}} \quad (18)$$

はアバランシェ増倍による電圧変動の時定数であり、 T_0 は $n(t)$ が最小となる時間である。

[0046] ここで、式(17)の右辺の積分は下記の通りとなる。

[0047] [数13]

$$n(T_0) = \exp\left(\int_0^{T_0} \frac{1}{\tau_Q} \left(1 - \frac{\Delta V(t)}{V_{ex}}\right) dt\right) \sim \exp\left(\frac{1}{\tau_Q} \left(t_{BD} - \frac{1}{2} RC \ln(2)\right)\right) \quad (19)$$

[0048] 式(19)における積分は図3を用いて近似的に行っている。具体的には、図3は、アバランシェ増倍が発生したときの逆バイアス電圧 V の時間変化を示す図である。領域Aの面積と領域Bの面積の差分を $\tau_Q V_{ex}$ により除算した値が式(17)の右辺の積分値であり、領域Aは縦 V_{ex} 、横 t_{BD} の四角形として近似、領域Bは高さ V_{ex} 、底辺 $RC \ln(2)$ の三角形として近似できることを利用している。ただし、

[数14]

$$t_{BD} \sim \tau_Q \ln \left(\frac{CV_{ex}W}{qv_{s,e}\tau_Q} \right) \quad (20)$$

は、アバランシェ増倍が開始してから、 $\Delta V = V_{ex}$ となるまでの時間である。

[0049] 式(19)が1を下回ることがクエンチングの条件であるので、第1抵抗11の抵抗値Rの要件は下記の通りである。

[0050] [数15]

$$R > \frac{2\tau_Q \ln \left(\frac{CV_{ex}W}{qv_{s,e}\tau_Q} \right)}{C \ln(2)} = \frac{2E_{BD}^2 \ln \left(\frac{CV_{ex}^2 W (\alpha\alpha(E_{BD}) + b\beta(E_{BD}))}{qE_{BD}^2} \right)}{(\alpha\alpha(E_{BD}) + b\beta(E_{BD}))v_{s,e}CV_{ex} \ln(2)} \quad (21)$$

[0051] 式(19)の条件は、アバランシェ増倍を開始してからすべての電荷が排出されるまでの時間よりリチャージによって電圧が戻るまでの時間が短いこと、とほぼ同じである。式(21)の右辺に、図1Cの物理定数を代入して計算される抵抗値Rは68kオームであり、図2の結果と整合する。ここで、式(21)より得られるデッドタイムは第1抵抗11によるリチャージ時間であるRCであり、

[数16]

$$t_{dead} > \frac{2\tau_Q \ln \left(\frac{CV_{ex}W}{qv_{s,e}\tau_Q} \right)}{\ln(2)} = \frac{2E_{BD}^2}{(\alpha\alpha(E_{BD}) + b\beta(E_{BD}))v_{s,e}V_{ex}} \frac{\ln \left(\frac{CV_{ex}^2 W (\alpha\alpha(E_{BD}) + b\beta(E_{BD}))}{qE_{BD}^2} \right)}{\ln(2)} \quad (22)$$

である。これによると、デッドタイムは、(i) 余剰バイアス電圧 V_{ex} 、(ii) 第1容量12の容量C、(iii) 空乏層幅W、(iv) ブレークダウン電圧 V_{BD} 、に依存する。特に、余剰バイアス電圧 V_{ex} に対しては、ほぼ反比例するため、 V_{ex} を増大することで、さらにデッドタイムを短縮できる。本シミュレーションから求められるクエンチング抵抗としての第1抵抗11の抵抗値Rを用いれば、例えば図2の例ではデッドタイムを2nsまで低減できる。非特許文献1のFig. 7. 4では、デッドタイム、すなわちR-e-chargeと表記のある期間は300ns程度と読み取れる。本開示を用いる

ことによって、デッドタイムを100分の1以下に短縮できる。

[0052] これまで、非特許文献3に示されるインパクトイオン化率の値に基づき解析したが、インパクトイオン化率の値はSPAD10の温度、内部電界、デバイス構造によって変わるため、文献によっては異なる値が記されている場合がある。この場合には、式(21)の表記が変更されても良い。例えば、非特許文献4でのインパクトイオン化率は下記の式(9-1)の通りである。

[0053] [数17]

$$\alpha_i(F, T) = \frac{E}{a_i(T) + b_i(T) \exp\left[\frac{d_i(T)}{[c_i(T) + E]}\right]} \quad (9-1)$$

[0054] 但し、下付き文字の*i*はキャリアが電子の場合に*e*、正孔の場合には*h*で表現する。この場合には、式(21)は下記の式(21-1)の通りに書き換えてよい。

[0055] [数18]

$$R > \frac{2E_{BD}^2 \ln\left(\frac{CV_{ex}^2 W}{q} B\right)}{(\alpha\alpha(E_{BD}) + b\beta(E_{BD}))v_{s,e}CV_{ex}\ln(2)} \quad (21-1)$$

但し、

[数19]

$$B = \frac{b_e(T) \exp\left[\frac{d_e(T)}{[c_e(T) + E_{BD}]}\right]}{\left(a_e(T) + b_e(T) \exp\left[\frac{d_e(T)}{[c_e(T) + E_{BD}]}\right]\right)^2 (c_e(T) + E_{BD})^2} \frac{d_e(T)}{+ \frac{b_h(T) \exp\left[\frac{d_h(T)}{[c_h(T) + E_{BD}]}\right]}{\left(a_h(T) + b_h(T) \exp\left[\frac{d_h(T)}{[c_h(T) + E_{BD}]}\right]\right)^2 (c_h(T) + E_{BD})^2} \frac{d_h(T)}{}} \quad (21-2)$$

である。このように、クエンチング抵抗としての第1抵抗11の抵抗値*R*の満たすべき要件は参照する文献によっては異なっても良く、温度、電界、デバイス構造によって限定されない。

[0056] (実施の形態1)

図4～7を用いて実施の形態1に係るフォトディテクタ1について説明する。

[0057] 図4は、実施の形態1に係るフォトディテクタ1の回路例を示す図である。このフォトディテクタ1は、SPAD10と、SPAD10のカソードに直列に接続された第1抵抗11と、SPAD10に並列に接続された第1容量12と、SPAD10のカソード電圧を出力する出力部14とを備える。第1抵抗11の一端は第1電源V1に接続される。SPAD10のアノードは第2電源V2に接続される。なお、第1容量12は、SPAD10の寄生容量でもよいし、SPAD10とは別個の容量素子でもよいし、それらの両者でもよい。

[0058] SPAD10に光が入射すると、アバランシェ増倍により、逆バイアス電圧が大きく変動するので、入射光子の有無や、入射光子数を出力することができる。ここで、第1容量12や、第1抵抗11はLSIプロセスで形成しても、外付けの回路素子で構成しても良い。第1容量12の両端が、SPAD10の両端と接続される必要はなく、一方の端のみ接続されていても良い。この時には、式(21)の容量Cに寄与するのは、第1抵抗11とSPAD10の接続された端に接続された容量であり、図4では、SPAD10のカソードに接続された第1容量12である。

[0059] 図5は実施の形態1に係るフォトディテクタ1の変形例を示す図である。図5のフォトディテクタ1は、図4の構成に対して、第1抵抗11がP型チャンネルのトランジスタである、第1トランジスタ15のチャンネル抵抗である点と、第1可変電源16を備える点とが異なっている。以下、異なる点を中心に説明する。

[0060] 第1可変電源16は、可変の電圧を第1トランジスタ15のゲート電圧として供給する。この時、ゲート電圧による第1トランジスタ15のチャンネル抵抗はクエンチング抵抗の要件、すなわち、式(21)を満たすように設定する。ここでは、SPAD10のカソードに第1トランジスタ15を接続する構成としているが、導電型は限定せず、例えば、SPAD10のアノード

にN型導電型のトランジスタを接続しても良い。

[0061] 次に、図6、7を用いて、クエンチング抵抗の決め方を説明する。クエンチングの要件は、(i) クエンチング抵抗の抵抗値、(ii) SPAD10の容量C、(iii) 余剰バイアス電圧 V_{ex} 、(iv) 空乏層幅W、(v) ブレークダウン電圧 V_{BD} 、によって決まり、式(21)を満たすように、上記の(i)～(v)を設定する。図6は余剰バイアス電圧 V_{ex} および第1抵抗11の抵抗値Rに対し、クエンチングの可否を示した図の一例である。点線は、式(21)の計算結果で、 V_{ex} 、R以外について図1Cの条件を用いた。点線より右上の領域ではクエンチングを起こすことができる。しかし、左下の領域ではクエンチングを起こすことができず、SPAD10はアバランシェ増倍を続ける。

[0062] 図7は第1容量12の容量値Cおよび第1抵抗11の抵抗値Rに対し、クエンチングの可否を示した図の一例である。点線は、式(21)の計算結果で、C、R以外について図1Cの条件を用いた。点線より右上の領域ではクエンチングを起こすことができる。しかし、左下の領域ではクエンチングを起こすことができず、SPAD10はアバランシェ増倍を続ける。

[0063] 図6、図7を利用することによって、クエンチングに要求される回路定数とデバイス構造の対応が図示される。特に、図6、7の点線に近づくように第1抵抗11の抵抗値Rを設定することで、デッドタイムの短いSPAD10およびクエンチング回路を実現できる。

[0064] 以上説明してきたように実施の形態1に係るフォトディテクタ1は、SPAD10と、SPAD10に直列に接続された第1抵抗11とを備え、SPAD10から第1抵抗11を介して電荷が排出されるリチャージ時間において、SPAD10の増倍領域から電荷が無くなる。

[0065] ここで、SPAD10に印加される余剰バイアス電圧は、SPAD10のブレークダウン電圧より小さく、第1抵抗11の抵抗値Rは、上記の式(21)を満たしてもよい。式(21)中の E_{BD} は、SPAD10内部の電界強度を、Cは、SPAD10の寄生容量を含む容量を、 V_{ex} は、余剰バイア

ス電圧であって、SPAD10に印加される逆バイアス電圧とブレークダウン電圧との差分を、 W は、SPAD10の空乏層幅を、 $\alpha(E_{BD})$ は、電界強度 E_{BD} の下での電子のインパクトイオン化率を、 $\beta(E_{BD})$ は、電界強度 E_{BD} の下での正孔のインパクトイオン化率を、 a は、電子のインパクトイオン化率の係数を、 b は、正孔のインパクトイオン化率の係数を、 q は、電気素量を、 $v_{s,e}$ は、電子の飽和速度を示す。

[0066] (実施の形態2)

図8は実施の形態2に係るフォトディテクタ1を含む制御システムの構成例を示すブロック図である。この制御システムは、電源13とSPAD10とクエンチング抵抗11aと制御基準器17と、出力部14とを備える。SPAD10およびクエンチング抵抗11aは、図5のフォトディテクタ1に相当する。例えば、クエンチング抵抗11aは、図5の第1トランジスタ15および第1可変電源16に相当する。第1可変電源16は、制御基準器17の制御に従って可変の電圧を第1トランジスタ15のゲートに出力する。

[0067] 制御基準器17は電源13の電圧を参照し、式(21)の関係式に従いクエンチング抵抗の抵抗値 R を制御する。具体的には、制御基準器17はCPU (Central Processing Unit) 等により構成され、あらかじめ記録したブレークダウン電圧と、電源電圧の差分から V_{ex} を算出する。算出された V_{ex} に応じて、第1トランジスタ15のゲート電圧を制御する。第1トランジスタ15のチャネル抵抗が V_{ex} にほぼ反比例するように、ゲート電圧を制御してもよい。これにより、異なる逆バイアス電圧に対しても、クエンチング抵抗11aの抵抗値 R を低減し、デッドタイムをより短縮できる。特にSPAD10では、 V_{ex} が大きいと光検出効率 (Photon Detection Efficiency (PDE)) が高く、 V_{ex} が小さいとPDEが低くなるため、入射光量に応じて逆バイアス電圧を制御してもよい。例えば、入射光量の大きい条件では V_{ex} を低く、入射光量の小さい条件では V_{ex} を高く設定することで、ダイナミックレンジの広いフォトディテクタ1を実現できる。この時、実施の形態2に係る制御システムを用いることで、デッドタイムをより短縮し、さら

にダイナミックレンジを拡大できる。

[0068] 図9は実施の形態2に係るフォトディテクタ1を含む制御システムの別の構成例を示すブロック図である。図9の構成では、図8の構成と比べて、制御基準器17の制御対象がクエンチング抵抗11aからSPAD容量12aに変更されている。

[0069] 図9の制御基準器17は、SPAD10の逆バイアス電圧の大きい時には、SPAD容量12aを小さくし、SPAD10の逆バイアス電圧の小さい時には、SPAD容量12aを大きくする。これにより、異なる逆バイアス電圧の値に対してデッドタイムを短縮できる。

[0070] 図10は、図8、あるいは、図9の制御システムを実現するフォトディテクタ1の回路図である。図10は図5の構成と比べて、第2トランジスタ21、第2可変電源22、および第2容量23が追加されている点が異なっている。以下異なる点を中心に説明する。

[0071] SPAD10のカソードにN型トランジスタである第2トランジスタ21が接続される。第2トランジスタ21の逆の端には第2容量23が接続される。第2トランジスタ21のゲートに第2可変電源22が接続される。

[0072] 図10のフォトディテクタ1が図8の制御システムに含まれる場合には、SPAD10の逆バイアス電圧が大きいときには第1トランジスタ15のゲート電圧を低くすることで、チャンネル抵抗を低くし、SPAD10の逆バイアス電圧が小さいときには、第1トランジスタ15のゲート電圧を高くすることで、チャンネル抵抗を高くする。

[0073] 図10のフォトディテクタ1が図9の制御システムに含まれる場合には、SPAD10の逆バイアス電圧が大きいときには、第2トランジスタ21を非導通状態とすることで、SPAD10の容量を小さくし、SPAD10の逆バイアス電圧が小さいときには、第2トランジスタ21を導通状態とすることで、SPAD10の容量を大きくする。これにより、異なる V_{ex} の値に対し、デッドタイムを最小化できる。クエンチング抵抗11aおよび、SPAD容量12aの両方を同時に制御してもよい。(i)クエンチング抵抗の

抵抗値、(i i) SPAD10の容量C、(i i i) 余剰バイアス電圧 V_{ex} 、(i v) 空乏層幅W、(v) ブレークダウン電圧 V_{BD} の内、いずれか1以上のパラメータを参照し、他の異なるいずれか1以上のパラメータを制御しても良い。また、温度に対して上記(i) ~ (v)のパラメータを制御しても良い。第1トランジスタ15はチャネル抵抗が温度変化するため、温度に応じてゲート電圧を制御しても良い。特に、余剰バイアス電圧 V_{ex} が同じであれば、デッドタイムは同じなので、第1トランジスタ15のチャネル抵抗がほぼ温度変化しないように、ゲート電圧を制御すると良い。これにより、異なる温度に対しても、デッドタイムを短縮できる。

[0074] 以上説明してきたように実施の形態2に係るフォトディテクタ1は、制御基準器17を備え、制御基準器17は次の5つのパラメータ(i) 第1抵抗11の抵抗値R、(i i) SPAD10の寄生容量を含む容量C、(i i i) 余剰バイアス電圧 V_{ex} 、(i v) SPAD10の空乏層幅W、(v) ブレークダウン電圧のいずれか1以上を参照し、参照したパラメータ以外の1以上のパラメータを制御する。

[0075] ここで、第1抵抗11は可変抵抗であり、制御基準器17は、余剰バイアス電圧が大きいほど、第1抵抗11の抵抗値を小さくしてもよい。

[0076] ここで、第1抵抗11は第1トランジスタ15を含み、第1抵抗11の抵抗値は、第1トランジスタ15のチャネル抵抗に対応してもよい。

[0077] ここで、SPAD10の寄生容量を含む容量C、は可変であり、制御基準器17は、余剰バイアス電圧が大きいほど、容量Cの容量値を小さくしてもよい。

[0078] ここで、SPAD10と第1トランジスタ15の接続された端に第2トランジスタ21を備え、第2トランジスタ21の接続された端と逆の端には、第2容量を備え、SPAD10の余剰バイアス電圧を参照し、第2トランジスタ21のゲート電圧を制御してもよい。

[0079] (実施の形態3)

図11は実施の形態3に係るフォトディテクタアレイの回路例を示す図で

ある。このフォトディテクタアレイは、N個（Nは2以上の自然数）のフォトディテクタ1を並列に備え、さらに第2抵抗24を備える。N個のフォトディテクタ1のそれぞれは、SPAD10と、第1トランジスタ15と、第1可変電源16を備える。フォトディテクタ1が接続された端、すなわち、SPAD10が接続された端には、SPAD10と第2電源V2の間に第2抵抗24が接続される。この時、第2抵抗24は、N個のSPAD10すべてで発生した電荷を、SPAD10のリチャージ時間より短時間で排出することが要求される。すなわち、第2抵抗24の抵抗値rによる時定数rNCが第1抵抗11の抵抗値RによるSPAD10のリチャージ時間RCより短いことが求められる。すなわち、下記の式を満たすことが要求される。

[0080] [数20]

$$r < \frac{R}{N} \quad (23)$$

[0081] 式(21)より、第2抵抗24の抵抗値rは下記の式に従っても良い。

[0082] [数21]

$$r < \frac{2\tau_Q \ln\left(\frac{CV_{ex}W}{qv_{s,e}\tau_Q}\right)}{NC \ln(2)} \quad (24)$$

[0083] これにより、複数のSPAD10を並列に接続してもクエンチング特性を劣化させることがない。例えば、複数のフォトディテクタ1をアレイ状に配置した、イメージセンサやフォトンカウンタなどの用途に用いることができる。

[0084] なお、図11では、出力部14を省略したが、各フォトディテクタ1が出力部14を備えても良く、また、N個のフォトディテクタ1で出力部を共有しても良い。各フォトディテクタ1が出力部14を備える場合には、SPAD10のカソードと第1トランジスタ15の接続部を出力ノードとしてもよい。また、N個のフォトディテクタ1で出力部を共有する場合には、SPAD10のアノードと第2抵抗24との接続部を出力部としてもよい。

[0085] 図12は実施の形態3に係る固体撮像装置100の回路例を示す図である

。図12の固体撮像装置100は、複数のフォトディテクタ1に加えて、制御基準器42、選択部41、負荷部43、信号処理部44、信号出力線、出力部45を備える。また、図12のフォトディテクタ1は、図11Aのフォトディテクタ1と比べて、第3電源V3、第3トランジスタ33、および第4トランジスタ34が追加されている点が異なる。以下、異なる点を中心に説明する。

[0086] 第3トランジスタ33は、SPAD10のカソードに電荷量に応じた電圧を出力する増幅トランジスタである。詳しくは、第3トランジスタ33は、第4トランジスタ34がオンのとき、負荷部43の負荷（例えば定電流源）とともにソースフォロワを構成する。

[0087] 第4トランジスタ34は、選択部41からの選択制御信号に応じてオンする選択用のスイッチトランジスタである。

[0088] 制御基準器42、選択部41、信号処理部44は、半導体基板上に形成されても良く、これらをまとめて周辺回路部と呼ぶことがある。SPAD10のカソードは第3トランジスタ33のゲートに接続され、SPAD10のカソード電圧に応じて電流量が変化する。選択部41は第4トランジスタ34のゲートに接続され、信号を出力するフォトディテクタ1を少なくとも1つ選択する。選択されたフォトディテクタ1からの信号は信号出力線を介して、信号処理部44に出力される。信号処理部44で処理された信号は、数値データまたは画像データとして出力部45から出力される。出力部45は例えばディスプレイなどである。これにより、フォトディテクタ1からの出力を画像形式などの形式で出力できる。図12では、第3トランジスタ33および第4トランジスタ34の導電型はP型としたが、N型としてもよい。

[0089] 次に、図12の固体撮像装置のデバイス構造について説明する。

[0090] 図13～図15に実施の形態3のフォトディテクタアレイおよび固体撮像装置のデバイス構造を示す。図13は図12の固体撮像装置100を平面視したレイアウト例を示す図である。図13では2×2画素分の構造を示している。図13は、複数のフォトディテクタ1と、フォトディテクタ1内にS

PAD10と、第1ウェルWL1と、第1配線W1と、第1トランジスタ15のゲートG1と、第3トランジスタ33のゲートG3と、第4トランジスタ34のゲートG4と、SPAD10に含まれる1導電型の第1半導体層L1と、第2導電型の第3半導体層L3と、を備える。見やすさのため、第1配線W1以外の配線、および、第1半導体層L1、第3半導体層L3、第1ウェルWL1以外の半導体層は省略している。第1トランジスタ15と、第3トランジスタ33と、第4トランジスタ34は第1ウェルWL1内に配置される。第1半導体層L1は第1配線W1により、第1トランジスタ15のドレインおよび第3トランジスタ33のゲートG3に接続される。第1トランジスタ15のソースは第1電源V1に接続される。

[0091] 図14は実施の形態3の固体撮像装置100を平面視したレイアウトの変形例を示す図である。図14のレイアウトでは、図13のレイアウトと比べて、第1トランジスタ15のゲートG1の面積が第3トランジスタ33のゲートG3、および第4トランジスタ34のゲートG4に比べて広い。

[0092] このように、第1トランジスタ15のゲートG1の面積は他のトランジスタ、すなわち第3トランジスタ33、第4トランジスタ34のゲート面積よりも広がっている。これにより、第1トランジスタ15の閾値電圧のばらつきが抑制でき、第1トランジスタ15チャネル抵抗のばらつきが抑制できる。これにより、式(21)の条件を満たしつつ、アレイ状に配置するフォトディテクタ1の数をより多くすることができ、ダイナミックレンジが広がる。

[0093] 図15は図13のXV-XV線における固体撮像装置100の断面構成例を示す図である。半導体基板SUBと半導体基板SUBの第1主面S1側に接するように配置された配線層LMと第2主面S2側に接するように配置された電極ELと、配線層LMの上部に接したレンズ層LLを備え、光照射面は第1主面S1側である。図15の断面では、図13に加え、半導体基板SUB内に、第2導電型の第2半導体層L2、第2導電型の第4半導体層L4を備える。第1半導体層L1、第2半導体層L2、第3半導体層L3、第4

半導体層L4によって、SPAD10が構成され、第1半導体層L1と第2半導体層L2の境界周辺が増倍領域MPである。第2半導体層L2同士は、半導体基板SUB、あるいは第4半導体層L4を通じて接続されている。配線層LMは第1配線W1以外を省略している。また、レンズ層LLはマイクロレンズMLを備える。ここで、SPAD10のアノードへの電圧印加、すなわち、第2半導体層L2への電圧印加は、電極ELを介して行われてよい。この場合、第2抵抗24は半導体基板SUBと電極EL間の接合を含むため、半導体基板SUBと電極EL間の接合の抵抗が低いことが好ましい。例えば、半導体基板SUBが型シリコンである場合には、電極材料はAg、Pt、Ti、Auなどを用いてよい。これにより、第2抵抗24を低くし、ダイナミックレンジを拡大できる。

[0094] ここで、第3半導体層L3は、第1半導体層L1と第1半導体層L1の間の分離、および、第1半導体層L1と第1ウェルWL1の間の分離の機能を有する。第3半導体層L3の第1主面S1と接する領域の少なくとも一部は空乏化していても良い。これにより、第1半導体層L1と第1半導体層L1の間、または、第1半導体層L1と第1ウェルWL1の間の分離を狭め、フォトディテクタ1をより微細化できる。また、第3半導体層L3の配置された領域の第1主面S1と接する領域には、コンタクト、あるいはトレンチを配置しなくてよい。これにより、第3半導体層L3の欠陥を低減し、暗電流を低減できる。

[0095] 図15では、第2半導体層L2、第3半導体層L3、第4半導体層L4を便宜的に異なる半導体層で表現しているが、必ずしも異なる不純物濃度、異なる不純物注入などで形成される必要はなく、例えば同一の不純物濃度であっても良い。

[0096] 図16は図13のXV-XV線における固体撮像装置100の断面構成の変形例を示す図である。図16の変形例は、図15の構成と比べて、光照射面を第1主面S1から第2主面S2側に変更したものである。レンズ層LLは電極ELの上部に接するように配置される。これにより、配線での光反射

を防ぎ、感度向上できる。この時、電極E Lは光透過率が高い材料とするとよい。例えば、利用する波長域が可視～近赤外の場合には、ITO (Indium Tin Oxide) などを用いてもよい。

[0097] 図17は実施の形態3に係る固体撮像装置100の別の断面構成例を示す図である。同図は、図16に比べて広範囲の断面図を示している。複数のフォトディテクタ1の設けられた受光領域46と、受光領域46の外部であるコンタクト領域47を備える。コンタクト領域47には、フィルタFL、第2配線W2および、第5半導体層L5を備える。SPAD10のアノードには、第2配線W2および、第5半導体層L5、第4半導体層L4、電極ELを介して、電圧を印加する。図17では、コンタクト領域47の第2主面S2に接する領域にフィルタFLを設けており、入射光が透過しないようにしており、これにより、コンタクト領域47に入射した光に起因する誤検出を防止できる。図17では、第2抵抗24は第2配線W2および、第5半導体層L5、第4半導体層L4、電極ELにより構成される。図17の例では、必ずしも電極ELを設けなくてもよい。電極ELを設けない場合には、電極ELの光反射および光吸収などによる、光感度の低下を防ぎ、感度を向上できる。ここで、第4半導体層L4、第5半導体層L5は拡散抵抗を低減するために、不純物濃度を高めても良く、これにより、第2抵抗24の要件である式(23)または式(24)を満たしやすくなる。特に、第4半導体層L4は第1主面S1側から第2主面S2側に向けて、不純物濃度が徐々に高くなるようにしても良い。これにより、第4半導体層L4で発生した電荷が第4半導体層L4のビルトインポテンシャルにより増倍領域MPまで転送され、感度を向上することができる。また、図17では第2主面S2より光が照射される構成としているが、第1主面S1から光照射する構成としても良い。

[0098] 図18は、図17の固体撮像装置100の全体を平面視した模式的なレイアウト図である。図18は、チップと、チップ内に、受光領域46と、コンタクト領域47と、制御基準器42と、選択部41と、信号処理部44と、

を備える。コンタクト領域47は受光領域46に隣接して配置され、受光領域46の周囲を囲むように配置される。制御基準器42と、選択部41と、信号処理部44とは、コンタクト領域47より外周に配置される。コンタクト領域47と受光領域46とが隣接して配置されることにより、第2抵抗24をより低減することができ、ダイナミックレンジの広いフォトディテクタアレイを実現できる。第2抵抗24の条件である式(23)または式(24)を満たす限りにおいては、コンタクト領域47を制御基準器42と、選択部41と、信号処理部44いずれかの外側に配置しても良い。

[0099] 以上説明してきたように、実施の形態3に係るフォトディテクタアレイは、上記のフォトディテクタ1をN個備え(Nは2以上の整数)、N個のフォトディテクタ1に含まれるN個の直列回路は並列に接続され、N個の直列回路のそれぞれは、直列接続されたSPAD10および第1抵抗11を有し、N個の直列回路の一端であってSPAD10側のN個の一端は互いに接続され、さらに、互いに接続されたN個の一端に接続され、かつ、N個のフォトディテクタと直列に接続される第2抵抗24を備え、第2抵抗24の抵抗値は、第1抵抗11の抵抗値のN分の1よりも小さい。

[0100] ここで、N個のSPAD10は、同一の半導体基板上に配置され、互いに接続されたN個の一端は、半導体基板を介して接続されてもよい。

[0101] ここで、半導体基板の主面であり、互いに接続されたN個の一端の側の主面である第2主面に接して配置された電極を介して、互いに接続されたN個の一端に電圧が印加されてもよい。

[0102] ここで、N個のフォトディテクタの配された受光領域と、受光領域の外に配されたコンタクト領域と、コンタクト領域に、第2主面と逆側の主面である第1主面に接するように配された第2配線と、を備え、互いに接続されたN個の一端には第2配線を介して電圧が印加されてもよい。

[0103] ここで、N個のフォトディテクタの制御、または信号処理を行う周辺回路部を備え、コンタクト領域は、受光領域と周辺回路部の間に配置されてもよい。

- [0104] ここで、N個のフォトディテクタのそれぞれは、第1トランジスタを含む少なくとも2つのトランジスタを備え、第1抵抗11は第1トランジスタ15のチャンネル抵抗であり、第1トランジスタ15のゲート面積はフォトディテクタの有する他のトランジスタのゲート面積より大きくてもよい。
- [0105] また、実施の形態3に係るフォトディテクタアレイは、上記のフォトディテクタ1をM個（Mは2以上の整数）備え、フォトディテクタ1同士は、SPAD10の一方の端で接続され、接続された端に第3抵抗31および、第3容量32が接続され、第1抵抗11は第1トランジスタ15であり、第3抵抗31の抵抗値 r' は、式（25）を満たす。
- [0106] ここで、第1トランジスタ15は、SPAD10をリセットするリセット期間において導通状態であり、SPAD10に入射した光を検出する露光期間において非導通状態であってもよい。
- [0107] ここで、第1トランジスタ15のチャンネルの導電型は、SPAD10の、第1トランジスタ15が接続された端の導電型と同一であってもよい。
- [0108] ここで、第3容量の容量値は、SPAD10の容量より大きくてもよい。
- [0109] [フォトディテクタあるいはフォトディテクタアレイの応用例]
以下、フォトディテクタあるいはフォトディテクタアレイの応用例について図面を参照しながら説明する。
- [0110] 図19はフォトディテクタあるいはフォトディテクタアレイの応用例であって、本開示に係るフォトディテクタ1あるいはフォトディテクタアレイを用いた距離測定システムの一例を示すブロック図である。
- [0111] フォトディテクタ1あるいはフォトディテクタアレイの応用例に係る距離測定システム500は、パルス光を発生する発光部510と、反射したパルス光を受光する受光部520と、発光部510及び受光部520を制御する制御部530と、受光部520からの信号を出力する出力部540とを有している。
- [0112] 発光部510は、発光ダイオード等の発光デバイスで構成され、制御部530からの制御信号によってパルス光を発生し、測定対象物600に向けて

照射する。発光部510は拡散光源でも良く、測定対象物600は複数でも良い。

[0113] 受光部520は、上述した実施形態に係るフォトディテクタ1、フォトディテクタアレイ、あるいは固体撮像装置100であり、測定対象物600により反射されたパルス光を受光する。受光部520はレンズなどの光学系を備えても良く、フォトディテクタ1あるいはフォトディテクタアレイ面上で結像させても良い。

[0114] 制御部530は、CPU (Central Processing Unit) 等により構成され、発光部510と受光部520とが同期して動作するように両者を制御する。また、制御部530は、発光部510への制御信号と受光部520からの出力信号とに基づいて、パルス光が測定対象物600から反射して、受光部520に戻るまでの時間を測定することにより、測定対象物600までの距離を算出する。

[0115] 出力部540は、制御部530において算出された測定対象物600までの距離を数値データ形式又は画像形式で出力する。出力部540は、通常、ディスプレイ、例えば、液晶ディスプレイ又は有機ELディスプレイ等によって構成される。

[0116] 本実施形態に係る距離測定システム500は、いわゆる、TOF (Time Of Flight) 方式の距離測定システムである。

[0117] 図20は、図19の測距測定システム500におけるタイミングチャート例を示す図である。タイミングチャートは、発光部のパルス光と、反射光1と、反射光2と、余剰バイアス電圧 V_{ex} と、第1トランジスタ15のゲート電圧と、第1トランジスタ15のチャネル抵抗と、SPAD1出力と、SPAD2出力とを含み、縦軸は、発光部のパルス光と、反射光1と、反射光2は光強度を表し、余剰バイアス電圧と、第1トランジスタ15のゲート電圧と、SPAD1出力と、SPAD2出力は電圧、第1トランジスタ15のチャネル抵抗は抵抗値を表す。横軸は時間を示している。SPAD1、SPAD2はフォトディテクタアレイ内のSPAD10の一つであり、それぞれ

位置を限定するものではない。発光部は拡散光源であり、測定対象物は少なくとも2以上あり、比較的近方の測定対象物と、比較的遠方の測定対象物がある。反射光1は比較的近方の測定対象物に照射され、反射した後にSPAD1に入射する光であり、反射光2は比較的近方の測定対象物に照射され、反射した後にSPAD2に入射する光である。ここで、図20のように、時間と共にVexを高めている。拡散光を被写体に照射し、被写体からの拡散反射光を受光する場合、光強度は距離の2乗に反比例して減少するため、近方の測定対象物からの反射光は光強度が高く、遠方の測定対象物からの反射光は光強度が低い。そのため、近方の測定対象物からの反射光を検出するときには、Vexを低くし、光検出効率(Photon Detection Efficiency(PDE))を低くすることで、二重カウントを防ぎつつ、暗電流による誤検出確率を低減できる。遠方の測定対象物からの反射光を検出するときには、Vexを高くし、PDEを高くすることで、検出もれの可能性を低減できる。この時、デッドタイムを最小化しつつクエンチングを実現するために、時間と共に抵抗値を低下させてもよい。例えば、図12A、の回路では、クエンチング抵抗はP型トランジスタであるので、ゲート電圧を時間と共に下げていけばよい。

[0118] また、実施の形態3に係る測距測定システム500は、上記のフォトディテクタ1を有する受光部520と、測定対象物に向けて発光する発光部510と、受光部520および発光部510を制御する制御部530と、を備え、制御部530は、測定対象物で反射した反射光に対応する信号を受光部510から受け、測定対象物までの距離を算出する。

[0119] ここで、発光部510の発光後に、余剰バイアス電圧を時間と共に増大させ、第1トランジスタ15のチャンネル抵抗を時間と共に低下させてもよい。

[0120] 以上、一つまたは複数の態様に係るフォトディテクタ、フォトディテクタアレイおよび距離測定システムについて、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、

異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0121] 本開示は、フォトディテクタ、フォトディテクタアレイおよび距離測定システムに利用可能であり、例えば、固体撮像装置、測距装置、カメラ等に利用可能である。

符号の説明

- [0122] 1 フォトディテクタ
- 10 SPAD
 - 11 第1抵抗
 - 11a クエンチング抵抗
 - 12 第1容量
 - 12a SPAD容量
 - 13 電源
 - 14 出力部
 - 15、15a 第1トランジスタ
 - 16、16a 第1可変電源
 - 17 制御基準器
 - 21 第2トランジスタ
 - 22 第2可変電源
 - 23 第2容量
 - 24 第2抵抗
 - 31 第3抵抗
 - 32 第3容量
 - 33 第3トランジスタ
 - 34 第4トランジスタ
 - 35 第5トランジスタ
 - 36 第6トランジスタ

- 3 7 第4容量
- 4 1 選択部
- 4 2 制御基準器
- 4 3 負荷部
- 4 4 信号処理部
- 4 5 出力部
- 4 6 受光領域
- 4 7 コンタクト領域
- 4 8 半導体チップ
- 1 0 0 固体撮像装置
- 5 0 0 測距測定システム
- 5 1 0 発光部
- 5 2 0 受光部
- 5 3 0 制御部
- 5 4 0 出力部
- C A コンタクト領域
- E L 電極
- F L フィルタ
- G 1、G 2、G 3 ゲート
- L 1 第1半導体層
- L 2 第2半導体層
- L 3 第3半導体層
- L 4 第4半導体層
- L 5 第5半導体層
- L L レンズ層
- L M 配線層
- M L マイクロレンズ
- M P 増倍領域

- S 1 第 1 主面
- S 2 第 2 主面
- S U B 半導体基板
- V 1 第 1 電源
- V 2 第 2 電源
- W 1 第 1 配線
- W 2 第 2 配線
- W L 1 第 1 ウェル

請求の範囲

[請求項1] シングルフォトンアバランシェダイオード（以下、SPADと記す）と、
前記SPADに直列に接続された第1抵抗とを備え、
前記SPADから前記第1抵抗を介して電荷が排出されるリチャージ時間において、前記SPADの増倍領域から電荷が無くなる
フォトディテクタ。

[請求項2] 前記SPADの端のうち、前記第1抵抗と接続された端の電圧振幅の最大値は、前記SPADの両端に印加される電圧と前記SPADのブレークダウン電圧との差分である余剰電圧よりも大きい
請求項1に記載のフォトディテクタ。

[請求項3] シングルフォトンアバランシェダイオード（以下、SPADと記す）と、
前記SPADと並列に接続された容量と、
前記SPADに直列に接続された第1抵抗と、
前記SPADの端のうち、前記第1抵抗と接続された端の電圧を読み出す読み出し部を備える、
フォトディテクタ。

[請求項4] 前記SPADに印加される余剰バイアス電圧は、前記SPADのブレークダウン電圧より小さく、
前記第1抵抗の抵抗値Rは

[数1]

$$R > \frac{2E_{BD}^2 \ln \left(\frac{CV_{ex}^2 W (\alpha \alpha(E_{BD}) + b\beta(E_{BD}))}{qE_{BD}^2} \right)}{(\alpha \alpha(E_{BD}) + b\beta(E_{BD})) v_{s,e} CV_{ex} \ln(2)}$$

を満たし、

式中の E_{BD} は、前記SPAD内部の電界強度を、

Cは、SPADの寄生容量を含む容量を、

V_{ex} は、前記余剰バイアス電圧であって、前記SPADに印加さ

れる逆バイアス電圧と前記ブレークダウン電圧との差分を、

W は、前記SPADの空乏層幅を、

$\alpha(E_{BD})$ は、電界強度 E_{BD} の下での電子のインパクトイオン化率を、

$\beta(E_{BD})$ は、電界強度 E_{BD} の下での正孔のインパクトイオン化率を、

a は、電子のインパクトイオン化率の係数を、

b は、正孔のインパクトイオン化率の係数を、

q は、電気素量を、

$v_{s,e}$ は、電子の飽和速度を示す、

請求項1または3に記載のフォトディテクタ。

[請求項5]

制御基準器を備え、

前記制御基準器は次の5つのパラメータ

(i) 前記第1抵抗の抵抗値 R 、

(ii) 前記SPADの寄生容量を含む C 、

(iii) 前記SPADの両端に印加される電圧と前記SPADのブレークダウン電圧との差分である余剰バイアス電圧 V_{ex} 、

(iv) 前記SPADの空乏層幅 W 、

(v) 前記ブレークダウン電圧のいずれか1以上を参照し、前記参照したパラメータ以外の1以上のパラメータを制御する、

請求項2または3に記載のフォトディテクタ。

[請求項6]

前記第1抵抗は可変抵抗であり、

前記制御基準器は、前記余剰バイアス電圧が大きいほど、前記第1抵抗の抵抗値を小さくする、

請求項5に記載のフォトディテクタ。

[請求項7]

前記第1抵抗は第1トランジスタを含み、

前記第1抵抗の抵抗値は、前記第1トランジスタのチャネル抵抗に対応する、

請求項6に記載のフォトディテクタ。

[請求項8]

前記SPADの寄生容量を含む容量Cは可変であり、

前記制御基準器は、前記余剰バイアス電圧が大きいほど、容量Cの容量値を小さくする、

請求項5に記載のフォトディテクタ。

[請求項9]

前記第1抵抗は第1トランジスタを含み、

前記SPADと前記第1トランジスタの接続された端に第2トランジスタを備え、

前記第2トランジスタの前記接続された端と逆の端には、第2容量を備え、

前記SPADの余剰バイアス電圧を参照し、前記第2トランジスタのゲート電圧を制御する、

請求項8に記載のフォトディテクタ。

[請求項10]

請求項1～9のいずれか1項に記載のフォトディテクタをN個備え（Nは2以上の整数）、

前記N個のフォトディテクタに含まれるN個の直列回路は並列に接続され、

前記N個の直列回路のそれぞれは、直列接続された前記SPADおよび前記第1抵抗を有し、

前記N個の直列回路の一端であって前記SPAD側のN個の一端は互いに接続され、

さらに、前記互いに接続されたN個の前記一端に接続され、かつ、前記N個のフォトディテクタと直列に接続される第2抵抗を備え、

前記第2抵抗の抵抗値は、前記第1抵抗の抵抗値のN分の1よりも小さい、

フォトディテクタアレイ。

[請求項11]

前記N個のSPADは、同一の半導体基板上に配置され、

前記互いに接続されたN個の前記一端は、前記半導体基板を介して

接続される、

請求項 10 に記載のフォトディテクタアレイ。

[請求項12] 前記半導体基板の主面であり、前記互いに接続されたN個の前記一端の側の主面である第2主面に接して配置された電極を介して、前記互いに接続されたN個の一端に電圧が印加される、請求項 11 に記載のフォトディテクタアレイ。

[請求項13] 前記N個のフォトディテクタの配された受光領域と、前記受光領域の外に配されたコンタクト領域と、前記コンタクト領域に、前記半導体基板の主面であり、前記互いに接続されたN個の前記一端の側の主面である第2主面と逆側の主面である第1主面に接するように配された第2配線と、を備え、前記互いに接続されたN個の前記一端には前記第2配線を介して電圧が印加される、請求項 11 に記載のフォトディテクタアレイ。

[請求項14] 前記N個のフォトディテクタの制御、または信号処理を行う周辺回路部を備え、前記コンタクト領域は、前記受光領域と前記周辺回路部の間に配置される、請求項 13 に記載のフォトディテクタアレイ。

[請求項15] 前記第1抵抗は第1トランジスタを含み、前記N個のフォトディテクタのそれぞれは、前記第1トランジスタを含む少なくとも2つのトランジスタを備え、前記第1抵抗は前記第1トランジスタのチャネル抵抗であり、前記第1トランジスタのゲート面積は前記フォトディテクタの有する他のトランジスタのゲート面積より大きい、請求項 10～14 のいずれか1項に記載のフォトディテクタアレイ。

[請求項16] 請求項 1 に記載のフォトディテクタをM個（Mは2以上の整数）備え、

前記フォトディテクタ同士は、前記SPADの一方の端で接続され、
 前記接続された端に第3抵抗および、第3容量が接続され、
 前記第1抵抗は第1トランジスタを含み、
 前記第1抵抗は前記第1トランジスタであり、
 第3抵抗の抵抗値 r' は

[数2]

$$r' > \frac{2E_{BD}^2 \ln \left(\frac{CV_{ex}^2 W (\alpha \alpha(E_{BD}) + b\beta(E_{BD}))}{qE_{BD}^2} \right)}{N(\alpha \alpha(E_{BD}) + b\beta(E_{BD})) v_{s,e} CV_{ex} \ln(2)}$$

を満たす

請求項4～9または15のいずれか1項に記載のフォトディテクタアレイ。

[請求項17]

前記第1トランジスタは、
 前記SPADをリセットするリセット期間において導通状態であり、
 前記SPADに入射した光を検出する露光期間において非導通状態である、
 請求項16に記載のフォトディテクタアレイ。

[請求項18]

前記第1トランジスタのチャンネルの導電型は、
 前記SPADの、前記第1トランジスタが接続された端の導電型と同一である、
 請求項16または17に記載のフォトディテクタアレイ。

[請求項19]

前記第3容量の容量値は、前記SPADの容量より大きい
 請求項16～18のいずれか1項に記載のフォトディテクタアレイ。

[請求項20]

請求項1～15のいずれか一項に記載のフォトディテクタを有する受光部と、

測定対象物に向けて発光する発光部と、

前記受光部および前記発光部を制御する制御部と、を備え、

前記制御部は、前記測定対象物で反射した反射光に対応する信号を

前記受光部から受け、前記測定対象物までの距離を算出する、
距離測定システム。

[請求項21]

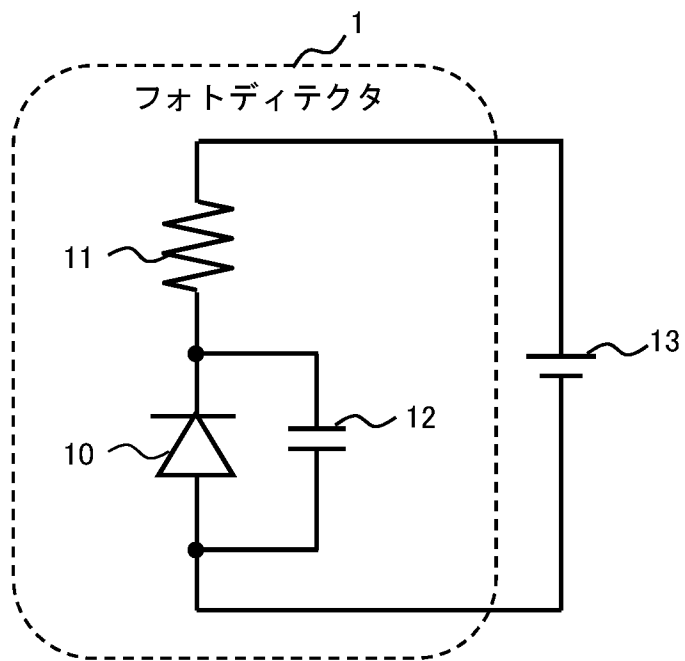
前記第1抵抗は第1トランジスタを含み、

前記発光部の発光後に、前記SPADの両端に印加される電圧と前記SPADのブレークダウン電圧との差分である余剰バイアス電圧を時間と共に増大させ、

前記第1トランジスタのチャンネル抵抗を時間と共に低下させる、

請求項20に記載の距離測定システム。

[図1A]



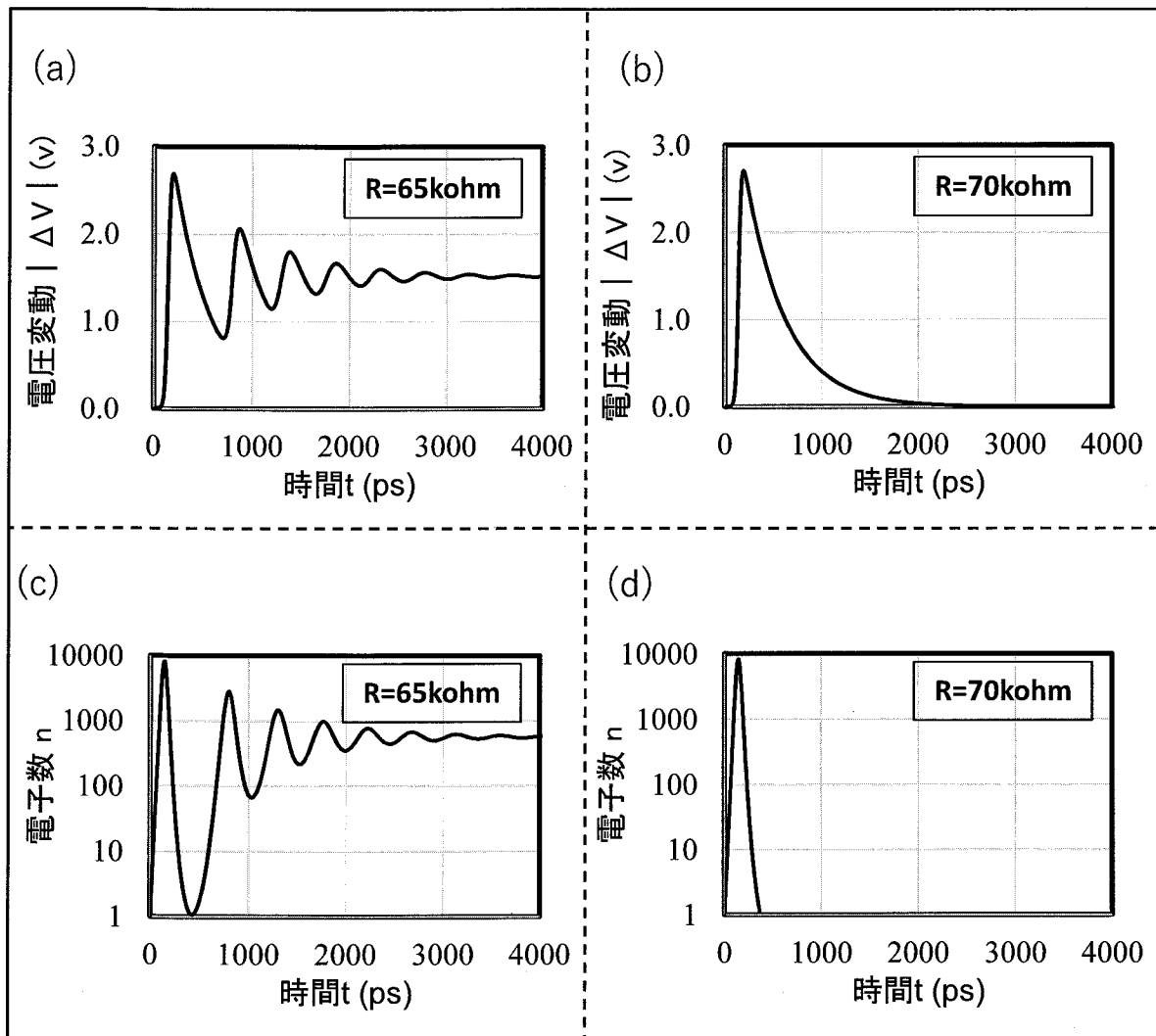
[図1B]

記号	意味
t	時間
n	空乏層内の電子数
p	空乏層内の正孔数
α	電子のインパクトイオン化率
β	正孔のインパクトイオン化率
α_0	電子のインパクトイオン化率の係数
β_0	正孔のインパクトイオン化率の係数
a	電子のインパクトイオン化率の係数
b	正孔のインパクトイオン化率の係数
V	SPADに印可される逆バイアス
V_0	初期状態において、SPADに印可される逆バイアス ($V(t=0)$ に同じ)
W	空乏層幅
E	電界強度
q	電気素量
C	APDカソードの容量
$v_{s,e}$	電子の飽和速度
$v_{s,h}$	正孔の飽和速度
N_c	APDカソードの容量に蓄積された電子数
R	SPADに直列に接続された抵抗の抵抗値
V	初期状態からの電圧変化
V_{ex}	余剰バイアス電圧 (SPADに印加される逆バイアス電圧とブレーク ダウン電圧との差分)

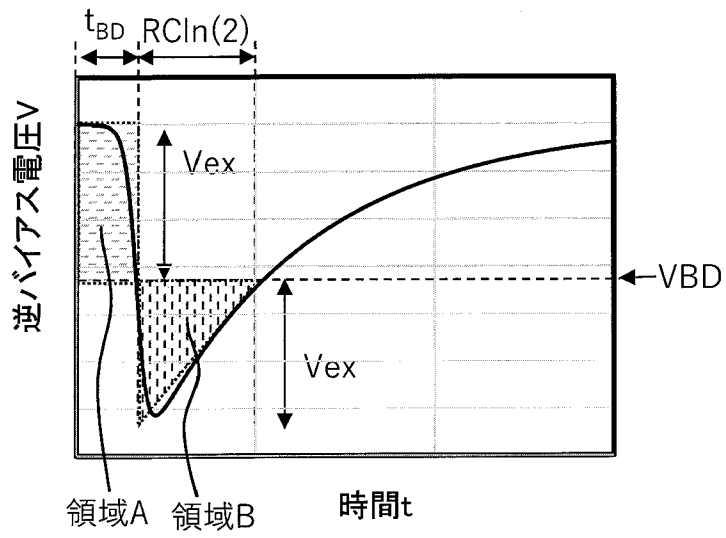
[図1C]

記号	値
α_0	$3.80 \times 10^6 \text{ cm}^{-1}$ (*1)
β_0	$2.25 \times 10^7 \text{ cm}^{-1}$ (*1)
a	$1.75 \times 10^6 \text{ V/cm}$ (*1)
b	$3.26 \times 10^6 \text{ V/cm}$ (*1)
V0	29V (*3)
W	0.80 μm (*3)
q	$1.602 \times 10^{-19} \text{ C}$
C	6fF
$v_{s,e}$	$1.02 \times 10^7 \text{ cm/s}$ (*2)
$v_{s,h}$	$8.31 \times 10^6 \text{ cm/s}$ (*2)

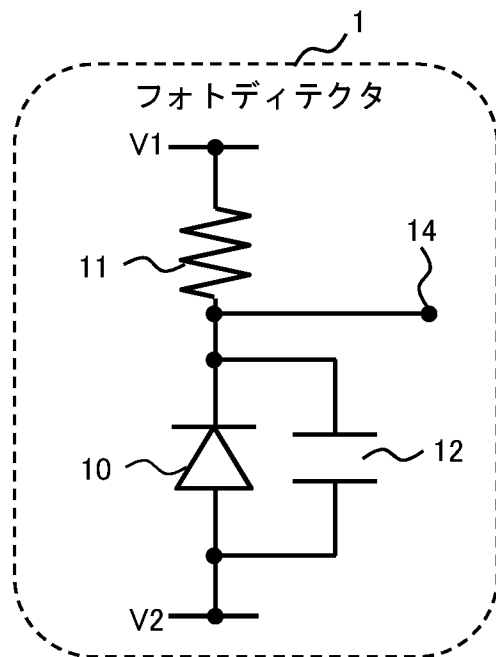
[図2]



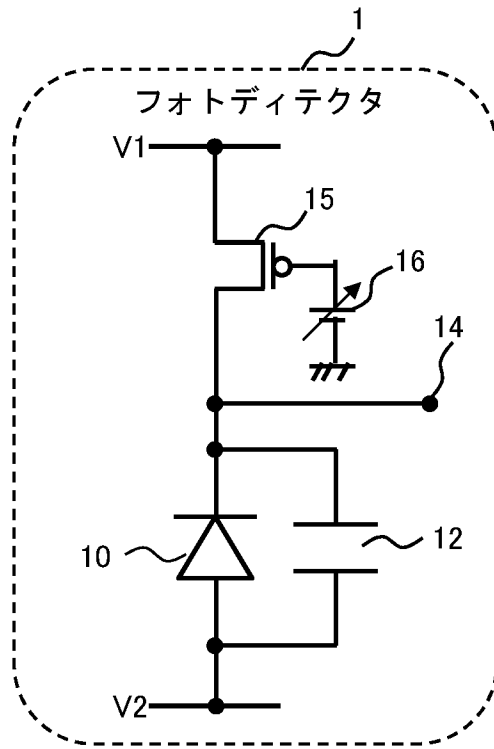
[図3]



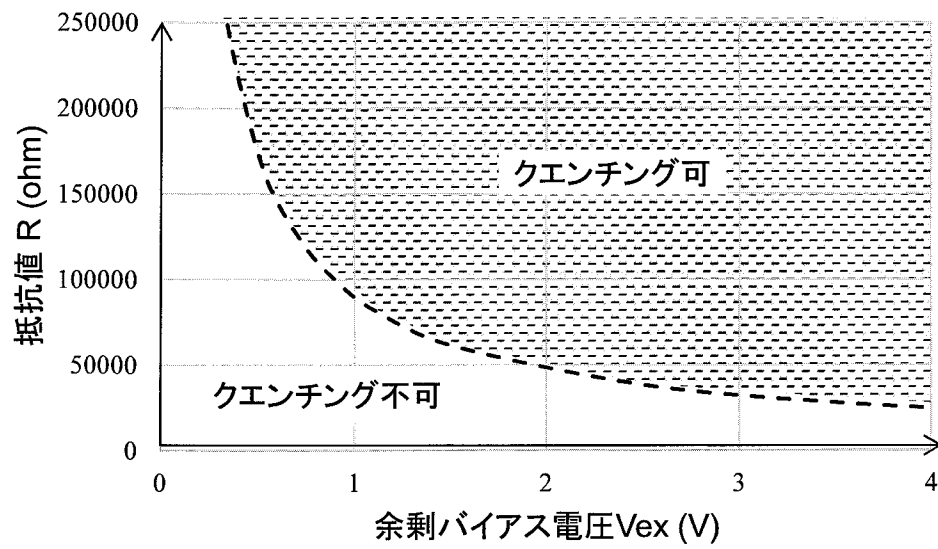
[図4]



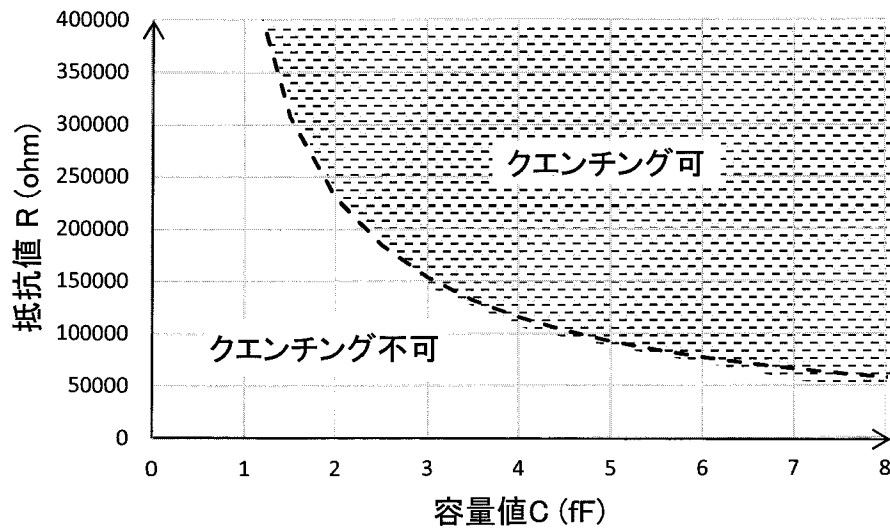
[図5]



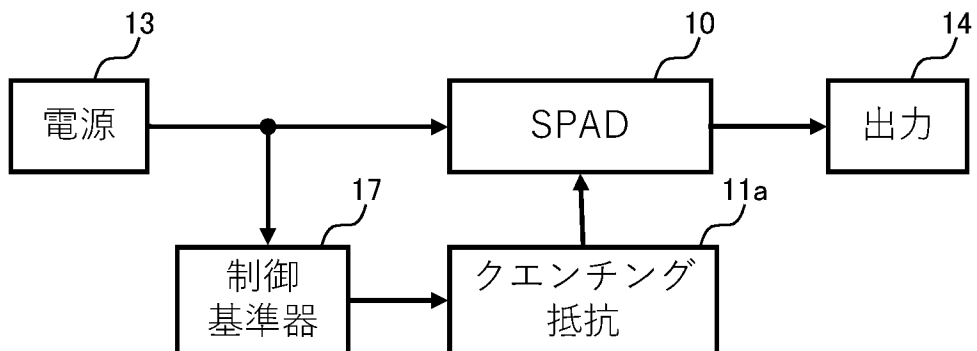
[図6]



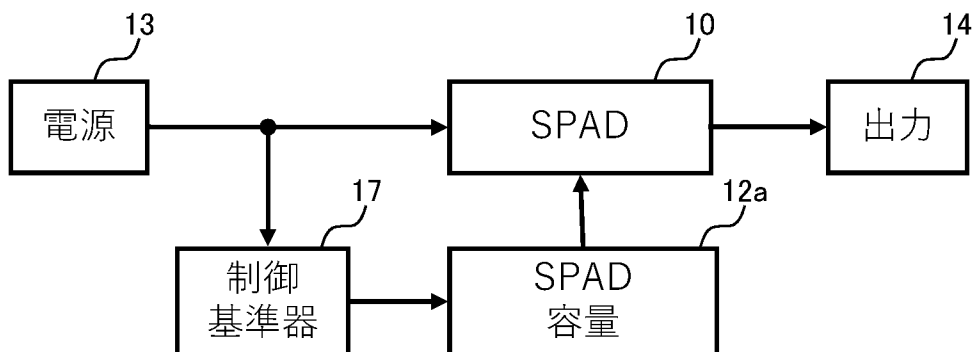
[図7]



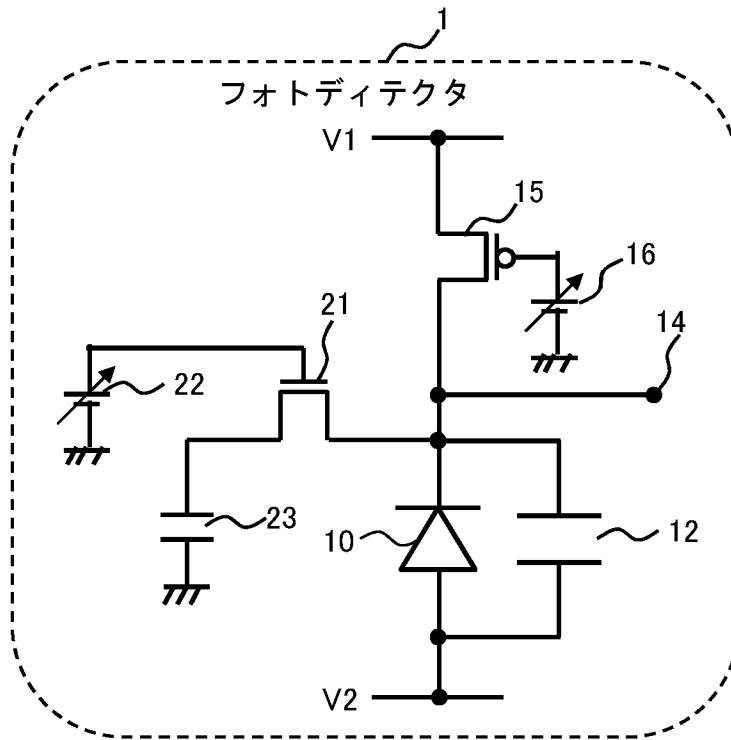
[図8]



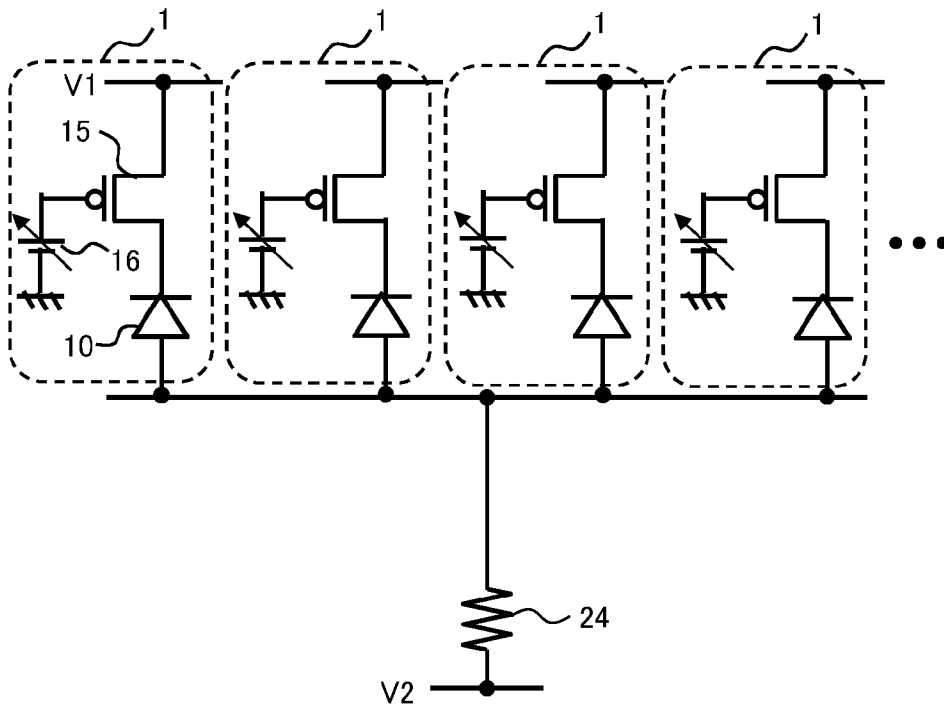
[図9]



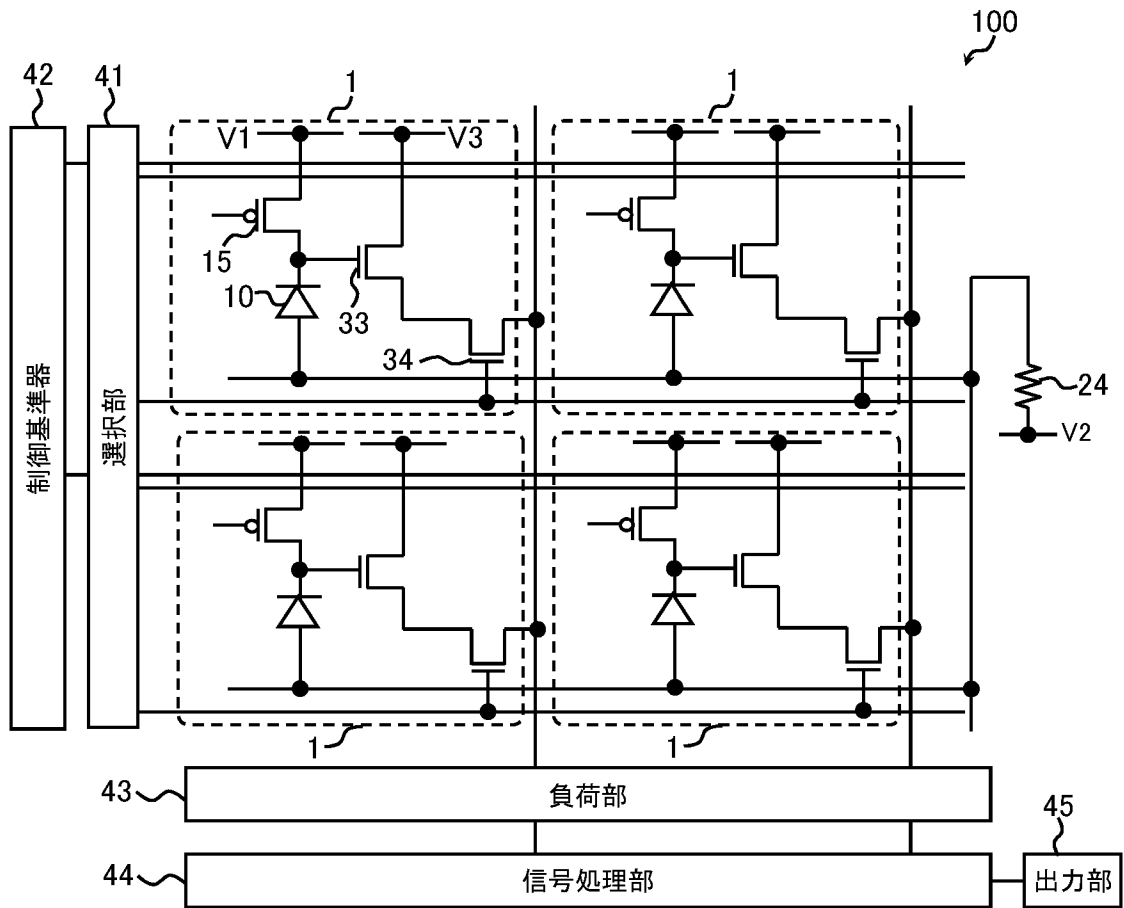
[図10]



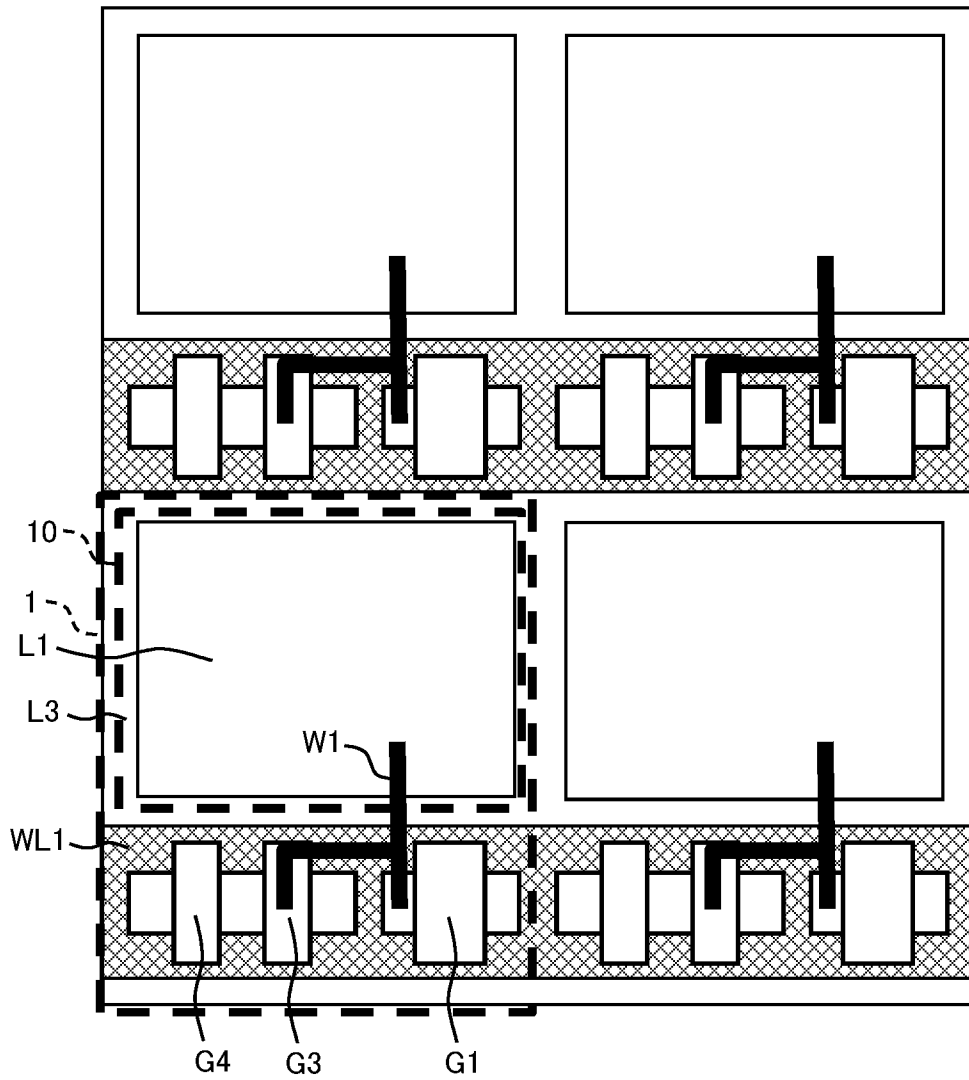
[図11]



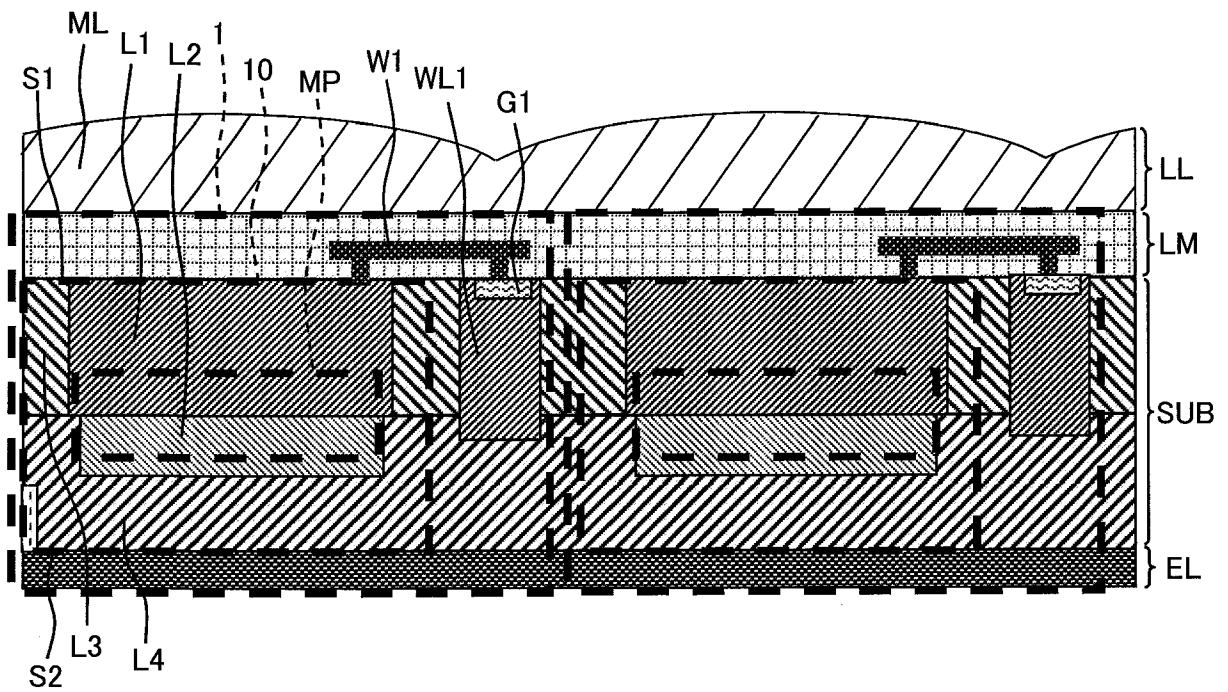
[図12]



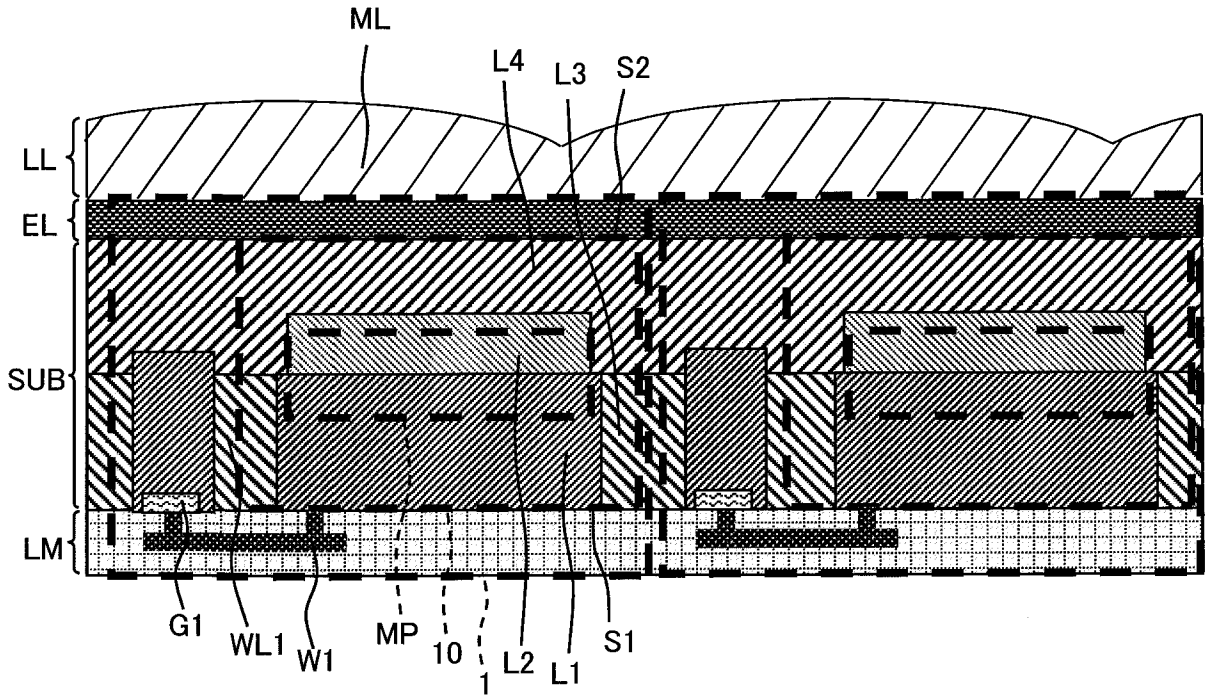
[図14]



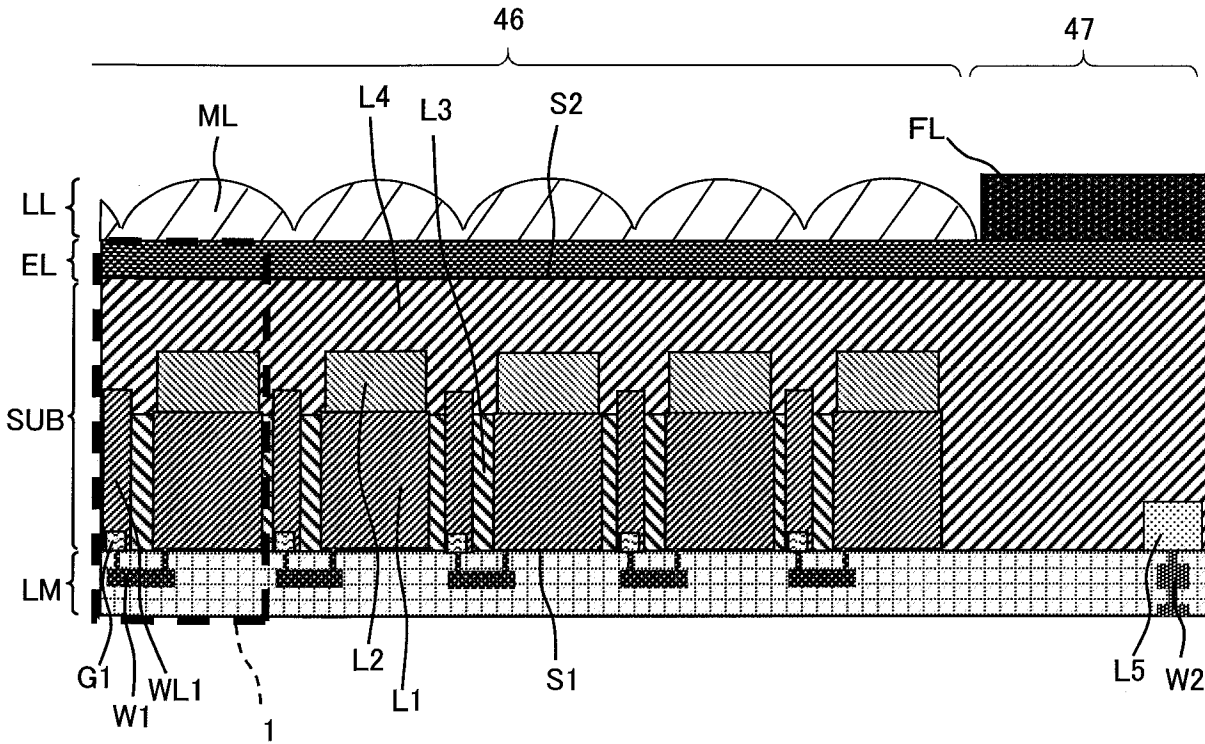
[図15]



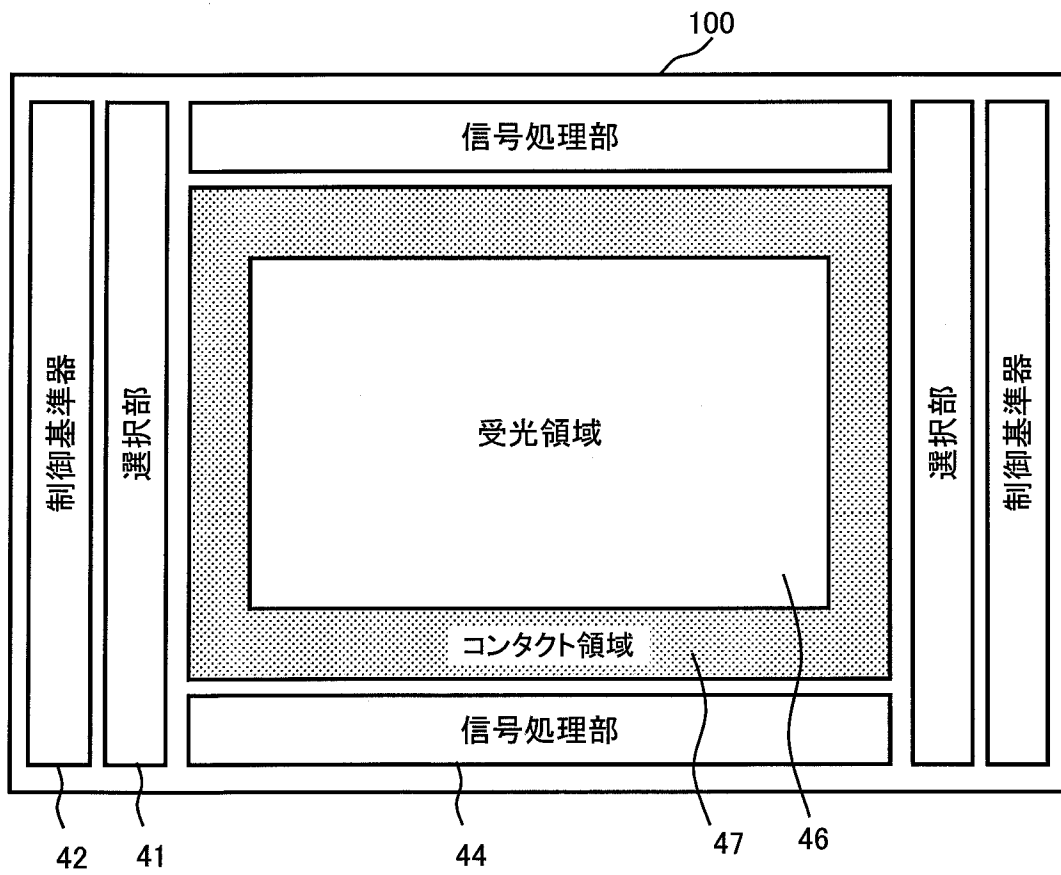
[図16]



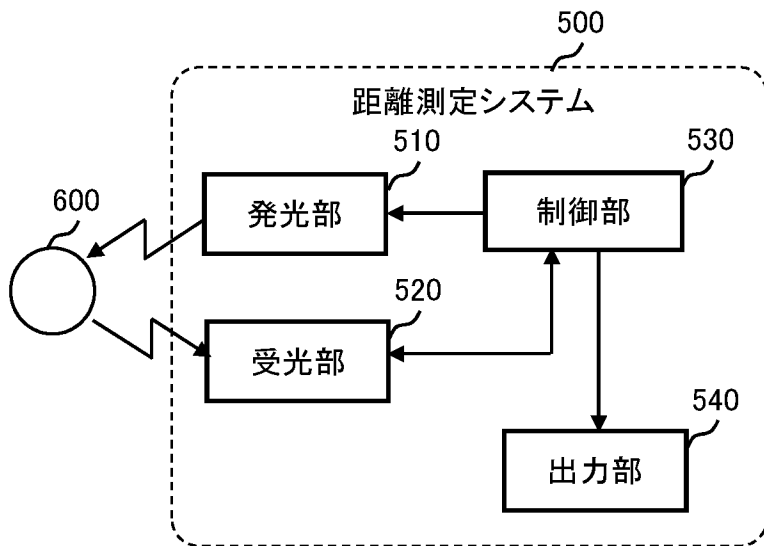
[図17]



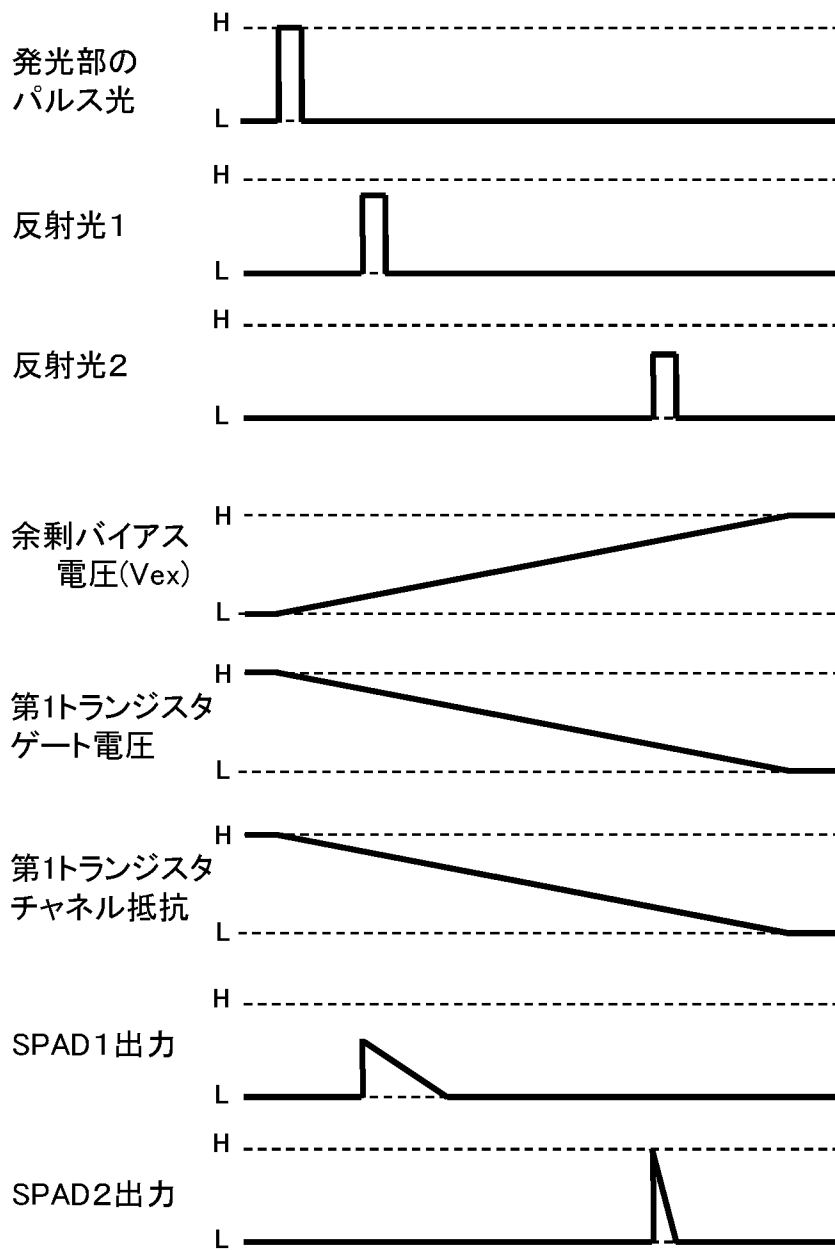
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/041947

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 31/107</i> (2006.01)i; <i>H01L 31/10</i> (2006.01)i; <i>H01L 27/146</i> (2006.01)i FI: H01L31/10 G; H01L31/10 B; H01L27/146 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L31/08-31/119; H01L27/146		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/179696 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 10 September 2020 (2020-09-10) paragraphs [0009]-[0080], fig. 1-11	1-4,20
A		8-19,21
X	JP 2018-179732 A (DENSO CORP.) 15 November 2018 (2018-11-15) paragraphs [0001], [0044]-[0058], fig. 6, 7	1-4
Y		5-7,20
Y	JP 2019-190892 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 31 October 2019 (2019-10-31) paragraphs [0015]-[0020], [0057]-[0073], fig. 12	5-7,20
A	US 10312274 B1 (STMICROELECTRONICS (RESEARCH & DEVELOPMENT) LIMITED) 04 June 2019 (2019-06-04) entire text, all drawings	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 December 2021		Date of mailing of the international search report 11 January 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2021/041947

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/179696	A1	10 September 2020	CN 113508280 A TW 202040162 A	
JP	2018-179732	A	15 November 2018	(Family: none)	
JP	2019-190892	A	31 October 2019	US 2021/0025990 A1 paragraphs [0030]-[0036], [0086]-[0110], fig. 112 WO 2019/203057 A1 CN 110389332 A	
US	10312274	B1	04 June 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i; H01L 31/10(2006.01)i; H01L 27/146(2006.01)i FI: H01L31/10 G; H01L31/10 B; H01L27/146 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/08-31/119; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報	1922 - 1996年	
日本国公開実用新案公報	1971 - 2021年	
日本国実用新案登録公報	1996 - 2021年	
日本国登録実用新案公報	1994 - 2021年	
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2020/179696 A1 (ソニーセミコンダクタソリューションズ株式会社) 10.09.2020 (2020 - 09 - 10) 段落[0009]-[0080], 図1-11	1-4, 20 8-19, 21
X Y	JP 2018-179732 A (株式会社デンソー) 15.11.2018 (2018 - 11 - 15) 段落[0001], [0044]-[0058], 図6-7	1-4 5-7, 20
Y	JP 2019-190892 A (ソニーセミコンダクタソリューションズ株式会社) 31.10.2019 (2019 - 10 - 31) 段落[0015]-[0020], [0057]-[0073], 図12	5-7, 20
A	US 10312274 B1 (STMICROELECTRONICS (RESEARCH & DEVELOPMENT) LIMITED) 04.06.2019 (2019 - 06 - 04) 全文, 全図	1-21
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの		
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		
“O” 口頭による開示、使用、展示等に言及する文献		
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		
国際調査を完了した日	国際調査報告の発送日	
14.12.2021	11.01.2022	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 吉岡 一也 2K 4742 電話番号 03-3581-1101 内線 3255	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/041947

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/179696	A1	10.09.2020	CN	113508280	A	
				TW	202040162	A	

JP	2018-179732	A	15.11.2018	(ファミリーなし)			

JP	2019-190892	A	31.10.2019	US	2021/0025990	A1	
				段落[0030]-[0036],			
				[0086]-[0110], 図12			
				WO	2019/203057	A1	
				CN	110389332	A	

US	10312274	B1	04.06.2019	(ファミリーなし)			
