

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成28年12月8日(2016.12.8)

【公表番号】特表2016-501403(P2016-501403A)

【公表日】平成28年1月18日(2016.1.18)

【年通号数】公開・登録公報2016-004

【出願番号】特願2015-543117(P2015-543117)

【国際特許分類】

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/06 (2006.01)

【 F I 】

G 0 6 F 12/16 3 1 0 A

G 0 6 F 12/00 5 9 7 U

G 0 6 F 12/16 3 4 0 Q

G 0 6 F 12/06 5 2 2 A

G 0 6 F 12/00 5 6 0 B

【手続補正書】

【提出日】平成28年10月21日(2016.10.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

D R A M 論理フラッシュと、  
フラッシュメモリと、

を備えたソリッドステートドライブにおいて、

システムバスが、前記フラッシュメモリではなく前記 D R A M 論理フラッシュに読み出し及び書き込みを行う、ドライブ。

【請求項 2】

前記ドライブへのフラッシュ書き込みは、前記フラッシュメモリに全て書き込まれるとは限らない、請求項 1 のドライブ。

【請求項 3】

前記ソリッドステートドライブが、前記システムのプロセッサにより出されるコマンドとは無関係の所定のポイントで、前記 D R A M 論理フラッシュから前記フラッシュメモリにデータを書き込む、請求項 1 のドライブ。

【請求項 4】

前記 D R A M 論理フラッシュは N A N D フラッシュと同じようにファイルを記憶することによりフラッシュメモリを真似し、フラッシュコマンドに応答する、請求項 1 のドライブ。

【請求項 5】

前記 D R A M 論理フラッシュは F A T テーブルを使用し、論理レコードを更新し、ファイルを結合し、S A T A バスに直接接続することによってフラッシュメモリを真似する、請求項 4 のドライブ。

【請求項 6】

前記ソリッドステートドライブへの外部電源が遮断された場合に前記 D R A M 論理フラ

ッシュに記憶されたデータコンテンツをフラッシュメモリに移動させるのに十分な電力を貯蔵するエネルギー貯蔵装置をさらに備える、請求項１のドライブ。

【請求項７】

前記ＤＲＡＭ論理フラッシュがすべてのフラッシュコマンドを最大インタフェース速度で実行する、請求項１のドライブ。

【請求項８】

前記ＤＲＡＭ論理フラッシュがプログラムトレースポイント及び動作スナップショットを記憶し、前記フラッシュメモリへの書き込みを最小化する、請求項１のドライブ。

【請求項９】

前記ソリッドステートドライブが、どんなパワーダウンについても、取り付けられた演算装置の最後の状態の完全な復元を提供するように構成されている、請求項１のドライブ。

【請求項１０】

前記ＮＡＮＤフラッシュのページが誤りを有するものとして個々に識別されブロックから除去される一方で、前記ブロック内の他のページは使用され続ける、請求項１のドライブ。

【請求項１１】

前記フラッシュメモリがマルチレベルセルＮＡＮＤフラッシュを備えており、誤りを有するものとしてページを個々に識別し前記ページをブロックから除去する一方で前記セクタ内の他のページが使用され続けることが、前記フラッシュメモリの寿命を、前記セクタ内のページにおいて誤りが検出された場合に前記セクタ全体を除去するフラッシュメモリの少なくとも１０倍増大させる、請求項１０のドライブ。

【請求項１２】

すべてのデータが、前記データが前記フラッシュメモリに正しく書き込まれるまで前記ＤＲＡＭ論理フラッシュ内に保持される、請求項１のドライブ。

【請求項１３】

前記ＤＲＡＭ論理フラッシュへの独立した読み出し及び書き込み動作のための高速ＤＭＡをさらに備える、請求項１のドライブ。

【請求項１４】

高速内部バスをさらに備え、前記ＤＲＡＭ論理フラッシュ及び前記フラッシュメモリが別々に前記高速内部バスに接続され、前記フラッシュメモリが別々のモジュールに分けられ、各モジュールが前記高速内部バスと独立してインタフェースをとるよう構成された異なるマイクロプロセッサにより制御される、請求項１のドライブ。

【請求項１５】

前記ＤＲＡＭ論理フラッシュが、前記フラッシュメモリへのすべての転送を記憶し前記転送を選択的に保持することによりフラッシュメモリ記憶装置を真似して、前記フラッシュメモリの書き込み摩耗を最小化する、請求項１のドライブ。

【請求項１６】

マスタマイクロプロセッサが前記ソリッドステートドライブの外部の中央処理装置からコマンドを受信し、前記マスタマイクロプロセッサがデータ転送を直接管理することなく他のマイクロプロセッサにサブコマンドを送信することによって前記コマンドの実行を制御し、各マイクロプロセッサが独立して動作する、請求項１のドライブ。

【請求項１７】

前記ＤＲＡＭ論理フラッシュと前記フラッシュメモリとを動作可能に接続する内部バスと、

前記内部バスを介して前記ＤＲＡＭ論理フラッシュと前記フラッシュメモリとの間で送信されるデータを制御するマスタコントローラと、  
をさらに備える、請求項１のドライブ。

【請求項１８】

別々のフラッシュメモリモジュールが並列で書き込まれ得るように、各々が前記別々のフラッシュメモリモジュール内にある複数の独立したフラッシュコントローラをさらに備

える、請求項 1 のドライブ。

【請求項 19】

前記フラッシュメモリモジュールの各々が、  
マイクロプロセッサと、  
フラッシュメモリと、

前記マイクロプロセッサ及びフラッシュメモリに直接アクセス可能なメモリバッファと

、  
前記メモリバッファにデータを直接書き込むためのインタフェースと、

前記メモリバッファをヌル状態への遷移により外部バスと内部バスとの間で切り替える  
ためのバッファ型スイッチと、

を備える、請求項 18 のドライブ。

【請求項 20】

前記 D R A M 論理フラッシュが少なくとも以下のうち一方のモードで動作するよう構成  
されている、請求項 1 のドライブ。：論理レコードによりインデックス化されたデータ転  
送及び論理レコードによりインデックス化されていないデータ転送。

【請求項 21】

前記 D R A M 論理フラッシュに書き込まれたデータの一部分が前記フラッシュメモリには  
書き込まれない、請求項 20 のドライブ。

【請求項 22】

フラッシュコマンドを用いてコマンド及びデータを D R A M 論理フラッシュに送信しフ  
ォーマットングすることで、C P U によりソリッドステートドライブへの書き込みを行  
うことを備える、ソリッドステートフラッシュデバイスの動作方法において、前記 D R A  
M 論理フラッシュが前記ソリッドステートデバイス内の複数の別々のフラッシュメモリモ  
ジュールの結合された作業領域の容量を有するように見える、方法。

【請求項 23】

N A N D フラッシュと同じように前記 D R A M 論理フラッシュにファイルを記憶するこ  
と、及び

前記 D R A M 論理フラッシュによりフラッシュコマンドに応答すること、  
によって、前記 D R A M 論理フラッシュによりフラッシュメモリを真似することをさらに  
備える、請求項 22 の方法。

【請求項 24】

F A T テーブルを使用すること、  
論理レコードを更新すること、  
ファイルを結合すること、及び

S A T A バスに直接接続すること、

によって、前記 D R A M 論理フラッシュによりフラッシュメモリを真似することをさらに  
備える、請求項 23 の方法。

【請求項 25】

前記ソリッドステートフラッシュデバイスへの電力が失われた場合に、

前記 D R A M 論理フラッシュに記憶されたデータコンテンツ全体をフラッシュメモリに  
移動させるのに十分な電力を貯蔵するエネルギー貯蔵装置を活性化すること、及び

前記 D R A M 論理フラッシュに記憶されたデータを前記フラッシュメモリに移動させる  
こと、

をさらに備える、請求項 22 の方法。

【請求項 26】

システム状態のスナップショットが保存されるべきであると判断すること、及び、

前記スナップショットを、論理レコード番号を使用しない専用のファイル転送ルート  
を利用して、前記 D R A M 論理フラッシュのスナップショット領域に保存すること、

ソリッドステートドライブがシャットダウンすると、少なくとも 1 つの選択されたスナ  
ップショットを前記フラッシュメモリモジュールに保存すること、

をさらに備える、請求項 22 の方法。

【請求項 27】

前記ソリッドステートフラッシュデバイス内のマスタコントローラによって前記 CPU から読み出しコマンドを受信すること、

前記マスタコントローラを用いて、前記読み出しコマンドにより要求されたファイルが前記 DRAM 論理フラッシュに記憶されているか否かを判断すること、

前記ファイルが前記 DRAM 論理フラッシュに保存されているのであれば、前記ファイルを前記 CPU に転送すること、及び

前記ファイルが前記 DRAM 論理フラッシュに保存されていないのであれば、前記マスタコントローラから前記フラッシュメモリモジュール内のフラッシュコントローラへ、前記データを取得して前記 DRAM 論理フラッシュに保存し、その後前記データを前記 DRAM 論理フラッシュから前記 CPU に転送するよう命令を送信すること、

によって前記ソリッドステートフラッシュデバイスからデータを読み出すことをさらに備える、請求項 22 の方法。

【請求項 28】

前記 CPU によって書き込みコマンドを送信し、書き込まれるべきデータをシステムバスに載せること、

前記ソリッドステートフラッシュデバイスによって前記書き込みコマンドを受信し、前記システムバスからの前記データを受け付けること、

前記データを前記 DRAM 論理フラッシュ上に記憶すること、及び

前記 CPU に不揮発性メモリへの書き込みが完了したことを報告すること、

により前記ソリッドステートフラッシュデバイスへの書き込みを行うことをさらに備え、

前記マスタコントローラが、前記 DRAM 論理フラッシュ内の前記データが使用されていないと判断すると、前記データを、

フラッシュメモリモジュールを連続的にイネーブルすること、及び

前記高速内部バス上のデータをイネーブルされたフラッシュメモリモジュールに連続的に転送すること、

によって前記フラッシュメモリモジュールに送信することをさらに備え、

前記データが、前記フラッシュメモリモジュールへの並列書き込みを可能にするために、前記フラッシュメモリモジュールのすべてにまたがって配置される、請求項 22 の方法。

【請求項 29】

前記ユーザにアクセス可能でない前記 DRAM 論理フラッシュの保護された領域上にソフトウェア実行可能物を記憶することを含むファストロード動作をさらに備える、請求項 22 の方法。

【請求項 30】

ソリッドステートドライブ内のフラッシュメモリモジュールであって、前記フラッシュメモリモジュールは、

複数のフラッシュダイと、

フラッシュメモリコントローラと、

を備え、前記フラッシュメモリコントローラは、

マイクロプロセッサと、

複数のメモリバッファと、

外部バスからのデータを前記複数のメモリバッファに直接預けるためのバス DMA インタフェースと、

前記複数のメモリバッファ内のデータに直接アクセスし、前記データを、前記バスインタフェースが前記外部バスからのデータを第 2 のメモリバッファに預けている間に、第 1 のメモリバッファからフラッシュダイに転送するためのフラッシュ DMA モジュールと、を備える、フラッシュメモリモジュール。