

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 29 日 (29.06.2017)



(10) 国际公布号
WO 2017/107268 A1

- (51) 国际专利分类号:
H01L 27/28 (2006.01) H01L 21/82 (2006.01)
- (21) 国际申请号: PCT/CN2016/070916
- (22) 国际申请日: 2016 年 1 月 14 日 (14.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510970419.4 2015 年 12 月 22 日 (22.12.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曾勉 (ZENG, Mian); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 萧祥志 (XIAO, Xiangzhi); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 张盛东 (ZHANG, Shengdong); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: COMPLEMENTARY METAL OXIDE SEMICONDUCTOR DEVICE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 互补金属氧化物半导体器件及其制备方法

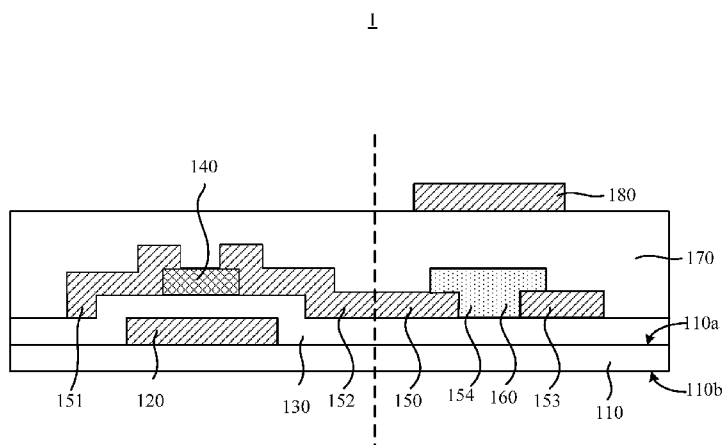


图 3

(57) Abstract: Provided are a complementary metal oxide semiconductor (CMOS) device and a preparation method therefor. A CMOS device (1) comprises a substrate (110), a first metal layer (120), an insulation layer (130), and a first-type metal oxide semiconductor layer (140) that are sequentially stacked. The CMOS device (1) further comprises: a first metal part (151), a second metal part (152), and a third metal part (153) that are disposed at intervals on the insulation layer (130), wherein the first metal part (151) and the second metal part (152) are disposed at an interval on two sides of the first-type metal oxide semiconductor layer (140) and are both in contact with the first-type metal oxide semiconductor layer (140); a second-type organic semiconductor layer (160) disposed in a gap (154) between the second metal part (152) and the third metal part (153), and on the second metal part (152) and the third metal part (153) that are close to the gap (154); a passivation layer (170) disposed on the first metal part (151), the second metal part (152), the third metal part (153), the first-type metal oxide semiconductor layer (140) between the first metal part (151) and the second metal part (152), and the second-type organic semiconductor layer (160); and a third metal layer (180) disposed on the passivation layer (170) and corresponding to the second-type organic semiconductor layer (160).

part (152), and the second-type organic semiconductor layer (160); and a third metal layer (180) disposed on the passivation layer (170) and corresponding to the second-type organic semiconductor layer (160).

(57) 摘要:

[见续页]



WO 2017/107268 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供一种 CMOS 器件及其制备方法。CMOS 器件 (1) 包括依次层叠设置的基板 (110)、第一金属层 (120)、绝缘层 (130) 及第一类型金属氧化物半导体层 (140); 还包括分别间隔设置在绝缘层 (130) 上的第一 (151)、第二 (152) 及第三金属部 (153), 第一 (151) 及第二金属部 (152) 间隔设置在第一类型金属氧化物半导体层 (140) 两侧且均与第一类型金属氧化物半导体层 (140) 接触; 设置在第二金属部 (152) 与第三金属部 (153) 之间的间隙 (154), 以及邻近间隙 (154) 的第二金属部 (152) 及第三金属部 (153) 上的第二类型有机半导体层 (160); 设置在第一金属部 (151)、第二金属部 (152) 及第三金属部 (153)、第一金属部 (151) 与第二金属部 (152) 之间的第一类型金属氧化物半导体层 (140)、以及第二类型有机半导体层 (160) 上的钝化层 (170); 设置在钝化层 (170) 上且对应第二类型有机半导体层 (160) 的第三金属层 (180)。

互补金属氧化物半导体器件及其制备方法

5 本发明要求 2015 年 12 月 22 日递交的发明名称为“互补金属氧化物半导体器件及其制备方法”的申请号 201510970419.4 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及半导体领域，尤其涉及一种互补金属氧化物半导体器件及其制备方法。

背景技术

互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, COMS）器件由 P 型沟通金属氧化物半导体（P-channel Metal Oxide Semiconductor, PMOS）以及 N 型沟道金属氧化物半导体（N-channel Metal Oxide Semiconductor, NMOS）共同构成，CMOS 器件是液晶显示装置（Liquid Crystal Display, LCD）中驱动芯片的最基本的电路结构。在传统的 LCD 中，驱动芯片和基板（比如，玻璃基板）是没有集成的分离式设计，这使得 LCD 的制造成本较高且难以实现轻薄化设计。若能将驱动芯片直接做在基板上，这对于 LCD 等显示装置而言，无疑是一个非常大的进步。目前，一般采用低温多晶硅（Low Temperature Poly-silicon, LTPS）技术将 COMS 器件制备到基板上，相较于驱动芯片和基板分离设计有了一定的进步。然而，LTPS 技术分别制备 CMOS 器件中 PMOS 和 NMOS 的半导体层，其制备工艺中包括激光退火、掺杂、粒子注入等相对复杂的工艺流程，因此成本较高。

发明内容

本发明提供一种互补金属氧化物半导体器件，所述互补金属氧化物半导体器件包括：

基板，所述基板包括相对设置的第一表面及第二表面；

设置在所述第一表面中部的第一金属层；

设置在所述第一金属层以及未覆盖所述第一金属层的所述第一表面的绝缘层;

设置在所述绝缘层上且对应所述第一金属层设置的第一类型金属氧化物半导体层;

5 分别间隔设置在所述绝缘层上的第一金属部、第二金属部及第三金属部,所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触,所述第二金属部设置在所述第一金属部与所述第三金属部之间,其中,所述第一金属部、所述第二金属部及所述第三金属部定义为第二金属层;

10 第二类型有机半导体层,所述第二类型有机半导体层设置在所述第二金属部与所述第三金属部之间的间隙,以及邻近所述间隙的第二金属部及所述第三金属部上;

钝化层,设置在所述第一金属部、所述第二金属部及所述第三金属部、所述第一金属部与所述第二金属部之间的第一类型金属氧化物半导体层、以及所述
15 第二类型有机半导体层上;

第三金属层,设置在所述钝化层上且对应所述第二类型有机半导体层设置。

其中,所述互补金属氧化物半导体器件还包括:

20 第一蚀刻阻挡层,所述第一蚀刻阻挡层上设置第一通孔,所述第一蚀刻阻挡层设置在所述第一金属部与第一类型金属氧化物半导体层之间,所述第一金属部通过所述第一通孔与所述第一类型金属氧化物半导体层连接。

其中,所述互补金属氧化物半导体器件还包括:

25 第二蚀刻阻挡层,所述第二蚀刻阻挡层上设置第二通孔,所述第二蚀刻阻挡层设置在所述第二金属部与所述第一类型金属氧化物半导体层之间,所述第二金属部通过所述第二通孔与所述第一类型金属氧化物半导体层连接。

其中,所述第一类型金属氧化物半导体层为 N 型金属氧化物半导体层,所述第二类型有机半导体层为 P 型有机半导体层;或者所述第一类型金属氧化物半导体层为 P 型金属氧化物半导体层,所述第二类型有机半导体层为 N 型有机半导体层。

其中，所述当所述第一类型金属氧化物半导体层为 N 型金属氧化物半导体层时，第一类型金属氧化物半导体层为 IGZO 或者 ITZO。

本发明还提供了一种互补金属氧化物半导体器件的制备方法，所述互补金属氧化物半导体器件的制备方法包括：

- 5 提供一基板，所述基板包括相对设置的第一表面及第二表面；
 在所述第一表面中部形成第一金属层；
 形成覆盖所述第一金属层及未覆盖所述第一金属层的所述第一表面的绝缘层；
 在所述绝缘层上且对应所述第一金属层形成第一类型金属氧化物半导体
- 10 层；
 在所述绝缘层上形成间隔设置的第一金属部、第二金属部及第三金属部，
 所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触，所述第二金属部设置在所述第一金属部与所述第三金属部之间，其中，所述第一金属部、所述第二
- 15 金属部及所述第三金属部定义为第二金属层；
 对应所述第二金属部与所述第三金属部之间的间隙，以及邻近所述间隙的第二金属部及第三金属部上形成第二类型有机半导体层；
 在所述第二类型有机半导体层上形成钝化层；
 形成设置在所述钝化层上且对应所述第二类型有机半导体层设置的第三
- 20 金属层。
 其中，所述互补金属氧化物半导体器件的制备方法还包括：
 形成第一蚀刻阻挡层，在所述第一蚀刻阻挡层上形成第一通孔，所述第一蚀刻阻挡层设置在所述第一金属部与第一类型金属氧化物半导体层之间，所述第一金属部通过所述第一通孔与所述第一类型金属氧化物半导体层连接；
- 25 形成第二蚀刻阻挡层，在所述第二蚀刻阻挡层上形成第二通孔，所述第二蚀刻阻挡层设置在所述第二金属部与所述第一类型金属氧化物半导体层之间，所述第二金属部通过所述第二通孔与所述第一类型金属氧化物半导体层连接。
 其中，所述步骤“在所述第一表面中部形成第一金属层”包括：
 在所述第一表面上形成一整层材料为金属的第一导电层；

在所述第一导电层上覆盖第一光阻层;

对所述第一光阻层进行曝光,以移除覆盖在所述第一导电层两侧的第一光阻层;

5 对未被所述第一光阻层覆盖的第一导电层进行蚀刻,以移除未被所述第一光阻层覆盖的第一导电层;

剥离剩余的第一光阻层,以形成所述第一金属层。

其中,所述步骤“在所述绝缘层上且对应所述第一金属层形成第一类型金属氧化物半导体层”包括:

在所述绝缘层上形成整层的第一半导体层;

10 在整层的第一半导体层上覆盖第二光阻层;

对第二光阻层进行曝光,以移除覆盖在所述第一半导体层两侧的第二光阻层,保留对应所述第一金属层的第二光阻层;

对未被所述第二光阻层覆盖的第一半导体层进行蚀刻,以移除未被所述第二光阻层覆盖的第一半导体层;

15 剥离剩余的第二光阻层,以形成所述第一类型金属氧化物半导体层。

其中,所述步骤“在所述绝缘层上形成间隔设置的第一金属部、第二金属部及第三金属部,所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触,所述第二金属部设置在所述第一金属部与所述第三金属部之间,其中,所述第一金属部、所述第二金属部及所述第三金属部定义为第二金属层”包括:

20 在所述绝缘层上形成一整层材料为金属的第二导电层;

在所述第二导电层上覆盖第三光阻层;

对所述第三光阻层进行曝光,以在所述第三光阻层上形成对应所述第一类型金属氧化物半导体层中部的第一孔以及与所述第一孔间隔设置的第二孔以

25 裸露部分所述第二导电层;

对未覆盖所述第三光阻层第二导电层部分进行蚀刻,以移除未被所述第三光阻层覆盖的第二导电层;

剥离剩余的第三光阻层,以形成所述第一金属部、所述第二金属部以及所述第三金属部。

相较于现有技术，本发明的 CMOS 器件以及 CMOS 器件的制备方法中的 NMOS 以及 PMOS 分别使用第一类型金属氧化物半导体层以及第二类型有机半导体层来制备，因此，省去了现有技术中使用 LTPS 工艺中所需要的激光退火、掺杂、粒子注入等工艺流程，以及这些工艺流程所需要的高成本的制备设备，从而可以简化 CMOS 器件的制备流程，降低了 CMOS 器件的生产成本。且 NMOS 的漏极和 PMOS 的源极连接在一起，不用再单独将 NMOS 的漏极和 PMOS 的源极再连接在一起，进一步简化了 CMOS 器件的制备流程。

附图说明

10 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

15 图 1 为本发明一较佳实施方式的互补金属氧化物半导体器件的电路结构示意图。

图 2 为图 1 中互补金属氧化物半导体器件的电路版图。

图 3 为图 2 中沿 I-I 线的一较佳实施方式的剖面结构示意图。

图 4 为图 3 中沿 I-I 线的另一较佳实施方式的剖面结构示意图。

20 图 5 为本发明一较佳实施方式的互补金属氧化物半导体器件的制备方法的流程图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请一并参阅图 1，图 2 及图 3，图 1 为本发明一较佳实施方式的互补金属氧化物半导体器件的电路结构示意图；图 2 为图 1 中互补金属氧化物半导体器件的电路版图；图 3 为图 2 中沿 I-I 线的剖面结构示意图。所述互补金属氧化

物半导体 (Complementary Metal Oxide Semiconductor, COMS) 器件 1 包括基板 110, 所述基板 110 包括相对设置的第一表面 110a 及第二表面 110b; 设置在所述第一表面 110a 中部的第一金属层 120; 设置在所述第一金属层 120 及未覆盖所述第一金属层 120 的所述第一表面 110a 的绝缘层 130; 设置在所述绝缘层 130 上且对应所述第一金属层 120 设置的第一类型金属氧化物半导体层 140; 分别间隔设置在所述绝缘层 130 上的第一金属部 151、第二金属部 152 及第三金属部 153, 所述第一金属部 151 及所述第二金属部 152 间隔设置在所述第一类型金属氧化物半导体层 140 两侧且均与所述第一类型金属氧化物半导体层 140 接触, 所述第二金属部 152 设置在所述第一金属部 151 及所述第三金属部 153 之间, 其中, 所述第一金属部 151、所述第二金属部 152 及所述第三金属部 153 定义为第二金属层 150; 第二类型有机半导体层 160, 所述第二类型有机半导体层 160 设置在所述第二金属部 152 与所述第三金属部 153 之间的间隙 154, 以及邻近所述间隙 154 的第二金属部 152 及所述第三金属部 153 上; 钝化层 170, 设置在所述第一金属部 151、所述第二金属部 152、所述第三金属部 153、所述第一金属部 151 与所述第二金属部 152 之间的第一类型金属氧化物半导体层 140、以及所述第二类型有机半导体层 160 上; 第三金属层 180, 设置在所述钝化层 170 上且对应所述第二类型有机半导体层 160 设置。

在本实施方式中, 所述第一类型金属氧化物半导体层 140 为 N 型金属氧化物半导体层, 所述第二类型有机半导体层 160 为 P 型有机半导体层。可以理解地, 在另一实施方式中, 所述第一类型金属氧化物半导体层 140 为 P 型金属氧化物半导体层, 所述第二类型有机半导体层 160 为 N 型有机半导体层。所述当所述第一类型金属氧化物半导体层 140 为 N 型金属氧化物半导体层时, 所述第一类型金属氧化物半导体层 140 为铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO) 或者为铟锡锌氧化物 (Indium Tin Zinc Oxide, ITZO)。

下面以所述第一类型金属氧化物半导体层 140 为 N 型金属氧化物半导体层, 所述第二类型有机半导体层 160 为 P 型有机半导体层为例进行介绍。此时, 包含所述第一类型金属氧化物半导体层 140 的为 N 型沟道金属氧化物半导体 (N-channel Metal Oxide Semiconductor, NMOS), 包含所述第二类型有机半导体层 160 的为 P 型沟道金属氧化物半导体 (P-channel Metal Oxide Semiconductor,

PMOS),即在图3中,位于虚线左侧的为NMOS,位于虚线右侧的为PMOS。所述第一金属层120为NMOS的栅极,位于所述第一金属层120上的绝缘层120为所述NMOS的栅极绝缘层,所述第一金属部151为NMOS的源极,位于虚线左侧的第二金属部152为NMOS的漏极。而,位于虚线右侧的绝缘层120构成PMOS的缓冲层,此时,所述NMOS的栅极绝缘层与PMOS的缓冲层共用同一层,位于虚线右侧的第二金属部152为PMOS的源极,由于所述第二金属部152为一整体,因此,NMOS的漏极与PMOS的源极共用。所述第三金属部153构成PMOS的漏极,所述第二类型有机半导体层160为PMOS的沟道层,位于所述第二类型有机半导体层160上的钝化层170构成所述PMOS的栅极绝缘层,此时,所述NMOS的钝化层与PMOS的栅极绝缘层共用同一层。所述第三金属层180构成PMOS的栅极。

在本实施方式中以CMOS的各个层结构直接或者间接设置在所述第一表面100a上为例进行描述,可以理解地,在其他实施方式中,CMOS的各个层结构也可以之间或者间接地设置在所述第二表面100b上。

请参阅图4,图4为图3中沿I-I线的另一较佳实施方式的剖面结构示意图。在本实施方式中,所述CMOS器件1还包括第一蚀刻阻挡层191,所述第一蚀刻阻挡层191上设置第一通孔191a,所述第一蚀刻阻挡层191设置在所述第一金属部151与所述第一类型金属氧化物半导体层140之间,所述第一金属部151通过所述第一通孔191a与所述第一类型金属氧化物半导体层140连接。所述CMOS器件还包括第二蚀刻阻挡层192,所述第二蚀刻阻挡层192上设置第二通孔192a,所述第二蚀刻阻挡层192设置在所述第二金属部152与所述第一类型金属氧化物半导体层140之间,所述第二金属部152通过所述第二通孔192a与所述第一类型金属氧化物半导体层140连接。所述第一蚀刻阻挡层191及所述第二蚀刻阻挡层191均用于保护所述第一类型金属氧化物半导体层140,以免在所述第二类型有机半导体层160形成的过程中的干蚀刻制程对所述第一类型金属氧化物半导体层140造成影响。

可以理解地,在一实施方式中,所述CMOS器件1中仅仅包括第一蚀刻阻挡层191,不包括第二蚀刻阻挡层192;或者在另一实施方式中,所述CMOS器件1仅仅包括第二蚀刻阻挡层192,不包括第一蚀刻阻挡层191。当所述

CMOS 器件 1 中包括一个蚀刻阻挡层(第一蚀刻阻挡层 191 或者第二蚀刻阻挡层 192)时,相较于不设置蚀刻阻挡层的 CMOS 器件而言,也能够起到保护所述第一类型金属氧化物半导体层 140,以免在所述第二类型有机半导体层 160 形成的过程中的干蚀刻制程对所述第一类型金属氧化物半导体层 140 造成影响;当所述 CMOS 器件 1 中同时包含第一蚀刻阻挡层 191 及第二蚀刻阻挡层 192 时,能够更好地起到保护所述第一类型金属氧化物半导体层 140,以免在所述第二类型有机半导体层 160 形成的过程中的干蚀刻制程对所述第一类型金属氧化物半导体层 140 造成影响。优选地,当所述 CMOS 器件 1 同时包含第一蚀刻阻挡层 191 及所述第二蚀刻阻挡层 192 时,所述第一蚀刻阻挡层 191 及所述第二蚀刻阻挡层 192 位于同一层,以便所述第一蚀刻阻挡层 191 及所述第二蚀刻阻挡层 192 的形成。

下面结合前面介绍和附图对本发明一较佳实施方式的互补金属氧化物半导体器件的制备方法进行介绍。请参阅图 5,图 5 为本发明一较佳实施方式的互补金属氧化物半导体器件的制备方法的流程图。所述互补金属氧化物半导体器件的制备方法包括但不限于以下步骤。

步骤 S101,提供一基板 110,所述基板 110 包括相对设置的第一表面 110a 及第二表面 110b。所述基板 110 可以为但不限于玻璃基板或者为塑料基板。

步骤 S102,在所述第一表面 110a 中部形成第一金属层 120。具体地,所述步骤 S102 包括如下步骤。

步骤 S102a,在所述第一表面 110a 上形成一整层材料为金属的第一导电层。所述第一导电层可以通过溅射的方式形成。所述第一导电层的材料可以包括 Mo/Al、或者 Cu/Ti 等材料。

步骤 S102b,图案化整层的第一导电层以形成设置在所述第一表面 110a 中部的所述第一金属层 120。所述步骤 S102b 具体包括如下步骤。

步骤 I,在所述第一导电层上覆盖第一光阻层。

步骤 II,对所述第一光阻层进行曝光,以移除覆盖在所述第一导电层两侧的第一光阻层。

步骤 III,对未被所述第一光阻层覆盖的第一导电层进行蚀刻,以移除未被所述第一光阻层覆盖的第一导电层。

步骤 IV, 剥离剩余的第一光阻层, 以形成第一金属层 120。

步骤 S103, 形成覆盖所述第一金属层 120 以及未覆盖所述第一金属层 120 的所述第一表面 110 的绝缘层 130。所述绝缘层 130 可以通过化学气相沉积 (Chemical Vapor Deposition, CVD) 或者涂布的方式形成。

5 步骤 S104, 在所述绝缘层 130 上且对应所述第一金属层 120 形成第一类型金属氧化物半导体层 140。具体地, 所述步骤 S104 包括如下步骤。

步骤 S104a, 在所述绝缘层 130 上形成整层的第一半导体层。

步骤 S104b, 在整层的第一半导体层上覆盖第二光阻层。

10 步骤 S104c, 对第二光阻层进行曝光, 以移除覆盖在所述第一半导体层两侧的所述第二光阻层, 保留对应所述第一金属层的第二光阻层。

步骤 S104d, 对未被所述第二光阻层覆盖的第一半导体层进行蚀刻, 以移除未被所述第二光阻层覆盖的第一半导体层。

步骤 S104e, 剥离剩余的所述第二光阻层, 以形成所述第一类型金属氧化物半导体层 140。

15 步骤 S105, 在所述绝缘层 130 上形成间隔设置的第一金属部 151、第二金属部 152 及第三金属部 153, 所述第一金属部 151 及所述第二金属部 152 间隔设置在所述第一类型金属氧化物半导体层 140 两侧且均与所述第一类型金属氧化物半导体层 140 接触, 所述第二金属部 152 设置在所述第一金属部 151 与
20 所述第三金属部 153 之间, 其中, 所述第一金属部 151、所述第二金属部 152 及所述第三金属部 153 定义为第二金属层 150。具体地, 所述步骤 S105 包括如下步骤。

步骤 S105a, 在所述绝缘层上 130 形成一整层材料为金属的第二导电层。

步骤 S105b, 在所述第二导电层上覆盖第三光阻层。

25 步骤 S105c, 对所述第三光阻层进行曝光, 以在所述第三光阻层上形成对应所述第一类型金属氧化物半导体层 140 中部的第一孔以及与所述第一孔间隔设置的第二孔以裸露部分所述第二导电层。

步骤 S105d, 对未覆盖所述第三光阻层第二导电层部分进行蚀刻, 以移除未被所述第三光阻层覆盖的第二导电层。

步骤 S105e, 剥离剩余的第三光阻层, 以形成所述第一金属部 151、所述

第二金属部 152 以及所述第三金属部 153。

步骤 S106, 对应所述第二金属部 152 及所述第三金属部 153 之间的间隙 154, 以及邻近所述间隙 154 的第二金属部 152 及第三金属部 153 上形成第二类型有机半导体层 160。具体地, 所述步骤 S106 包括如下步骤。

5 步骤 S106a, 覆盖一整层的第二有机半导体层。所述第二有机半导体层的材料可以为并五苯等。

10 步骤 S106b, 图案化所述第二有机半导体层, 保留对应所述第二金属部 152 及所述第三金属部 153 之间的间隙 154、邻近所述间隙 154 的第二金属部 152 以及邻近所述间隙 154 的第三金属部 153 的第二有机半导体层, 以形成所述第二类型有机半导体层 160。

步骤 S107, 在所述第二类型有机半导体层 160 上形成钝化层 170。所述钝化层 170 的形成可以采用 CVD 或者涂布的方式形成。

步骤 S108, 形成设置在所述钝化层 170 上且对应所述第二类型有机半导体层 160 设置的第三金属层 180。具体地, 所述步骤 S108 包括以下步骤。

15 步骤 S108a, 在所述钝化层 170 上形成一整层材料为金属的第三导电层。所述第三导电层可以通过溅射的方式形成。所述第三导电层的材料可以包括 Mo/Al、或者 Cu/Ti 等材料。所述第一金属层 120、所述第二金属层 150 及所述第三金属层 180 的材料可以相同也可以各不相同。

步骤 S108b, 在所述第三导电层上覆盖第四光阻层。

20 步骤 S108c, 对所述第四光阻层进行曝光, 以保留对应所述第二类型有机半导体层 160 的第四光阻层, 移除剩余部分的第四光阻层。

步骤 S108d, 对未覆盖所述第四光阻层的所述第三导电层进行蚀刻, 以移除未被所述第四光阻层覆盖的第三导电层;

步骤 S108e, 剥离剩余的第四光阻层, 以形成所述第三金属层 180。

25 在一实施方式中, 所述 CMOS 器件的制备方法还包括如下步骤。

步骤 S109, 形成第一蚀刻阻挡层 191, 在所述第一蚀刻阻挡层上 191 形成第一通孔 191a, 所述第一蚀刻阻挡层 191 设置在所述第一金属部 151 与所述第一类型金属氧化物半导体层 140 之间, 所述第一金属部 151 通过所述第一通孔 191a 与所述第一类型金属氧化物半导体层 140 连接。

步骤 S110, 形成第二蚀刻阻挡层 192, 在所述第二蚀刻阻挡层 192 上形成第二通孔 192a, 所述第二蚀刻阻挡层 192 设置在所述第二金属部 152 与所述第一类型金属氧化物半导体层 140 之间, 所述第二金属部 152 通过所述第二通孔 192a 与所述第一类型金属氧化物半导体层 140 连接。

- 5 在本实施方式中, 所述第一类型金属氧化物半导体层 140 为 N 型金属氧化物半导体层, 所述第二类型有机半导体层 160 为 P 型有机半导体层。可以理解地, 在另一实施方式中, 所述第一类型金属氧化物半导体层 140 为 P 型金属氧化物半导体层, 所述第二类型有机半导体层 160 为 N 型有机半导体层。所述当所述第一类型金属氧化物半导体层 140 为 N 型金属氧化物半导体层时,
- 10 第一类型金属氧化物半导体层 140 为 IGZO 或者为 ITZO。

- 相较于现有技术, 本发明的 CMOS 器件 1 以及 CMOS 器件 1 的制备方法中的 NMOS 以及 PMOS 分别使用第一类型金属氧化物半导体层 140 以及第二类型有机半导体层 160 来制备, 因此, 省去了现有技术中使用 LTPS 工艺中所需要的激光退火、掺杂、粒子注入等工艺流程, 以及这些工艺流程所需要的高
- 15 成本的制备设备, 从而可以简化 CMOS 器件的制备流程, 降低了 CMOS 器件的生产成本。且 NMOS 的漏极和 PMOS 的源极连接在一起, 不用再单独将 NMOS 的漏极和 PMOS 的源极再连接在一起, 简化了 CMOS 器件的制备流程。

- 以上所揭露的仅为本发明一种较佳实施例而已, 当然不能以此来限定本发明之权利范围, 本领域普通技术人员可以理解实现上述实施例的全部或部分流
- 20 程, 并依本发明权利要求所作的等同变化, 仍属于发明所涵盖的范围。

权 利 要 求

1.一种互补金属氧化物半导体器件，其中，所述互补金属氧化物半导体器件包括：

5 基板，所述基板包括相对设置的第一表面及第二表面；

 设置在所述第一表面中部的第一金属层；

 设置在所述第一金属层以及未覆盖所述第一金属层的所述第一表面的绝缘层；

10 设置在所述绝缘层上且对应所述第一金属层设置的第一类型金属氧化物半导体层；

 分别间隔设置在所述绝缘层上的第一金属部、第二金属部及第三金属部，所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触，所述第二金属部设置在所述第一金属部与所述第三金属部之间，其中，所述第一金属部、所述第二金属部及所述第三金属部定义为第二金属层；

15 第二类型有机半导体层，所述第二类型有机半导体层设置在所述第二金属部与所述第三金属部之间的间隙，以及邻近所述间隙的第二金属部及所述第三金属部上；

20 钝化层，设置在所述第一金属部、所述第二金属部及所述第三金属部、所述第一金属部与所述第二金属部之间的第一类型金属氧化物半导体层、以及所述第二类型有机半导体层上；

 第三金属层，设置在所述钝化层上且对应所述第二类型有机半导体层设置。

25 2.如权利要求 1 所述的互补金属氧化物半导体器件，其中，所述互补金属氧化物半导体器件还包括：

 第一蚀刻阻挡层，所述第一蚀刻阻挡层上设置第一通孔，所述第一蚀刻阻挡层设置在所述第一金属部与第一类型金属氧化物半导体层之间，所述第一金属部通过所述第一通孔与所述第一类型金属氧化物半导体层连接。

3.如权利要求 2 所述的互补金属氧化物半导体器件，其中，所述互补金属氧化物半导体器件还包括：

5 第二蚀刻阻挡层，所述第二蚀刻阻挡层上设置第二通孔，所述第二蚀刻阻挡层设置在所述第二金属部与所述第一类型金属氧化物半导体层之间，所述第二金属部通过所述第二通孔与所述第一类型金属氧化物半导体层连接。

10 4.如权利要求 1 所述的互补金属氧化物半导体器件，其中，所述第一类型金属氧化物半导体层为 N 型金属氧化物半导体层，所述第二类型有机半导体层为 P 型有机半导体层；或者所述第一类型金属氧化物半导体层为 P 型金属氧化物半导体层，所述第二类型有机半导体层为 N 型有机半导体层。

15 5.如权利要求 4 所述的互补金属氧化物半导体器件，其中，所述当所述第一类型金属氧化物半导体层为 N 型金属氧化物半导体层时，所述第一类型金属氧化物半导体层为 IGZO 或者 ITZO。

6.一种互补金属氧化物半导体器件的制备方法，其中，所述互补金属氧化物半导体器件的制备方法包括：

20 提供一基板，所述基板包括相对设置的第一表面及第二表面；

在所述第一表面中部形成第一金属层；

形成覆盖所述第一金属层及未覆盖所述第一金属层的所述第一表面的绝缘层；

在所述绝缘层上且对应所述第一金属层形成第一类型金属氧化物半导体层；

25 在所述绝缘层上形成间隔设置的第一金属部、第二金属部及第三金属部，所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触，所述第二金属部设置在所述第一金属部与所述第三金属部之间，其中，所述第一金属部、所述第二金属部及所述第三金属部定义为第二金属层；

对应所述第二金属部与所述第三金属部之间的间隙,以及邻近所述间隙的第二金属部及第三金属部上形成第二类型有机半导体层;

在所述第二类型有机半导体层上形成钝化层;

形成设置在所述钝化层上且对应所述第二类型有机半导体层设置的第三

5 金属层。

7.如权利要求6所述的互补金属氧化物半导体器件的制备方法,其中,所述互补金属氧化物半导体器件的制备方法还包括:

10 形成第一蚀刻阻挡层,在所述第一蚀刻阻挡层上形成第一通孔,所述第一蚀刻阻挡层设置在所述第一金属部与第一类型金属氧化物半导体层之间,所述第一金属部通过所述第一通孔与所述第一类型金属氧化物半导体层连接;

形成第二蚀刻阻挡层,在所述第二蚀刻阻挡层上形成第二通孔,所述第二蚀刻阻挡层设置在所述第二金属部与所述第一类型金属氧化物半导体层之间,所述第二金属部通过所述第二通孔与所述第一类型金属氧化物半导体层连接。

15

8.如权利要求6所述的互补金属氧化物半导体器件的制备方法,其中,所述步骤“在所述第一表面中部形成第一金属层”包括:

在所述第一表面上形成一整层材料为金属的第一导电层;

在所述第一导电层上覆盖第一光阻层;

20 对所述第一光阻层进行曝光,以移除覆盖在所述第一导电层两侧的第一光阻层;

对未被所述第一光阻层覆盖的第一导电层进行蚀刻,以移除未被所述第一光阻层覆盖的第一导电层;

剥离剩余的第一光阻层,以形成所述第一金属层。

25

9.如权利要求6所述的互补金属氧化物半导体器件的制备方法,其中,所述步骤“在所述绝缘层上且对应所述第一金属层形成第一类型金属氧化物半导体层”包括:

在所述绝缘层上形成整层的第一半导体层;

在整层的第一半导体层上覆盖第二光阻层；

对第二光阻层进行曝光，以移除覆盖在所述第一半导体层两侧的第二光阻层，保留对应所述第一金属层的第二光阻层；

对未被所述第二光阻层覆盖的第一半导体层进行蚀刻，以移除未被所述第二光阻层覆盖的第一半导体层；

剥离剩余的第三光阻层，以形成所述第一类型金属氧化物半导体层。

10.如权利要求 6 所述的互补金属氧化物半导体器件的制备方法，其中，所述步骤“在所述绝缘层上形成间隔设置的第一金属部、第二金属部及第三金属部，所述第一金属部及所述第二金属部间隔设置在所述第一类型金属氧化物半导体层两侧且均与所述第一类型金属氧化物半导体层接触，所述第二金属部设置在所述第一金属部与所述第三金属部之间，其中，所述第一金属部、所述第二金属部及所述第三金属部定义为第二金属层”包括：

在所述绝缘层上形成一整层材料为金属的第二导电层；

15 在所述第二导电层上覆盖第三光阻层；

对所述第三光阻层进行曝光，以在所述第三光阻层上形成对应所述第一类型金属氧化物半导体层中部的第一孔以及与所述第一孔间隔设置的第二孔以裸露部分所述第二导电层；

20 对未覆盖所述第三光阻层第二导电层部分进行蚀刻，以移除未被所述第三光阻层覆盖的第二导电层；

剥离剩余的第三光阻层，以形成所述第一金属部、所述第二金属部以及所述第三金属部。

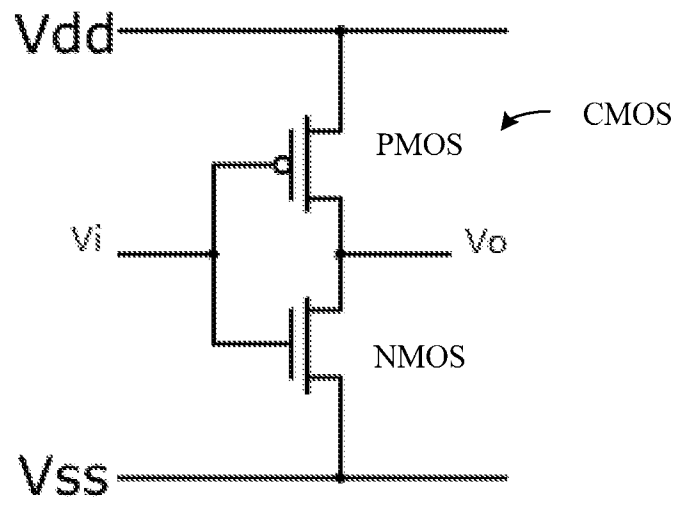


图 1

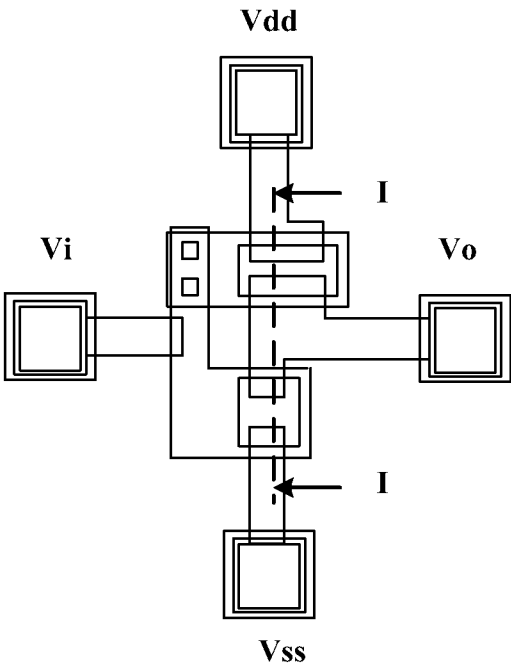


图 2

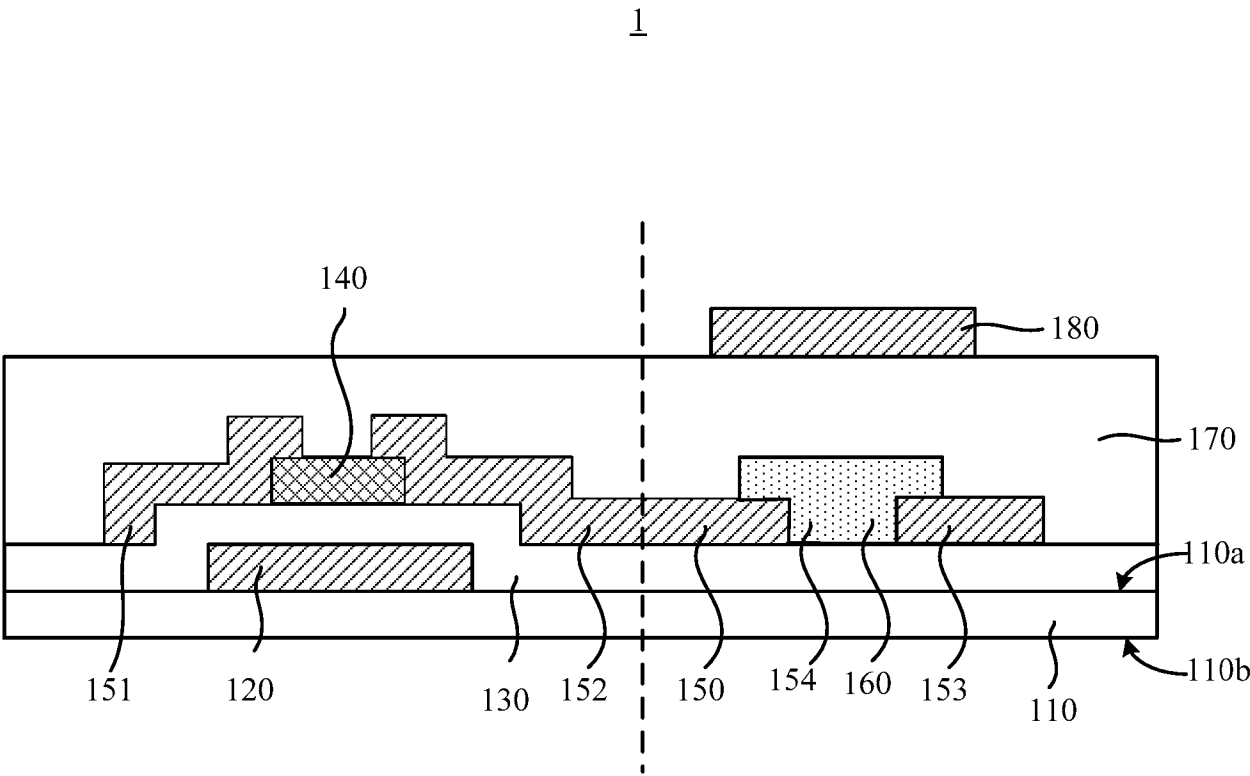


图 3

1

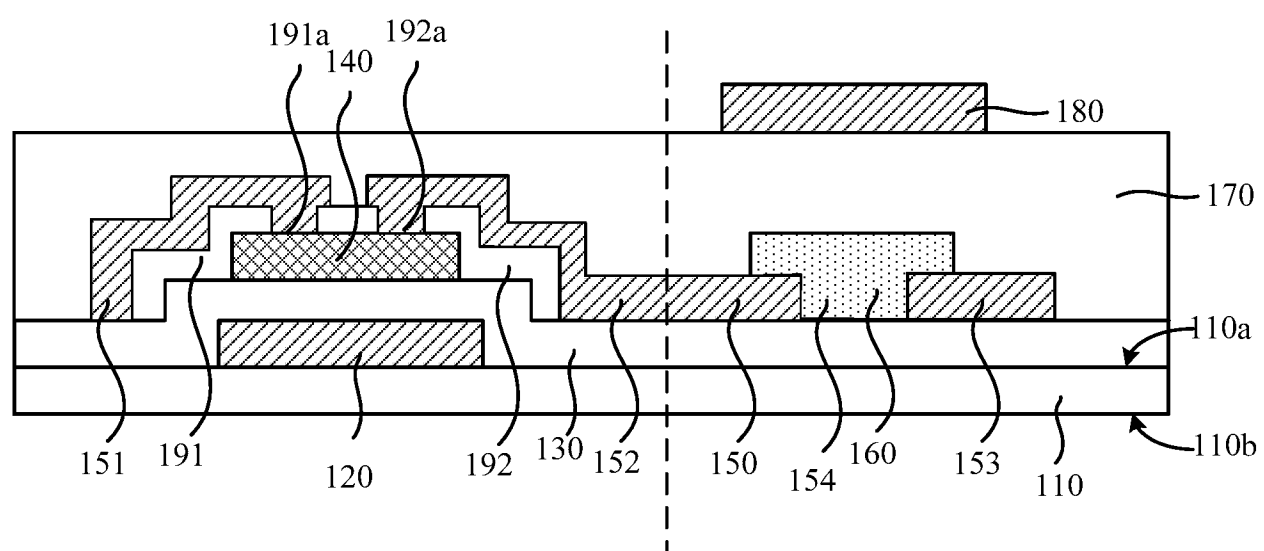


图 4

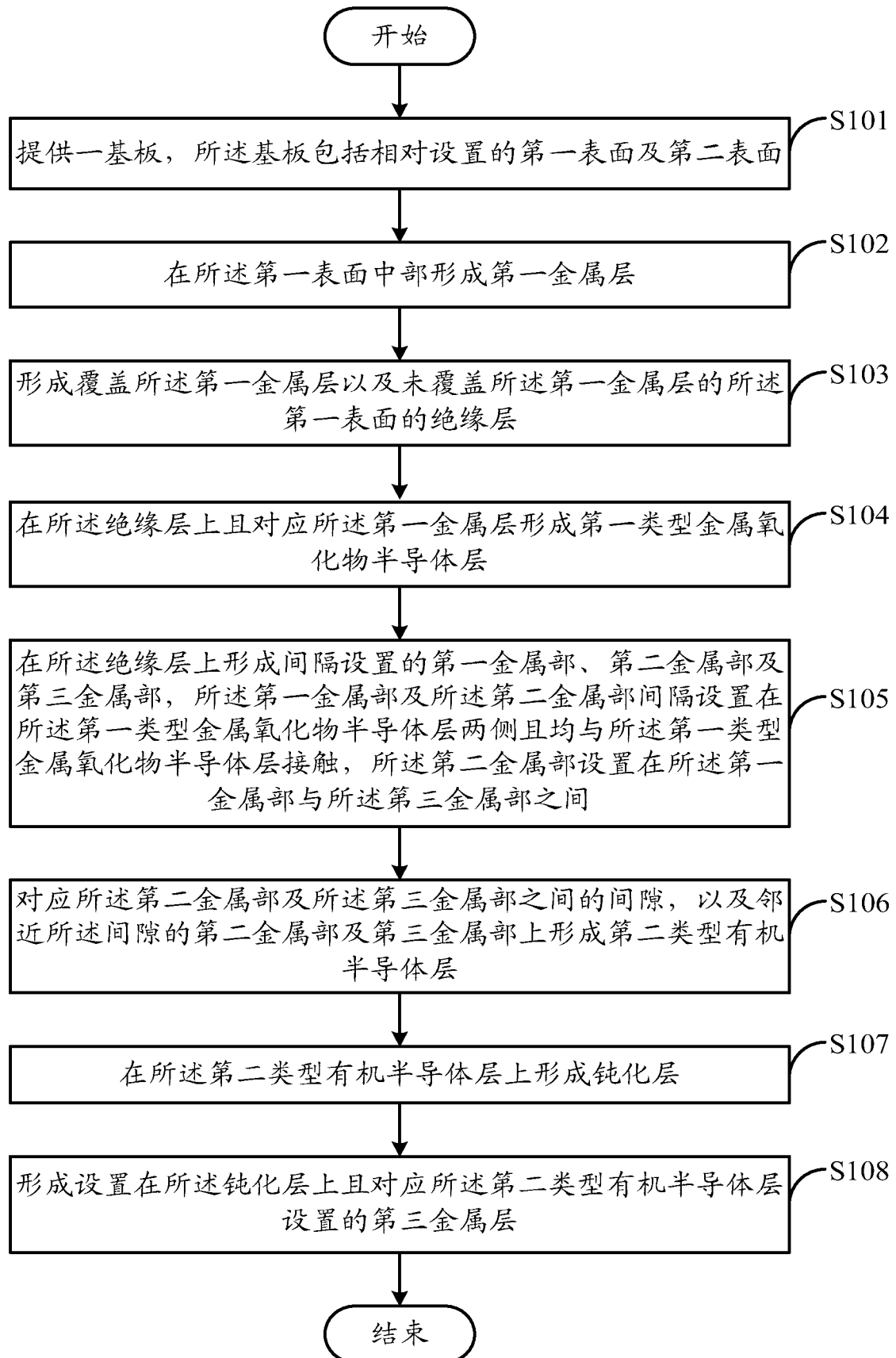


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/070916**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 27/28 (2006.01) i; H01L 21/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNABS: ditch, groove, deep trench, shallow trench, shallow isolation trench, shallow trench isolation, oxide layer, cover layer, sacrificial layer, silicon nitride, silicon oxynitride, amorphous carbon, organic silicide, hard mask, film, layer, prevent, terminate, STI, TRENCH+, MASK, MASKS, ETCH+, CARBON, NITRIDE, ANTIREFLECT+, SION, ANTI W REFLECT+, ANTI?REFLECT+, ARC, DARC, BARC, ARL, STOP+, BARRIER+, FRIST, SECOND

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102299112 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION), 28 December 2011 (28.12.2011), description, paragraphs [0033]-[0058], and figures 1A-2H	1-10
A	CN 1885527 A (SAMSUNG SDI CO., LTD.), 27 December 2006 (27.12.2006), the whole document	1-10
A	JP 2007005812 A (TOSHIBA CORPORATION), 11 January 2007 (11.01.2007), the whole document	1-10
A	US 2007/0200054 A1 (REZNIK et al.), 30 August 2007 (30.08.2007), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 September 2016 (15.09.2016)	Date of mailing of the international search report 28 September 2016 (28.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DUAN, Xiaojin Telephone No.: (86-10) 62411592

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/070916

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102299112 A	28 December 2011	CN 102299112 B	14 May 2014
CN 1885527 A	27 December 2006	JP 2007005812 A	11 January 2007
		JP 4490395 B2	23 June 2010
		CN 100499083 C	10 June 2009
		KR 20060134734 A	28 December 2006
		US 2006292763 A1	28 December 2006
		KR 100731750 B1	22 June 2007
		US 7915102 B2	29 March 2011
JP 2007005812 A	11 January 2007	CN 1885527 A	27 December 2006
		JP 4490395 B2	23 June 2010
		CN 100499083 C	10 June 2009
		KR 20060134734 A	28 December 2006
		US 2006292763 A1	28 December 2006
		KR 100731750 B1	22 June 2007
		US 7915102 B2	29 March 2011
US 2007/0200054 A1	15 April 2008	US 2007200054 A1	30 August 2007
		US 2008145965 A1	19 June 2008
		US 7678603 B2	16 March 2010

国际检索报告

国际申请号

PCT/CN2016/070916

A. 主题的分类

H01L 27/28(2006.01)i; H01L 21/82(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNABS:沟槽, 沟渠, 凹槽, 深槽, 浅槽, 浅隔离沟渠, 浅槽隔离, 浅沟槽隔离, 氧化层, 覆盖层, 牺牲层, 氮化硅, 氮氧化硅, 不定型碳, 有机硅化物, 掩模, 掩膜, 蚀刻, 刻蚀, 碳, 硬掩模, 硬掩膜, 减反射, 抗反射, 防反射, 膜, 层, 阻挡, 阻止, 终止, 停止, 第一, 第二, STI, TRENCH+, MASK, MASKS, ETCH+, CARBON, NITRIDE, ANTIREFLECT+, SION, ANTI W REFLECT+, ANTI?REFLECT+, ARC, DARC, BARC, ARL, STOP+, BARRIER+, FRIST, SECOND

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102299112 A (中芯国际集成电路制造上海有限公司) 2011年 12月 28日 (2011 - 12 - 28) 说明书第[0033]段至第[0058]段、附图1A至2H	1-10
A	CN 1885527 A (三星SDI株式会社) 2006年 12月 27日 (2006 - 12 - 27) 全文	1-10
A	JP 2007005812 A (东芝株式会社) 2007年 1月 11日 (2007 - 01 - 11) 全文	1-10
A	US 2007/0200054 A1 (REZNIK 等) 2007年 8月 30日 (2007 - 08 - 30) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 9月 15日

国际检索报告邮寄日期

2016年 9月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

段小晋

电话号码 (86-10)62411592

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/070916

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)
CN	102299112	A	2011年 12月 28日	CN	102299112	B	2014年 5月 14日
CN	1885527	A	2006年 12月 27日	JP	2007005812	A	2007年 1月 11日
				JP	4490395	B2	2010年 6月 23日
				CN	100499083	C	2009年 6月 10日
				KR	20060134734	A	2006年 12月 28日
				US	2006292763	A1	2006年 12月 28日
				KR	100731750	B1	2007年 6月 22日
				US	7915102	B2	2011年 3月 29日
JP	2007005812	A	2007年 1月 11日	CN	1885527	A	2006年 12月 27日
				JP	4490395	B2	2010年 6月 23日
				CN	100499083	C	2009年 6月 10日
				KR	20060134734	A	2006年 12月 28日
				US	2006292763	A1	2006年 12月 28日
				KR	100731750	B1	2007年 6月 22日
				US	7915102	B2	2011年 3月 29日
US	2007/0200054	A1	2008年 4月 15日	US	2007200054	A1	2007年 8月 30日
				US	2008145965	A1	2008年 6月 19日
				US	7678603	B2	2010年 3月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)