

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5486884号
(P5486884)

(45) 発行日 平成26年5月7日(2014.5.7)

(24) 登録日 平成26年2月28日(2014.2.28)

(51) Int.Cl.	F I
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 21/336 (2006.01)	
HO 1 L 29/788 (2006.01)	
HO 1 L 29/792 (2006.01)	

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2009-209071 (P2009-209071)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成21年9月10日(2009.9.10)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2011-60997 (P2011-60997A)	(72) 発明者	永井 孝明 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成23年3月24日(2011.3.24)	審査官	外山 毅
審査請求日	平成24年8月20日(2012.8.20)	(56) 参考文献	特開2009-010035 (JP, A)) 特開2005-123518 (JP, A))

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置、及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に、第1絶縁膜を介して、一定の幅を有する部分が上に突出した突出部が設けられた形状の第1ゲート電極を形成し、

前記第1ゲート電極の側壁面に第2絶縁膜を介して第2ゲート電極を形成し、

前記第2ゲート電極の側壁面と、前記第1ゲート電極の前記突出部の側壁面とに、絶縁性のサイドウォールを形成し、

前記第1ゲート電極の前記突出部の上面と、前記第2ゲート電極の表面の一部とにシリサイド層を形成し、

前記第1ゲート電極は、

前記第1絶縁膜上に、第1ゲート層を成膜し、

レジストパターンをマスクとして前記第1ゲート層の厚さ方向の一部を等方性エッチングし、

前記等方性エッチングの後、残りの前記第1ゲート層を異方性エッチングすることによって、形成される不揮発性半導体記憶装置の製造方法。

【請求項2】

前記第2ゲート電極は、前記突出部よりも下側の部分の前記第1ゲート電極の側壁面に形成される請求項1に記載の不揮発性半導体記憶装置の製造方法。

【請求項3】

前記サイドウォールは、少なくとも、前記第1ゲート電極の側壁面から前記第1ゲート

電極の前記第2絶縁膜側の端部上にかけて連続的に形成される請求項1、又は2に記載の不揮発性半導体記憶装置の製造方法。

【請求項4】

前記サイドウォールが、前記第2ゲート電極上までさらに延在され、前記第1ゲート電極と前記第2ゲート電極の両方に跨って形成されている請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項5】

前記第1ゲート電極の側壁面を含む領域に設けられた前記サイドウォールによって、前記第2ゲート電極の表面の一部に設けられた前記シリサイド層が、前記第1ゲート電極の前記突出部の上面に設けられた前記シリサイド層と絶縁される請求項1乃至4のいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置、及びその製造方法に関する。

【背景技術】

【0002】

電気的に書き込み/消去が可能な不揮発性半導体記憶装置には、MONOS (Metal-Oxide-Nitride-Oxide-Silicon) 構造に代表されるように、ワードゲートの側壁に絶縁膜を介してコントロールゲートが形成されるスプリットゲート型のメモリセル構造が知られている。ワードゲート及びコントロールゲートは、一般的にポリシリコンによって形成されるので、導電性改善のためにそれぞれの表面を合金化(シリサイド化)して配線抵抗を実質的に低減することが行われている。

20

【0003】

このような構成のスプリットゲート型MONOSメモリでは、ワードゲートとコントロールゲートとが薄いONO (Oxide Nitride Oxide) 膜を介して絶縁されるのみである。そのため、ワードゲートの表面に形成されたシリサイドとコントロールゲートの表面に形成されたシリサイドとが短絡し、シリサイドショートが発生することがある。

【0004】

従って、シリサイドショートが初期的に発生している場合には、初期動作不良によって歩留りが低下するという問題がある。また、シリサイドショートが初期的に発生していなくても、シリサイド同士の分離が不十分である場合には、バイアス印加を繰り返して書き換えすることでショート不良を引き起こすことがあり、信頼性に問題があった。

30

【0005】

このような問題に対して、コントロールゲートの高さをワードゲートの高さより低く形成することで、コントロールゲートとワードゲート間のシリサイド短絡を防止する技術が特許文献1に開示されている。特許文献1には、ワードゲートの高さが2000~2500、コントロールゲートの高さが1000~1250であることが記載されている。

【先行技術文献】

40

【特許文献】

【0006】

【特許文献1】特開2002-231829号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1では、ワードゲートとコントロールゲート間のシリサイド短絡を十分マージンを持って対策するには、ワードゲートとコントロールゲートの高低差を大きく取る必要がある。

【0008】

50

すなわち、これらの高低差を大きく取るために、コントロールゲート高さを低くしすぎると、ソース/ドレイン領域としての拡散層形成のためのイオン注入の際、コントロールゲートを突き抜けて、不要な不純物がチャンネル領域に注入されてしまうおそれがある。また、この際、不純物がゲート絶縁膜をも突き抜けるため、ゲート絶縁膜の劣化によって長期信頼性が低下する懸念がある。

【0009】

反対に、ワードゲート高さを高くしすぎると、この上に配設される層間絶縁膜を厚く形成する必要があり、拡散層とのコンタクト形成が困難となる。また、ワードゲートのエッチングの際に使用するレジストマスクがドライエッチングに耐えられなくなってくるという問題がある。

10

【課題を解決するための手段】

【0010】

本発明にかかる不揮発性半導体記憶装置は、半導体基板上に第1絶縁膜を介して形成され、一定の幅を有する部分が上に突出した突出部が設けられている第1ゲート電極と、前記第1ゲート電極の側壁面に第2絶縁膜を介して設けられた第2ゲート電極と、前記第2ゲート電極の側壁面と、前記第1ゲート電極の前記突出部の側壁面とに形成された絶縁性のサイドウォールと、前記第1ゲート電極の前記突出部の上面と、前記第2ゲート電極の表面の一部とに形成されたシリサイド層と、を備え、前記突出部の幅は、前記突出部よりも下側の部分の前記第1ゲート電極の幅よりも狭いものである。このような構成により、ワードゲートのシリサイド層とコントロールゲートのシリサイド層との間の分離幅を、ワードゲートとコントロールゲートとが隣接する方向に、広く取ることができる。

20

【0011】

また、本発明にかかる不揮発性半導体記憶装置の製造方法は、半導体基板上に、第1絶縁膜を介して、一定の幅を有する部分が上に突出した突出部が設けられた形状の第1ゲート電極を形成し、前記第1ゲート電極の側壁面に第2絶縁膜を介して第2ゲート電極を形成し、前記第2ゲート電極の側壁面と、前記第1ゲート電極の前記突出部の側壁面とに、絶縁性のサイドウォールを形成し、前記第1ゲート電極の前記突出部の上面と、前記第2ゲート電極の表面の一部とにシリサイド層を形成するものである。このような方法により、ワードゲートのシリサイド層とコントロールゲートのシリサイド層との間の分離幅を、ワードゲートとコントロールゲートとが隣接する方向に、広く取ることができる。

30

【発明の効果】

【0012】

本発明によれば、ワードゲートとコントロールゲートとの間の高低差を大きくすることなく、シリサイドショートを防止することが可能な不揮発性半導体記憶装置、及びその製造方法を提供することができる。

【図面の簡単な説明】

【0013】

【図1】実施の形態1に係る不揮発性半導体記憶装置の構成を示す断面図である。

【図2】実施の形態1に係る不揮発性半導体記憶装置の各部位への電圧の印加条件の一例を示す断面模式図である。

40

【図3】実施の形態1に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図4】実施の形態1に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図5】実施の形態2に係る不揮発性半導体記憶装置の構成を示す断面図である。

【図6】実施の形態2に係る不揮発性半導体記憶装置の各部位への電圧の印加条件の一例を示す断面模式図である。

【図7】実施の形態2に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図8】実施の形態2に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【図9】実施の形態2に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0014】

50

以下、図面を参照して本発明の実施の形態について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡略化がなされている。また、説明の明確化のため、必要に応じて重複説明は省略されている。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略されている。

【0015】

実施の形態1.

本実施の形態に係る不揮発性半導体記憶装置の構成について、図1を用いて説明する。図1は、実施の形態1に係る不揮発性半導体記憶装置の構成を示す断面図である。本実施の形態に係る不揮発性半導体記憶装置は、ワードゲート3の両側にコントロールゲート5が形成されたツインMONOS構造のメモリである。

10

【0016】

図1において、半導体基板1の主表面には、一对の拡散層8がソース/ドレイン領域として形成されている。拡散層8は、例えばヒ素などを含むn型不純物領域であり、半導体基板1の表面領域に形成されている。一对の拡散層8に挟まれた領域は、チャンネルが形成されるチャンネル領域となる。なお、このチャンネル領域と各拡散層8の間には、拡散層8よりも低い濃度の不純物を含むLDD(Lightly Doped Drain)領域6がそれぞれ設けられている。

【0017】

そして、半導体基板1のチャンネル領域上には、ポリシリコン等からなるワードゲート(選択ゲート電極、第1ゲート電極)3とコントロールゲート(制御ゲート電極、第2ゲート電極)5とが設けられている。

20

【0018】

具体的には、半導体基板1のチャンネル領域の表面に、ゲート絶縁膜(第1絶縁膜)2を介してワードゲート3が形成されている。ゲート絶縁膜2は、例えば、酸化シリコン膜などの絶縁膜で、膜厚は2~4nmである。本実施の形態では、ワードゲート3は、上側の面(上面)の角部に面取り部3aが形成されている。そのため、ワードゲート3は、図1に示す断面視で、略矩形形状の上側の角部が面取りされ、角が取れたような断面形状を有している。換言すると、ワードゲート3は、一定の幅を有する部分が上に突出した突出部3bが設けられた形状を有している。

【0019】

すなわち、ワードゲート3は上側端部がへこんだ形状をしており、そのへこんだ部分が面取り部3a、面取り部3aに挟まれた部分が突出部3bとなっている。突出部3bの幅は、突出部3bよりも下側の部分のワードゲート3の幅よりも狭い。従って、ワードゲート3の端面(側面、側壁面)は、上側の部分、すなわち突出部3bの部分で、パターン内側に後退している。このように、ワードゲート3には、突出部3bの上面の外側の部分に、突出部3bよりも高さの低い面取り部3aが形成されている。

30

【0020】

ここでは、突出部3bが、上部から下部にかけて徐々に幅広くなるように形成されている。そして、突出部3bの下部において、突出部3bよりも下側の部分のワードゲート3と幅が略一致するように形成されている。よって、ワードゲート3の端面は、突出部3bの下部の部分でパターン内側に後退し、そこからさらに突出部3bの上部にかけて徐々にパターン内側へと後退していく。例えば、図1に示すように、ワードゲート3は、段面視で上側端部が曲線状にへこんだ形状とすることができる。

40

【0021】

ワードゲート3は、例えば膜厚200~300nmのポリシリコン膜によって形成されている。なお、突出部3bの部分の厚さは、突出部3bの上面の幅、突出部3bよりも下側の部分のワードゲート3の厚さなどを考慮しながら適宜決定することが好ましいが、ワードゲート3全体の厚さの10~15%程度であると好適である。従って、ワードゲート3全体の厚さが200~300nmの場合、突出部3bが20~40nm程度の厚さで形成されていることが好ましい。

50

【0022】

さらに、ワードゲート3の各拡散層8側の側壁面には、ONO膜(第2絶縁膜)4を介してコントロールゲート5が側壁状に形成されている。本実施の形態では、突出部3bよりも下側の部分のワードゲート3の側面にONO膜4を介して隣接するように、コントロールゲート5が配設されている。すなわち、ワードゲート3の面取り部3a及び突出部3bよりも低い位置にコントロールゲート5が配設されるよう、コントロールゲート5の高さがワードゲート3の高さよりも低く形成されている。コントロールゲート5は、例えば、ポリシリコン膜や、リン等の不純物がドーブされたアモルファスシリコン膜によって形成されている。

【0023】

コントロールゲート5は、半導体基板1のチャンネル領域の表面に、ONO膜(第2絶縁膜)4を介して設けられている。従って、ONO膜4は、コントロールゲート5とワードゲート3の間、及びコントロールゲート5と半導体基板1との間に形成されている。ONO膜4は、酸化シリコン(SiO_2)膜、窒化シリコン(Si_3N_4)膜、及び酸化シリコン(SiO_2)膜がこの順に積層された、3層からなる積層膜である。ONO膜4を構成する3つの層のうち、窒化シリコン膜は、電荷を蓄積する性質を有するトラップ性絶縁膜である。ONO膜4として、例えば、膜厚6nmの酸化シリコン膜、膜厚10nmの窒化シリコン膜、及び膜厚4nmの酸化シリコン膜がこの順に積層された積層膜が形成されている。

【0024】

そして、コントロールゲート5の側面と、ワードゲート3の側面とに、絶縁性のサイドウォール7が側壁状に形成されている。サイドウォール7は、例えば酸化シリコンの単層膜や、酸化シリコン、窒化シリコン、及び酸化シリコンの積層膜などの絶縁膜からなる。ここで、コントロールゲート5の側面に設けられたサイドウォール7は、LDD領域6上に形成されている。

【0025】

一方、ワードゲート3の側面に設けられたサイドウォール7は、少なくとも、突出部3bの側面からONO膜4に隣接するワードゲート3の端部にかけての領域(すなわち、面取り部3aの表面)を連続的に覆うよう形成されている。これにより、突出部3bの上面を除くワードゲート3の表面のうち、ONO膜4に覆われていない領域のワードゲート3の表面が、サイドウォール7で覆われる。従って、コントロールゲート5よりも高い位置のワードゲート3の表面が、突出部3bの上面を除き、サイドウォール7で覆われている。このサイドウォール7により、ワードゲート3とコントロールゲート5の間で後述するシリサイドがショートすることを防止できる。

【0026】

なお、ワードゲート3の側面のサイドウォール7は、ワードゲート3の端部上から、さらにONO膜4上を乗り越え、コントロールゲート5上まで延在されていることが好ましい。すなわち、サイドウォール7は、突出部3bの側面から、ワードゲート3の端部、ONO膜4、コントロールゲート5上にかけての領域に連続的に形成され、ワードゲート3とコントロールゲート5の両方に跨っていることが好ましい。これにより、シリサイドショートをさらに防止できる。なお、ワードゲート3の側面から延在されたサイドウォール7と、コントロールゲート5の側面に設けられたサイドウォール7とは、分離されている。すなわち、ワードゲート3の側面を含む領域に設けられたサイドウォール7は、コントロールゲート5の側面に設けられたサイドウォール7と離間して配設されている。

【0027】

さらに、ワードゲート3の表面と、コントロールゲート5の表面とに、配線抵抗を低減するためのシリサイド層9が形成されている。具体的には、ワードゲート3の表面に形成されたシリサイド層9は、突出部3bの上面に設けられている。一方、コントロールゲート5の表面に形成されたシリサイド層9は、コントロールゲート5の表面の一部である、ワードゲート3の側面を含む領域に設けられたサイドウォール7と、コントロールゲート

10

20

30

40

50

5の側面に設けられたサイドウォール7との間の領域に設けられている。ワードゲート3表面のシリサイド層9と、コントロールゲート5表面のシリサイド層9とは、これらの間にサイドウォール7が設けられているため、確実に絶縁される。

【0028】

本実施の形態では、ワードゲート3を上述したような突出部3bを有する形状とすることによって、ワードゲート3の面取り部3aにもサイドウォール7を形成することができるので、ワードゲート3とコントロールゲート5のシリサイド層9がこのサイドウォール7を挟んで互いに離間される。従って、それぞれのシリサイド層9同士を確実に絶縁することができる。

【0029】

このように、本実施の形態の不揮発性半導体記憶装置には、ワードゲート3よりなる選択トランジスタと、コントロールゲート5よりなるメモリトランジスタとが形成されている。

【0030】

これらトランジスタを覆うように層間絶縁膜10が半導体基板1上に形成されている。シリサイド層9及びサイドウォール7は、層間絶縁膜10に覆われる。この層間絶縁膜10には、拡散層8と電氣的に接続するためのコンタクト11が形成されている。すなわち、拡散層8上の層間絶縁膜10を貫通するコンタクトホール内に、タングステンなどの金属が埋め込まれており、これが拡散層8表面のシリサイド層9と接続するコンタクト11となる。

【0031】

そして、層間絶縁膜10上には、コンタクト11を介して拡散層8と電氣的に接続する配線(ビット線)12が形成されている。配線12は、例えばアルミなどの導電膜によって形成されている。

【0032】

次に、本実施の形態の不揮発性半導体記憶装置の動作について、図2を用いて説明する。図2は、実施の形態1に係る不揮発性半導体記憶装置の各部位への電圧の印加条件の一例を示す断面模式図である。図2(a)は「書込み」時、図2(b)は「消去」時、図2(c)は「読出し」時における電圧の印加条件をそれぞれ示している。なお、図2に示したものは電圧の印加条件の一例であり、これに限定されるものではない。電圧の印加条件は、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタのONO膜4中の電荷蓄積部である窒化シリコン膜4bへの電子の注入を「書込み」、ホール(hole:正孔)の注入を「消去」と定義する。

【0033】

以下では、書込み、消去、又は読出しを行う側のコントロールゲート5を選択側コントロールゲート5s、この選択側コントロールゲート5sと対をなす書込み、消去、又は読出しを行わない側のコントロールゲート5を非選択側コントロールゲート5oと称して説明を行う。また、選択側コントロールゲート5s側に設けられた拡散層8をソース領域8s、非選択側コントロールゲート5o側に設けられた拡散層8をドレイン領域8dとする。

【0034】

書き込み方式は、いわゆるホットエレクトロン書き込みを用いることができる。例えば、図2(a)に示すような電圧を、書き込みを行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に1V、選択側コントロールゲート5sに6V、非選択側コントロールゲート5oに3V、ドレイン領域8dに0V、ソース領域8sに5Vを印加する。これにより、ソース領域8s及びドレイン領域8d間のチャンネル領域にホットエレクトロンが発生し、選択側コントロールゲート5sの下の窒化シリコン膜4bのワードゲート3側の領域に局所的にホットエレクトロンが注入される。注入されたホットエレクトロン(電子)は、ONO膜4中の窒化シリコン膜4b中のトラップに捕獲され、その結果、選択側コントロールゲート5sからなるメモリトランジスタの閾値電圧V

10

20

30

40

50

t_h が上昇する。

【0035】

消去方法は、B T B T (Band-To-Band Tunneling: バンド間トンネル現象) ホットホール注入消去方式を用いることができる。すなわち、B T B T により発生したホールを電荷蓄積部に注入することにより消去を行う。例えば、図2(b)に示すような電圧を、消去を行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に0V、選択側コントロールゲート5sに-3V、非選択側コントロールゲート5oに0V、ドレイン領域8dに0V、ソース領域8sに5Vを印加する。これにより、B T B T 現象でホールを発生させ電界加速することでONO膜4中の窒化シリコン膜4b中にホールを注入し、それによって選択側コントロールゲート5sからなるメモリトランジスタの閾値電圧 V_{th} を低下させる。

10

【0036】

読み出し時には、例えば、図2(c)に示すような電圧を、読み出しを行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に2V、選択側コントロールゲート5sに2V、非選択側コントロールゲート5oに3V、ドレイン領域8dに1.5V、ソース領域8sに0Vを印加する。読み出し時の選択側コントロールゲート5sに印加する電圧を、選択側コントロールゲート5sからなるメモリトランジスタの書き込み状態における閾値電圧 V_{th} と消去状態における閾値電圧 V_{th} との間の値にすることで、書き込み状態と消去状態とを判別することができる。

【0037】

20

なお、図2の各図において、ワードゲート3の両側に設けられたコントロールゲート5のうち右側のコントロールゲート5からなるメモリトランジスタに書き込み、消去、又は読み出しを行う場合について例示的に説明を行ったが、左右反転させることにより左側のコントロールゲート5からなるメモリトランジスタに書き込み、消去、又は読み出しを行うことが可能である。このように、図2に示す不揮発性半導体記憶装置は、ワードゲート3の両側にそれぞれ1ビットずつ、合わせて2ビットの情報を記録できる。

【0038】

次に、本実施の形態の不揮発性半導体記憶装置の製造方法について、図3及び図4を用いて説明する。図3及び図4は、実施の形態1に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

30

【0039】

まず、半導体基板1の表面に、熱酸化処理により、ゲート絶縁膜2を形成する。例えば、800~900の熱酸化処理を行い、ゲート絶縁膜2として、2~4nmの厚さの熱酸化膜を成膜する。その後、ゲート絶縁膜2の上に、ワードゲート3となるポリシリコン膜(第1ゲート層)31を成膜する。例えば、CVD法などにより、200~300nmの厚さのポリシリコン膜31を堆積する。これにより、図3(a)に示す構成となる。

【0040】

続いて、ポリシリコン膜31上にフォトリソグを塗布し、パターニングを行って、所定の領域にレジストパターン21を形成する。そして、このレジストパターン21を用いて、ポリシリコン膜31のパターニングを行う。本実施の形態では、まず最初にポリシリコン膜31の厚さ方向の一部を等方性エッチングしてから、その後、残りのポリシリコン膜31を異方性エッチングする。

40

【0041】

等方性エッチングとして、例えば、等方性ドライエッチングを20~40nm行う。等方性エッチングでは、縦横方向同時にエッチングが進行する。従って、ポリシリコン膜31のエッチングが膜厚方向に進行するとともに、膜厚と垂直な方向にも進行する(サイドエッチ)。このサイドエッチにより、エッチング中におけるポリシリコン膜31のエッチング表面とレジストパターン21表面との間に隙間が形成され、この隙間からもエッチングが進行する。この等方性エッチングによって、図3(b)に示すように、エッチングされた部分のポリシリコン膜31の端面が、レジストパターン21のパターン端よりも後退

50

する。

【0042】

続いて、エッチングステップを切り替えて、残りのポリシリコン膜31に対して異方性ドライエッチングを行う。異方性エッチングでは、縦方向にエッチングが進行する。従って、この異方性エッチングによってエッチングされた部分のポリシリコン膜31の端面は、レジストパターン21のパターン端と略同じ位置となる。このようにしてポリシリコン膜31のパターニングが行われると、図3(c)に示すように、一定の幅を有する部分が上に突出した突出部3bが設けられた形状のワードゲート3が形成される。すなわち、異方性エッチング工程の前に等方性エッチング工程を入れることによって、突出部3b及び面取り部3aを形成することができる。ポリシリコン膜31のパターニング後、レジストパターン21を剥離する。これにより、半導体基板1上に、ゲート絶縁膜2を介してワードゲート3が形成され、図3(c)に示す構成となる。

10

【0043】

なお、等方性エッチングと異方性エッチングは、同一の装置で連続して行うことができる。例えば、所定時間経過後にエッチング条件を切り替えるように設定しておけば、1つの装置を用いて等方性エッチングと異方性エッチングを連続で行うことができる。等方性エッチングでエッチングするポリシリコン膜31の厚さは、ポリシリコン膜31全体の膜厚の10~15%程度とすることが好ましい。

【0044】

次に、形成したワードゲート3をマスクとして用いて、ワードゲート3で覆われていないゲート絶縁膜2をウェットエッチングで除去する。その後、ワードゲート3を覆うように、酸化シリコン膜、窒化シリコン膜、及び酸化シリコン膜をこの順に成膜し、図3(d)に示すように、半導体基板1上にONO膜4を形成する。例えば、膜厚6nmの酸化シリコン膜、膜厚10nmの窒化シリコン膜、及び膜厚4nmの酸化シリコン膜を順次堆積する。

20

【0045】

続いて、ONO膜4上に、コントロールゲート5となるポリシリコン膜(第2ゲート層)51を成膜する。例えば、CVD法などにより、90~120nmの厚さのポリシリコン膜51を堆積する。なお、ポリシリコン膜51に代えて、例えばリンなどの不純物をドーブしたアモルファスシリコン膜を成膜してもよい。これにより、図3(e)に示す構成となる。

30

【0046】

そして、ポリシリコン膜51を異方性ドライエッチングによりエッチバックし、図3(f)に示すように、サイドウォール状のコントロールゲート5を形成する。このとき、本実施の形態では、コントロールゲート5の高さがワードゲート3に形成された面取り部3aよりも低くなるようにする。

【0047】

次に、コントロールゲート5、及びワードゲート3をマスクとして、LDD注入22を行う。例えば、エネルギー10KeV、ドーズ量 $1E^{13}$ atoms/cm²の条件で、ヒ素などのn型不純物を注入する。これにより、図4(g)に示すように、LDD領域6を自己整合的に形成する。

40

【0048】

LDD注入22の後、コントロールゲート5をマスクとして用いて、ONO膜4をドライエッチングで除去する。これにより、図4(h)に示すように、コントロールゲート5とワードゲート3の間と、コントロールゲート5の下以外のONO膜4が除去される。

【0049】

続いて、半導体基板1の全面を覆うように、サイドウォール7となる酸化膜などの絶縁膜を形成する。例えば、CVD法を用いて、酸化膜を1000~2000程度成膜する。続いて、この絶縁膜を異方性ドライエッチングで除去する。このとき、本実施の形態では、ワードゲート3の突出部3bの側面から少なくともワードゲート3の端部にかけての

50

領域にこの絶縁膜が連続的に残存し、かつコントロールゲート5の側面に残存する絶縁膜とは離間するように、除去を行う。これにより、図4(i)に示すように、コントロールゲート5の側面と、ワードゲート3の側面とにサイドウォール7が形成される。

【0050】

なお、ワードゲート3側面のサイドウォール7が、ワードゲート3とコントロールゲート5の両方に跨るように形成されることが好ましい。すなわち、サイドウォール7となる絶縁膜が、突出部3bの側面から、ワードゲート3の端部、ONO膜4、コントロールゲート5上にかけての領域に連続的に残存するように、エッチングを行うことが好ましい。

【0051】

その後、コントロールゲート5、ワードゲート3、及びサイドウォール7をマスクとして、半導体基板1にソース・ドレイン注入23を行う。例えば、エネルギー40KeV、ドーズ量 5×10^{15} atoms/cm²の条件で、ヒ素などのn型不純物を注入する。これにより、図4(j)に示すように、ソース/ドレイン領域となる一对の拡散層8を自己整合的に形成する。

【0052】

続いて、半導体基板1全面に、チタンやコバルトなどのシリサイド化金属を堆積させ、熱処理を行う。この熱処理により、コントロールゲート5、ワードゲート3、及び拡散層8の表面側が選択的にシリサイド化され、シリサイド層9となる。その後、未反応のシリサイド化金属を除去する。これにより、図4(k)に示す構成となる。

【0053】

シリサイド層9形成後、半導体基板1の全面を覆うように層間絶縁膜10を形成する。例えば、層間絶縁膜10として、BPSGなどの絶縁膜を成長させる。そして、この層間絶縁膜10上に、フォトレジストを塗布し、パターニングを行って、レジストパターンを形成する。形成したレジストパターンをマスクとして、ドライエッチングにより層間絶縁膜10にコンタクトホールを開口する。そして、このコンタクトホールにタングステンなどの金属を埋め込み、コンタクト11を形成する。続いて、層間絶縁膜10上の全面にアルミなどの導電膜を成膜し、所望のパターニングを行う。これにより、図4(l)に示すように、配線12を形成する。以上のような工程を経て、本実施の形態の不揮発性半導体記憶装置が完成する。

【0054】

このように、本実施の形態では、ワードゲート3を一定の幅を有する部分が上に突出した突出部3bが設けられた形状とすることによって、サイドウォール7を突出部3bの側面とその外側の領域のワードゲート3上に形成する構成とすることができる。これにより、ワードゲート3のシリサイド層9とコントロールゲート5のシリサイド層9との間の分離幅を、ワードゲート3とコントロールゲート5とが隣接する方向に、広く取ることができる。すなわち、ワードゲート3とコントロールゲート5の間の高低差を大きくすることなく、これらの間のシリサイドショートを防止することが可能である。

【0055】

従って、イオン注入の際に不要な不純物がコントロールゲート5を突き抜けてチャンネル領域に注入されることを防止できる。また、層間絶縁膜10を厚く形成する必要がなくなり、比較的容易にコンタクト11形成が可能となる。さらに、ワードゲート3のエッチングの際に使用するレジストマスク(レジストパターン21)がドライエッチングに耐えられなくなることを防止できる。

【0056】

実施の形態2

本実施の形態に係る不揮発性半導体記憶装置の構成について、図5を用いて説明する。図5は、実施の形態2に係る不揮発性半導体記憶装置の構成を示す断面図である。実施の形態1では、ツインMONOS構造の不揮発性半導体記憶装置に本発明を適用したが、本実施の形態では、ワードゲート3の片側のみにコントロールゲート5が配設される構造の不揮発性半導体記憶装置に本発明を適用する場合について説明する。

【 0 0 5 7 】

図5において、本実施の形態では、実施の形態1と同様のワードゲート3が形成されている。すなわち、一定の幅を有する部分が上に突出した突出部3bが設けられた形状のワードゲート3が形成されている。本実施の形態では、実施の形態1と異なり、コントロールゲート5が、ワードゲート3の両側に形成されておらず、片側のみに形成されている。具体的には、コントロールゲート5は、ソース領域となる拡散層8側に配置され、半導体基板1のチャンネル領域の表面に、ONO膜4を介して側壁状に形成されている。このコントロールゲート5は、実施の形態1と同様、突出部3bよりも下側の部分のワードゲート3の側面にONO膜4を介して隣接するように配設されている。なお、ONO膜4、ワードゲート3とコントロールゲート5との間、コントロールゲート5と半導体基板1との間、及びワードゲート3のコントロールゲート5が設けられていない側の側面に形成されている。

10

【 0 0 5 8 】

コントロールゲート5が設けられた側の構成については実施の形態1と同様であるため、説明を省略する。すなわち、LDD領域6上のコントロールゲート5の側面と、面取り部3aの表面とにサイドウォール7が形成されていて、ワードゲート3とコントロールゲート5のシリサイド層9がサイドウォール7を挟んで互いに離間される。一方、コントロールゲート5が設けられていない側には、LDD領域6上のワードゲート3の側面にONO膜4を介して側壁状に、サイドウォール7が形成される。すなわち、コントロールゲート5が設けられていない側の、面取り部3aの表面とONO膜4とが、サイドウォール7で覆われる。それ以外の構成については実施の形態1と同様であるため、説明を省略する。

20

【 0 0 5 9 】

このように、本実施の形態の不揮発性半導体記憶装置には、ワードゲート3よりなる選択トランジスタと、コントロールゲート5よりなるメモリトランジスタとが形成されている。

【 0 0 6 0 】

次に、本実施の形態の不揮発性半導体記憶装置の動作について、図6を用いて説明する。図6は、実施の形態2に係る不揮発性半導体記憶装置の各部位への電圧の印加条件の一例を示す断面模式図である。図6(a)は「書込み」時、図6(b)は「消去」時、図6(c)は「読出し」時における電圧の印加条件をそれぞれ示している。なお、図6に示したものは電圧の印加条件の一例であり、これに限定されるものではない。電圧の印加条件は、必要に応じて種々変更可能である。

30

【 0 0 6 1 】

以下では、一対の拡散層8のうち、コントロールゲート5が設けられた側の一方をソース領域8s、コントロールゲート5が設けられていない側の他方をドレイン領域8dと称して説明を行う。

【 0 0 6 2 】

書き込み時には、例えば、図6(a)に示すような電圧を、書き込みを行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に1V、コントロールゲート5に6V、ドレイン領域8dに0V、ソース領域8sに5Vを印加する。これにより、ソース領域8s及びドレイン領域8dの間のチャンネル領域にホットエレクトロンが発生し、コントロールゲート5の下の窒化シリコン膜4bのワードゲート3側の領域に局所的にホットエレクトロンが注入される。注入されたホットエレクトロンは(電子)、ONO膜4中の窒化シリコン膜4b中のトラップに捕獲され、その結果、メモリトランジスタの閾値電圧 V_{th} が上昇する。

40

【 0 0 6 3 】

消去時には、例えば、図6(b)に示すような電圧を、消去を行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に0V、コントロールゲート5に-3V、ドレイン領域8dに0V、ソース領域8sに5Vを印加する。これによ

50

り、B T B T現象でホールを発生させ電界加速することでONO膜4中の窒化シリコン膜4b中にホールを注入し、それによってメモリトランジスタの閾値電圧 V_{th} を低下させる。

【0064】

読み出し時には、例えば、図6(c)に示すような電圧を、読み出しを行う不揮発性半導体記憶装置の各部位に印加する。具体的には、例えば、ワードゲート3に2V、コントロールゲート5に2V、ドレイン領域8dに1.5V、ソース領域8sに0Vを印加する。読み出し時のコントロールゲート5に印加する電圧を、コントロールゲート5からなるメモリトランジスタの書き込み状態における閾値電圧 V_{th} と消去状態における閾値電圧 V_{th} との間の値にすることで、書き込み状態と消去状態とを判別することができる。図6に示す不揮発性半導体記憶装置は、1bit/cell構造のものであり、片側のコントロールゲート5に1ビットの情報を記録することができる。

10

【0065】

次に、本実施の形態の不揮発性半導体記憶装置の製造方法について、図7～図9を用いて説明する。図7～図9は、実施の形態2に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【0066】

まず、図3(a)～図3(f)で示した実施の形態1と同様の方法で、ゲート絶縁膜2、ワードゲート3、ONO膜4、コントロールゲート5を形成する(図7(a)～図7(f))。この段階では、コントロールゲート5がワードゲート3の両側に形成された構成となっている。

20

【0067】

続いて、本実施の形態では、これらの上にフォトレジストを塗布し、パターニングを行って、ワードゲート3の両側のコントロールゲート5のうち片方を覆い片方を露出するレジストパターン24を形成する。そして、このレジストパターン24をマスクとして用いて、片方の不要な側のコントロールゲート5をドライエッチングにより除去する。これにより、図8(g)に示す構成となる。

【0068】

その後、コントロールゲート5、及びワードゲート3をマスクとして、LDD注入22を行う。例えば、エネルギー10KeV、ドーズ量 $1E^{13}$ atoms/cm²の条件で、ヒ素などのn型不純物を注入する。これにより、図8(h)に示すように、LDD領域6を自己整合的に形成する。

30

【0069】

LDD注入22の後、コントロールゲート5をマスクとして用いて、ONO膜4をドライエッチングで除去する。これにより、図8(i)に示すように、コントロールゲート5とワードゲート3の間と、コントロールゲート5の下と、コントロールゲート5が除去された側のワードゲート3の側面以外のONO膜4が除去される。

【0070】

続いて、半導体基板1の全面を覆うように、サイドウォール7となる酸化膜などの絶縁膜を形成する。例えば、CVD法を用いて、酸化膜を1000～2000程度成膜する。続いて、この絶縁膜を異方性ドライエッチングで除去する。このとき実施の形態1と同様、ワードゲート3の突出部3bの側面から少なくともワードゲート3の端部にかけての領域にこの絶縁膜が連続的に残存し、かつコントロールゲート5の側面に残存する絶縁膜とは離間するように、除去を行う。これにより、図8(j)に示すように、コントロールゲート5の側面と、ワードゲート3の側面とにサイドウォール7が形成される。なお、このとき、本実施の形態では、コントロールゲート5が設けられない側のワードゲート3の側面にもサイドウォール7が形成される。

40

【0071】

その後の工程については実施の形態1と同様である。まず、半導体基板1にソース・ドレイン注入23を行って、図8(k)に示すように、ソース/ドレイン領域となる一対の

50

拡散層 8 を自己整合的に形成する。そして、半導体基板 1 全面に、シリサイド化金属を堆積させてから熱処理を行い、その後未反応のシリサイド化金属を除去すると、図 8 (1) に示すように、コントロールゲート 5、ワードゲート 3、及び拡散層 8 の表面にシリサイド層 9 が形成される。さらに、これらを覆う層間絶縁膜 10 を形成し、この層間絶縁膜 10 にコンタクト 11 を形成した後、配線 12 を形成する。以上のような工程を経て、図 9 (m) に示す本実施の形態の不揮発性半導体記憶装置が完成する。

【 0 0 7 2 】

このように、本実施の形態では、ワードゲート 3 を一定の幅を有する部分が上に突出した突出部 3 b が設けられた形状とすることによって、ワードゲート 3 の片側のみにコントロールゲート 5 が配設される構造においても、実施の形態 1 と同様の効果を奏することができる。すなわち、ワードゲート 3 のシリサイド層 9 とコントロールゲート 5 のシリサイド層 9 との間の分離幅を、ワードゲート 3 とコントロールゲート 5 とが隣接する方向に、広く取ることができる。従って、ワードゲート 3 とコントロールゲート 5 の間の高低差を大きくすることなく、これらの間のシリサイドショートを防止することが可能である。

【 0 0 7 3 】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記説明では、異方性エッチングの前に等方性エッチングを行うことによって、突出部 3 b を有するワードゲート 3 を形成する場合について例示的に説明をしたが、これに限定されるものではない。例えば、突出部 3 b の部分と、突出部 3 b よりも下側の部分とで、異なるレジストパターンを用いることによって、ワードゲート 3 を形成してもよい。ただし、異方性エッチングの前に等方性エッチングを行う方法は、1つのレジストパターン 21 を用いて、突出部 3 b の部分と、突出部 3 b よりも下側の部分とをパターニングでき、生産性を向上できるため好ましい。

【 符号の説明 】

【 0 0 7 4 】

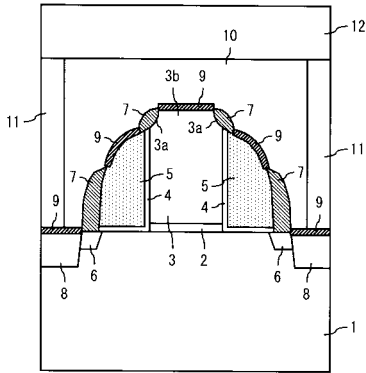
- 1 半導体基板、 2 ゲート絶縁膜、
- 3 ワードゲート、 3 a 面取り部、 3 b 突出部、
- 4 ONO膜、 4 b 窒化シリコン膜、
- 5 コントロールゲート、
- 5 o 非選択側コントロールゲート、
- 5 s 選択側コントロールゲート、
- 6 LDD領域、 7 サイドウォール、
- 8 拡散層、 8 d ドレイン領域、 8 s ソース領域、
- 9 シリサイド層、 10 層間絶縁膜、
- 11 コンタクト、 12 配線、
- 21 レジストパターン、 22 LDD注入、
- 23 ソース・ドレイン注入、 24 レジストパターン、
- 31 ポリシリコン膜、 51 ポリシリコン膜

10

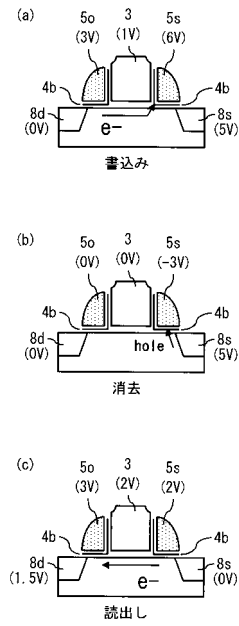
20

30

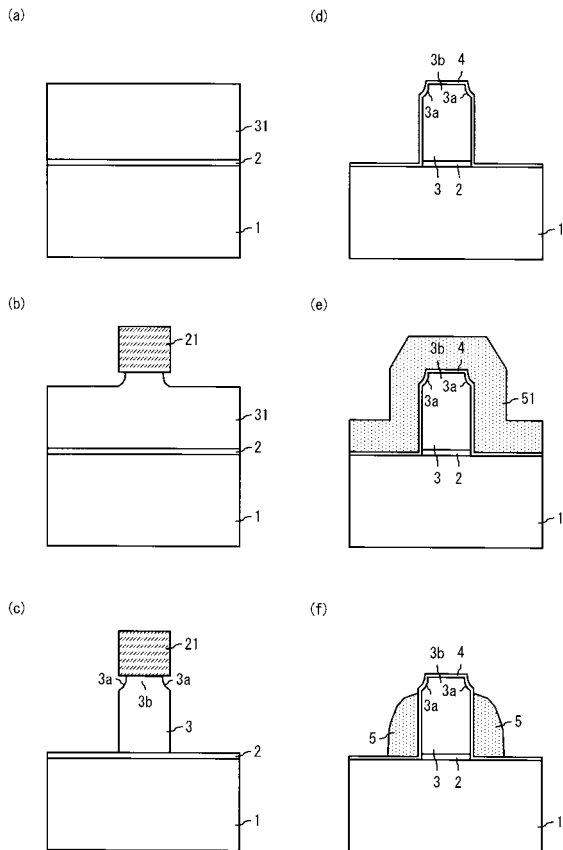
【図1】



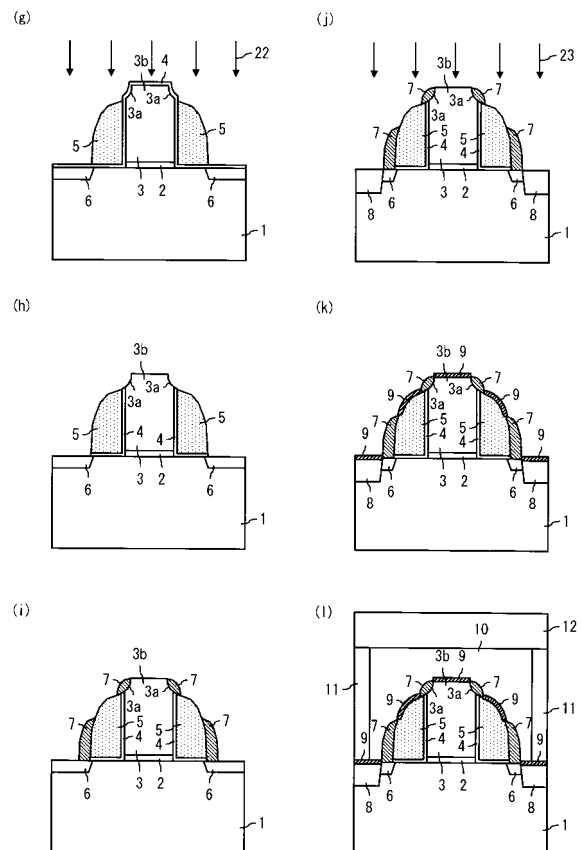
【図2】



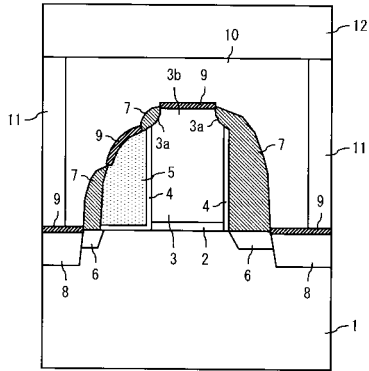
【図3】



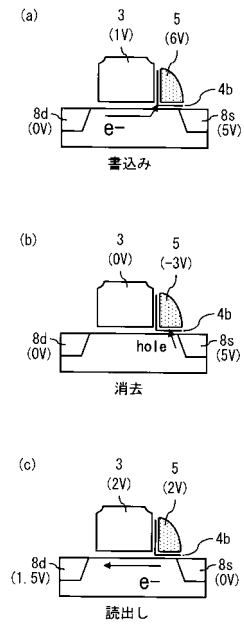
【図4】



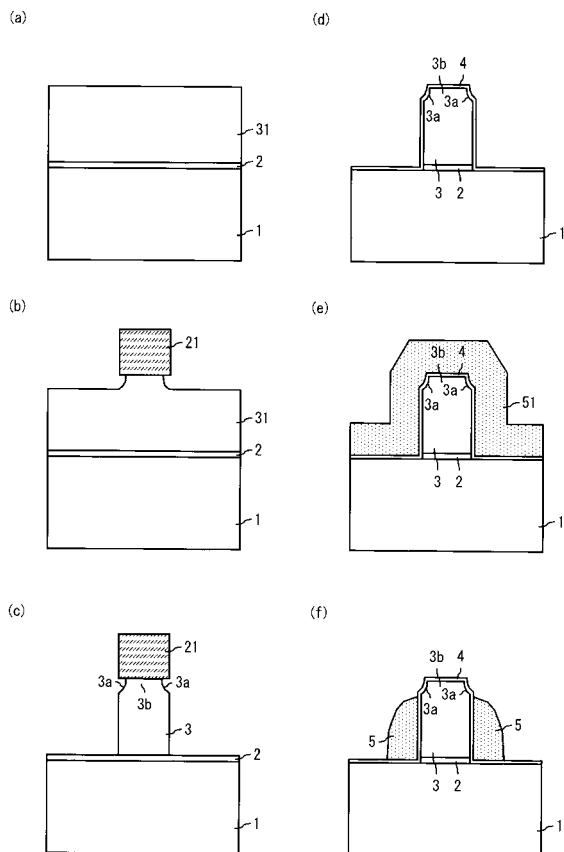
【図5】



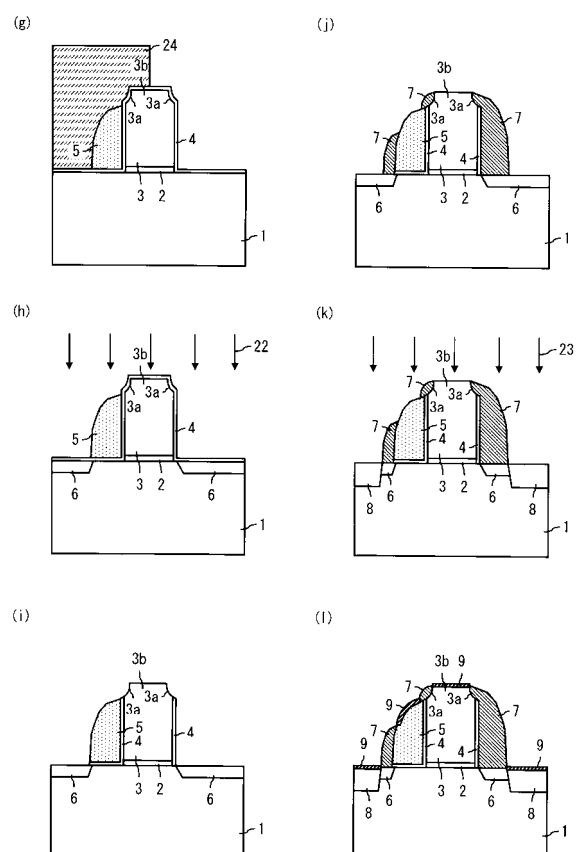
【図6】



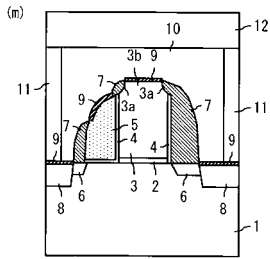
【図7】



【図8】



【 図 9 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L	2 1 / 8 2 4 7
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 7 / 1 1 5
H 0 1 L	2 9 / 7 8 8
H 0 1 L	2 9 / 7 9 2