

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：84117578

※申請日期：84.5.27

※IPC分類：

H01L 23/38

一、發明名稱：(中文/英文)

具多晶方向之 CMOS 邏輯閘及其形成方法

CMOS LOGIC GATE FABRICATED ON HYBRID CRYSTAL
ORIENTATIONS AND METHOD OF FORMING THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張忠謀/CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, LI-HSIN RD.6, SCIENCE-BASED INDUSTRIAL PARK,
HSIN-CHU, TAIWAN 300, R.O.C.

國籍：(中文/英文) 中華民國 R.O.C.

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 陳宏瑋/ CHEN, HUNGWEI

2. 吳炳坤/ WU, PINGKUN

3. 王昭雄/ WANG, CHAOHSIUNG

4. 楊富量/ YANG, FULIANG

5. 胡正明/ HU, CHENMING

國籍：(中文/英文)

I264802

1. 中華民國 R.O.C.
2. 中華民國 R.O.C.
3. 中華民國 R.O.C.
4. 中華民國 R.O.C.
5. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、2004/5/28、60/575,434

2. 美國、2004/11/15、10/989,080

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體製造，特別是有關於一種具多晶方向之元件製造的系統及方法。

【先前技術】

在現今的 CMOS 技術中，元件通常是製造於具單晶方向之特殊半導體基材上。然而，在矽中，電子在平面 100 具有最大的遷移率，而電洞在平面 110 具有最大的遷移率。一般來說，P-FET 或 N-FET 之任一是以最佳的結晶方向來實現，而由於其係以相同結晶方向來實現，故其他功能較最理想的載子遷移率為少。Kinugawa 之美國專利第 4,857,986 號提出結晶方向對載子遷移率的一些影響，其併入此處做參考。

因此，習知的一個問題是電子與電洞兩者的遷移率不是最理想的。因為載子之其中一種類型的遷移率不是最理想的，所以元件可能在基材上佔據較大的面積，以符合執行效能的要求。而較大面積的元件通常會導致設計單晶片系統執行的困難度增加，因在單晶片上需要製作大量的元件。

在具有單結晶方向之 SOI 中同時使用 P-FETs 與 N-FETs 所造成的習知另一個問題，通常是潛在嚴重的浮置主體效應與結果歷史效應。此外，其可能會使符合 ESD 規格的困難度增加。

工作者已認清這些問題，並且也有改良式技術用以在具多晶方向之混合式基材上製造 CMOS 元件。舉例來說，Yoshikawa 等人之美國專利第 5,384,473 號提出一種透過晶圓結合與選擇性磊晶以製造 P-FETs 於 (110) 表面與 N-FETs 於 (100) 表面上之方法，其併入此處做參考。Yoshikawa 等人的方法概述於下文和第 1 圖中。

第 1A-1G 圖為依照習知的半導體元件之製造步驟的剖面圖。首先準備在主表面中具有 (100) 平面之一單晶矽基材 (晶圓) 10 及在主表面中具有 (110) 平面之一單晶矽基材 (晶圓) 12 (第 1A 圖)。

接著，如第 1B 圖所示，例如使用壓平黏著技術，將基材 10 與基材 12 製成薄板，以形成一矽主體 20。

然後，在第 1C 圖中，形成一單幕材料 14 於基材 10 上。以單幕材料 14 做為單幕，蝕刻基材 10 以形成開口 18，藉以在底部暴露出基材 12 之主表面。

接著，如第 1D 圖所示，形成側壁 50 於開口 18 之側壁上，其中側壁 50 例如是由氮化矽膜所製成。側壁 50 的形成方式，例如是形成氮化物膜於基材 10 與 12 上，之後使用 RIE 或非等向性蝕刻技術蝕刻氮化物膜，以留下側壁形狀之氮化物膜於開口 18 之側壁上。

之後，如第 1E 圖所示，使用單幕材料 14 做為單幕，成長一磊晶矽層 52 於開口 18 底部所暴露出之基材 12 上。以選擇性磊晶成長 (以下稱 SEG) 方法，並使用基材 12 做為晶種，以形成磊晶矽層 52。如此將使得平面之表面方向和

基材 12 主表面之表面方向相同，或使(110)平面出現在磊晶矽層 52 之表面中。此處，經由控制磊晶矽層 52 的成長厚度，可使磊晶矽層 52 的表面幾乎和基材 10 的表面齊平。因此，矽主體 20 具有不同表面方向之部分：具(100)平面之一部分及具(110)平面之一部分。此外，在第 1E 圖之主體 20 中，不同表面方向的這些部分可做成彼此相互齊平。接著，從基材 10 上移除罩幕材料 14。

接著，在第 1F 圖中，使用光阻(未顯示)做為罩幕，導入 p 型雜質至具(100)表面方向之基材 10 中。使用一新的光阻(未顯示)做為罩幕，接著導入 n 型雜質至具(110)表面方向之磊晶矽層 52 中。然後，使導入的雜質活化，以形成 p 型井 22 於基材 10 中，以及形成 n 型井 24 於磊晶矽層中。

最後，如第 1G 圖所示，形成 NMOS 26 於 p 型井 22 中，以及形成 PMOS 28 於 n 型井 24 中。依照習知技藝，這是使用具多晶方向之混合式基材，來完成半導體元件的製造。

第 1G 圖所示之混合式結構的優點為，其可使不同表面方向的部分幾乎是彼此相互齊平。因此，在不同表面方向的部分之間沒有距離或間隔。這將可使經由內連接層之半導體元件的連接較為容易。其也會排除掉因微影造成聚焦深度的問題。為了達到這個優點，精確地控制磊晶矽 52 是很重要的，如第 1E 圖所示，藉以使磊晶矽層 52 的表面幾乎和基材 10 的表面齊平。

要達此通常會遇到的一個明顯問題是所謂的微負載效應。這個效應是由圖案化晶圓之表面上的傳輸現象中的變化所造成。使用蝕刻做為範例，微負載效應會導致蝕刻寬溝渠時比窄溝渠還要快速。其也會導致溝渠之開口端會蝕刻的比溝渠之基部還要快。這些蝕刻率的變化是由習知質量差異及由圖案化晶圓之特徵結構產生之熱流量所造成。

微負載效應也是用於晶圓平坦化之化學機械研磨法(CMP)中的一個習知問題。晶圓之不同地區會在蝕刻/研磨率中區域性稀少或密集的產生不均勻。這可能會造成不能接受的研磨薄膜厚度變化，包括形成碟狀。由低圖案密度之地區造成的碟狀結果會研磨的比高圖案密度之地區還快，因此會形成一碟狀表面。

當製造 FET 於混晶方向時，微負載問題本身也會出現。特別是，在磊晶矽製程期間可能發生微負載情形。這將使得寬開口的成長會比小開口還要慢。為了避開不同結晶方向之區域間的步驟，則需要一個額外的平坦化步驟，因而會在製程中增加成本及複雜性。

因此，需要一種可用於控制微負載效應而不會增加不必要的複雜性或成本的方法。

【發明內容】

依照本發明之較佳實施例，可對 N-FET 與 P-FET 使用不同的結晶方向，以使電晶體之特性最佳化，藉以解決

或防止這些和其他問題，並達到技術的優點。

依照較佳實施例，基材可具有多種結晶方向。基材中之邏輯閘可包括位於一結晶方向上之至少一 N-FET 及位於另一結晶方向上之至少一 P-FET。另一邏輯閘可包括位於一結晶方向上之至少兩個 N-FETs 及位於另一結晶方向上之至少兩個 P-FETs。基材中之另一邏輯閘可包括位於相同結晶方向上之至少一 N-FET 及至少一 P-FET。

依照另一較佳實施例，一種積體電路可包括至少兩個元件，位於一基材上之第一元件具有第一結晶方向，而位於另一基材上之第二元件具有第二結晶方向。

依照另一較佳實施例，一種 SOI 基材可包括具有不同結晶方向之一上半導體層與一底層(例如晶圓)。可使用磊晶來成長一個或兩晶體層，隨後使用 CMP 以達到一平坦表面。接著，可使用傳統的 CMOS 製程，以形成具不同結晶方向之 N-FET 與 P-FET 元件於該些層上。

在另一較佳實施例中，經由限制最大 N-FET 區對最小 N-FET 之主動區比率為小於 10^5 ，可避免有害的微負載效應。

在另一較佳實施例中，半導體元件包括核心區，其中使元件服務區減至最小是有利的，以及非核心區，其中元件服務區是第二因素。核心元件最好是可具有第一複數個尺寸，而非核心元件最好是可具有第二複數個尺寸，其可以是不同於第一複數個尺寸。

另一實施例為一種定位電晶體於 SOI/磊層混合方向

上之方法。此方法包括提供一基材，其中基材具有至少一第一區與一第二區。第一區具有第一結晶方向，而第二區具有第二結晶方向，最好是不同於第一結晶方向。此實施例更包括確定基材之較佳分裂平面，以及定位相對於彼此之基材，以考量其之個別較佳分裂平面。在較佳實施例中，定位相對於彼此之基材，以考量其之個別較佳分裂平面包括定位基材，使其之較佳分裂平面不是平行的。

本發明之特徵與技術優點已概述於上，而參照往後本發明之詳細說明將可更清楚明瞭。本發明之額外特徵與優點將於後描述，其形成本發明申請專利範圍之主題。熟習此項技藝者，當可輕易利用揭露出的概念與特定實施例為基礎，做各種變更或設計其他結構或過程，來完成本發明的相同目的。熟習此項技藝者也可得知，在不脫離本發明之精神與範圍內，本發明包含此種同等建構，故以提出的申請專利範圍為準。

【實施方式】

本較佳實施例的製造與使用將於下詳細說明。然而，必須了解的是，本發明提供許多可應用的發明概念，其當可有各種不同的變化。特定實施例的說明僅是用於描述製造與使用本發明之特定方法，並非用以限制本發明之範圍。

本發明將以較佳實施例說明於下，即使用 SOI 與混合基材方向之 CMOS 製造過程。然而，本發明也可用於其他半導體元件中，其中相鄰元件之電子隔離是一個重要的

事。

Jaso 等人之美國專利第 6,107,125 號，併入此處做參考，其指出使用晶圓黏著法之 SOI/主體混合基材的形成。Kawai 之美國專利第 4,889,829 號，併入此處做參考，其指出在 SOI 與半導體元件之主體區中的電晶體形成。Yang 等人之論文，標題為 *High Performance CMOS Fabricated on Hybrid Substrate with Different Crystal Orientations*，併入此處做參考，其指出使用具多方向之 SOI 技術的製程。

一般來說，在 ULSI 電路中之基本組成單元為 CMOS 邏輯閘，包括至少一 N-FET 與至少一 P-FET。絕緣層上覆矽基材可用於實現使 P-FET 與 N-FET 具有不同結晶方向之 CMOS 邏輯閘，以提供最理想的電洞與電子遷移率。元件可以是平面型或多閘型元件例如三閘或 FinFET。較佳實施例的一個優點為，當載子遷移率增加時，可降低邏輯閘的面積。因此，經由使結晶方向最佳化，可改善載子遷移率，以保留整體半導體晶片上之顯著的面積。此外，製造成本可有效地降低。較佳實施例之另一個優點為，可減輕浮置主體效應。

請參照第 2a-2h 圖，其為依照本發明較佳實施例的製造步驟。

第 2a-2h 圖為標準的絕緣層上覆矽 (SOI) 基材的剖面圖，其已經依照習知方法將基圓黏著於矽基材上。SOI 基材是介於大約 2 至 200 nm 厚，最好是大約 40 nm 厚。依照本發明之較佳實施例，第 2a 圖包括一矽基材 202，其具有

一選擇第一表面方向與一摻雜程度。位在基材上的是一埋式氧化層 BOX 204。BOX 204 可具有大約 10 至 200 nm 間之一厚度，最好是大約 50 nm。為在 BOX 204 上的是 SOI 矽基材 206，其具有一選擇第二表面方向與一摻雜程度。最後，位在 SOI 矽基材 206 上的是一氮化物、硬罩幕層 208。可供選擇的實施例並未繪示出，包括可供選擇的基材例如 Ge, GaAs, GaAlAs, InP 或 GaN。

接著，如第 2b 圖所示，提供經圖案化與顯影之一光阻層 210。形成開口 212 並透過氮化層 208 與第二矽層 206 而至埋式氧化層 204，如第 2c 圖所示。接著，以一種適當的隔離絕緣材料 214 例如 SiO_2 填充開口，用以電性隔離主動區，藉以避免短路接觸，如第 2d 圖所示。

隨後，在第 2e 圖中，應用一第二光阻層 216。使第二光阻層經圖案化和蝕刻過程，如第 2f 圖所示，以形成開口 218 並透過隔離絕緣材料 214 之選擇部分。將於往後詳細說明的是，在實行本發明之較佳實施例中，開口 218 的直徑尺寸是重要的。在第 2f 圖之步驟後，隔離絕緣材料的剩下部分是做為最終元件之淺溝渠隔離 (STI) 區 220。

接著，如第 2g 圖所示，成長磊晶矽層 222 於矽基材 202 上。磊晶層 222 的結晶方向和基材 202 相同。依照較佳實施例，磊晶過程的控制能力是重要的。如第 2g 圖所示，假如磊晶過程並未正確地控制好，則磊晶層可能會在元件區中橫向過度成長。經微負載現象將使磊晶控制較為複雜，因此具有大尺寸之開口 218 可能會成長的比具有小

通道之開口還要慢。通常在磊晶過程期間，矽容易產生成長琢面 224，其可能會使元件製造更為複雜。

在元件製造中，磊晶層之橫向過度成長通常最好要避免發生。因此，在本發明之較佳實施例中，磊晶成長結束，如第 2h 圖所示。換言之，在磊晶層 222 之表面過度成長於元件區之鄰近地區之前，停止磊晶成長。如先前提及，經微負載現象將使這個結果複雜，其將使得磊晶過程的控制更為困難。然後，使如第 2h 圖所示之多層結構經化學機械研磨成一平坦表面 226，藉以形成具有多結晶方向之基材，以適用於元件製造。

申請人已發現用於控制微負載效應的一個有利裝置。在第 3 圖所示之實施例中，當兩個 N-FET 230 主動區間之間距 228 小於大約 $0.07 \mu\text{m}$ 時，控制磊晶開口 218，使開口區為至少大約 $0.02 \mu\text{m}^2$ 。在其他較佳實施例的選擇方案中，微負載是經由限制最大 N-FET 區對最小 N-FET 區之主動區比率小於 10^5 來控制。因此，對次世代 90 nm 點技術及往後來說，於混合結晶方向上之 CMOS 閘製造將可適宜地受到此處提出之元件設計標準的影響。可降低微負載之有害影響，包括額外的、昂貴的平坦化步驟。

在說明各種實施例中，有用的是使用一般用於結晶技術中之術語與學術用語。舉例來說，此處使用習知的 Miller 指數，以說明結晶平面與方向。此處所揭露的一些實施例包括矽，如熟習此項技藝者所知之 Miller 指數相當於正對中心的立方結晶結構。在維持結晶術語中，一個認知為 [xyz]

與 (xyz) 分別是指特定方向與平面，而 $\langle xyz \rangle$ 與 $\{xyz\}$ 分別是指類似坐落群的方向與平面。如熟習此項技藝者亦知，其有時候可用於說明參照特定 Miller 指數之實施例。然而，提及特定方向與平面僅是用於範例的方便與清楚描述。實施例並未限制在單一結晶方向或單一方向中，故當提及類似坐落群之其他部分時亦同等適用。

依照較佳實施例，FET 通道(未顯示)係沿著選擇的結晶方向而定位。FET 通道最好是沿著一結晶方向對準，其中此結晶方向之載子遷移率是最理想的。因此，在較佳實施例中，重要的是，不僅結晶方向要適當地選擇，而且也很重要，FET 通道要適當地對準。因此，如第 3 圖所示，於 (100) 磊晶層上製造之 N-FET 230 最好是其通道對準 $\langle 110 \rangle$ 方向，亦即，最大電子遷移率之方向在 (100) 平面中。同樣地，形成於 SOI 矽基材 206 之 (110) 表面上之 P-FET 232 最好是其通道沿著 $\langle 110 \rangle$ 方向定位，其最大電洞遷移率之方向在 (110) 平面。

第 4a 與 4b 圖為較佳實施例中晶體面與通道之相對方向，其中 FET 通道位於元件之平面中。對 (100) 表面來說，有 4 個 $\langle 110 \rangle$ 方向位於 (100) 表面之平面中，如第 4a 圖。對 (110) 表面來說，只有 2 個 $\langle 110 \rangle$ 方向位於 (110) 平面中，如第 4b 圖。經由小心地定位矽基材與 SOI 矽基材， (100) N-FETs 與 (110) P-FETs 之通道最好是沿著 $\langle 110 \rangle$ 方向對準，亦即，各元件之個別載子遷移率為最大之方向。

上述較佳實施例及第 4a 與 4b 圖包括一 N-FET 位於

(100)磊層上與一 P-FET 位於 SOI 矽基材之(110)表面上。一種可供選擇的實施例為，未顯示出，包括一 P-FET 位於(110)磊層上與一 N-FET 位於 SOI 矽基材之(100)表面上。在另一選擇實施例中，其中最大載子遷移率不是一個主要考量，包括其他磊層與 SOI 矽方向。舉例來說，一實施例可包括(110)<110>N-FET 與(111)<112>P-FET。

其他實施例可包括非對稱處理的其他範例。舉例來說，核心區可保留給高速元件，而非核心區可保留給其他元件例如 ESD 與 I/O。非對稱處理的另一範例可包含宅及介電材料。

當使用 SiO_2 做為核心區之閘極氧化層時，元件可能具有較薄的物理閘極氧化層，但是在非核心區，元件可能具有較厚的物理閘極氧化層。這也是真實的用於高 k 閘極介電材料。當使用高 k 閘極介電材料於核心區時，元件可能具有較薄的電子閘極氧化層厚度，但是在非核心區，元件可能具有較厚的電子閘極氧化層。然而，對高 k 閘極介電材料來說，核心區之物理閘極氧化層厚度可選擇性地等於或大於非核心區之物理閘極氧化層厚度。

在非對稱的另一範例中，核心/非核心處理、單一方向邏輯閘可設計為用於 ESD 與 I/O 電路。單一方向最好是在主體半導體區中實施，以提供熱消散之路徑及 ESD 與 I/O 電路之高接合崩潰電壓。此外，不論使用全部混合方向或是部分混合方向，製造負擔將會是相同的。假如核心與非核心元件都是在整個晶圓之一混合方向上，則一些非核心

元件可能將會是在 SOI 區上，其將使 ESD 能力與接合崩潰電壓惡化。

一個可供選擇的實施例是使用複數個 NAND 邏輯閘做為範例。第 5a 與 5b 圖為複數個 NAND 閘的平面圖，其中 P-FETs 之列的整個主動區之寬度是以 W_p 表示，而 N-FETs 之列的整個主動區之寬度是以 W_n 表示。在核心區中，亦即因元件密度的需求使得面積成為關鍵考量因素的地區，包括本發明之混合方向實施例。在非核心區中，亦即元件密度並非如此重要的地區，元件可僅使用單一結晶方向形成。

在未說明的其他實施例中，可更包括閘極介電材料，閘極介電材料包括金屬氧化物例如 Al_2O_3 , ZrO_2 , HfO_2 , Y_2O_3 , La_2O_3 , TiO_2 , Ta_2O_5 ；矽酸鹽例如 $ZrSiO_4$, $ZrSiN$, HfO_2 , $HfSiO_4$, $HfSiON$, $HfSiN$ ；氧化物例如 SiO_2 與氮氧化物。其他的可選擇方案包括金屬閘極，金屬閘極包括 Ru, Ti, Ta, W 或 Hf，以做為金屬閘極的一部份；金屬氮化物堆疊閘極；金屬氧化物閘極例如 RuO_2 或 IrO_2 ；金屬氮化物閘極例如 MoN, WN, TiN, TaN, TaAlN；多晶矽；或多晶 SiGe 閘極。可供選擇的實施例也可包括閘極金屬矽化物例如 $CoSi_2$ 或 NiSi。

較佳實施例包括 HfO_2 , $HfSiO_4$, $HfSiON$, $HfSiN$ 以做為閘極介電材料；poly-Si(多晶矽)或全 Ni-silicided poly-Si 以做為閘極電極；以及，TaSiN, TaN, MoN 以做為 N-FET 之金屬閘極；以及，Ru, WN, TaAlN 以做為 P-FET 之金屬

閘極。

如上所述，僅使用單一結晶方向來同時製造 N-FETs 與 P-FETs 於 (100) 表面上，意指只有電子達到接近最大遷移率。為了解決這個限制，製造者習慣上會使 $W_p > W_n$ ，以導致 P-FETs 中之缺乏電洞遷移率。

第 5a 與 5b 圖之較佳實施例為平衡具經濟上之核心區之 P-FET 最佳化要求與非核心區之複雜性的方法。因此，本發明之較佳實施例包括設計一 NAND 閘，其中核心區之 W_p/W_n 小於非核心區之 W_p/W_n 。依此，此處所述實施例之額外處理步驟被限制在核心區中。

第 5a 圖為核心元件區之一較佳實施例的平面圖，其中 P-FET 是製造於 (110)SOI 矽層上，而 N-FET 是製造於 (100)矽磊層上。在這個架構中，當 FET 通道(未顯示)對準 $\langle 110 \rangle$ 方向時，電洞與電子都可呈現最大遷移率。在這個情況中，如第 5a 圖所示之較佳實施例， W_p 可以是大約等於 W_n ，而其不需在這個實施例中對缺乏電洞遷移率做調整。這和第 5b 圖之實施例形成對照。第 5b 圖為非核心元件之一較佳實施例的平面圖，其中 P-FETs 與 N-FETs 兩者都是製造於 (100)矽基材上。在這個架構中， $W_p > W_n$ 以導致 P-FETs 中之缺乏電洞遷移率。

第 5b 圖所示之 NAND 閘可形成於晶片之週邊區域中，其 P-FETs 與 N-FETs 形成於具單方向之基材上。由於經混合方向使 P-FET 電流具明顯改善，核心區中 P-FET 之較小寬度預期可達到平衡的 CMOS、 $V_{in}-V_{out}$ 特性。因此，

在較佳實施例中，核心區中 W_p/W_n 之比率小於非核心區中 W_p/W_n 之比率。最後的 NAND 閘結構因此成為有價值的晶片真實位階。

第 6 圖為包括單一 NAND 閘之一較佳實施例的電路圖。被包含在 NAND 閘中的是位於 (100) 磊層上之兩個 N-FETs 及位於 (110) SOI 層上之兩個 P-FETs。第 7 圖為包括單一 NOR 閘之一選擇實施例，其中 FETs 是處於類似情況。

雖然本發明及其優點已詳細說明，然，如同熟習此項技藝者所輕易得知，結晶方位與方向可以有各種變化，其都包括在本發明之範圍內。舉例來說，有關在上述 SOI 混合基材方向上之 CMOS 製造的許多特徵與功能，可結合其他遷移率增進方法。

一種範例結合包括添加應力導致膜至 SOI 混合方向實施例中。舉例來說，如熟習此項技藝者所知，預期可在源極至汲極區中 n 型通道電晶體之通道中導致一彈性張力。同時預期在相同方向中 p 型通道電晶體之通道中導致一壓縮張力。

製造面的一個問題為，如何定位電晶體於 SOI/磊層混合方向上。可供選擇的較佳實施例提供一種可適當定位電晶體之方法。

當提供張力至具 $\langle 110 \rangle$ 通道之 P-FETs 與 N-FETs 時，N-FET 與 P-FET 通道可能最好是非平行的，以避免在 N-FET 或 P-FET 中造成應力導致退化。這是由於不同的壓

力電阻係數是不同表面與通道方向造成的。可知的是，彈性應力對 N-FET 是有助益的，但是對 P-FET 來說，壓縮應力是較佳的。因此，選擇合適的結晶方向，即其一為應力敏感而另一為應力遲鈍，這是解決 N-FET 或 P-FET 上張力效應之兩難問題的一個方法。如第 8 圖所示，其顯示出用於混合基材之較佳通道方向。

第 8 圖之實施例顯示出由 $(110)/\langle 100 \rangle$ 與 $(100)/\langle 110 \rangle$ 方向組成之混合方向(亦即晶圓表面方向/閘極方向)。主體 p 型 $(110)/\langle 100 \rangle$ 方向上之壓力電阻係數遠小於主體 n 型 $(100)/\langle 110 \rangle$ 方向上之壓力電阻係數。主體 n 型與 p 型上的這些壓力電阻係數係用於模擬反轉模式 N-FET 與 P-FET。這表示 P-FET 是應力遲鈍於彈性或壓縮應力。舉例來說，可提供彈性應力，以改善 N-FET 而不會使 P-FET 退化。其可簡化製程步驟，亦即不需額外的步驟例如 Ge 植入來移除 P-FET 上的張力效應。

矽容易沿著具有最低黏著密度或黏著能量之平面而分裂。沿著不同方向之 Si 晶體的分裂能為： $(100) > (110) > (111)$ 。在第 8 圖中，較佳的分裂平面亦即 $(110)/\langle 100 \rangle$ 方向之積極優惠的分裂平面為 (111) ，而 $(100)/\langle 110 \rangle$ 之較佳分裂平面為 (110) 。因此，在第 8 圖之混合結構實施例中，分裂平面最好不是平行的。

因此，依照上述實施例及第 8 圖，一種用於定位電晶體於 SOI/磊層混合方向上之方法包括提供一基材，其中基材具有至少一第一區與一第二區。第一區具有第一結晶方

向，而第二區具有第二結晶方向，最好是不同於第一結晶方向。此實施例更包括確定基材之較佳分裂平面，定位相對於彼此之基材，以考量其之個別較佳分裂平面。另一個實施例包括定位第一與第二基材，使其之個別較佳分裂平面不是平行的。另一實施例可包括複數個基材與複數個結晶方向，其中至少兩個結晶方向是實質上非平行的。其他實施例可包括元件是依照此處所述實施例來形成。其他實施例可更包括複數個元件，其中元件閘極電極是非平行的，以及其中閘極電極形成大約 5 至 85 度間之一交叉角度。在其他實施例中，具有不同方向之基材之較佳分裂平面形成大約 5 至 85 度間之一交叉角度。

雖然本發明及其優點已詳細說明於上，然，必須知道的是，在不脫離本發明之精神與範圍內，本發明當可有各種變動、潤飾與修改，因此以後附之申請專利範圍為準。舉例來說，上述的許多特徵與功能可以其他半導體技術來實行。結合實施例之其他技術的範例包括額外元件例如位於單方向之基材上的保護環、碎片線、密封環、金屬墊、雙載子電晶體或二極體。

此外，本發明之範圍並不限制在說明書中所述之過程、機器、製造、物件組成、裝置、方法與步驟之特定實施例中。依照本發明，熟習此項技藝者將可從本發明之揭露書、各種過程、機器、製造、物件組成、裝置、方法或步驟、現有或以後發展出的技術中輕易得知，可利用此處所述之對應實施例，執行實質上相同功能或達到實質上相

同結果。因此，申請專利範圍包括這些過程、機器、製造、物件組成、裝置、方法或步驟之範圍。

【圖式簡單說明】

為使本發明及其優點能明顯易懂，將以實施例並配合所附圖式說明於下，其中：

第 1a-1g 圖為用於製造 CMOS 於具有多晶方向之混合基材上之習知方法的剖面圖；

第 2a-2h 圖為用於製造 CMOS 於具有多晶方向之混合基材上之方法的較佳實施例的剖面圖；

第 3 圖為 N-FET 間隔之一實施例的剖面圖；

第 4a 與 4b 圖為對應晶圓表面方向之最大載子遷移率之方向之較佳實施例的平面圖；

第 5a 圖為核心元件區之一較佳實施例的平面圖，其中 P-FET 是製造於 (110)SOI 層上，而 N-FET 是製造於 (100) 矽磊層上；

第 5b 圖為非核心元件之一較佳實施例的平面圖，其中 P-FETs 與 N-FETs 兩者都是製造於 (100) 矽基材上；

第 6 圖為包括 NAND 閘之較佳實施例的電路圖；

第 7 圖為包括 NOR 閘之較佳實施例的電路圖；以及

第 8 圖為用於定位 P-FET 與 N-FET 於 SOI/磊層混合方向基材上之較佳方法的平面圖。

在不同圖式中，對應的數字與符號代表對應的元件，除非有特別指出以外。這些圖式清楚地指出較佳實施例之

有關樣式，而沒有限制尺寸大小。

【主要元件符號說明】

10, 12	基材	14	單幕材料
18, 212, 218	開口	20	矽主體
22	p 型井	24	n 型井
26	NMOS	28	PMOS
50	側壁	52, 222	磊晶矽層
202	矽基材	204	埋式氧化層
206	SOI 矽基材	208	硬單幕層
210, 216	光阻層	214	隔離絕緣材料
220	淺溝渠隔離區	224	琢面
226	平坦表面	228	間距
230	N-FET	232	P-FET

五、中文發明摘要：

具多晶方向之 CMOS 邏輯閘及其形成方法

本發明係一種使用 SOI 與混合基材方向形成 CMOS 元件之方法。依照本發明之一較佳實施例，基材可具有多種結晶方向。基材中之邏輯閘可包括位於一結晶方向上之至少一 N-FET 及位於另一結晶方向上之至少一 P-FET。基材中之另一邏輯閘可包括位於相同結晶方向上之至少一 N-FET 及至少一 P-FET。而在本發明之其他較佳實施例中，則更包括確定基材之較佳分裂平面，以及定位相對於彼此之基材，以考量其之個別較佳分裂平面。其中，分裂平面較佳的係不平行。

六、英文發明摘要：

CMOS LOGIC GATE FABRICATED ON HYBRID CRYSTAL ORIENTATIONS AND METHOD OF FORMING THEREOF

In preferred embodiments of the present invention, a method of forming CMOS devices using SOI and hybrid substrate orientations is described. In accordance with a preferred embodiment, a substrate may have multiple crystal orientations. One logic gate in the substrate may comprise at least one N-FET on one crystal orientation and at least one P-FET on another crystal orientation. Another logic gate in the substrate may comprise at least one N-FET and at least one P-FET on the same orientation. Alternative embodiments further

include determining the preferred cleavage planes of the substrates and orienting the substrates relative to each other in view of their respective preferred cleavage planes. In a preferred embodiment, the cleavage planes are not parallel.

十、申請專利範圍：

1. 一種半導體元件，其至少包含：

一基材，該基材具有一第一區與一第二區，該第一區具有一第一結晶方向，該第二區具有一第二結晶方向，其中該第二結晶方向不同於該第一結晶方向；

一第一邏輯閘，形成於該第一區上；以及

一第二邏輯閘，形成於該第二區上，其中該第一區具有一第一較佳分裂平面，該第二區具有一第二較佳分裂平面，而該第一較佳分裂平面不平行於該第二較佳分裂平面。

2. 如申請專利範圍第 1 項所述之半導體元件，其中該第一區更包括一 SOI 基材。

3. 如申請專利範圍第 1 項所述之半導體元件，其中該第一區與該第二區是不同的材料。

4. 如申請專利範圍第 1 項所述之半導體元件，更包括至少兩個 I/O 元件位於具相同方向之基材上。

5. 如申請專利範圍第 1 項所述之半導體元件，更包括至少兩個 ESD 元件位於具相同方向之基材上。

6. 如申請專利範圍第 1 項所述之半導體元件，更包括一

額外元件位於具一單方向之基材上，其中該額外元件是由包括一保護環、一碎片線、一密封環、一雙載子電晶體與一二極體或其之結合者之一群組中來選擇。

7. 如申請專利範圍第 1 項所述之半導體元件，其中該第一邏輯閘不平行於該第二邏輯閘。

8. 如申請專利範圍第 7 項所述之半導體元件，其中該第一邏輯閘與該第二邏輯閘具有由一交叉角度描繪出之一相對方向，其中該交叉角度為大約 5 至 85 度。

9. 一種半導體元件，其至少包含：

複數個基材，該些基材具有選擇的結晶方向；

一第一複數個 FETs，形成於具有至少兩個不同結晶方向之基材上；以及

一第二複數個 FETs，形成於僅具有一單結晶方向之一基材上。

10. 如申請專利範圍第 9 項所述之半導體元件，其中該複數個基材更包括一 SOI 基材。

11. 如申請專利範圍第 9 項所述之半導體元件，其中至少兩個基材是不同的材料。

12. 如申請專利範圍第 9 項所述之半導體元件，更包括至少兩個 I/O 元件位於具相同方向之基材上。

13. 如申請專利範圍第 9 項所述之半導體元件，更包括至少兩個 ESD 元件位於具相同方向之基材上。

14. 如申請專利範圍第 9 項所述之半導體元件，更包括一額外元件位於具一單方向之基材上，其中該額外元件是由包括一保護環、一碎片線、一密封環、一雙載子電晶體與一二極體或其之結合者之一群組中來選擇。

15. 如申請專利範圍第 9 項所述之半導體元件，其中該複數個基材更包括較佳分裂平面，以及其中至少兩個較佳分裂平面是不平行的。

16. 如申請專利範圍第 9 項所述之半導體元件，其中該第一複數個 FETs 不平行於該第二複數個 FETs。

17. 如申請專利範圍第 16 項所述之半導體元件，該第一複數個 FETs 與該第二複數個 FETs 具有由一交叉角度描繪出之一相對方向，其中該交叉角度為大約 5 至 85 度。

18. 一種半導體元件，其至少包含：

複數個基材，該些基材具有選擇的結晶方向；

一邏輯閘，形成於具有一第一結晶方向之至少一基材上，該邏輯閘更包括至少兩個 N-FETs，其中最大 N-FET 區對最小 N-FET 區之主動區比率小於 10^5 。

19. 如申請專利範圍第 18 項所述之半導體元件，其中該邏輯閘更包括至少一 P-FET，該 P-FET 具有一第二結晶方向。

20. 如申請專利範圍第 19 項所述之半導體元件，其中該第二結晶方向不同於該第一結晶方向。

21. 如申請專利範圍第 18 項所述之半導體元件，其中該複數個基材更包括一 SOI 基材。

22. 如申請專利範圍第 18 項所述之半導體元件，更包括至少兩個 I/O 元件位於具相同方向之基材上。

23. 如申請專利範圍第 18 項所述之半導體元件，更包括至少兩個 ESD 元件位於具相同方向之基材上。

24. 如申請專利範圍第 18 項所述之半導體元件，更包括一額外元件位於具一單方向之基材上，其中該額外元件是由包括一保護環、一碎片線、一密封環、一雙載子電晶體與一二極體或其之結合者之一群組中來選擇。

25. 如申請專利範圍第 18 項所述之半導體元件，其中該複數個基材更包括較佳分裂平面，以及其中至少兩個較佳分裂平面是不平行的。

26. 一種半導體元件，其至少包含：

複數個基材，該些基材具有選擇的結晶方向；

一核心元件，形成於至少兩個結晶方向上，該核心元件包括具有一核心 N-FET 寬度之一核心 N-FET 及具有一核心 P-FET 寬度之一核心 P-FET；以及

一非核心元件，形成於一單結晶方向上，該非核心元件包括具有一非核心 N-FET 寬度之一非核心 N-FET 及具有一非核心 P-FET 寬度之一非核心 P-FET，其中核心 P-FET 寬度對核心 N-FET 寬度之一比率小於非核心 P-FET 寬度對非核心 N-FET 寬度之一比率。

27. 如申請專利範圍第 26 項所述之半導體元件，其中該複數個基材更包括一 SOI 基材。

28. 如申請專利範圍第 26 項所述之半導體元件，更包括至少兩個 I/O 元件位於具相同方向之基材上。

29. 如申請專利範圍第 26 項所述之半導體元件，更包括至少兩個 ESD 元件位於具相同方向之基材上。

30. 如申請專利範圍第 26 項所述之半導體元件，更包括一額外元件位於具一單方向之基材上，其中該額外元件是由包括一保護環、一碎片線、一密封環、一雙載子電晶體與一二極體或其之結合者之一群組中來選擇。

31. 如申請專利範圍第 26 項所述之半導體元件，其中該複數個基材更包括較佳分裂平面，以及其中至少兩個較佳分裂平面是不平行的。

32. 一種製造一半導體元件之方法，該方法包括：

形成具有選擇的結晶方向之複數個基材；

形成一核心 N-FET 於一第一結晶方向上，該核心 N-FET 具有一核心 N-FET 寬度；

形成一核心 P-FET 於一第二結晶方向上，該核心 P-FET 具有一核心 P-FET 寬度；

形成一非核心 N-FET 於一第三結晶方向上，該非核心 N-FET 具有一非核心 N-FET 寬度；以及

形成一非核心 P-FET 於一第三結晶方向上，該非核心 P-FET 具有一非核心 P-FET 寬度，其中核心 P-FET 寬度對核心 N-FET 寬度之一比率小於非核心 P-FET 寬度對非核心 N-FET 寬度之一比率。

33. 如申請專利範圍第 32 項所述之方法，其中該基材包

括形成於主體矽上之一磊晶層。

34. 如申請專利範圍第 32 項所述之方法，其中該第二結晶方向不同於該第一結晶方向。

35. 如申請專利範圍第 32 項所述之方法，其中形成具有選擇的結晶方向之複數個基材更包括確定該些基材之較佳分裂平面，以及定位相對於彼此之該基材，以考量其之個別較佳分裂平面。

36. 如申請專利範圍第 35 項所述之方法，其中定位相對於彼此之該基材，以考量其之個別較佳分裂平面更包括定位非平行之至少兩個較佳分裂平面。

37. 如申請專利範圍第 36 項所述之方法，其中定位非平行之至少兩個較佳分裂平面更包括定位非平行分裂平面之一角度為介於大約 5 與 85 度之間。

38. 一種製造一半導體元件之方法，該方法包括：

提供複數個基材，該些基材具有選擇的結晶方向；

形成一邏輯閘於具有一第一結晶方向之至少一基材上，該邏輯閘更包括至少兩個 N-FETs，其中一最大 N-FET 區對一最小 N-FET 區之一主動區比率小於 10^5 。

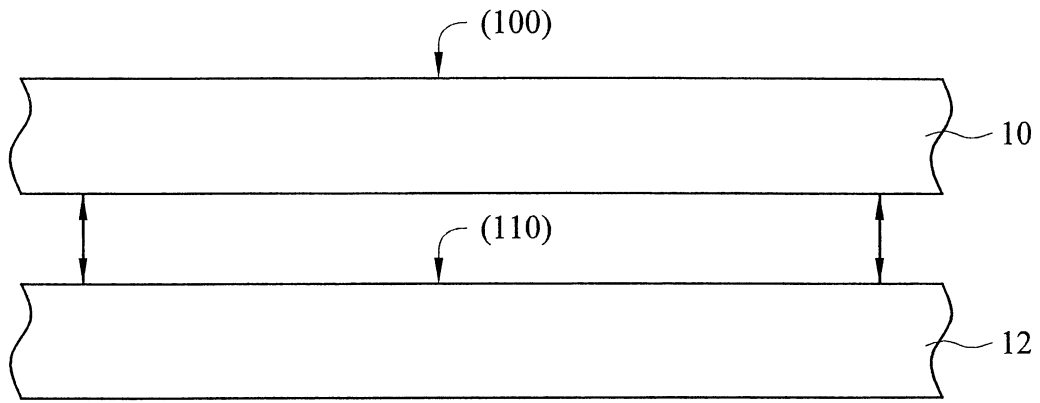
39. 如申請專利範圍第 38 項所述之方法，其中該基材包括形成於主體矽上之一磊晶層。

40. 如申請專利範圍第 38 項所述之方法，更包括形成一額外元件於具一單方向之基材上，其中該額外元件是由包括一保護環、一碎片線、一密封環、一雙載子電晶體與一二極體或其之結合者之一群組中來選擇。

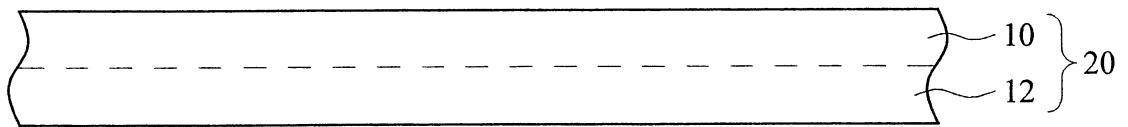
41. 如申請專利範圍第 38 項所述之方法，其中形成複數個基材更包括確定該些基材之較佳分裂平面，以及定位相對於彼此之該基材，以考量其之個別較佳分裂平面。

42. 如申請專利範圍第 41 項所述之方法，其中定位相對於彼此之該基材，以考量其之個別較佳分裂平面更包括定位非平行之至少兩個較佳分裂平面。

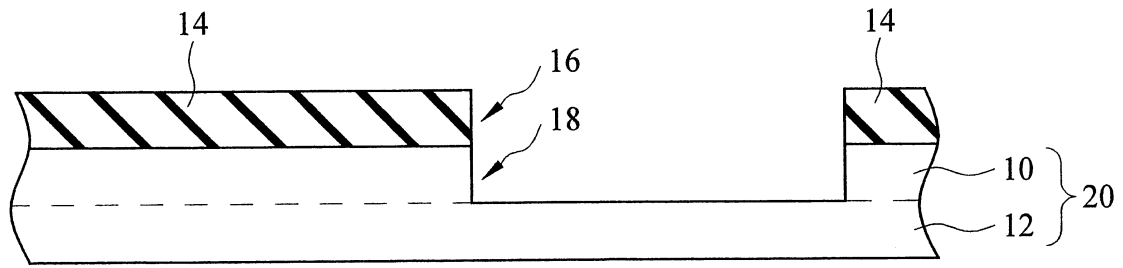
43. 如申請專利範圍第 42 項所述之方法，其中定位非平行之至少兩個較佳分裂平面更包括定位非平行分裂平面之一角度為介於大約 5 與 85 度之間。



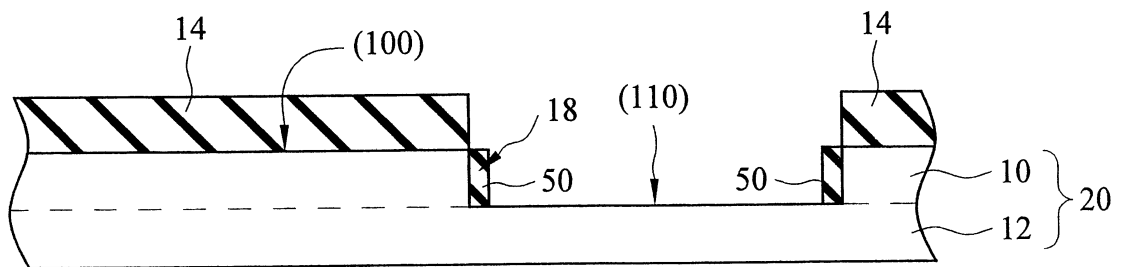
第 1A 圖



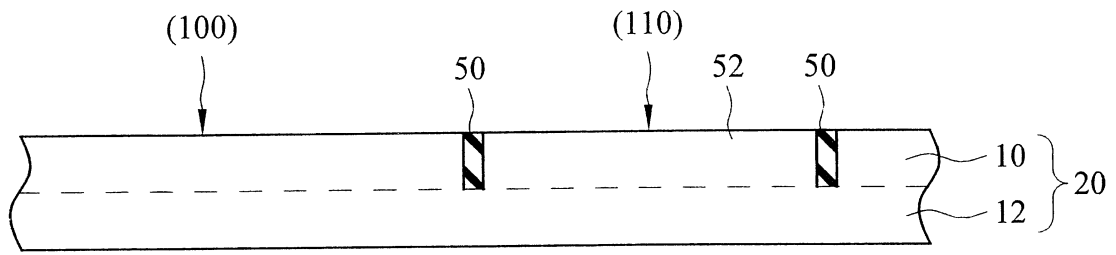
第 1B 圖



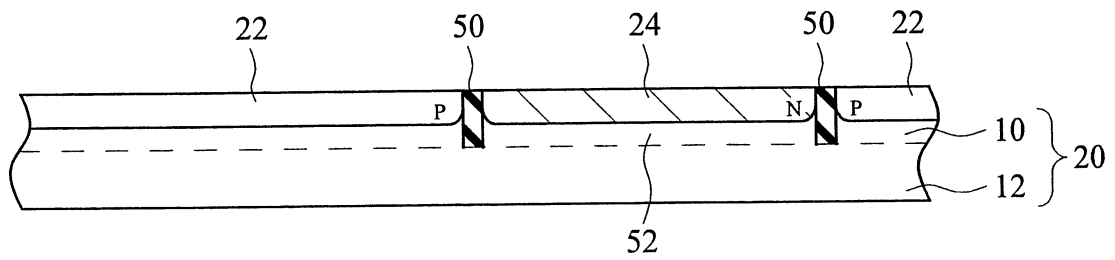
第 1C 圖



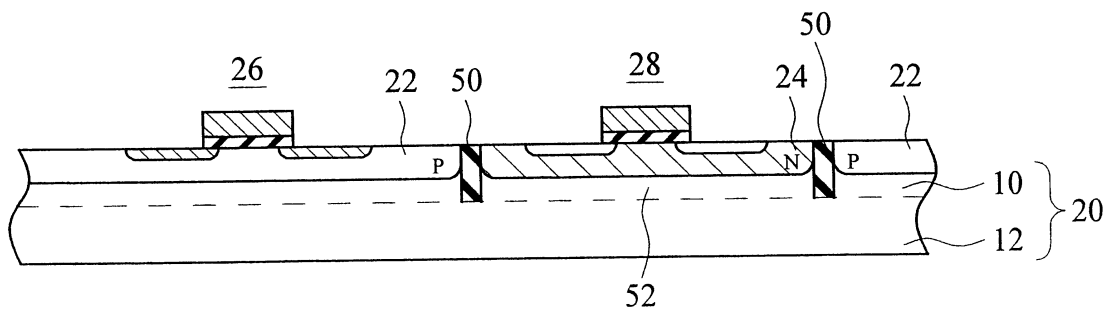
第 1D 圖



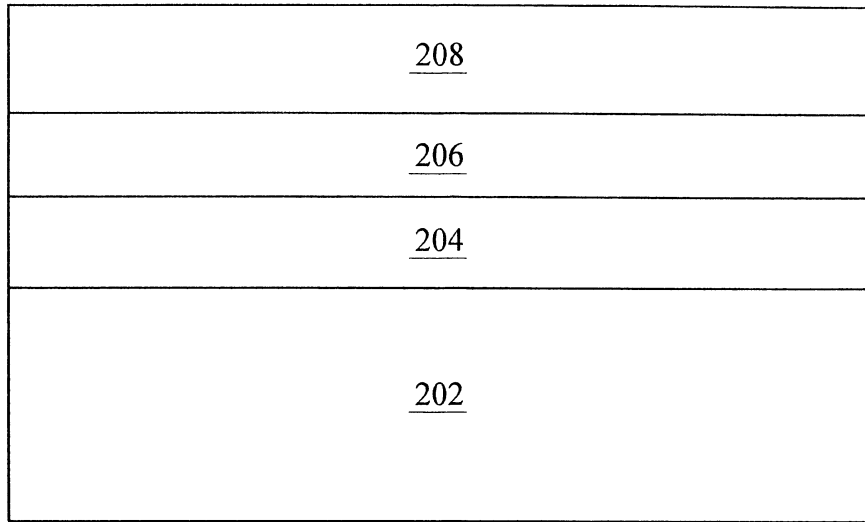
第 1E 圖



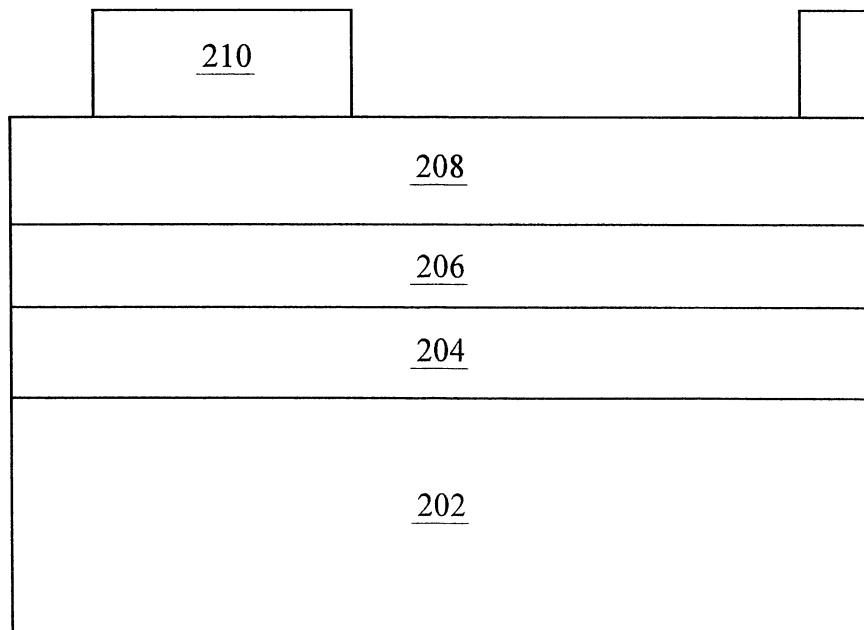
第 1F 圖



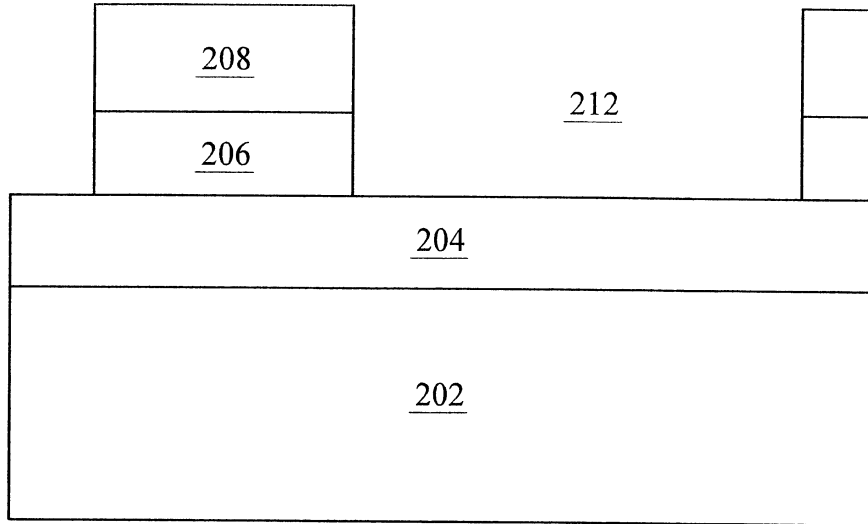
第 1G 圖



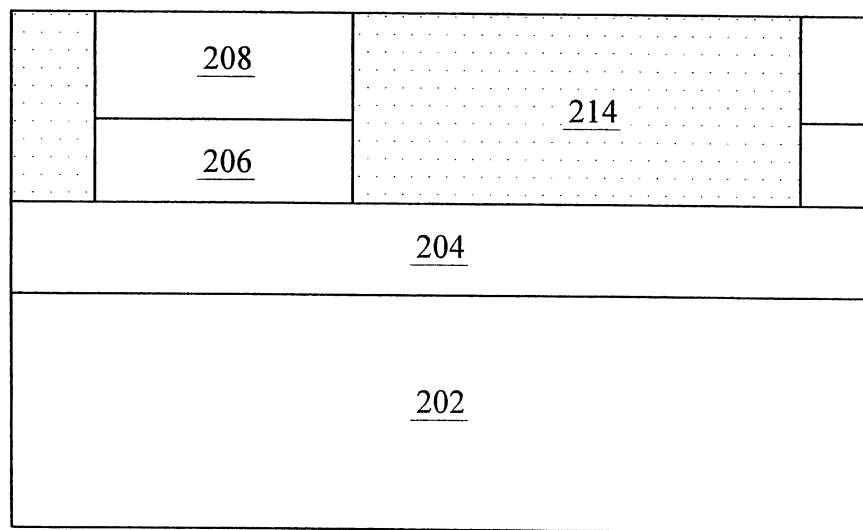
第 2a 圖



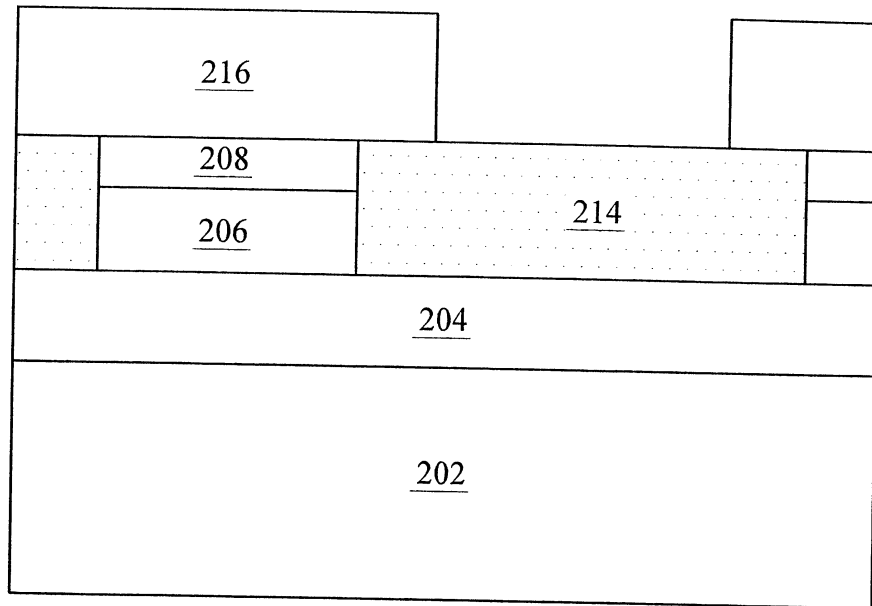
第 2b 圖



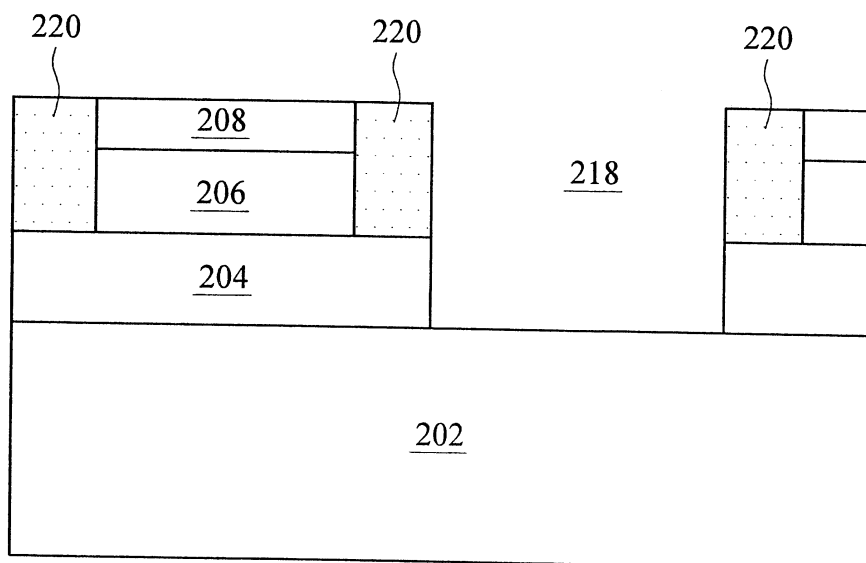
第 2c 圖



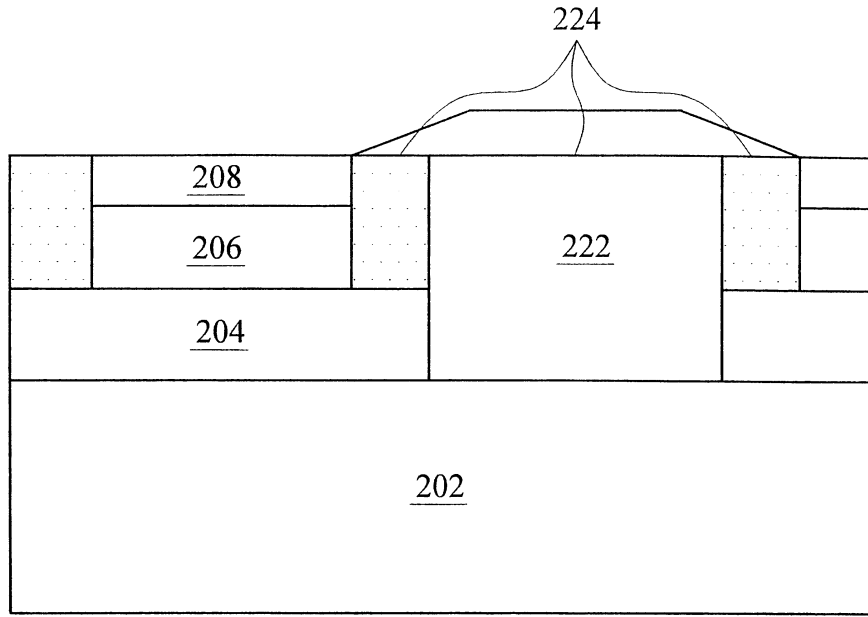
第 2d 圖



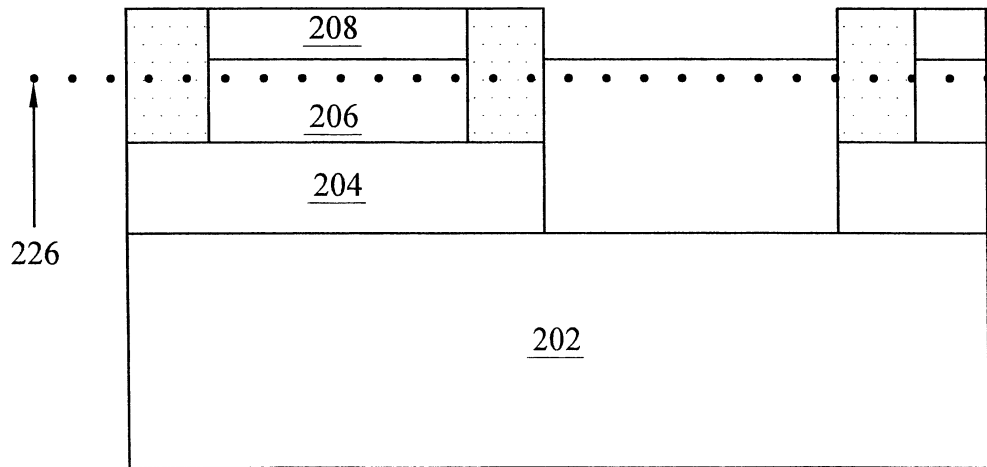
第 2e 圖



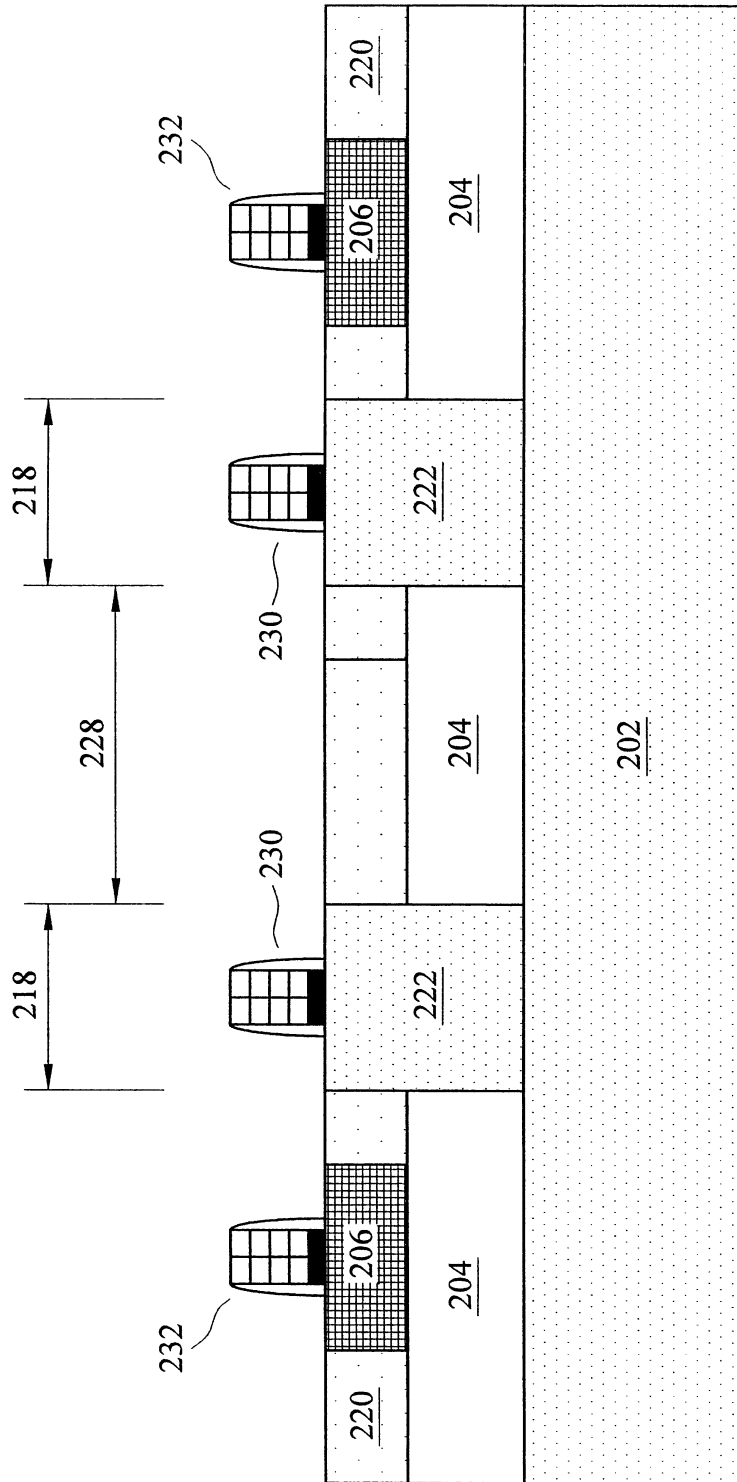
第 2f 圖



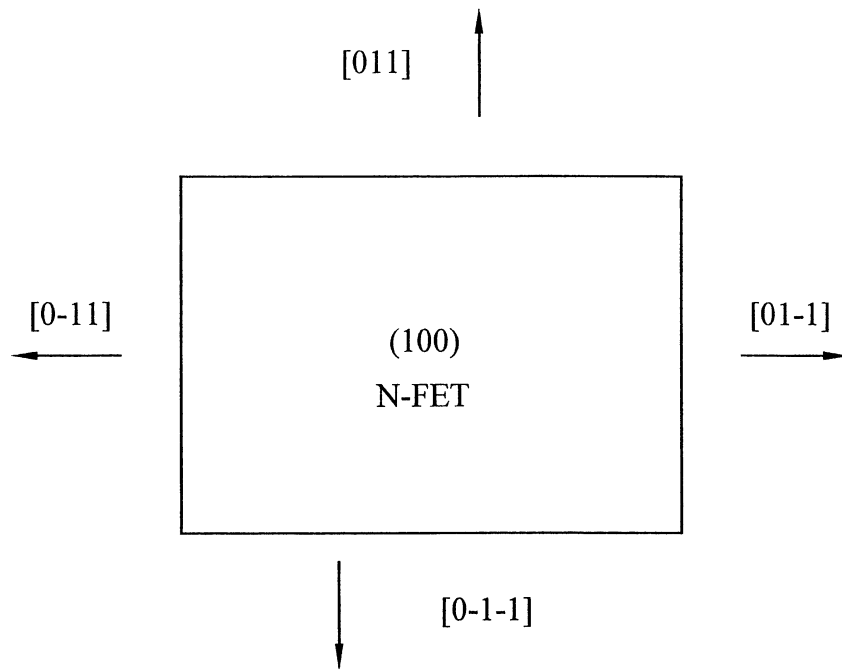
第 2g 圖



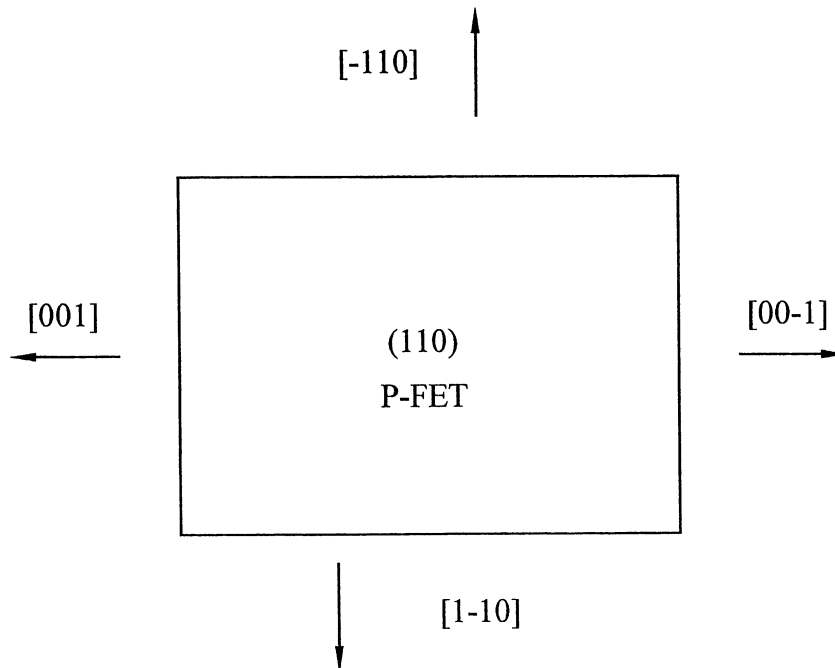
第 2h 圖



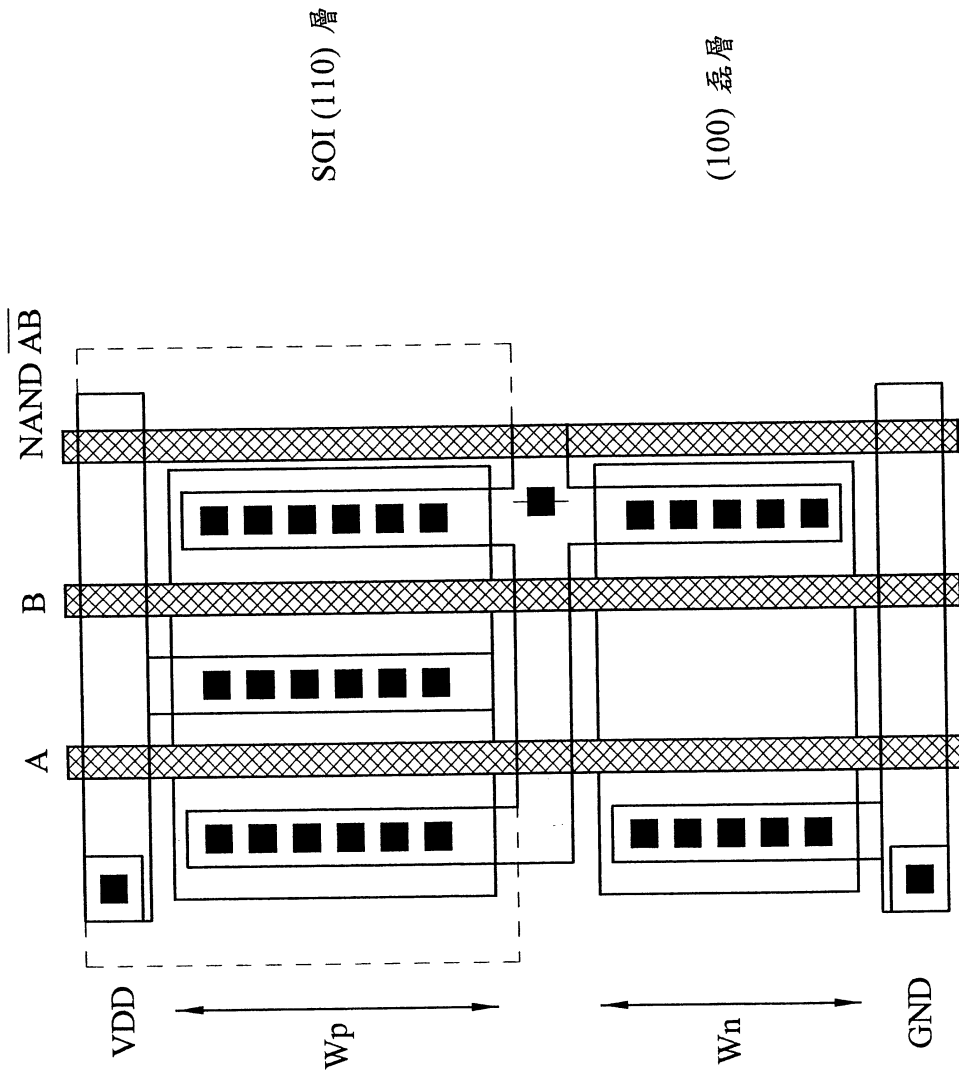
第 3 圖



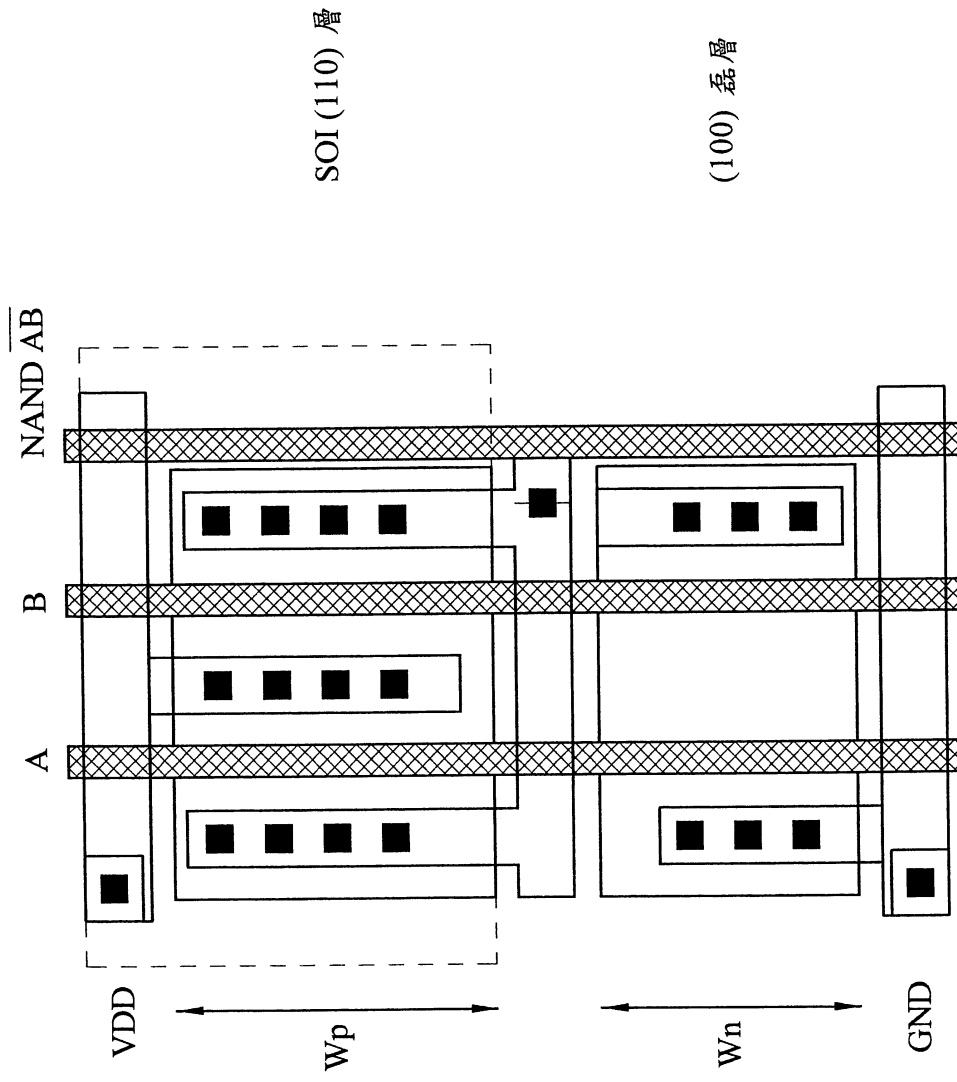
第 4a 圖



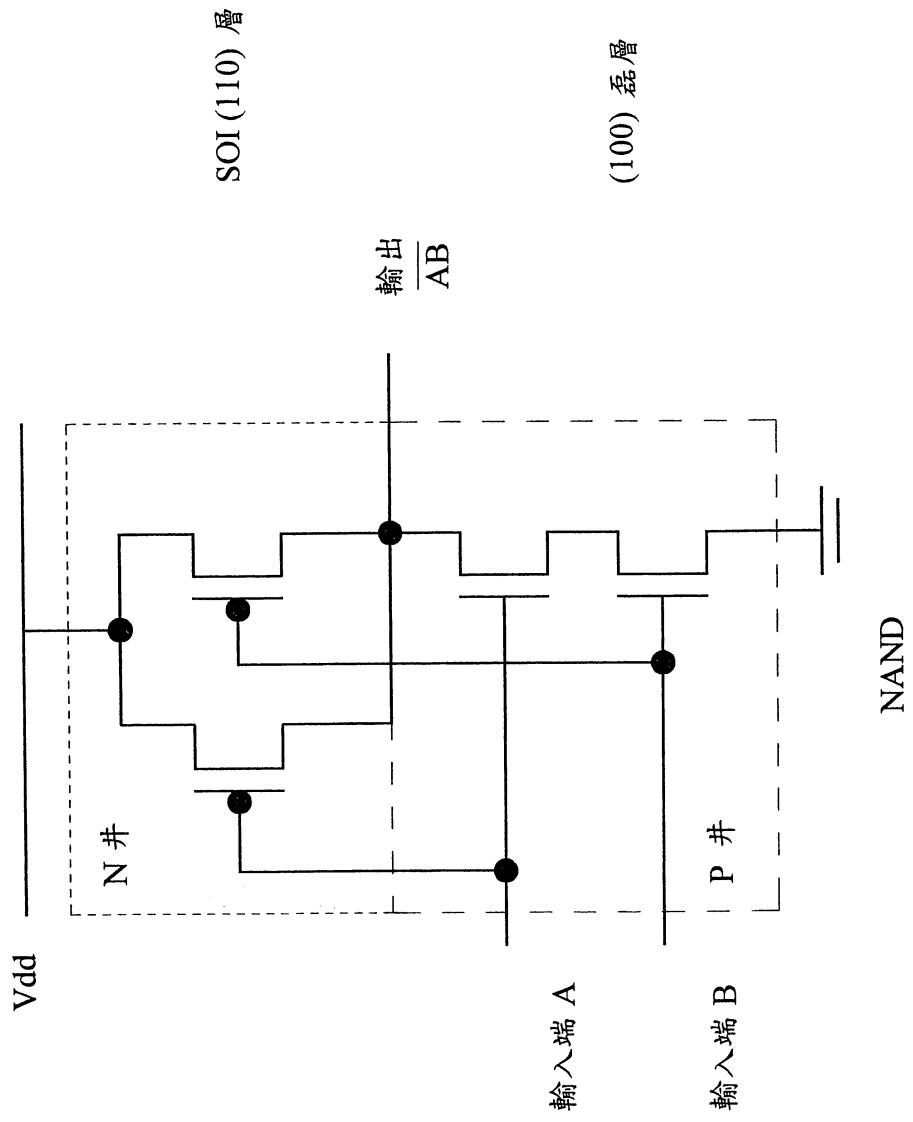
第 4b 圖



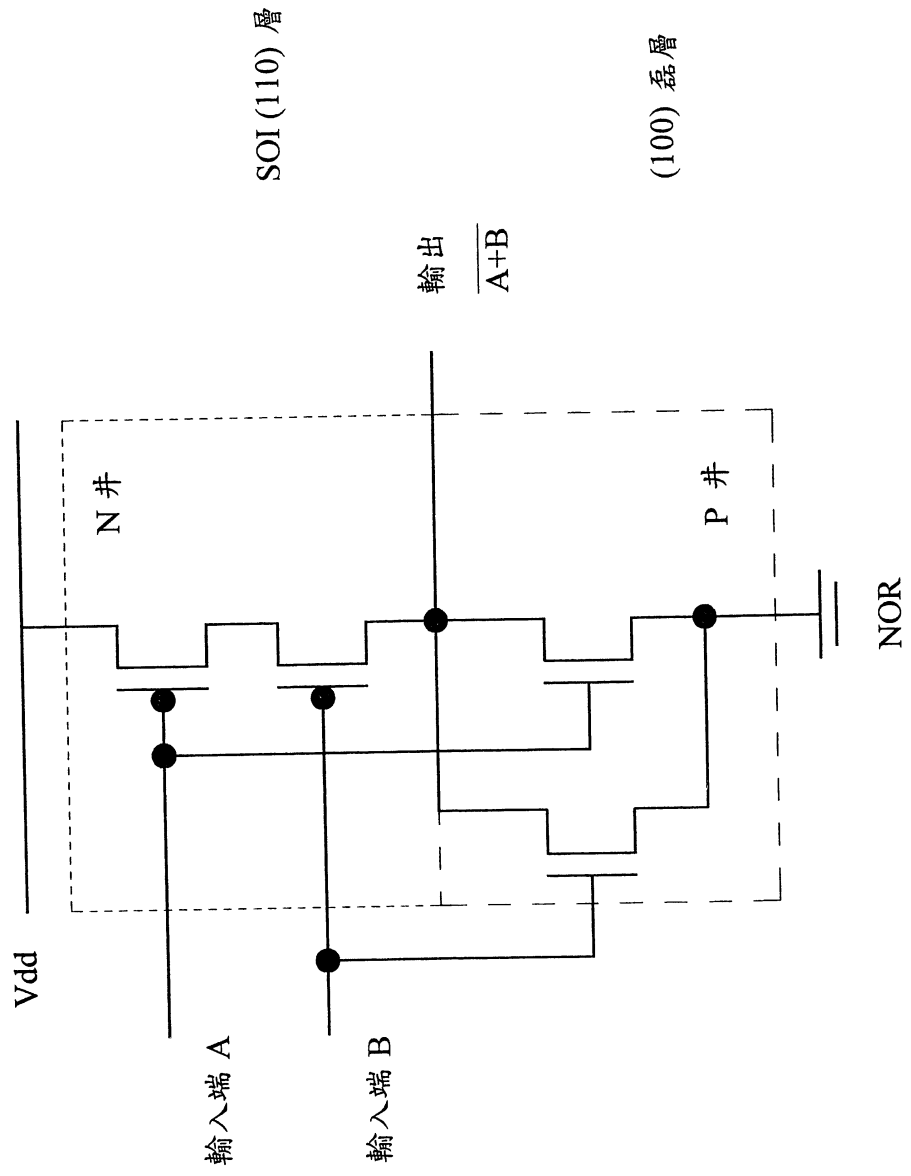
第 5a 圖



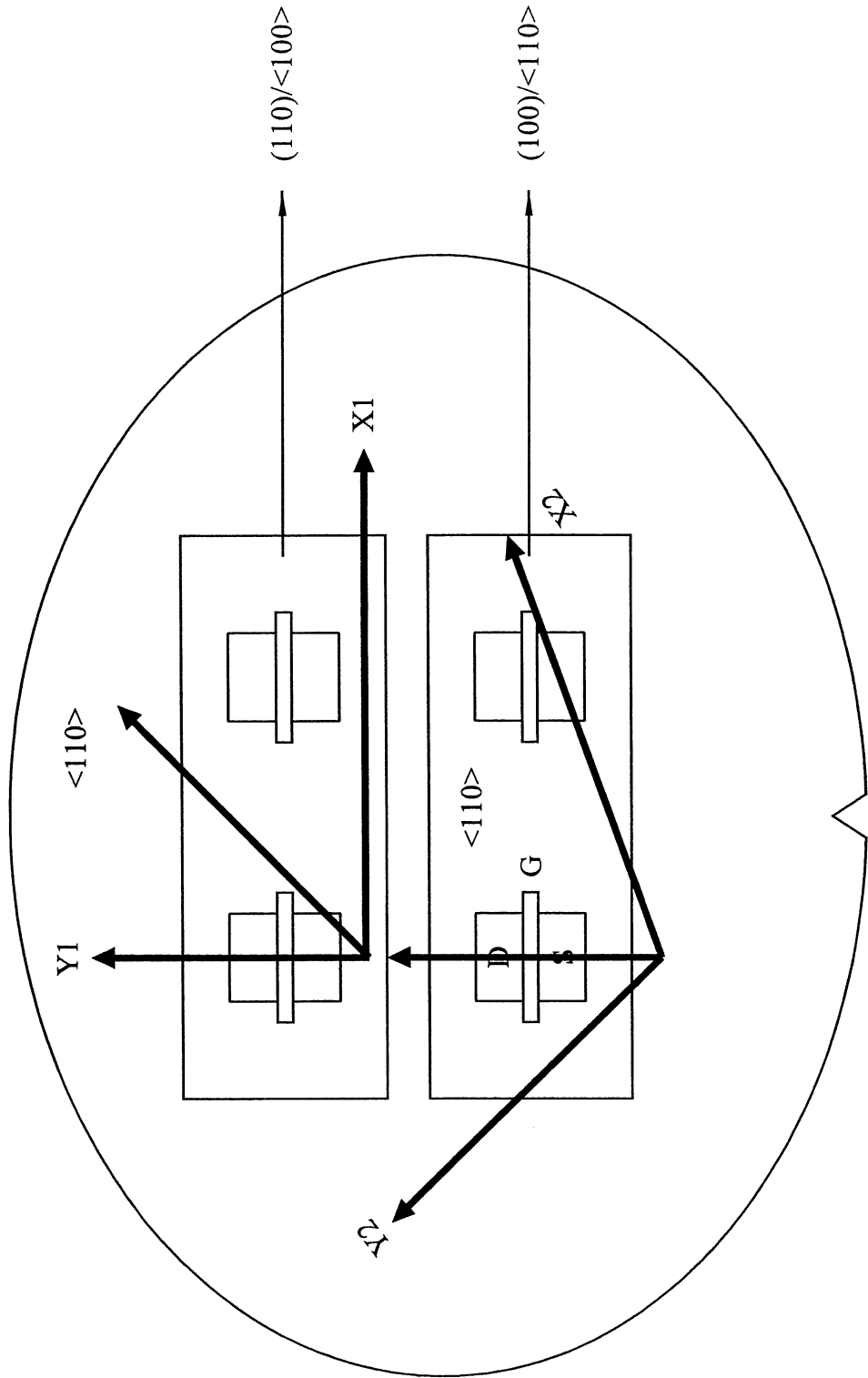
第 5b 圖



第 6 圖



第 7 圖



第 8 圖

七、指定代表圖：

(一)、本案指定代表圖為：第 3 圖。

(二)、本代表圖之元件代表符號簡單說明：

- 202 矽基材
- 204 埋式氧化層
- 206 SOI 矽基材
- 218 開口
- 220 淺溝渠隔離區
- 222 磊晶矽層
- 228 間距
- 230 N-FET
- 232 P-FET

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無