

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5773073号
(P5773073)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int. Cl.	F I				
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 P		
HO 1 L 29/06 (2006.01)	HO 1 L	29/78	6 5 2 R		
HO 1 L 21/76 (2006.01)	HO 1 L	29/78	6 5 2 L		
HO 1 L 29/47 (2006.01)	HO 1 L	29/78	6 5 2 D		

請求項の数 11 (全 26 頁) 最終頁に続く

(21) 出願番号	特願2014-515513 (P2014-515513)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(86) (22) 出願日	平成25年2月5日(2013.2.5)	(74) 代理人	100104190 弁理士 酒井 昭徳
(86) 国際出願番号	PCT/JP2013/052576	(72) 発明者	吉川 功 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開番号	W02013/172059	(72) 発明者	脇本 博樹 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(87) 国際公開日	平成25年11月21日(2013.11.21)	(72) 発明者	荻野 正明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	平成26年9月9日(2014.9.9)		
(31) 優先権主張番号	特願2012-111192 (P2012-111192)		
(32) 優先日	平成24年5月15日(2012.5.15)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第2導電型の半導体基板の一方の主面に成長させた、シリコンよりもバンドギャップの広い半導体材料からなる第1導電型半導体層と、

前記第1導電型半導体層の前記半導体基板側に対して反対側の表面側に設けられた、絶縁ゲート構造を含む活性領域と、

前記活性領域の外周を取り巻く耐圧構造部と、

前記半導体基板の他方の主面の前記活性領域に対して反対側の領域に、前記半導体基板を貫通して前記第1導電型半導体層に達する深さで設けられた、前記活性領域の面積に対応する面積を有する凹部と、

前記凹部の内壁に沿って設けられ、前記凹部の底部で前記第1導電型半導体層と接触してショットキー接合を形成する金属膜と、

を備え、

前記活性領域と前記凹部との間の前記第1導電型半導体層に流れる主電流の最外周側の電流経路が、前記第1導電型半導体層の前記半導体基板側に対して反対側の表面となす角度は45度以上であることを特徴とする半導体装置。

【請求項2】

前記第1導電型半導体層の、前記耐圧構造部の外周を取り巻く部分に設けられた、前記第1導電型半導体層を深さ方向に貫通して前記半導体基板に達する第2導電型分離層をさらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第 2 導電型分離層が、前記半導体基板の他方の主面から前記第 1 導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記金属膜は、前記半導体基板の他方の主面から前記トレンチの内壁にわたって設けられ、前記トレンチの側壁で前記第 2 導電型分離層に接続されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記金属膜は、さらに、前記半導体基板の他方の主面から前記第 1 導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 6】

前記金属膜は、前記トレンチの側壁で前記第 1 導電型半導体層と接触してショットキー接合を形成していることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記耐压構造部は、

前記第 1 導電型半導体層の前記半導体基板側に対して反対側の表面層に設けられ、順方向電圧が印加されたときに前記活性領域側から伸びる空乏層を外周側へ広げる第 2 導電型の第 1 接合終端領域を有する順方向耐压構造部と、

20

前記第 1 導電型半導体層の前記半導体基板側に対して反対側の表面層の、前記第 1 接合終端領域よりも外周側に設けられ、逆方向電圧が印加されたときに外周側から伸びる空乏層を前記活性領域側へ広げる第 2 導電型の第 2 接合終端領域を有する逆方向耐压構造部と

からなることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の半導体装置。

【請求項 8】

前記第 1 接合終端領域の内部に設けられた、前記第 1 接合終端領域よりも不純物濃度が高い第 2 導電型の第 3 接合終端領域と、

前記第 2 接合終端領域の内部に設けられた、前記第 2 接合終端領域よりも不純物濃度が高い第 2 導電型の第 4 接合終端領域と、

30

をさらに備えることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 導電型半導体層の、前記第 1 接合終端領域と前記第 2 接合終端領域とに挟まれた部分は、前記順方向耐压構造部と前記逆方向耐压構造部とを兼ねることを特徴とする請求項 7 または 8 に記載の半導体装置。

【請求項 10】

前記第 1 導電型半導体層が窒化ガリウム半導体層であることを特徴とする請求項 1 ~ 9 のいずれか一つに記載の半導体装置。

【請求項 11】

金属 - 酸化膜 - 半導体からなる前記絶縁ゲート構造、または、金属 - 絶縁膜 - 半導体からなる前記絶縁ゲート構造を有する絶縁ゲート型電界効果トランジスタであることを特徴とする請求項 1 ~ 10 のいずれか一つに記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

【背景技術】

50

【 0 0 0 2 】

最近、電力変換装置において A C (交流) / A C 変換、A C / D C (直流) 変換、D C / A C 変換等を行うにあたって、回路の小型化、軽量化、高効率化、高速応答化および低コスト化等の観点から、直接リンク形変換回路等のマトリックスコンバータが注目されている。その理由の一つに、次の点が挙げられる。通常のインバータ/コンバータからなる電力変換装置は、コンバータにより交流電圧から直流中間電圧を生成した後、インバータにより直流中間電圧を交流電圧に変換する方式であり、コンバータとインバータとの中間部に直流中間電圧を平滑化する直流平滑コンデンサを必要とする。しかも、この直流平滑コンデンサとして使用される電界コンデンサの寿命によって、電力変換装置の寿命が決まる傾向にある。これに対して、マトリックスコンバータは、交流電圧から交流電圧を直接生成するため、通常のインバータ/コンバータからなる電力変換装置よりも電力変換効率が高い。さらに、マトリックスコンバータは、直流中間電圧を生成しないため、直流平滑コンデンサを必要としないからである。

10

【 0 0 0 3 】

マトリックスコンバータに使用される好適なデバイスは、双方向に電流を制御することができる双方向スイッチング素子である。図 1 4 は、一般的な双方向スイッチング素子の等価回路を示す回路図である。このような双方向スイッチング素子は、図 1 4 (a) の等価回路図に示すように 2 個のダイオード 1 0 0 2 と 2 個のトランジスタ 1 0 0 1 とによって表すことができる。この構成では、スイッチング素子であるトランジスタ 1 0 0 1 に印加される逆方向電圧を阻止するために、トランジスタ 1 0 0 1 にダイオード 1 0 0 2 を直列接続する必要がある。トランジスタ 1 0 0 1 としては、ゲート電圧によってオンオフの切り替えと電流制御とが可能な電圧駆動型の I G B T (絶縁ゲートバイポーラトランジスタ) または M O S F E T (絶縁ゲート型電界効果トランジスタ) などが好適に用いられる。

20

【 0 0 0 4 】

図 1 4 (a) に示す 2 個のトランジスタ 1 0 0 1 で構成された一般的な双方向スイッチング素子において、上述したように逆方向電圧を阻止するためのダイオード 1 0 0 2 を必要とする理由は、通常の I G B T や M O S F E T などは逆方向の耐圧信頼性 (逆阻止能力) を確保するには設計されていない、また、逆阻止能力が確保されるように製造することが容易でないからである。従って、通常の I G B T や M O S F E T などにおいて耐圧と言え、順方向耐圧のことである。最近では、通常の I G B T が備える順方向耐圧 (順阻止能力) に加えて逆阻止能力も確保した逆阻止 I G B T (R B - I G B T) と呼ばれるパワーデバイスも開発されるようになった (例えば、下記特許文献 1 参照。) 。

30

【 0 0 0 5 】

この逆阻止 I G B T を用いた双方向スイッチング素子の等価回路図を図 1 4 (b) に示す。図 1 4 (b) に示す双方向スイッチング素子は 2 個の逆阻止 I G B T 1 0 0 3 を逆並列接続することで、より簡単に構成することができる。この図 1 4 (b) に示す 2 個の逆阻止 I G B T 1 0 0 3 で構成された双方向スイッチング素子は、図 1 4 (a) に示す 2 個のダイオード 1 0 0 2 と 2 個のトランジスタ 1 0 0 1 とで構成された双方向スイッチング素子と比較すれば分かるようにダイオードが不要となる。このため、図 1 4 (b) に示す双方向スイッチング素子は、ダイオードを備えない分だけ電力損失も小さく、かつコンパクトになる。従って、図 1 4 (b) に示す双方向スイッチング素子を用いることにより、マトリックスコンバータをコンパクトなサイズで、かつ低コストで提供することができるようになる。

40

【 0 0 0 6 】

従来の逆阻止 I G B T について、シリコン (S i) を基板材料 (以下、S i 基板とする) に用いた場合 (以下、シリコン逆阻止 I G B T とする) を例に説明する。図 1 5 は、従来のシリコン逆阻止 I G B T の構成を模式的に示す断面図である。図 1 5 に示すように、n 型ドリフト層 5 2 となるシリコンでできた半導体基板表面の領域には、オン状態のときに主電流が流れる活性領域 4 2 と、順方向耐圧を確保する耐圧構造部 3 2 とが設けられ

50

ている。活性領域42の構成は、基本的には一般的なIGBTと同じである。エミッタ電極51はpベース領域55の表面およびn⁺エミッタ領域56の表面にオーミック接触することにより電氣的に接続される。ゲート電極58は、n⁺エミッタ領域56表面とn⁻型ドリフト層52表面との間に挟まれた部分のpベース領域55の表面上にゲート絶縁膜57を介して形成され、MOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造を構成する。コレクタ電極60は、半導体基板の裏面側に形成されるpコレクタ層59の表面にオーミック接触して電氣的に接続されている。

【0007】

半導体基板の側面には、基板裏面側のpコレクタ層59と基板おもて面側のp型チャネルストッパー領域54とに接触し、基板の両主面を繋ぐように基板裏面から基板おもて面に達するp型の分離領域53が設けられている。このように分離領域53を設けることによって、半導体基板の裏面から側面にわたってpn接合61が形成される。pn接合61は、デバイスの活性領域42に形成されているMOSゲート構造を包むような形状の接合面となる。このpn接合61は、デバイスの逆方向耐圧を負担する機能を有する。このため、デバイスに逆方向の電圧が印加された(エミッタ端子Eに印加される電圧がコレクタ端子Cに印加される電圧よりも高い)場合、破線で示される空乏層62は逆方向印加電圧の上昇とともに、pn接合61から主としてn⁻型ドリフト層52側に広がる。

【0008】

逆方向電圧印加時に、pn接合61から広がる空乏層62の端部が半導体基板おもて面と交差する部分(すなわち、n⁻型ドリフト層52の、pベース領域55とp型チャネルストッパー領域54とに挟まれた部分)は絶縁保護膜(図示しない)により保護される。この絶縁保護膜により保護される半導体基板おもて面の領域は耐圧構造部32となる。この耐圧構造部32に、図示しないFLR(Field Limiting Ring)などの耐圧構造を設けて、半導体基板おもて面近傍で高くなり易い電界強度を緩和し、活性領域42下のpコレクタ層59近傍のpn接合61における電界強度よりも小さくすることによって半導体デバイスの逆方向耐圧の信頼性を高くすることが提案されている(例えば、下記特許文献1,2参照。)

【0009】

一方、炭化珪素(SiC)半導体や窒化ガリウム(GaN)半導体は、バンドギャップがシリコン(Si)半導体の約3倍であり、絶縁破壊電界強度が約10倍という優れた特性を有する。このため、SiC半導体やGaN半導体は、Si半導体に比べて、同じ耐圧で、より低オン電圧化および高速スイッチング化を図ることができる。例えば、SiCやGaNを基板材料(以下、SiC基板、GaN基板とする)に用いたパワーデバイスは、Si基板を用いた同じ耐圧のパワーデバイスと比較してn⁻型ドリフト層52(図15)の厚さを約1/10にすることが可能となる。詳細には、SiC基板やGaN基板を用いた縦型パワーデバイスのn⁻型ドリフト層52の厚さ、すなわち基板厚さは、耐圧1200V級とするために必要な15μm程度、耐圧600V級とするために必要な10μm以下程度の厚さに薄くすることができる。

【0010】

しかしながら、SiCやGaNは、上述したようにSiよりもバンドギャップが広い(以下、ワイドバンドギャップ:Wide Band Gapとする)ため、SiC基板やGaN基板を用いてIGBTを構成した場合、pn接合のビルトイン電位(3V程度)がSi基板を用いた場合のpn接合のビルトイン電位(0.7V程度)よりも大きくなる。これによって、600V級や1200V級の耐圧程度のデバイスでは低オン電圧のメリットが得られにくい。そのため、この程度の耐圧クラスのトランジスタデバイスをSiC基板やGaN基板を用いて構成するために、オン時に主電流が横切るpn接合を有していない(すなわちビルトイン電位の影響が無い)または逆方向耐圧特性を備えないMOSFETやJ-FET(Junction-Field Effect Transistor)の開発から進められている。

【0011】

10

20

30

40

50

また、別の逆阻止デバイスとして、次の装置が提案されている。低抵抗で厚いSi基板（サブストレート）のおもて面上に、AlN（窒化アルミニウム）層などのバッファ層を介してGaN層が設けられている。GaN層の表面（Si基板側に対して反対側の表面）にMOSゲート構造などが設けられている。Si基板の裏面側からGaN層に到達する深いトレンチが設けられている。トレンチの内部には、トレンチ内壁面にショットキー接合を形成する金属電極が埋設され、逆阻止MOSFET（以下、GaN逆阻止MOSFETとする）が構成されている。このGaN逆阻止MOSFETは、トレンチ底部のショットキー接合により逆阻止能力を確保する構造を備える（例えば、下記特許文献2参照。）。

【0012】

また、別の逆阻止デバイスとして、次の装置が提案されている。Si基板のおもて面上に、バッファ層を介して高濃度のGaN層と低濃度のGaN層とが順に積層されている。Si基板裏面から高濃度のGaN層に達するトレンチが設けられている。トレンチの内部にはショットキーバリア金属が埋め込まれ、ショットキーバリアダイオードが構成されている（例えば、下記特許文献3参照。）。

【0013】

また、別の逆阻止デバイスとして、 p^+ Si基板裏面からコレクタ層を貫通して n^- 型ドリフト層に達するトレンチが設けられており、トレンチの内部に埋め込まれた導電体と n^- 型ドリフト層とがショットキー接触する構成のIGBTが提案されている（例えば、下記特許文献4参照。）。

【0014】

さらに、別の逆阻止デバイスとして、次の装置が提案されている。図16は、従来のpチャンネル型の逆阻止IGBTの構成を示す断面図である。図16は、下記特許文献5の図7である。図16に示すように、低抵抗の厚い n^- SiC基板70のおもて面上に、低濃度 p^- SiC層71がエピタキシャル成長されている。低濃度 p^- SiC層71の表面（ n^- SiC基板70側に対して反対側の表面）にMOSゲート構造72などが設けられている。低抵抗の厚い n^- SiC基板70の裏面側から n^- SiC基板70を貫通して低濃度 p^- SiC層71に到達する深いトレンチ73が設けられている。トレンチ73の内壁に沿って低濃度 p^- SiC層71表面にショットキー接合を形成する金属電極74が埋設されて、pチャンネル型IGBT1011が構成されている（例えば、下記特許文献5参照。）。

【0015】

また、別の逆阻止デバイスとして、半導体基板の一方の主面側の中央部に、少なくとも耐圧に必要な厚さをもち、炭化珪素または窒化ガリウムからなる半導体層を備え、他方の主面側に、前記中央部に対向する位置に凹部を備えることにより、低オン抵抗と基板強度とを備え、ウェハプロセスにおけるウェハ割れを少なくした装置が提案されている（例えば、下記特許文献6参照。）。

【0016】

また、別の逆阻止デバイスとして、第1端子が形成されている基板おもて面側にワイドバンドギャップ半導体を用いたスイッチ素子を有し、第2端子が形成されている基板裏面側に逆方向電流を阻止するヘテロ接合ダイオード要素を有する逆阻止型のスイッチング素子であって、基板側面（チップ切断面）に裏面からおもて面に達するようにヘテロ接合を延在させることで分離領域が構成された装置が提案されている（例えば、下記特許文献7参照。）。

【0017】

また、別の逆阻止デバイスとして、GaN半導体またはSiC半導体を主たる半導体結晶とする半導体基板からなる n^- 型ドリフト層のおもて面側にゲート電極とエミッタ電極とを含むMOSゲート構造を備え、チップ化のための切断面が、 n^- 型ドリフト層のおもて面と裏面とを連結するp型分離領域を有し、 n^- 型ドリフト層の裏面に接触するコレクタ電極がショットキー性金属膜を有する装置が提案されている（例えば、下記特許文献8参照。）。

10

20

30

40

50

【 0 0 1 8 】

下記特許文献 7, 8 では、逆方向電圧が印加されたときに、基板側面の分離領域を介して基板おもて面にドレイン電位があらわれる。そして、空乏層は、基板裏面からおもて面にまで達する逆方向耐圧を確保するための接合によって基板裏面側からおもて面側へと広がり、基板側面には到達しない。このため、逆方向漏れ電流が小さくなる。また、下記特許文献 7 では、基板おもて面側に設けられた F L R やフィールドプレート (F P) などからなる逆方向耐圧構造により、十分な逆方向耐圧が得られる。

【先行技術文献】

【特許文献】

【 0 0 1 9 】

【特許文献 1】特開 2 0 0 2 - 3 1 9 6 7 6 号公報 (第 0 0 0 7 ~ 0 0 0 8 段落)

【特許文献 2】特開 2 0 1 0 - 2 5 8 3 2 7 号公報 (第 0 0 0 4 ~ 0 0 0 5 , 0 0 2 1 段落、第 1 6 図)

【特許文献 3】特開 2 0 0 9 - 5 4 6 5 9 号公報 (第 1 図、第 0 0 1 8 段落)

【特許文献 4】米国特許第 7 1 3 2 3 2 1 号明細書 (第 8 図)

【特許文献 5】特開 2 0 1 0 - 2 0 6 0 0 2 号公報 (第 7 図、要約)

【特許文献 6】特開 2 0 0 7 - 2 4 3 0 8 0 号公報 (要約、第 1 図 ~ 第 3 図)

【特許文献 7】特開 2 0 0 7 - 2 8 8 1 7 2 号公報

【特許文献 8】特開 2 0 0 9 - 1 2 3 9 1 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 2 0 】

しかしながら、通常の M O S F E T や J - F E T は、逆方向耐圧を確保するための p n 接合を備えておらず、逆阻止能力を有していない。従って、M O S F E T や J - F E T などを単体で上述した逆阻止デバイスとするために、基板裏面からドレイン層を貫通して n⁻型ドリフト層に達するトレンチの内壁にドレイン電極と n⁻型ドリフト層とのショットキー接合を設けて逆方向耐圧を確保するための接合とする構造が知られている。しかしながら、S i C 基板や G a N 基板を用いて耐圧 6 0 0 V ~ 1 2 0 0 V 級のデバイスを構成する場合、上述したようにデバイスに必要とされる n⁻型ドリフト層の厚さは 1 0 μ m ~ 1 5 μ m 程度にすぎない。このため、半導体基板の厚さが薄くなりすぎてウェハ割れなどが起きやすくなり、通常のウェハプロセスが極めて困難になることが問題である。

【 0 0 2 1 】

また、上記特許文献 5 では、低抵抗の厚い n⁻S i C 基板 7 0 を貫通して低濃度 p⁻S i C 層 7 1 に到達する深いトレンチ 7 3 の内壁に沿ってショットキー接合を有しているため、トレンチ 7 3 の底部では構造的に電流集中や電界集中が生じやすいという問題点がある。また、トレンチ 7 3 の底部に露出する低濃度 p⁻S i C 7 1 層の表面のエッチングダメージを取り除くことが難しく、低濃度 p⁻S i C 層 7 1 の表面のエッチングダメージが耐圧低下の要因の一つとなる。さらに、トレンチ 7 3 の幅は数 μ m と狭いため、アスペクト比の高いトレンチ 7 3 を形成した後に、トレンチ 7 3 の内壁に沿ってショットキー接合を形成することは構造的に困難であるという問題点もある。

【 0 0 2 2 】

上記特許文献 7 では、基板おもて面から深さ方向に垂直にトレンチを形成し、このトレンチ内部に S i 層を埋め込むことにより分離領域を形成する。このため、特に高耐圧デバイスを作製 (製造) する場合、半導体基板の厚さが厚くなることでトレンチのアスペクト比が高くなり、製造が困難になるという問題がある。また、上記特許文献 7 では、逆方向耐圧構造部に不純物拡散法により F L R を設けているため、不純物が拡散しにくいワイドバンドギャップ半導体で構成されたデバイスでは、F L R のドリフト層との p n 接合部の曲率半径が小さくなり、逆方向耐圧構造の長さが長くなる傾向にある。さらに、上記特許文献 7 では、順方向耐圧構造部および逆方向耐圧構造部ともに F L R を設け、かつ順方向耐圧構造部と逆方向耐圧構造部との境界に順方向耐圧構造部と逆方向耐圧構造部とを分離

10

20

30

40

50

するn型高濃度領域を設けているため、耐圧構造部の長さが長くなるという問題がある。また、上記特許文献8では、逆方向耐圧構造部が設けられていないため、十分な逆方向耐圧を得にくいという問題がある。

【0023】

本発明は、上述した従来技術による問題点を解消するため、SiCやGaNなどのシリコンよりもバンドギャップの広い半導体材料（ワイドバンドギャップ半導体）からなる半導体基板を用いた場合に、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を備える半導体装置を提供することを目的とする。

【課題を解決するための手段】

10

【0024】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第2導電型の半導体基板の一方の主面には、シリコンよりもバンドギャップの広い半導体材料からなる第1導電型半導体層が設けられている。前記第1導電型半導体層の前記半導体基板側に対して反対側の表面側に、絶縁ゲート構造を含む活性領域が設けられている。前記活性領域の外周を取り巻く耐圧構造部が設けられている。前記半導体基板の他方の主面の前記活性領域に対して反対側の領域に、前記半導体基板を貫通して前記第1導電型半導体層に達する深さで、前記活性領域の面積に対応する面積を有する凹部が設けられている。前記凹部の内壁に沿って金属膜が設けられている。前記金属膜は、前記凹部の底部で前記第1導電型半導体層と接触してショットキー接合を形成する。

20

【0025】

また、この発明にかかる半導体装置は、上述した発明において、前記活性領域と前記凹部との間の前記第1導電型半導体層に流れる主電流の最外周側の電流経路が、前記第1導電型半導体層の前記半導体基板側に対して反対側の表面となす角度は45度以上であることを特徴とする。

【0026】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型半導体層の、前記耐圧構造部の外周を取り巻く部分に設けられた、前記第1導電型半導体層を深さ方向に貫通して前記半導体基板に達する第2導電型分離層をさらに備えることを特徴とする。

30

【0027】

また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型分離層が、前記半導体基板の他方の主面から前記第1導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする。

【0028】

また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、前記半導体基板の他方の主面から前記トレンチの内壁にわたって設けられ、前記トレンチの側壁で前記第2導電型分離層に接続されていることを特徴とする。

【0029】

40

また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、さらに、前記半導体基板の他方の主面から前記第1導電型半導体層の前記半導体基板側に対して反対側の表面に達する深さのトレンチの側壁に沿って配置されていることを特徴とする。

【0030】

また、この発明にかかる半導体装置は、上述した発明において、前記金属膜は、前記トレンチの側壁で前記第1導電型半導体層と接触してショットキー接合を形成していることを特徴とする。

【0031】

また、この発明にかかる半導体装置は、上述した発明において、前記耐圧構造部は、順方向耐圧構造部と逆方向耐圧構造部と、からなる。前記順方向耐圧構造部は、前記第1導

50

電型半導体層の前記半導体基板側に対して反対側の表面層に設けられ、順方向電圧が印加されたときに前記活性領域側から伸びる空乏層を外周側へ広げる第2導電型の第1接合終端領域を有する。前記逆方向耐圧構造部は、前記第1導電型半導体層の前記半導体基板側に対して反対側の表面層の、前記第1接合終端領域よりも外周側に設けられ、逆方向電圧が印加されたときに外周側から伸びる空乏層を前記活性領域側へ広げる第2導電型の第2接合終端領域を有することを特徴とする。

【0032】

また、この発明にかかる半導体装置は、上述した発明において、前記第1接合終端領域の内部に、前記第1接合終端領域よりも不純物濃度が高い第2導電型の第3接合終端領域が設けられている。前記第2接合終端領域の内部に、前記第2接合終端領域よりも不純物濃度が高い第2導電型の第4接合終端領域が設けられていることを特徴とする。

10

【0033】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型半導体層の、前記第1接合終端領域と前記第2接合終端領域とに挟まれた部分は、前記順方向耐圧構造部と前記逆方向耐圧構造部とを兼ねることを特徴とする。

【0034】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型半導体層が窒化ガリウム半導体層であることを特徴とする。

【0035】

また、この発明にかかる半導体装置は、上述した発明において、金属-酸化膜-半導体からなる前記絶縁ゲート構造、または、金属-絶縁膜-半導体からなる前記絶縁ゲート構造を有する絶縁ゲート型電界効果トランジスタであることを特徴とする。

20

【発明の効果】

【0036】

本発明にかかる半導体装置によれば、SiCやGaNなどのワイドバンドギャップ半導体からなる半導体基板を用いた場合に、半導体基板の他方の主面から半導体基板を貫通して第1導電型半導体層に達する凹部の底部に、第1導電型半導体層とのショットキー接合を形成する金属膜を形成することで、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を確保することができるという効果を奏する。

30

【図面の簡単な説明】

【0037】

【図1】図1は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの活性領域の要部を模式的に示す断面図である。

【図2】図2は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である(その1)。

【図3】図3は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である(その2)。

【図4】図4は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である(その3)。

40

【図5】図5は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である(その4)。

【図6】図6は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である(その5)。

【図7】図7は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの耐圧構造部近傍の概略を示す断面図である。

【図8】図8は、図7のSiC逆阻止MOSFETのチップ全体の平面レイアウトを示す平面図である。

【図9】図9は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの耐圧特性を示す特性図である。

50

【図10】図10は、本発明の実施の形態1にかかるSiC逆阻止MOSFETのオン時のI-V特性を示す特性図である。

【図11】図11は、従来のシリコン逆阻止IGBTの活性領域の要部を示す断面図である。

【図12】図12は、従来のシリコン逆阻止IGBTの耐压構造部近傍の概略を示す断面図である。

【図13】図13は、本発明の実施の形態2にかかるSiC逆阻止MOSFETの活性領域の要部を示す断面図である。

【図14】図14は、一般的な双方向スイッチング素子の等価回路を示す回路図である。

【図15】図15は、従来のシリコン逆阻止IGBTの構成を模式的に示す断面図である

10

【図16】図16は、従来のpチャネル型の逆阻止IGBTの構成を示す断面図である。

【図17】図17は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの主要な製造工程の概要を示すフローチャートである。

【図18】図18は、本発明の実施の形態3にかかるワイドバンドギャップ逆阻止MOS型半導体装置の構成を示す断面図である。

【図19】図19は、図18の耐压構造部を拡大して示す断面図である。

【図20】図20は、従来のワイドバンドギャップ逆阻止MOS型半導体装置の耐压構造部を示す断面図である。

【図21】図21は、本発明の実施の形態4にかかるワイドバンドギャップ逆阻止MOS型半導体装置の耐压構造部を示す断面図である。

20

【図22】図22は、本発明の実施の形態5にかかるワイドバンドギャップ逆阻止MOS型半導体装置の耐压構造部を示す断面図である。

【図23】図23は、本発明の実施の形態6にかかるワイドバンドギャップ逆阻止MOS型半導体装置の構成を示す断面図である。

【図24】図24は、図23の耐压構造部を拡大して示す断面図である。

【発明を実施するための形態】

【0038】

以下に添付図面を参照して、本発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本発明はその要旨を超えない限り、以下に説明する実施の形態に限定されるものではない。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、実施の形態で説明される添付図面は、本発明の構成を見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。

30

【0039】

(実施の形態1)

本発明の実施の形態1にかかるシリコンよりもバンドギャップの広い半導体材料からなる逆阻止絶縁ゲート型半導体装置(ワイドバンドギャップ逆阻止MOS型半導体装置)について、図1~図6を参照して詳細に説明する。まず、実施の形態1にかかるワイドバンドギャップ逆阻止MOS型半導体装置の構成について、炭化珪素(SiC)を半導体材料として用いた逆阻止MOSFET(以下、SiC逆阻止MOSFETとする)を例に説明する。図1は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの活性領域の要部を模式的に示す断面図である。図1には、SiC逆阻止MOSFET1004の主として活性領域40を中心とする部分を示す。

40

【0040】

図1に示すように、実施の形態1にかかるSiC逆阻止MOSFET1004は、p+型SiC基板100と、その一方の主面に接して積層されp+型SiC基板100より低

50

濃度のSiC-n⁻型ドリフト層1とを備える。このSiC-n⁻型ドリフト層1の表面層(p⁺型SiC基板100側に対して反対側の表面層)には、イオン注入により形成されたSiC-p⁺型ベース領域2が選択的に設けられている。

【0041】

SiC-n⁻型ドリフト層1の表面には、SiC-p⁺型ベース領域2を覆うように、SiC-p型エピタキシャル層が堆積されている。SiC-p型エピタキシャル層には、MOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造の一部を構成するSiC-p型エピタキシャル領域3、SiC-n型J-FET領域4、SiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6が選択イオン注入により所定のパターンで配置されている。

10

【0042】

SiC-n型J-FET領域4を挟むように配置されたSiC-n型J-FET領域4の両側のSiC-p型エピタキシャル領域3の表面(SiC-n⁻型ドリフト層1側に対して反対側の表面)には、ゲート絶縁膜7を介してpoly-Siゲート電極8が設けられている。poly-Siゲート電極8は、BPSG(Boro Phospho Silicate Glass; 層間絶縁膜)9を介してソース電極10により覆われる。ソース電極10は、BPSG9に設けられた開口部を介してSiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6に接触し、その下層のSiC-p⁺型ベース領域2に導電接続される。

【0043】

20

さらに、p⁺型SiC基板100には、MOSゲート構造が形成される活性領域40に対向する反対側の他方の主面(裏面)からp⁺型SiC基板100を貫通してSiC-n⁻型ドリフト層1に達する深さで凹部101が設けられている。凹部101の面積は、MOSゲート構造の形成領域(すなわち活性領域40)の面積とほぼ同程度である。凹部101の面積とは、凹部101の底部(底面)の面積である。凹部101の詳細な説明については後述する。この凹部101の内壁を含む他方の主面側の表面には、ドレイン電極12となる導電膜(金属膜)が設けられている。ドレイン電極12となる金属膜は、SiC-n⁻型ドリフト層1とのショットキー接合を形成しており、ショットキー電極として機能する。そのような金属膜は、例えば、ショットキーバリア金属材料となるチタン(Ti)膜をスパッタにより形成し、その上にニッケル(Ni)膜と金(Au)膜とを順にめっきにより積層することにより得られる。

30

【0044】

さらに、SiC-n⁻型ドリフト層1の表面(p⁺型SiC基板100側に対して反対側の表面)には、MOSゲート構造側の活性領域40の外周を取り巻く耐圧構造部30が設けられている。耐圧構造部30の外周には、耐圧構造部30を取り巻き、SiC-n⁻型ドリフト層1の表面(p⁺型SiC基板100側に対して反対側の表面)からSiC-n⁻型ドリフト層1を貫通してp⁺型SiC基板100に達するp型分離領域26が設けられている。p型分離領域26は、SiC-n⁻型ドリフト層1の表面からp⁺型SiC基板100の裏面にまで達していてもよい。耐圧構造部30のSiC-n⁻型ドリフト層1上にはBPSG9が設けられている。耐圧構造部30においてSiC-n⁻型ドリフト層1を被覆するBPSG9は、フィールド絶縁膜(絶縁保護膜)9aとして機能する。

40

【0045】

次に、本発明の実施の形態1にかかるSiC逆阻止MOSFET1004の製造方法を説明する。図2~図6は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの製造工程を模式的に示す要部断面図である。図17は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの主要な製造工程の概要を示すフローチャートである。まず、75mm径、300μm厚で、かつ主面が(0001)Si面である4H-p⁺型SiC基板100を準備する(図17(a))。次に、p⁺型SiC基板100の一方の主面(おもて面)上に、周知の技術であるCVD法(化学的気相成長法)によってSiC-n⁻型ドリフト層1をエピタキシャル成長によって厚さ15μmに形成する(図17(b))。こ

50

こまでの状態が図2に示されている。

【0046】

図17(b)の工程において、SiC-n⁻型ドリフト層1の不純物濃度は、例えば $1.8 \times 10^{16} \text{ cm}^{-3}$ とした。SiC-n⁻型ドリフト層1を形成するためのエピタキシャル成長のシリコン材料として例えばシラン(SiH₄)ガス、炭素材料として例えばプロパン(C₃H₈)ガスを用いる。また、SiC-n⁻型ドリフト層1となるエピタキシャル層をn型化するために、ドーパント材料として例えばアルシン(AsH₃)およびスチビン(SbH₃)ガスを用いる。

【0047】

次に、フォトリソグラフィ工程により、SiC-n⁻型ドリフト層1の表面に、SiC-p⁺型ベース領域2の形成領域に対応する部分が所定のパターンで開口するフォトレジストパターン(不図示)を形成する。このフォトレジストパターンをマスクとして、例えばアルミニウム(Al)イオンを600の温度で $1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量を照射し、SiC-n⁻型ドリフト層1に選択的にイオン注入する。フォトレジストパターンを除去した後に、1700の温度で2分程度のラピッドサーマルアニール(以降、RTA)を行うことにより、SiC-n⁻型ドリフト層1に注入したAlイオンを活性化させることにより、所定のパターンでSiC-p⁺型ベース領域2を形成する。

【0048】

次に、CVD法によって、SiC-p型エピタキシャル領域3をエピタキシャル成長によって厚さ1μm~5μmで、SiC-n⁻型ドリフト層1の表面全面に堆積する。SiC-p型エピタキシャル領域3を形成するためのエピタキシャル成長は、例えば、ドーパントガスとしてトリメチルインジウム(In(CH₃)₃)を用いて、SiC-p型エピタキシャル領域3の不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ となるように行う。次に、フォトリソグラフィ工程、高温イオン注入工程およびRTA工程により、SiC-p型エピタキシャル領域3の表面に、SiC-n型J-FET領域4、SiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6を所定のパターンで順次形成する。こまでの状態が図3に示されている。

【0049】

SiC-n型J-FET領域4、SiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6の形成順序は種々変更可能である。これらSiC-n型J-FET領域4、SiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6の不純物濃度は、例えば、それぞれ順に約 $2 \times 10^{16} \text{ cm}^{-3}$ 、約 $3 \times 10^{20} \text{ cm}^{-3}$ 、および約 $1 \times 10^{19} \text{ cm}^{-3}$ とする。SiC-n型J-FET領域4およびSiC-p⁺型ボディ領域6を形成するためのイオン注入は、例えば、加速エネルギーを40keVから460keVまで変化させることで深い領域までイオン種が到達されるように行う。

【0050】

RTA工程は、例えば1700の温度で2分間行う。また、RTA工程は、SiC-n型J-FET領域4、SiC-n⁺型ソース領域5およびSiC-p⁺型ボディ領域6を形成するためのイオン注入ごとに行ってもよいし、これらのイオン注入がすべて終わった後に1回行ってよい。次に、RTA工程後に、p⁺型SiC基板100、SiC-n⁻型ドリフト層1およびSiC-p型エピタキシャル領域3が積層されてなる半導体基板(以下、SiC基板とする)を酸化雰囲気中で熱処理することで、SiC基板のSiC-p型エピタキシャル領域3側の表面(以下、おもて面とする)にゲート絶縁膜7を70nmの厚さで形成する。

【0051】

次に、ゲート絶縁膜7上にCVD法によって高不純物濃度ポリシリコンを0.5μmの厚さで形成する。次に、フォトリソグラフィ工程およびエッチング工程によって、高不純物濃度ポリシリコンを所定のパターン形状にエッチングしてpoly-Siゲート電極8とする。このように、SiC基板のSiC-p型エピタキシャル領域3側の表面に、SiC-n型J-FET領域4、SiC-n⁺型ソース領域5、SiC-p⁺型ボディ領域6、

10

20

30

40

50

ゲート絶縁膜 7 および poly-Si ゲート電極 8 からなる MOS ゲート構造を形成する (図 17 (c))。

【 0 0 5 2 】

次に、CVD法によって、poly-Siゲート電極 8 を覆う厚さ $1.0 \mu\text{m}$ の BPSG 9 を層間絶縁膜として形成する。次に、フォトリソグラフィ工程およびエッチング工程によって BPSG 9 をパターニングし、SiC-n⁺型ソース領域 5 表面と SiC-p⁺型ボディ領域 6 表面とを選択的に露出させる開口パターンを BPSG 9 に形成する。次に、ソース電極 10 としてニッケル (Ni) 膜とチタン (Ti) 膜との積層膜を SiC-n⁺型ソース領域 5 表面と SiC-p⁺型ボディ領域 6 の表面とにオーミック接触するように形成する。ここまでの状態が図 4 に示されている。

10

【 0 0 5 3 】

次に、p⁺型 SiC 基板 100 の MOS ゲート構造側の表面 (すなわち SiC 基板のおもて面) に図示しない支持基板を貼り付けた後、厚さ $300 \mu\text{m}$ の p⁺型 SiC 基板 100 の裏面をバックグラインドして、p⁺型 SiC 基板 100 の厚さを例えば $50 \mu\text{m}$ にまで減厚する (図 17 (d))。実施の形態 1 では、後工程となる p⁺型 SiC 基板 100 の裏面からのトレンチエッチング工程の所要時間を短縮するためにバックグラインドをするが、バックグラインド工程前の p⁺型 SiC 基板 100 の厚さが $300 \mu\text{m}$ より十分に薄い場合、例えば $50 \mu\text{m}$ に近い厚さの場合にはバックグラインド工程を省略してもよい。

【 0 0 5 4 】

次に、p⁺型 SiC 基板 100 の MOS ゲート構造側の表面に貼り付けた図示しない支持基板を残したままで、p⁺型 SiC 基板 100 のバックグラインドした裏面全面にニッケル膜 11 を $1 \mu\text{m}$ 程度の厚さに被着する (図 17 (e))。次に、フォトリソグラフィ工程およびエッチング工程によって、素子内周部 13 のニッケル膜 11 をマスクとして残し、素子周辺部 14 のニッケル膜 11 を除去する (図 17 (f))。次に、ニッケル膜 11 の残部をエッチングマスクとして用いて、p⁺型 SiC 基板 100 を裏面からエッチングし、p⁺型 SiC 基板 100 の素子周辺部 14 に、SiC 基板のおもて面に到達するトレンチ溝 105 を形成する (図 17 (g))。素子内周部 13 とは、活性領域 40、耐压構造部 30 および p 型分離領域 26 が形成される部分である。素子周辺部 14 とは素子内周部 13 の外周を囲む部分であり、素子周辺部 14 にはチップエッジ部 (チップ側面) が

20

30

【 0 0 5 5 】

次に、トレンチ溝 105 のエッチングマスクとして使用したニッケル膜 11 の残部をイオン注入マスクとして p⁺型 SiC 基板 100 の裏面から斜めイオン注入工程およびレーザーアニール工程を行い (図 17 (j))、トレンチ溝 105 の側壁に p 型分離領域 26 を形成する (図 17 (h))。この際、斜めイオン注入工程後、レーザーアニール工程の前に、p⁺型 SiC 基板 100 裏面のニッケル膜 11 を一旦全部除去しておく (図 17 (i))。p 型分離領域 26 の不純物濃度は、例えば約 $1 \times 10^{18} \text{cm}^{-3}$ とする。p 型分離領域 26 のイオン注入は、例えば 40keV 、 100keV および 150keV の 3 つの加速エネルギーで行い、比較的深い領域までイオン種が到達されるように行う。ここま

40

【 0 0 5 6 】

次に、p⁺型 SiC 基板 100 の裏面に再度ニッケル膜 11a を $1 \mu\text{m}$ 程度の厚さに堆積する (図 17 (k))。次に、フォトリソグラフィ工程およびエッチング工程によって、活性領域 40 に対応する基板裏面側のニッケル膜 11a を除去し、活性領域 40 を取り巻く外周部に対応する基板裏面側のニッケル膜 11a を残す (図 17 (l))。ここまでの状態が図 5 (b) に示されている。次に、ニッケル膜 11a の残部をエッチングマスクとして用いて p⁺型 SiC 基板 100 を裏面からエッチングし、素子内周部 13 の活性領域 40 に対応する基板裏面部分に凹部 101 を形成する (図 17 (m))。この時、凹部 101 のエッチングの深さを、p⁺型 SiC 基板 100 の厚さを超えて SiC-n⁻型ドリ

50

フト層 1 に達する深さとすることにより、凹部 101 の先端（底部）に SiC - n⁻型ドリフト層 1 が現れるようにする。次に、ニッケル膜 11a を除去し、p⁺型 SiC 基板 100 の裏面（凹部 101 の内壁も含む）に、ドレイン電極 12 として Ti 膜、Ni 膜、Au 膜を順に蒸着によって積層する（図 17（n））。ここまでの状態が図 6 に示されている。次に、SiC 基板おもて面側の支持基板を剥離する（図 17（o））。これによって、実施の形態 1 にかかる SiC 逆阻止 MOSFET 1004 が完成する（図 17（p））。

【0057】

SiC 逆阻止 MOSFET 1004 において、凹部 101 内壁にドレイン電極 12 として形成された Ti 膜と SiC - n⁻型ドリフト層 1 とがショットキー接合を形成する。このショットキー接合がドレイン電極 12 とソース電極 10 との間にドレイン電極 12 側が負の電位になるような電圧（すなわち逆方向電圧）が印加された場合に、逆方向電圧を負担する。このように、この実施の形態 1 にかかる SiC 逆阻止 MOSFET 1004 では、p⁺型 SiC 基板 100 の裏面の活性領域 40 に対応する部分全面に SiC - n⁻型ドリフト層 1 に達する深さの凹部 101 を形成し、凹部 101 の先端（底部）で、平坦な SiC - n⁻型ドリフト層 1 とショットキー接合を形成する Ti 膜を設けることで、電流集中や電界集中が発生しないという効果を奏する。

【0058】

図 7 は、本発明の実施の形態 1 にかかる SiC 逆阻止 MOSFET の耐压構造部近傍の概略を示す断面図である。図 7 には、SiC 逆阻止 MOSFET 1004 の耐压構造部 30 および活性領域 40 の一部を含む SiC 基板（チップ）のチップ端部側の断面構成を示す。図 8 は、図 7 の SiC 逆阻止 MOSFET のチップ全体の平面レイアウトを示す平面図である。以下、SiC 基板の裏面から基板深さ方向にエッチングにより形成する凹部 101 について説明する。図 7 に示すように、SiC - p⁺型ベース領域 2 の最外周の開口部 19 の外側の端部と、凹部 101 底部の最外周側の端部とを結ぶ一点鎖線 15 と基板表面とのなす角度が 45 度以上となるように凹部 101 を配置することが本発明では好ましい。SiC - p⁺型ベース領域 2 の開口部 19 とは、隣り合う SiC - p⁺型ベース領域 2 間に挟まれた、SiC - p⁺型ベース領域 2 が設けられていない所定幅の SiC - n⁻型ドリフト層 1 部分である。上述したように、凹部 101 は、SiC 基板の裏面から p⁺型 SiC 基板 100 を貫通して SiC - n⁻型ドリフト層 1 に達する深さを有する。このため、凹部 101 をこのような配置にすることで、外周側の MOS ゲート構造に最外周の開口部 19 より外側の部分の開口部 19 を介する電流が集中しないようにすることが可能となる。前記一点鎖線 15 と基板おもて面とのなす角度を 45 度に近い 90 度以下とした場合、図 8 の SiC 逆阻止 MOSFET 1004 の上面図に示すように、基板裏面の凹部 101（破線）の面積 202 が、主電流の流れる活性領域 40 の面積より大きくなる。前記角度を一点鎖線 15 a のように、さらに大きくすると、凹部 101（破線）の面積 202 が活性領域 40 の面積より小さくなることもあるが、この場合も本発明に含まれ、一点鎖線 15 と基板おもて面とのなす角度が 45 度に近い場合と同様の効果を奏する。

【0059】

また、活性領域 40 の外周を取り巻くように耐压構造部 30 が形成される。この耐压構造部 30 は、図 7 に示すように、電界緩和機能を有する SiC - p 型接合終端伸張領域 22 a, 22 b からなる JTE（Junction Termination Extension）と、耐压構造部 30 の基板おもて面を保護する SiO₂ 膜などの絶縁保護膜 9 a とを備えている。SiC - p 型接合終端伸張領域 22 a は、MOS ゲート構造の最外周の SiC - p⁺型ベース領域 2 の外側に接して形成される。SiC - p 型接合終端伸張領域 22 b は、耐压構造部 30 の最外周に形成される p 型分離領域 26 の内周側に接する耐压構造部 30 の表面に形成される。このような p 型分離領域 26 と SiC - p 型接合終端伸張領域 22 a, 22 b とを形成することで、空乏層を伸び易くして順方向および逆方向の両耐压を向上させるとともに、印加電圧の上昇とともに伸びる空乏層を、チップ端面（側面）の切断部に直接接触させなくすることができる。その結果、高信頼性の逆方向耐压

10

20

30

40

50

を保持することができる。

【0060】

図9は、本発明の実施の形態1にかかるSiC逆阻止MOSFETの耐压特性を示す特性図である。図10は、本発明の実施の形態1にかかるSiC逆阻止MOSFETのオン時の電流電圧特性(I-V特性)を示す特性図である。本発明の実施の形態1にかかるSiC逆阻止MOSFET1004の順方向耐压は約750V、逆方向耐压(図示せず)は約850Vであり、600V耐压素子として十分な阻止特性を示していることが分かる。今回の測定に用いた素子(実施例)のチップサイズは5mm×5mm、定格電流を50A(活性領域面積=0.2cm²、定格電流密度=250A/cm²)とした。また、比較のために、通常定格電圧600Vで定格電流50A(定格電流密度200A/cm²)のシリコン逆阻止IGBT1010(比較例)のオン時の電流電圧特性を図10に示す。図9に示す実施例では、接合温度T_jを室温(25程度)とした。図10に示す実施例および比較例では、接合温度T_jを125とした。

10

【0061】

比較のために用いた前述のシリコン逆阻止IGBT1010の活性領域400およびその外周を取り巻く耐压構造部350について図11、図12を参照して説明する。図11は、従来のシリコン逆阻止IGBTの活性領域の要部を示す断面図である。図12は、従来のシリコン逆阻止IGBTの耐压構造部近傍の概略を示す断面図である。図11に示すように、活性領域400は、n⁻型ドリフト層300の一方の主面に形成されるp型ベース領域301と、このp型ベース領域301の表面層に形成されるn型エミッタ領域303およびp⁺型ボディ領域302とを備える。p型ベース領域301は、活性領域400内に島状またはストライプ状の平面パターンで複数設けられる。

20

【0062】

各p型ベース領域301において、n型エミッタ領域303とn⁻型ドリフト層300とに挟まれた部分におけるp型ベース領域301の表面上には、ゲート絶縁膜304を介してポリシリコン膜などからなるゲート電極305が形成され、おもて面側MOSゲート構造が構成される。このゲート絶縁膜304およびゲート電極305は、基板表面で隣り合うp型ベース領域301に対しては共通のMOSゲート構造となる。n型エミッタ領域303およびp⁺型ボディ領域302の表面には、層間絶縁膜306の開口部で共通に導電接触するエミッタ電極310が形成される。n⁻型ドリフト層300の他方の主面側には、コレクタ領域308およびコレクタ電極312が形成される。

30

【0063】

図12に示すように、耐压構造部350は、活性領域400の外周に複数の環状に形成されたFLR320などの電界緩和機構を有する。n⁻型ドリフト層300の、隣り合うFLR320に挟まれた部分の表面上には絶縁保護膜307が形成される。この耐压構造部350の最外周側の素子終端部313には、基板おもて面(n⁻型ドリフト層300の一方の主面)から基板裏面(n⁻型ドリフト層300の他方の主面)側のコレクタ領域308に達する深さでp⁺型接合分離領域321が形成される。n⁻型ドリフト層300の厚さは、耐压600V級のシリコン逆阻止IGBT1010の場合、約100μmである。

40

【0064】

本発明の実施の形態1のSiC逆阻止MOSFET1004の接合温度T_j=125におけるターンオフ損失は、E_{off}=1.9mJであった。一方、比較例のシリコン逆阻止IGBT1010の接合温度T_j=125におけるターンオフ損失はE_{off}=2.0mJであった。本発明のSiC逆阻止MOSFET1004のオン電圧は1.62Vと、比較例のシリコン逆阻止IGBT1010の2.20Vと比較して十分に低い値が得られており、低オン電圧化が実現可能であることを確認した。さらに、本発明のSiC逆阻止MOSFET1004においては、前述のように低オン電圧化されていることから、基板の裏面の活性領域40全面にトレンチ(凹部101)を設け、このトレンチの底部でショットキー接合を形成し、かつこのショットキー接合を形成する金属膜をドレイン電極12とする構造とすることで、有効な順阻止能力および逆阻止能力を実現した電圧特性を

50

有する縦型のスイッチングデバイスとして十分に機能していることが分かる。

【0065】

以上、説明したように、実施の形態1によれば、SiC基板裏面からp⁺型SiC基板を貫通してn⁻型ドリフト層に達する凹部の底部に、n⁻型ドリフト層とのショットキー接合を形成するドレイン電極を形成することにより、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を確保することができる。

【0066】

(実施の形態2)

本発明の実施の形態2にかかるワイドバンドギャップ逆阻止MOS型半導体装置について説明する。図13は、本発明の実施の形態2にかかるSiC逆阻止MOSFETの活性領域の要部を示す断面図である。実施の形態2にかかるSiC逆阻止MOSFET1005が実施の形態1にかかるSiC逆阻止MOSFETと異なる点は、耐圧構造部31の外周に設けられたトレンチ20の内壁に沿ってp型分離領域26aが形成されている点である。具体的には、このSiC逆阻止MOSFET1005は、活性領域41を取り囲むように形成される耐圧構造部31のさらに外周の周辺部に、基板おもて面からSiC-n型J-FET領域4およびSiC-n⁻型ドリフト層1を貫通してp⁺型SiC基板100に到達する深さのトレンチ20を有する。このトレンチ20を囲うようにトレンチ20の内壁にp型分離領域26aが形成されている。

【0067】

p型分離領域26aは、例えばトレンチ20内壁への斜めイオン注入および熱処理による不純物イオン拡散によって形成される。トレンチ20の内部が絶縁膜21で充填される。このように、耐圧構造部31の外周側に、活性領域41と耐圧構造部31とを取り巻くように、かつSiC-n⁻型ドリフト層1の表面(p⁺型SiC基板100側に対して反対側の表面)側からp⁺型SiC基板100に到達するようにp型分離領域26aが形成されていれば、トレンチ20とp型分離領域26aとからなる周辺部構造は上記構成に限らず、その他の構造であってもかまわない。

【0068】

以上、説明したように、実施の形態2にかかるSiC逆阻止MOSFETによっても、実施の形態1と同様に、パワーデバイスとして十分な大電流を低オン電圧で流すことができ、高信頼性の順阻止能力および逆阻止能力を備える縦型のスイッチングデバイスとすることができる。

【0069】

(実施の形態3)

図18は、本発明の実施の形態3にかかるワイドバンドギャップ逆阻止MOS型半導体装置の構成を示す断面図である。図19は、図18の耐圧構造部を拡大して示す断面図である。図19では、p⁺型SiC基板100を図示省略する(以下、図20~22, 24においても同様)。本発明の実施の形態1にかかるSiC逆阻止MOSFET1004の耐圧構造部30の構成を、実施の形態3として詳細に説明する。図18に示すように、SiC逆阻止MOSFET1004は、p⁺型SiC基板100上にSiC-n⁻型ドリフト層1が積層されてなるSiC基板からなり、活性領域40にイオン注入およびエピタキシャル成長で形成されたIE-MOSFET(Implantation and Epitaxial MOSFET)が構成されている。

【0070】

具体的には、活性領域40において、SiC基板のおもて面側(SiC-n⁻型ドリフト層1側)には、実施の形態1と同様に、SiC-p⁺型ベース領域2、SiC-p型エピタキシャル領域3、SiC-n⁺型ソース領域5、SiC-p⁺型ボディ領域6、ゲート絶縁膜7およびpoly-Siゲート電極8からなるMOSゲート構造と、BPSG9によりpoly-Siゲート電極8と絶縁されたソース電極10とが形成されている。SiC-n型J-FET領域は設けられていなくてもよい。SiC基板の厚さは、例えば50

10

20

30

40

50

μm以上であってもよい。

【0071】

S i C基板側面には、実施の形態1と同様に、基板おもて面から裏面にわたってp型分離領域26が設けられている。S i C基板側面(チップエッジ部)は、基板主面に対して所定の角度で傾斜していてもよい。図18には、S i C基板の幅がおもて面から裏面に向かって狭くなるようにS i C基板側面が傾斜している場合を図示している。S i C基板の裏面には、実施の形態1と同様に、活性領域40に対向する部分に、p⁺型S i C基板100を貫通してS i C - n⁻型ドリフト層1に達する凹部101が設けられている。実施の形態1では、凹部101の側壁を基板主面に対して略90度としているが、図18に示すようにテーパ角からなる側壁を持つ凹部101としてもよい。図18には、凹部101の開口幅が基板裏面側からおもて面側に向かって狭くなっている場合を図示している。

10

【0072】

S i C基板の裏面(凹部101の内壁も含む)から側面にわたって、実施の形態1と同様に、ドレイン電極12が設けられている。ドレイン電極12は、凹部101の底面においてS i C - n⁻型ドリフト層1とショットキー接合を形成している。ドレイン電極12は、基板側面においてp型分離領域26に接続されている。このような構成にすることにより、逆方向電圧が印加されたときに、基板側面のp型分離領域26とS i C - n⁻型ドリフト層1との間のpn接合から空乏層が広がり、逆方向漏れ電流が大きくなることを回避することができる。また、ドレイン電極12が基板側面のp型分離領域26に接続されていることにより、逆方向電圧が印加されたときに、p型分離領域26を介して基板おもて面にドレイン電位があらわれる。このため、逆方向電圧が印加されたときや過渡的にサージ電流が流れたときに、S i C基板のおもて面側と裏面側の電位差がほぼない状態とすることができ、後述する逆方向耐压構造部の最適化が容易となる。

20

【0073】

活性領域40の外周を囲む耐压構造部30は、S i C基板のおもて面側に設けられたS i C - p型接合終端伸張領域22a, 22bからなるJ T E構造となっている。S i C - p型接合終端伸張領域22aは、耐压構造部30の内側に設けられ、最外周のS i C - p⁺型ベース領域2に接している。また、S i C - p型接合終端伸張領域22aは、p⁺型高濃度領域23aを介してS i C - n⁺型ソース領域5に電氣的に接続されている。(図19では、S i C - n⁺型ソース領域5を図示省略する:図21, 22, 24においても同様)。S i C - p型接合終端伸張領域22aは、順阻止能力を確保する機能を有し、順方向耐压構造部を構成する。

30

【0074】

S i C - p型接合終端伸張領域22bは、耐压構造部30の外側に設けられ、p⁺型高濃度領域23bを介してp型分離領域26に電氣的に接続されている。S i C - p型接合終端伸張領域22bは、逆阻止能力を確保する機能を有し、逆方向耐压構造部を構成する。耐压構造部30の基板おもて面は、絶縁保護膜9aで覆われている。このように、耐压構造部30は、S i C - p型接合終端伸張領域22aからなる順方向耐压構造部、S i C - p型接合終端伸張領域22bからなる逆方向耐压構造部および絶縁保護膜9aで構成されている。

40

【0075】

S i C - n⁻型ドリフト層1の、S i C - p型接合終端伸張領域22aとS i C - p型接合終端伸張領域22bとに挟まれた部分には、順方向電圧が印加されたときに、活性領域40側からp型分離領域26側へ向かって伸びる空乏層24が広がる。また、S i C - n⁻型ドリフト層1の、S i C - p型接合終端伸張領域22aとS i C - p型接合終端伸張領域22bとに挟まれた部分には、逆方向電圧が印加されたときに、p型分離領域26側から活性領域40側へ向かって伸びる空乏層25が広がる。すなわち、S i C - n⁻型ドリフト層1の、S i C - p型接合終端伸張領域22aとS i C - p型接合終端伸張領域22bとに挟まれた部分は、順方向耐压構造部と逆方向耐压構造部とを兼ねる。

【0076】

50

S i C - n⁻型ドリフト層 1 の、S i C - p 型接合終端伸張領域 2 2 a と S i C - p 型接合終端伸張領域 2 2 b とに挟まれた部分の長さ (S i C - p 型接合終端伸張領域 2 2 a と S i C - p 型接合終端伸張領域 2 2 b との間の幅) は、順方向電圧が印加されたときに、活性領域 4 0 側から伸びる空乏層 2 4 が S i C - p 型接合終端伸張領域 2 2 b に達しないように設定される。また、S i C - n⁻型ドリフト層 1 の、S i C - p 型接合終端伸張領域 2 2 a と S i C - p 型接合終端伸張領域 2 2 b とに挟まれた部分の長さは、逆方向電圧が印加されたときに、p 型分離領域 2 6 側から伸びる空乏層 2 5 が S i C - p 型接合終端伸張領域 2 2 a に達しないように設定される。

【 0 0 7 7 】

比較として、従来の F L R からなる順方向耐圧構造部および逆方向耐圧構造部を備えたワイドバンドギャップ逆阻止 M O S 型半導体装置の動作について説明する。図 2 0 は、従来のワイドバンドギャップ逆阻止 M O S 型半導体装置の耐圧構造部を示す断面図である。図 2 0 は、上記特許文献 7 の図 1 などに示す耐圧構造部に相当する。図 2 0 に示すように、従来の S i C 逆阻止 M O S F E T において、図示省略する活性領域には、p 型 S i 基板上に S i C - n⁻型ドリフト層 1 1 1 が積層されてなる半導体基板のおもて面側 (S i C - n⁻型ドリフト層 1 1 1 側) に一般的な M O S ゲート構造が設けられている。符号 1 1 2 は S i C - p⁺型ベース領域であり、符号 1 2 0 はソース電極である。

【 0 0 7 8 】

半導体基板の側面には、半導体基板のおもて面から S i C - n⁻型ドリフト層 1 1 1 を貫通して p 型 S i 基板 (不図示) に達するシリコン半導体領域 1 2 6 が設けられている。耐圧構造部 1 3 0 は、半導体基板のおもて面側に設けられたリング状の複数の F L R 1 2 2 a , 1 2 2 b と、半導体基板のおもて面を覆う層間絶縁膜 1 1 9 とで構成される。活性領域側に設けられた複数の F L R 1 2 2 a によって順方向耐圧構造部が構成される。シリコン半導体領域 1 2 6 側に設けられた複数の F L R 1 2 2 b によって逆方向耐圧構造部が構成される。最外周の F L R 1 2 2 a と最内周の F L R 1 2 2 b との間には、n 型ストッパ領域 1 2 7 が設けられている。

【 0 0 7 9 】

従来の S i C 逆阻止 M O S F E T において、順方向電圧が印加されたときに活性領域側からシリコン半導体領域 1 2 6 側へ向かって伸びる空乏層 1 2 4 は、n 型ストッパ領域 1 2 7 の活性領域側の端部で止まる。逆方向電圧が印加されたときにシリコン半導体領域 1 2 6 側から活性領域側へ向かって伸びる空乏層 1 2 5 は、n 型ストッパ領域 1 2 7 のシリコン半導体領域 1 2 6 側の端部で止まる。すなわち、耐圧構造部 1 3 0 のうち、n 型ストッパ領域 1 2 7 の活性領域側の端部から活性領域側が順方向耐圧構造部であり、n 型ストッパ領域 1 2 7 のシリコン半導体領域 1 2 6 の端部からシリコン半導体領域 1 2 6 側が逆方向耐圧構造部である。

【 0 0 8 0 】

このように、従来の S i C 逆阻止 M O S F E T では、n 型ストッパ領域 1 2 7 を境に順方向耐圧構造部と逆方向耐圧構造部とがそれぞれ設けられている。それに対して、本発明の S i C 逆阻止 M O S F E T 1 0 0 4 においては、S i C - n⁻型ドリフト層 1 の、S i C - p 型接合終端伸張領域 2 2 a と S i C - p 型接合終端伸張領域 2 2 b とに挟まれた部分を、順方向耐圧構造部と逆方向耐圧構造部とに共通の領域とすることができる。このため、本発明の S i C 逆阻止 M O S F E T 1 0 0 4 の耐圧構造部 3 0 の長さを、従来の S i C 逆阻止 M O S F E T の耐圧構造部 1 3 0 の長さよりも短くすることができる。また、S i C 基板は S i 基板の約 1 0 0 倍の基板濃度 (S i C - n⁻型ドリフト層 1 の不純物濃度) を有する。このため、S i C 逆阻止 M O S F E T 1 0 0 4 は、シリコン逆阻止 I G B T よりも耐電荷性が高く、耐圧構造部の長さを短くすることができる。

【 0 0 8 1 】

図 1 8 , 1 9 に示す S i C 逆阻止 M O S F E T 1 0 0 4 を製造する方法は、実施の形態 1 にかかる S i C 逆阻止 M O S F E T 1 0 0 4 の製造方法において、等方性エッチングにより、凹部 1 0 1 と、チップエッジ部を形成するためのトレンチ溝 1 0 5 とを形成すれば

10

20

30

40

50

よい。図 18, 19 に示す SiC 逆阻止 MOSFET 1004 のそれ以外の製造方法は、実施の形態 1 にかかる SiC 逆阻止 MOSFET 1004 の製造方法と同様である。

【0082】

本発明の SiC 逆阻止 MOSFET 1004 の製造方法においては、上述した従来の SiC 逆阻止 MOSFET のようにトレンチ内部に Si 層を埋め込んでシリコン半導体領域 126 を形成する工程を行う必要がなく、逆阻止能力を確保することができる。このため、本発明の SiC 逆阻止 MOSFET 1004 の製造方法は、半導体基板に高アスペクト比のトレンチを形成する場合にも適用可能であり、半導体基板の厚さが厚い高耐圧の逆阻止デバイスに適している。また、SiC 基板の裏面からおもて面に達するトレンチ溝 105 を形成することによりチップエッジ部が形成されるため、ダイシングを行う必要がない。

10

【0083】

以上、説明したように、実施の形態 3 によれば、実施の形態 1, 2 と同様の効果を得ることができる。

【0084】

(実施の形態 4)

図 21 は、本発明の実施の形態 4 にかかるワイドバンドギャップ逆阻止 MOS 型半導体装置の耐圧構造部を示す断面図である。実施の形態 4 にかかる SiC 逆阻止 MOSFET が実施の形態 3 にかかる SiC 逆阻止 MOSFET と異なる点は、SiC-p 型接合終端伸張領域 22a と SiC-p 型接合終端伸張領域 22b との間に n 型ストッパ領域 27 を設けた点である。SiC-p 型接合終端伸張領域 22a と SiC-p 型接合終端伸張領域 22b との間に n 型ストッパ領域 27 を設けることにより、活性領域 40 側から p 型分離領域 26 側へ向かって伸びる空乏層 24 の広がり、および、p 型分離領域 26 側から活性領域 40 側へ向かって伸びる空乏層 25 の広がりをさらに抑制することができる。

20

【0085】

以上、説明したように、実施の形態 4 によれば、実施の形態 1 ~ 3 と同様の効果を得ることができる。

【0086】

(実施の形態 5)

図 22 は、本発明の実施の形態 5 にかかるワイドバンドギャップ逆阻止 MOS 型半導体装置の耐圧構造部を示す断面図である。実施の形態 5 にかかる SiC 逆阻止 MOSFET が実施の形態 3 にかかる SiC 逆阻止 MOSFET と異なる点は、SiC-p 型接合終端伸張領域 (以下、第 1 p 型接合終端伸張領域とする) 22a, 22b の内部に、それぞれ、第 1 p 型接合終端伸張領域 22a, 22b よりも不純物濃度が高い第 2 p 型接合終端伸張領域 28a, 28b を設けた点である。

30

【0087】

順方向耐圧構造部は、第 1 p 型接合終端伸張領域 22a と、第 1 p 型接合終端伸張領域 22a の内部に設けられた第 2 p 型接合終端伸張領域 28a との 2 段の JTE 構造となっている。第 2 p 型接合終端伸張領域 28a は、p⁺型高濃度領域 23a に接する。第 1 p 型接合終端伸張領域 22a と第 2 p 型接合終端伸張領域 28a との間に、第 1 p 型接合終端伸張領域 22a よりも不純物濃度が高く、第 2 p 型接合終端伸張領域 28a よりも不純物濃度が低い p 型接合終端伸張領域をさらに設けて、順方向耐圧構造部を 3 段以上の JTE 構造としてもよい。

40

【0088】

逆方向耐圧構造部は、第 1 p 型接合終端伸張領域 22b と、第 1 p 型接合終端伸張領域 22b の内部に設けられた第 2 p 型接合終端伸張領域 28b との 2 段の JTE 構造となっている。第 2 p 型接合終端伸張領域 28b は、p⁺型高濃度領域 23b に接する。第 1 p 型接合終端伸張領域 22b と第 2 p 型接合終端伸張領域 28b との間に、第 1 p 型接合終端伸張領域 22b よりも不純物濃度が高く、第 2 p 型接合終端伸張領域 28b よりも不純物濃度が低い p 型接合終端伸張領域をさらに設けて、逆方向耐圧構造部を 3 段以上の JTE

50

E 構造としてもよい。

【0089】

以上、説明したように、実施の形態5によれば、実施の形態1～4と同様の効果を得ることができる。

【0090】

(実施の形態6)

図23は、本発明の実施の形態6にかかるワイドバンドギャップ逆阻止MOS型半導体装置の構成を示す断面図である。図24は、図23の耐压構造部を拡大して示す断面図である。実施の形態6にかかるSiC逆阻止MOSFET1006が実施の形態3にかかるSiC逆阻止MOSFETと異なる点は、基板側面にp型分離領域を設けておらず、基板側面にドレイン電極12とSiC-n⁻型ドリフト層1とのショットキー接合が形成されている点である。

10

【0091】

実施の形態6にかかるSiC逆阻止MOSFET1006においては、基板側面に形成されたショットキー接合により逆阻止能力が確保される。したがって、実施の形態1と同様に、耐压構造部33において、SiC-n⁻型ドリフト層1の、SiC-p型接合終端伸張領域22aとSiC-p型接合終端伸張領域22bとに挟まれた部分が順方向耐压構造部と逆方向耐压構造部とを兼ねる。

【0092】

以上、説明したように、実施の形態6によれば、実施の形態1～5と同様の効果を得ることができる。また、実施の形態6によれば、逆方向電圧が印加されたときに、基板側面のショットキー接合から空乏層が広がるため、基板側面にp型分離領域とSiC-n⁻型ドリフト層との間のpn接合を形成した場合と同様に、逆方向漏れ電流が大きくなることを回避することができる。

20

【0093】

以上において本発明は、本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において例えば各部の寸法や表面濃度等は要求される仕様等に応じて種々設定される。また、各実施の形態では、MOSゲート構造を備える場合を例に説明しているが、MISゲート(金属-絶縁膜-半導体からなる絶縁ゲート)構造を備えていてもよい。

30

【産業上の利用可能性】

【0094】

以上のように、本発明にかかる半導体装置は、ドレイン・ソース間の逆方向電圧印加に対して高信頼性を必要とするインバータやコンバータなどの電力変換装置などに使用されるパワー半導体装置に有用である。

【符号の説明】

【0095】

- 1 SiC-n⁻型ドリフト層
- 2 SiC-p⁺型ベース領域
- 3 SiC-p型エピタキシャル領域
- 4 SiC-n型J-FET領域
- 5 SiC-n⁺型ソース領域
- 6 SiC-p⁺型ボディ領域
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 BPSG
- 9a 絶縁保護膜
- 10 ソース電極
- 11, 11a ニッケル膜
- 12 ドレイン電極

40

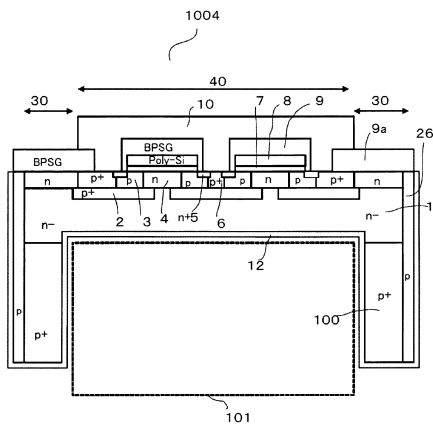
50

- 1 3 素子内周部
- 1 4 素子周辺部
- 1 5 , 1 5 a 一点鎖線
- 1 9 開口部
- 2 0 トレンチ
- 2 1 絶縁膜
- 2 2 a , 2 2 b SiC-p型接合終端伸張領域
- 2 3 a , 2 3 b p⁺型高濃度領域
- 2 4 順方向電圧印加時の空乏層
- 2 5 逆方向電圧印加時の空乏層
- 2 6 , 2 6 a p型分離領域
- 2 7 n型ストッパ領域
- 3 0 ~ 3 3 耐压構造部
- 4 0 ~ 4 2 活性領域
- 1 0 0 p⁺型SiC基板
- 1 0 1 凹部
- 1 0 5 トレンチ溝
- 2 0 2 凹部の面積
- 1 0 0 1 トランジスタ
- 1 0 0 2 ダイオード
- 1 0 0 3 逆阻止IGBT
- 1 0 0 4 ~ 1 0 0 6 SiC逆阻止MOSFET

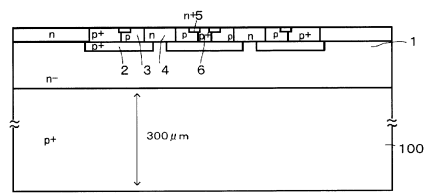
10

20

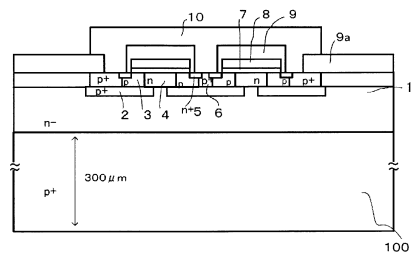
【図1】



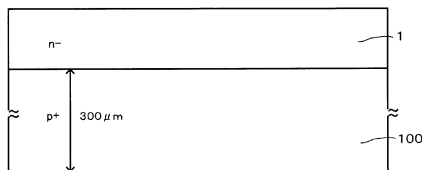
【図3】



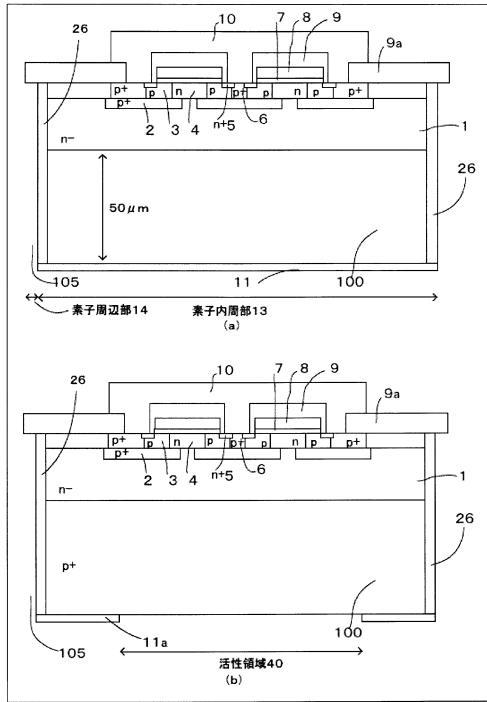
【図4】



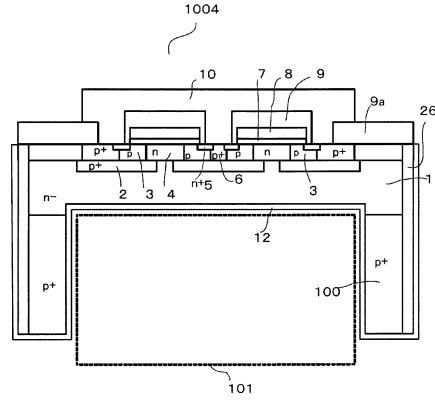
【図2】



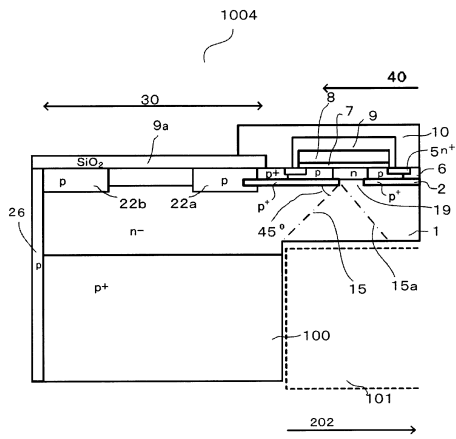
【図5】



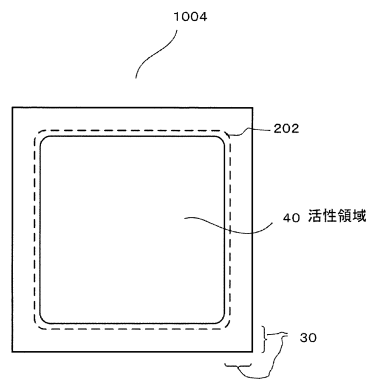
【図6】



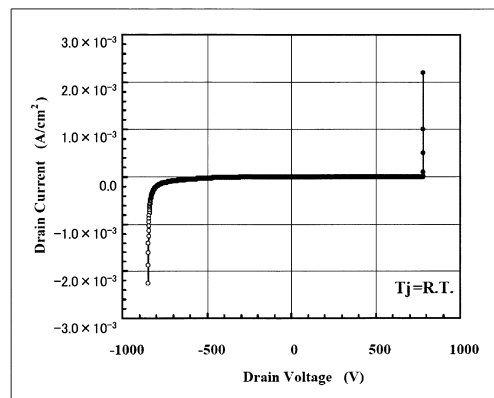
【図7】



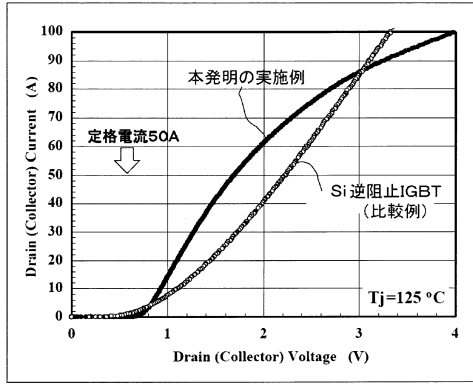
【図8】



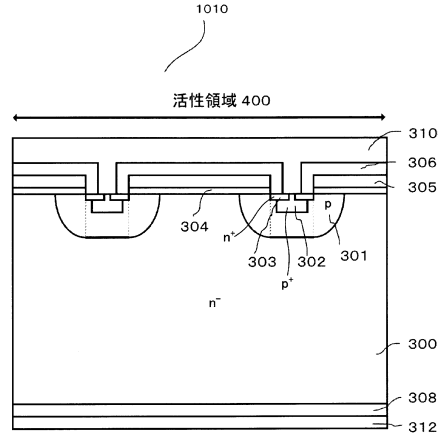
【図9】



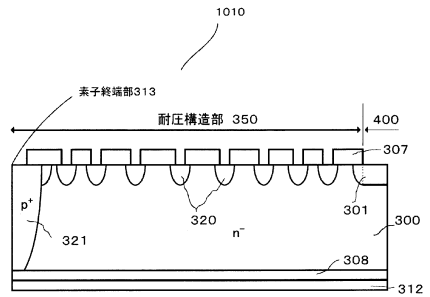
【図10】



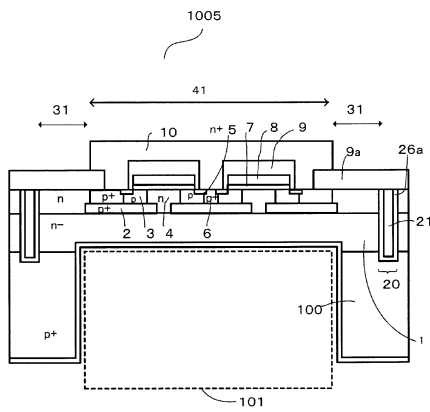
【図11】



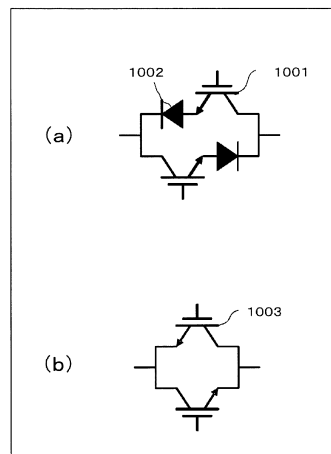
【図12】



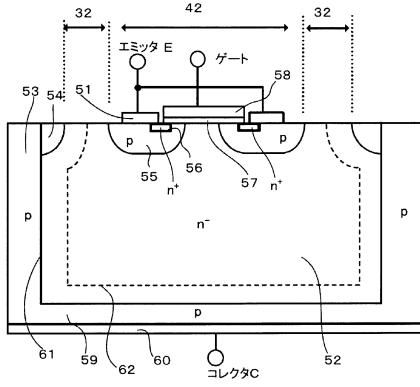
【図13】



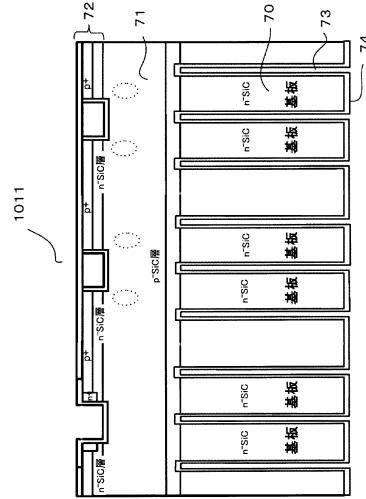
【図14】



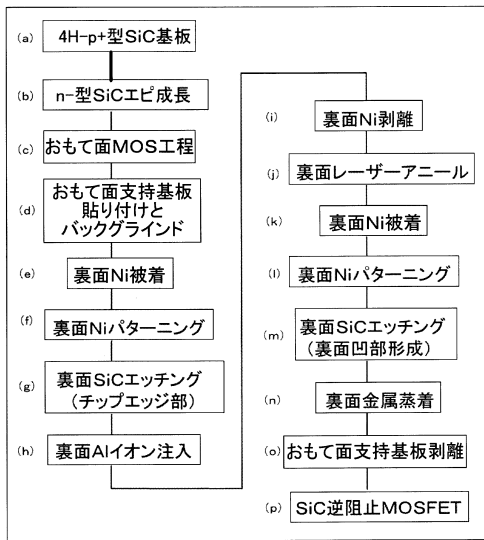
【図15】



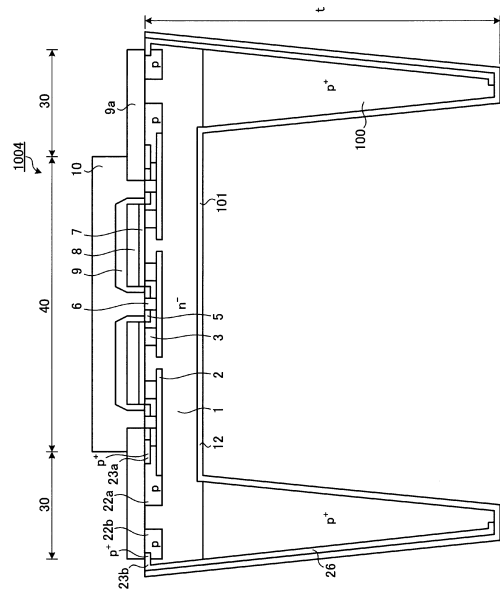
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 29/872	(2006.01)	H 0 1 L	29/78	6 5 2 N
H 0 1 L 29/41	(2006.01)	H 0 1 L	29/06	3 0 1 V
		H 0 1 L	29/06	3 0 1 D
		H 0 1 L	29/48	D
		H 0 1 L	29/44	L

審査官 須原 宏光

(56)参考文献 特開2010-258327(JP,A)
特開平09-102604(JP,A)
特開2003-249654(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 7 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 3 9