

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5097124号
(P5097124)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F I
H O 1 L 23/48 (2006.01)	H O 1 L 23/48 T
H O 1 L 23/50 (2006.01)	H O 1 L 23/48 G
	H O 1 L 23/50 U

請求項の数 20 (全 11 頁)

(21) 出願番号	特願2008-549575 (P2008-549575)	(73) 特許権者	597161115
(86) (22) 出願日	平成19年1月5日(2007.1.5)		インターナショナル レクティファイアー
(65) 公表番号	特表2009-522811 (P2009-522811A)		コーポレーション
(43) 公表日	平成21年6月11日(2009.6.11)		アメリカ合衆国 カリフォルニア州 90
(86) 国際出願番号	PCT/US2007/000273		245 エル セガンド ノース セブル
(87) 国際公開番号	W02007/079456		ヴェーダ ブールバード 101
(87) 国際公開日	平成19年7月12日(2007.7.12)	(74) 代理人	100147485
審査請求日	平成20年8月22日(2008.8.22)		弁理士 杉村 憲司
審判番号	不服2012-8413 (P2012-8413/J1)	(74) 代理人	100134005
審判請求日	平成24年5月9日(2012.5.9)		弁理士 澤田 達也
(31) 優先権主張番号	60/756,738	(74) 代理人	100153017
(32) 優先日	平成18年1月6日(2006.1.6)		弁理士 大倉 昭人
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/619,742		
(32) 優先日	平成19年1月4日(2007.1.4)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 シリコンデバイス実装用基板及び実装方法

(57) 【特許請求の範囲】

【請求項 1】

シリコンデバイスを実装するための基板であって、前記シリコンデバイスは前記基板に
対向する主要面に電極を有し、

基板の上面から上方へ延びている複数の突起と、

前記基板の上に形成されるはんだ層とを備え、前記複数の突起は、前記はんだ層を貫通
して延びており、前記複数の各突起の先端部は、押し下げられて前記はんだ層の表面と同じ高
さになっており、シリコンデバイスを前記基板上に配置したとき、前記複数の突起上
に支持され、前記シリコンデバイスの前記電極が同一平面上の外部端子とボンドワイヤ無
しに電氣的に接触可能となっている、前記シリコンデバイスを実装するための基板。

10

【請求項 2】

前記複数の各突起は、前記基板の上面を削ることが可能な針状工具によって、隆起させ
て形成されている、請求項 1 記載の基板。

【請求項 3】

前記複数の突起は、前記基板の上面を削ることが可能な、多数の針先を備える針状工具
によって、一度に隆起させて、形成されている、請求項 1 記載の基板。

【請求項 4】

前記複数の突起は、前記シリコンデバイスに対し、安定よく支持するのに適する、所定
のパターンで配列されている、請求項 1 記載の基板。

【請求項 5】

20

前記はんだ層は、所望の厚さを有するはんだプレフォームであり、前記複数の各突起の先端は、スタンプによって押し下げられて、前記はんだプレフォームの表面の高さになっている、請求項 1 記載の基板。

【請求項 6】

前記はんだ層は、所望の厚さを有するはんだペーストの層であり、前記複数の各突起の先端は、スタンプによって押し下げられて、前記はんだペーストの層の表面の高さになっている、請求項 1 記載の基板。

【請求項 7】

前記複数の突起は、前記シリコンダイを前記基板上に実装したとき、前記シリコンダイを支持するように、選択されたパターンで配列されている、請求項 1 記載の基板。

10

【請求項 8】

前記基板は、金属缶であり、前記シリコンデバイスは、M O S F E Tである、請求項 1 記載の基板。

【請求項 9】

前記基板は金属缶であり、前記シリコンデバイスは、I G B Tである、請求項 1 記載の基板。

【請求項 10】

前記基板は金属缶であり、前記シリコンデバイスは、ダイオードである、請求項 1 記載の基板。

【請求項 11】

20

基板上に、前記基板に対向する主要面に電極を有するシリコンデバイスを実装する方法であって、

基板を供給する工程と、

この基板の上面から上方へ延びる複数の突起を形成する工程と、

この複数の突起がはんだ層を貫通するように、前記基板の上面上に前記はんだ層を配置する工程と、

前記複数の各突起の先端部が、前記はんだ層の表面の高さまで押し下げられるように、前記はんだ層及び前記突起を押圧する工程と、

前記シリコンデバイスが、前記複数の突起によって支持されるように、前記はんだ層の上に前記シリコンデバイスを配置する工程と、

30

液体のはんだが形成され、前記シリコンデバイスを前記基板に接着させるように、前記はんだ層を熱する工程とを備えており、前記シリコンデバイスの前記電極が同一平面上の外部端子とボンドワイヤ無しに電氣的に接触されている、前記シリコンデバイスを、前記突起上に配置し保持する方法。

【請求項 12】

前記形成する工程は、前記基板の上面を針状工具で削り、前記複数の各突起を形成することからなる、請求項 11 記載の方法。

【請求項 13】

前記形成する工程は、前記基板の上面を、所定の構造をした、複数の針先が付いた針状工具を用いて削り、前記複数の突起を一度に形成することを特徴とする、請求項 11 記載の方法。

40

【請求項 14】

前記はんだ層を、選択された幅を有するはんだプレフォームによって形成する、請求項 11 記載の方法。

【請求項 15】

前記押圧する工程は、実質的に平らな底面を備えるスタンプを用いて実行され、前記複数の各突起の先端を押し下げ、所望の高さ、すなわち、前記はんだプレフォームの表面と実質的に同じ高さまで低くする、請求項 14 記載の方法。

【請求項 16】

前記はんだ層は、所望の幅を有するはんだペーストの層である、請求項 11 記載の方法

50

。

【請求項 17】

前記押圧する工程を、高さが前記複数の各突起の先端部が押し下げられる高さとなるように、スタンプの底面に形成された、複数の突栓を備える前記スタンプで実行する、請求項 16 記載の方法。

【請求項 18】

前記シリコンデバイスは、前記複数の突起によって実質的に支持され、前記はんだ層が熱せられるとき、前記シリコンデバイスの動きを制限するようになっている、請求項 11 記載の方法。

【請求項 19】

前記熱する工程を、はんだ炉において、所定の時間、所望の温度で、実行する、請求項 11 記載の方法。

【請求項 20】

熱する工程が完了した後、前記はんだペーストの中に含まれているフラックスから取り残されたフラックスの残留を、前記シリコンデバイス及び前記基板から除去する工程をさらに備えている、請求項 17 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2005年1月6日に出願された米国仮特許出願第60/756,738号、名称「SOLDER THICKNESS CONTROL FOR BOND WIRELESS DISCRETE Si PACKAGE (ボンドワイヤレス・ディスクリート・シリコンパッケージのためのはんだ厚制御)」の利益及び優先権を主張するものであり、その内容全体を、参照用として、本明細書に組込むものとする。

【0002】

本発明は、シリコンデバイスを実装するための基板と、その実装方法に関する。

【背景技術】

【0003】

半導体技術における進歩により、シリコンの性能限界は、現在のパッケージの能力を超えつつある。特に、MOSFET及びIGBTの電力及び電流容量は、パッケージの性能不足によって、しばしば制限されている。パッケージの熱抵抗及び電気抵抗は、電力損失を引き起こし、かつそれに伴うシリコンの発熱は、シリコンの限界を超えてしまう。さらに、パッケージのインダクタンスもまた、スイッチングにおける電流について、ある種の限界を引き起こす。特に、パッケージの寄生インダクタンスは、電圧を過大とし、シリコンデバイスを破損する恐れがある。このことは、シリコンデバイスの上面を、リードフレーム又は他の外部金属端子に電気接続するために、ボンドワイヤを利用する従来のパッケージングにおける特有の問題である。

【0004】

新しいパッケージング技術では、インダクタンスを最小化し、ボンドワイヤレス接続技術によって、ヒートシンクへの熱伝導率を改善することを試みている。このようなパッケージングの一例として、出願人International Rectifier Corporation (インターナショナル・レクティファイヤ・コーポレーション) のDirect Direct FET (小型金属パッケージ) 製品ラインが提供され、この製品ラインは、特許文献1に記載されている。その内容全体を参照のために本明細書に組込むものとする。

【0005】

このような改善されたパッケージング技術のもう1つの例として、馬蹄形をし、直接に接着された銅基板(DBC) (Direct Bonded Copper) 缶を利用している例が、同じ出願人による特許文献2に記載されている。この文献に基づく優先権が、同出願人の現在係属出願中の特許文献3において主張されており、これらの明細書の内

10

20

30

40

50

容全体を、参照用として本明細書に組込むものとする。

【0006】

これらの引用文献において、シリコンデバイスすなわちダイは、缶形ハウジングに実装され、そのパワーデバイスの上面（ソース／エミッタ、及びゲートコンタクト）は、金属パッドにはんだ付けされ、より大きい電流容量と、低減されたインダクタンスと、より良い熱的な特性とを得るようになってきている。特に、パワースイッチに対して、シリコンダイの両面に大きい金属接触部を設けることは、電氣的及び熱的な特性を好ましいものとする上で有益である。

【特許文献1】米国特許第6,624,522号

【特許文献2】2006年1月24日に出願された仮特許出願第60/761,722号、名称「STRESS-REDUCED BOND-WIRELESS PACKAGE FOR HIGH POWER DENSITY DEVICES（高パワー密度デバイス用外圧低減ボンドワイヤレスパッケージ）」（IR-3177Prov）

【特許文献3】2006年12月18日に出願された、名称「PACKAGE FOR HIGH POWER DENSITY DEVICES（高パワー密度デバイス用パッケージ）」（Atty. Ref. 2-5799）

【0007】

しかし、このようなボンドワイヤレスダイを取付けるような設計とすると、はんだ接合がより重要となる。特に、はんだ接合、および、この接触層に起こり得る故障メカニズムは、用いられている製品の質及び信頼性に重大な影響を及ぼす。はんだ接合は、シリコンデバイスの上面及び底面で、電氣的及び機械的な接触層を形成するとき、特に重要である。

【0008】

一般的に、ダイの上面は、ワイヤボンドを介して、基板又はリードフレームに接着されている。ボンドワイヤレス技術の場合、はんだバンプは、ウエハのレベルでダイに供給される。バンプは、例えば、パワースイッチのゲートパッド、又は、IC接続パッド（例えば、ボールグリッドアレー）に対してはかなり小さく、MOSFET又はIGBTのソースパッドに対して、大電流接続を確立するために用いられるときにはかなり大きい。

【0009】

さらに、通常、シリコンデバイスの裏面は、金属リードフレーム、DBC、プリント回路基板（PCB）等のような基板にはんだ付けされる。このはんだ付けされる範囲は、比較的大きく、一般的には、ダイのサイズに対応している。この裏面の取付けに対して、はんだ合金（PbSn又は鉛を含まないSnAgCu）とフラックスとを混ぜ合わせたはんだペーストを使用するのが一般的である。フラックスは、接触面をきれいにし、はんだの濡れを好ましいものとするために、特に、酸化された銅のような面に用いられる。

【0010】

一般的に、はんだペーストは、基板（リードフレーム、DBC、PCB等）上に、はんだペーストディスプレイ、又は、ステンシルマスクプリントされ、次に、ダイをはんだペーストネスト内に配置する。ついで、はんだペーストを、はんだ炉（又は、リフロー炉）で溶かし、シリコン金属化物と基板金属の間に、金属間接触部を形成する。

【0011】

この技術を用いて、ダイの下に供給されたはんだペーストの量に基づいて、かつ、はんだ炉の加熱要領（温度及び時間）に基づいて、はんだの厚さを調整することは一般的である。しかし、この方法では、はんだの厚さを細かく制御することはできない。例えば、はんだペーストが液相にある間にダイが動くと、時として液状のはんだがクリープする又は流れることがある。このような、クリープ、及び／又は、流れを確実に予想することはできない。さらに、基板又はリードフレームにおける、ペースト量が不均一であると、はんだの厚さが場所によって異なるものとなり、最終的なはんだ層の厚さが不均一となるおそれがある。

【0012】

10

20

30

40

50

これらの問題に対処するための1つの方法は、基板又はリードフレーム上に、はんだ止めラッカーのようなものを使用して、はんだが大きく広がるのを防止するか、さもなければ、金属パッドの範囲に規制することである。しかし、このような技術は、通常費用がかかり、ダイの動きを完全に阻止することはできない。また、このような技術は、ダイが傾いたときに起こり得る問題を解決することはできない。さらに、このような技術を用いるとき、使用する工具及び他の装置を変えなければ、ダイ、又は、はんだパターン、又は、はんだの厚さを変えることは困難であり、そのための費用と時間がかかることとなる。

【0013】

ダイの位置が変わると、ダイは、回路パターンに関して適切な位置とはならず、また、ダイが、ある方向に傾くこととなるおそれがある。さらに、フラックスと接触面との間で化学反応が起きて、液相にあるときはんだを泡立たせてしまう可能性がある。これは、ダイを意に反して動かしてしまう1つの要因となる。

10

【0014】

これらの問題は、場合によっては、生産の妨げとはならないかもしれない。すなわち、場合によっては、ダイが動くことは、問題ではないかもしれない。しかし、ダイが正確に位置することは、場合によっては重要である。ダイが少し動いただけでも、微小構造をしたパッドに対するワイヤボンディング工程にとって、又は、シリコンデバイスを、パンプの位置（高さ及び場所）の許容範囲が小さい際に、フリップチップによってはんだ付けをするとき、問題になる可能性がある。DirectFET?製品ラインで使用される金属缶に実装した後、ダイが、水平を保ち、正しく位置していることは、特に重要である。

20

【0015】

現在のはんだペースト技術に関するもう1つの問題は、はんだ付け作業後に、ダイ又は基板に残留するフラックスについてである。この残留フラックスは、除去するのが困難であり、もし除去しないと、ワイヤボンディング、又は、他の電気的コンタクト技術に関する問題を引き起こすおそれがある。また、その後に続く実装工程でも、フラックスを除去することが必要となる。従って、フラックスの除去は、通常は不可欠であり、それに伴い追加の経費がかかる。

【0016】

代替技術として、はんだペーストの代わりに、いわゆるはんだプレフォームを使用することがある。はんだプレフォームは、一般的に、所望するはんだパッドのサイズにほぼ対応する、所定の厚さ（通常は10 μm から100 μm 超まで）及び面積で、はんだフォイルをプレフォームした部分である。通常、このプレフォームは、フラックスなしで使用され、ギ酸ガスを使用した真空はんだ付けプロセスを介してはんだ付けされ、ギ酸ガス（例えば、気相におけるギ酸）がフラックスの役目をして、残留物が残らないように表面を洗浄する。しかし、この技術によっても、はんだ層の厚さを制御するのは困難である。はんだ層の厚さは、はんだプレフォームの厚さによって定められ、かつ、はんだが溶けると、この厚さは変化する。さらに、はんだが溶けると、ダイも動く。これにより、上述したように、はんだの厚さにばらつきが生じることとなる。

30

【0017】

図1は、シリコンデバイスすなわちダイ100を示し、それは、基板又はリードフレーム102上に、はんだ層104を介して、異なる厚さ104a、104bで設けられている。図示するように、従来の技術では、基板102上のシリコンデバイス100の位置の変化、及び上述した、フラックスの残留106という問題がある。例えば、図1において、シリコンデバイス100の片側の基板102の濡れ性が良いと、はんだは同じ方向に広がることとなる。従って、片側のはんだ層104の厚さは、他の側の厚さよりも薄く、シリコンデバイス100は傾くこととなる。

40

【0018】

上述し、かつ図1で示した問題は、従来のあらゆるシリコンデバイス取付け技術において共通のものである。場合によっては、これらの変化は、特に問題ではないが、上述した、DirectFET?製品ラインにおけるMOSFETのような、メタルハウジングに

50

において、又は、上述した、特許文献3で言及されている馬蹄形缶において、シングルデバイスが、正確にはんだ付けされる必要がある場合には、これらの変化は受け入れ難い。

【0019】

これらの問題のいくつかを回避するために、シリコンダイ又はデバイスを金属缶に取り付けるのに、接着剤を使用することがある。例えば、接着剤は、より良い制御が可能であるため、DirectFET?製品ラインにおけるシリコンデバイスを取り付けるために用いることができる。しかし、はんだ接続は、優れた電気特性及び熱特性を発揮し、電流容量を増大させる。しかし、上述したように、従来のはんだ接合では、DirectFET?製品ラインで使用できるほどに、十分かつ正確な制御をすることはできない。特に、DirectFET?製品ラインは、ゲートバンプ及びソースバンプが正確な位置にあり、金属缶に対して完全に水平であることを必要とするが、これは、上述したはんだ付け技術において問題である。

10

【0020】

1つのデバイスを他のデバイス上に実装する、1つの別の方法が、カイザー(Kaiser)による特許文献4に記載されている。このカイザーの発明では、位置を固定する、1つ又は複数の要素は、第1構造コンポーネント上に供給され、第1構造コンポーネント上に実装される第2構造コンポーネントの位置を固定する。マンドレルのような工具を使用して、位置固定要素を形成する。特に、工具は、第1構造コンポーネントに関する平面に比例して傾斜した状態で、第1構造コンポーネントへプレスされる。この工程で、材料を移動した後溝が形成されるので、成形した材料を積み重ねて、位置固定要素と対応する形状を形成する。

20

【0021】

例えば、第1構造コンポーネント上に、接着剤又ははんだで接着するとき、位置固定要素は、電気回路を位置付けするのに適している。カイザーの位置固定要素は、第2構造コンポーネントを位置付けるのに有効であると思われるが、位置固定要素を作るために用いるマンドレルは、材料を常に均等に積み重ねるわけではない。従って、位置固定要素は、第2構造コンポーネントを安定よく支持することにはならない。

【特許文献4】米国特許第4,934,679号

【0022】

従って、上述した問題を回避するべく、はんだを用いてシリコンデバイスを実装しうる基板、及び実装方法を提供することは、有益なことである。

30

【発明の開示】

【発明が解決しようとする課題】

【0023】

本発明の第1の目的は、良く制御されたはんだの厚さ、及びフラットダイの取付けを可能にし、シリコンデバイス(ダイ)が傾斜するのを防止し、低コストで、はんだが液相にある間に、シリコンデバイス(ダイ)の位置を安定させるような構造を有する、ボンドワイヤレスパッケージを提供することにある。

【0024】

本発明の別の目的は、金属缶又は基板に対し、革新的かつ低コストで、はんだの厚さを正確に制御しうるようにし、かつ、ダイが傾斜しないようにすることである。

40

【課題を解決するための手段】

【0025】

本明細書の一実施例による、シリコンデバイスが実装されている基板は、基板の上面から上方へ延びている複数の突起と、この基板の上に形成されたはんだ層とを備えており、すなわち、複数の突起は、はんだ層を貫通して、上方へ延びている。複数の各突起の先端部は、はんだ層の表面と同じ高さにあるので、シリコンデバイスは、基板上に配置したとき、複数の突起上で支持される。

【0026】

本発明による、基板上にシリコンデバイスを実装する方法の一実施例は、基板を供給す

50

る工程と、基板の上面から上方へ延びている複数の突起を形成する工程と、複数の突起がはんだ層を貫通するように、基板の上面にはんだ層を配置する工程と、複数の各突起の先端部がはんだ層の表面の高さまで押し下げられるようにはんだ層及び突起を押し下げる工程と、シリコンデバイスが複数の突起によって実質上支持されるように、はんだ層の上にシリコンデバイスを配置する工程と、液体であるはんだが形成されシリコンデバイスを基板に接着するようにはんだ層を熱する工程とを備えており、シリコンデバイスは、加熱中に突起上に配置されたままとされる。

【 0 0 2 7 】

本発明の他の特徴及び利点については、添付の図面に基づく以下の説明により、明らかになると思う。

【発明を実施するための最良の形態】

【 0 0 2 8 】

図 2 ~ 図 6 は、本発明による、シリコンデバイス又はダイが実装される基板の一実施例を示す。好ましい例として、図 3 に示すように、針状工具 10 を使用して、基板 14 の上面 12 を削り、基板 14 の上面 12 から上方へ延びる、ほぼ垂直の突起 16 (又は削りくず)を作り出す。図示のように、突起 16 の高さは、好ましくは、約 100 μm である。この突起 16 の高さは、好ましいものであるが、突起の高さは、個々の適用例に応じて変更される。

【 0 0 2 9 】

好ましい例において、基板 14 は金属缶であり、例えば、Direct FET[®]製品ラインで利用されている金属缶、又は、出願中の特許文献 3 に記載されているような、馬蹄形 DBC の銅からなっている。しかし、突起 16 は、所望により、どのような基板上にも同様に形成することができる。好適例においては、図 2 に示すように、基板 14 には、4 つの突起 16 が、ほぼ長方形に配列して成されている。しかし、所望により、3 つの突起 16 を、基板 14 の上面に、三角形に配列して削成してもよい。特定の例を上述したが、後で述べるように、突起 16 が、基板 14 上に配置されているシリコンデバイスを支持することができるという条件を満たしている限り、基板 14 に削成される突起 16 の数は、いくつであってもよい。

【 0 0 3 0 】

ついで、図 4 に示すように、はんだプレフォーム 18 を、基板 14 の上面 12 に設ける。はんだプレフォーム 18 の厚さは、最終的な基板におけるシリコンデバイスのはんだ層の厚さに応じて決められる。はんだプレフォーム 18 は、プレスされるので、突起 16 ははんだプレフォーム 18 を貫通して延びる。この際、突起 16 の先端部 16a が、プレフォーム 18 の表面 20 より、やや突出していることが好ましい。

【 0 0 3 1 】

図 5 に示すように、例えばスタンプ 22 を使用して、突起 16 の先端部 16a を押し下げ、はんだプレフォーム 18 の表面 20 に接触させる。スタンプ 22 を使用するので、突起 16 の全ての先端部 16a は、確実に同じ高さまで押し下げられ、シリコンデバイス 24 用の安定した平面が形成される。従って、図 6 に示すように、シリコンデバイス 24 を、はんだプレフォーム 18 の上に、好ましい状態で重ねることができる。

【 0 0 3 2 】

突起 16 を形成し、例えば、缶又は基板 12 の製造中に、はんだプレフォーム 18 を基板 14 の上面 12 に重ね合せ、さらにその後、シリコンデバイスを重ね合わせることが可能である。このようにして、本発明によるシリコンデバイス実装用に適した基板が、各種の用途に応じて多数生産される。シリコンデバイス 24 は、例えばダイオード、MOSFET、IGBT 等のようなものである。図 6 に示すように、ゲートパンプ及びソースパンプを設けることもある。

【 0 0 3 3 】

その後、はんだプレフォーム 18 を、例えばはんだ炉で溶かす。しかし、突起 16 は、所定の位置から動くことはないので、シリコンデバイス 24 の位置がずれることはなく、

10

20

30

40

50

安定した平面が形成される。従って、はんだが液体状態にある間におけるシリコンデバイス24の動きは、ほとんどなくなる。シリコンデバイス24の金属の裏側へ溶けたはんだが付着すると、はんだがダイの下にはんだを固定する傾向があり、はんだが広がるのを防止するのに役立つので、はんだ層をほぼ通常の幅で維持する間、突起16は、シリコンデバイスを所望の位置で固定する。

【0034】

突起16はシリコンデバイス24を支持しているので、従来のはんだ工程では、はんだは外側へ流れ出たが、シリコンデバイス24の重さによって、はんだが外側へ流れ出すことはない。毛管作用により、はんだはシリコンデバイスの裏側にまわり、はんだはシリコンデバイスの下面に、良好に保持される。従って、はんだ層の厚さは、良く制御され、はんだ層は、ダイの下面の範囲内に保持される。

10

【0035】

別の実施例においては、図7に示すように、上述したようにして、突起16を形成するために用いられる針状工具10'を、多数の針先10a、10b...10dを備えているものとしており、複数の針先10a、10b...10dにより、基板12上に多数の突起16を同時に形成するために用いることができるようになっている。図7では、4つの針先10aを示しているが、所望により、針先の数を増減させることがある。

【0036】

さらに別の実施例においては、はんだプレフォーム18の代わりに、はんだペーストが用いられる。この例においては、スタンプ22は、その底面から突出する複数の突栓22aを備えている。これらの突栓22aは、例えば、プレスされた後、プレフォーム18の表面20を利用できなくなったとき、突起16の高さを高くさせるために用いられる。

20

【0037】

突栓22aは、スタンプの頭がはんだ層(はんだペースト)の中へ突入する際に、突起16が突栓からそれるように、位置付けされている。従って、突起16は全て同じ高さに保たれ、シリコンデバイス24を支持する水平面が形成される。しかし、上述したように、はんだペーストを使用するときには、シリコンデバイス24及び基板14から、フラックスの残留を除去する付加工程が必要であるということに留意されたい。上述したように、残留フラックスの除去は、通常必要であるので、フラックスの残留を除去する適当な作業が行われる。

30

【0038】

従って、本発明によると、シリコンデバイス又はダイ24を、ほぼ一定で所望の厚さを有するはんだ層と共に、正確な位置に配置することが可能な基板が提供される。シリコンデバイス24と基板14の間に、はんだを用いると、電氣的及び温度的に良い特性がもたらされ、相当に大きい電流容量が可能となる一方、はんだが液体状態にあるとき、シリコンデバイス24の動きを規制するために、突起16を用いることにより、シリコンデバイスは安定よく保持される。その結果、シリコンデバイス24は、基板14上に正確に位置付けされ、かつ水平が保たれる。

【0039】

従って、本発明の基板は、例えば、上述したDirectFET?製品ライン、又は馬蹄形缶との共用に有効である。もちろん、本明細書で説明した基板と方法は、基板上にダイを正確に配置することが必要である、どのような例にも適用することができる。

40

【0040】

突起16を、1本の針状工具10によって個別に形成してもよく、又は、複数の針先を有する針状工具10'を用いてもよい。本明細書では、3つ又は4つの突起16を有する例を記載したが、突起の数は任意である。

【0041】

以上本発明を、特定の実施例に基づいて説明したが、本発明は、当業者にとって明白な他の変形例も含むものである。すなわち本発明は、明細書における実施例に限定されるものではなく、特許請求の範囲のみによって限定されるものである。

50

【図面の簡単な説明】

【 0 0 4 2 】

【図 1】はんだペーストを塗布した基板上に実装されている、従来のシリコンデバイスの縦断面図である。

【 0 0 4 3 】

【図 2】本発明の一実施例による、シリコンデバイスを実装するための基板の斜視図である。

【 0 0 4 4 】

【図 3】本発明の一実施例に従って、図 2 の基板の上面に、突起を形成しつつある針状工具の縦断面図である。

10

【 0 0 4 5 】

【図 4】図 2 の基板の上に設けられたはんだ層を示す斜視図である。

【 0 0 4 6 】

【図 5】図 4 に示されている突起及びはんだ層を押圧するためのスタンプを示す縦断面図である。

【 0 0 4 7 】

【図 6】図 2 ～図 4 に示す基板の上に配置されようとしているシリコンダイを示す斜視図である。

【 0 0 4 8 】

【図 7】本発明において、図 2 に示す基板の上に突起を形成するために用いられる針状工具の他の例を示す斜視図である。

20

【 0 0 4 9 】

【図 8】本発明において、はんだ層及び突起を押圧するために用いられるスタンプの他の例を示す斜視図である。

【符号の説明】

【 0 0 5 0 】

1 0、1 0'：針状工具

1 0 a～1 0 d：針先

1 2：上面

1 4：基板

30

1 6：突起

1 6 a：先端部

1 8：はんだプレフォーム

2 0：表面

2 2：スタンプ

2 2 a：突栓

2 4：シリコンデバイス

1 0 0 シリコンデバイス

1 0 2 基板

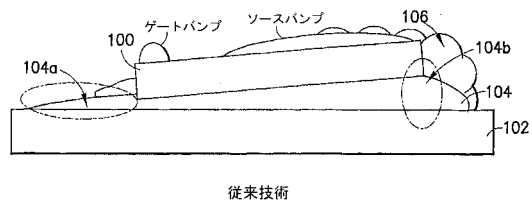
1 0 4：はんだ層

40

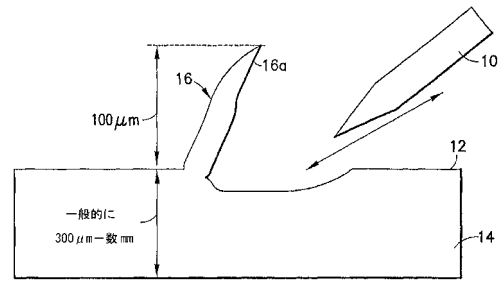
1 0 4 a、1 0 4 b：厚さ

1 0 6：フラックス

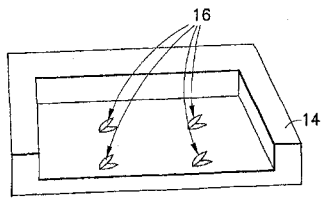
【図 1】



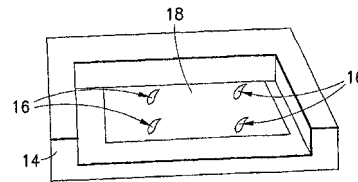
【図 3】



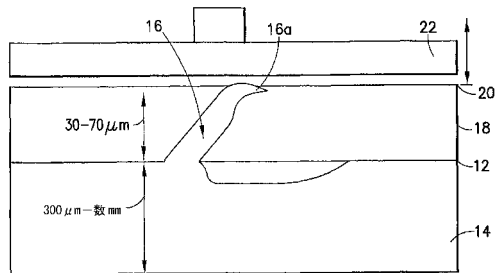
【図 2】



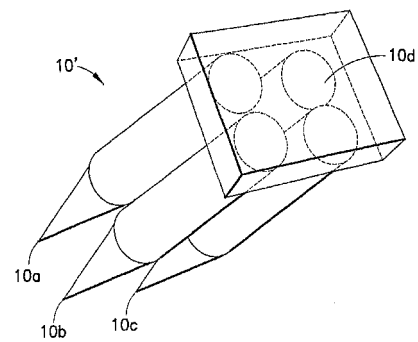
【図 4】



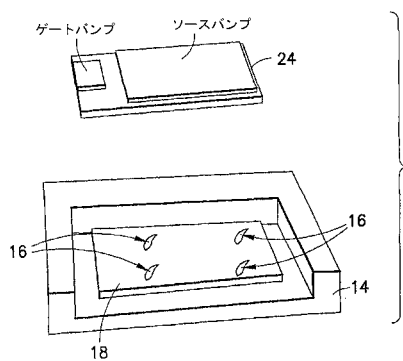
【図 5】



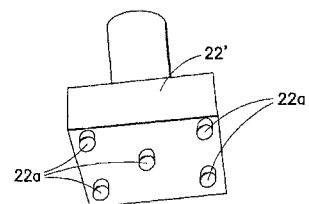
【図 7】



【図 6】



【図 8】



フロントページの続き

(72)発明者 ヘニング ハオエンシュタイン
アメリカ合衆国 カリフォルニア州 90277 レドンド ビーチ ホプキンス ウェイ 83
5 アpartment 505

合議体

審判長 川向 和実

審判官 小関 峰夫

審判官 杉浦 貴之

(56)参考文献 特開昭57-91528(JP,A)
特開昭54-19658(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L21/52, 23/48