(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H03K 19/177

(45) 공고일자 2004년11월26일
(11) 등록번호 10-0458371
(24) 등록일자 2004년11월15일

(21) 출원번호 10-1999-7001391
(22) 출원일자 1999년02월20일
번역문 제출일자 1999년02월20일
(86) 국제출원번호 PCT/IB1997/000987
(86) 국제출원출원일자 1997년08월12일
(65) 공개번호 10-2000-0068256
(43) 공개일자 2000년11월25일
(87) 국제공개번호 WO 1998/08306
(87) 국제공개일자 1998년02월26일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 세르비아 앤 몬테네그로, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 08/700,966 1996년08월21일 미국(US)

(73) 특허권자 네오 램 엘엘씨
미국 메사츄세츠주 01930 글로세스터 크래프츠 로드 3

(72) 발명자 채터무케시
미국매사츄세츠주01748홉킨톤지나드라이브6

(74) 대리인 나영환
강승옥
이상섭
김두규

심사관 : 권호영

(54) 프로그램가능한 논리 셀 어레이의 구성 방법 및 구성 장치

요약

본 발명은 '온 더 플라이' 방식의 변경 가능한 칩 및 이와 유사한 장치의 재구성 뿐만 아니라, 원할 경우 장치의 여러가지 기능에 대한 자체 변경 재구성을 가능하게 하는 새로운 DRAM 기반의 구성 제어 구조를 통해, 프로그램 가능한 논리 셀들의 어레이를 구성하는 기술로서, FPGA 장치와 관련된 기술을 포함하며, 현재의 심각한 재구성 한계와 이와 관련한 문제를 해소하는 한편 낮은 가격으로 시스템 성능을 상당히 향상시킬 수 있다. 대량의 메모리가 FPGA 내부에서 이용 가능하고 또한 적은 수의 핀으로 액세스되기 때문에, 예컨대, 현저히 저가격으로 종래의 방법보다 10,000배 정도 재구성 시간이 더 빨라진다.

대표도

도 4

명세서

기술분야

본 발명은 재구성 가능한 연산 시스템에 관한 것이지만, 보다 상세하게는 FPGA(field programmable gata array; 필드 프로그래머블 게이트 어레이) 및 이와 유사한 구조에만 한정되는 것은 아니다.

배경기술

FPGA라고도 알려진 재구성 가능한 게이트 어레이는 다양한 디지털 회로를 구현하기 위해 산업계에서 폭넓게 이용되고 있다. 그 응용 범위에는 컴퓨터, 워크스테이션, 제어 시스템 등이 포함된다. 대표적인 종래의 FPGA 장치는 특정의 설계 요구를 만족시키도록 구성된 다수 개의 논리 셀을 구비하고 있다. 프로그램되지 않는 FPGA는 후술하는 바와 같은 미리 정해진 논리 셀 구조를 갖는다. 이들 셀의 각각은 원하는 기능을 달성하기 위해 특정의 작업(논리 회로)을 수행하도록 구성된다. 프로그래밍 정보는 일반적으로 FPGA 내에 직렬로 로드(load)되므로 비교적 느린 프로세스이며(일부 장치에서는 8 비트 폭의 버스를 통해 로드되지만, 아직도 아주 느린 프로세스이다), 이 때 통상 분산 SRAM(스태틱 RAM)으로 구현된 구성 기억 요소(configuration storage element)에 의해, 전원이 FPGA 장치에 공급되는 한 프로그래밍 정보는 내부에 유지된다. 또한, 이 장치는 전술한 재구성 데이터의 느린 직렬 로드를 포함한 미리 정해진 프로그래밍 시퀀스를 수행함으로써 전원이 켜져 있는 중에 재구성될 수 있다. 예를 들면, 종래의 FPGA인 Xilinx 사의 장치 XC4025는 422,128 비트의 프로그래밍 정보를 필요로 하며, 장치를 완전히 프로그램(즉, 재구성)하는 데 거의 42ms 가 소요된다. 장치의 크기가 커질수록 이러한 지연은 더욱 증대된다.
FPGA는 전원이 들어올 때 단지 한번만 프로그램되며 재구성이 문제로 되지 않는 일부 응용 분야에서는, 이렇게 상당히 긴 구성 시간도 용인될 수 있다. 하지만, 재구성 시간이 실질적으로 감축된다면 성능이 크게 향상될 수 있는 몇몇 기타 응용 분야의 요건을 만족시킬 수는 없게 된다. 이것은 실시간 시뮬레이션, 보조 프로세서, 디지털 신호 처리 및 다양한 기타의 알고리즘 등을 포함하는 모든 형태의 응용 분야에서 문제로 된다.
본 발명은 현재의 재구성의 한계 및 이와 관련한 문제를 해소하고 또한 상당히 향상된 시스템 성능을 저비용으로 제공하도록 설계되어, 온 더 플라이(on-the-fly) 방식으로 변경 가능한 칩 또는 기타 논리 구조를 제공함으로써, 많은 응용 분야에 대하여 사실상 만능으로 사용할 수 있다.
특히, 고속 컴퓨터 및 워크스테이션에서의 수많은 이러한 시스템 설계들은 시뮬레이션과 같은 어떤 부류의 응용 분야에 대하여 성능상의 제한이 있으며, 이는 기능 유닛들의 구조가 고정되어 있기 때문이며, 이에 따라 기능 유닛들의 특정의 영역(domain)을 벗어난 어떠한 동작의 수행도 제각기 지체된다. 이러한 문제는 '온 더 플라이' 방식의 재구성에 의해 해결하는 것이 가장 양호하지만, 재구성에 필요한 시간으로 인해 여전히 해결되지 못한 채로 있다.
따라서, 동적으로 재구성 가능한 논리를 필요로 하는 어떤 널리 이용되는 응용 분야에 저비용, 고성능의 기계를 이용할 수 있을지는 대체로 알 수 없었다. 즉, 혁신적인 자체 수정하는 온 더 플라이 방식의 재구성 가능한 FPGA 구조를 제공하는 본 발명이 이루어지고 나서야 이러한 문제들을 해소할 수 있게 되고 또한 현저하게 저렴한 비용으로 크게 향상된 성능을 제공할 수 있게 되었다.
이하, 이들 문제 및 본 발명이 이들 문제를 극복하는 방법에 대해 보다 잘 이해하기 위해, 설명에 도움이 되는 시뮬레이션 및 보조 프로세서 응용 분야가 일례로서 제시되어 있지만, 본 발명이 이들 예시한 분야에만 한정되는 것으로 간주되어서는 안된다.

발명의 상세한 설명

시뮬레이션 응용 예
대규모 디지털 집적 회로 설계에서는, 제조 후에 정확하게 기능할 가능성을 최대한 높이기 위해, 고비용이며 많은 시간이 걸리는 제조 사이클 이전에 시뮬레이션을 행한다. 이 설계는 고성능 엔지니어링 워크스테이션 상에서 자극을 주고 응답을 관찰함으로써 모든 가능한 입력 조건에 대하여 광범위하게 검사된다. 만일, 응답이 예상된 결과와 부합하지

않는다면, 그 설계에 대해 정확성 검사를 행한다. 이러한 반복적인 프로세스는 모든 가능한 시나리오가 모두 검증될 때까지 계속된다. 시뮬레이션은 시간이 아주 많이 소요되고, 비용도 많이 들며, 출시까지의 기간을 길어지게 하지만, 이 문제는 설계 기법의 중요한 부분으로서, 현재는 대규모 시뮬레이션 작업을 다수의 엔지니어들에 배분하고 그 결과를 취합하는 방식으로 관리되고 있어, 이 방식은 실질적으로 더 많은 비용을 들여 그 시뮬레이션 작업의 속도를 높일 수 있지만 아주 에러가 많은 프로세스이다. 인텔 펜티엄 마이크로프로세서의 부동 소수점 유닛(floating point unit)에서의 최근의 실패가 그 단적인 일례이다.

예를 들어, 차세대 CPU에서의 2개의 클록 사이클 내에 2개의 32 비트 숫자를 가산하도록 설계된 새로운 고속의 기능 유닛을 생각해보자. 이 기능 유닛의 소프트웨어 기반의 게이트 레벨 시뮬레이션을 고속의 워크스테이션에서 행하는 데는 수천개의 클록 사이클이 걸린다. 이러한 새로운 기능 유닛의 설계에 대하여 다중 동작 사이클 검사를 할 필요가 있을 때, 실제로 설계된 동작보다 몇배 악화된 지연이 일어나 전체의 시뮬레이션 시간의 상당 부분을 소비해 버린다. 이러한 문제에 대한 다른 해결책으로는 '설계 에뮬레이션(design emulation)'(예컨대, QuickTurn 사의 에뮬레이션 팜플렛에 기술되어 있음)이 있으며, 여기서 설계는 외부 하드웨어를 통해 접속된 다수의 종래의 FPGA에 맵핑 처리되어, 동작 속도보다 훨씬 더 느린 속도로 실시간으로 행해진다. 이 에뮬레이션 장비는 엄청나게 고가이며, 각각의 에뮬레이션 사이클에 대해 셋업(set up)하는 데 장시간을 필요로 하고, 때로는 실제의 설계를 전혀 맵핑 처리할 수 없기 때문에, 폭넓게 이용되지 못하고 있다.

연산 응용 예

설명에 도움이 되는 배경 기술로서, 복잡하게 반복하는 64 비트 곱셈 기능에 이어 부가의 기능이 따라오고, 이 64 비트 곱셈 기능이 1024개 샘플에 대해 32 비트 CPU로 수행되는 연산 응용 예를 생각해보자. CPU는 이러한 작업을 수행하기 위한 전용의 기능 유닛이 없기 때문에, 이 작업은 64 비트 곱셈을 32 비트 다단 구현을 포함한 여러가지 하위 작업으로 분할하고, 32 비트 가산을 여러번 실행함으로써 그 결과가 다른 64 비트 수에 가산된다. 이 프로세스는 1024번 반복된다. 분명한 것은, 이러한 실행이 상당한 분량의 CPU 시간을 소비하여 사실상 그 성능을 떨어뜨린다는 것이다.

본 발명에서 제시하고자 하는 것은 이들 및 이와 유사한 급박한 문제의 효과적인 해결책이며, 본 발명은,

a. 순전히 장치 속도에 의하기 보다는 오히려 구조적 혁신에 의해 온 더 플라이 방식의 재구성을 제공하고;

b. 효율적인 고속의 파이프라인 방식의 구현이 가능하도록 자체 수정 기능을 제공하며;

c. 많은 수의 구성을 칩 내부에 저장해두고;

d. 제공된 기능에 대해 적은 핀 수를 제공하며;

e. 핀 수의 감소로 인해 합리적인 저가격을 제공하고;

f. 설계 노력을 최소화하기 위해 간단한 시스템 인터페이스를 제공하는, 새로운 형태의 FPGA 및 이와 관련한 구조 및 방법의 개발에 돌파구가 될 것으로 생각된다.

따라서, 본 발명의 목적은, 전술한 문제 및 이에 관련된 문제를 포함한 현재의 재구성 한계를 해소하는 한편, 상당히 향상된 시스템 성능을 저가격으로 제공함으로써 수많은 응용 분야에 실질적으로 만능으로 사용할 수 있는, 새로운 DRAM 기반의 구성 제어 구조를 이용하는 신규의 개량된 동적으로 재구성 가능한 게이트 어레이 시스템, 구조 및 방법을 제공함에 있다.

본 발명의 다른 목적은 소정의 기준에 근거하여 논리 구현을 자체 수정하는 방법 및 장치를 제공함에 있다.

본 발명의 또다른 목적은, 대량의 메모리가 FPGA의 내부에서 이용가능하고 또한 적은 수의 핀으로 액세스됨으로써, 재구성 시간이 종래의 방법보다 10,000배 정도 더 빠른 새로운 시스템을 상당히 저가격으로 제공하는 데 있다.

본 발명의 또다른 목적은 이러한 새로운 구조에 기초하여 비재구성(non-reconfiguration) 및 재구성 응용 모두에 똑같이 효율적으로 작용하는 시스템을 제공함에 있다.

본 발명의 기타 목적에 대해서는 이하에서 설명할 것이며 또한 첨부된 청구의 범위에서 더욱 상세하게 기술할 것이다.

개괄적으로 요약하면, 본 발명은 접속된 구성 비트 메모리에 의해 제어되는 논리 기능을 각각 갖는 프로그램 가능한 논리 셀들의 어레이를 구성하는 방법에 관한 것으로서, 상기 방법은, 다중 프로그램 구성을 정의하는 비트 정보를 DRAM 코어에 저장하는 단계와; 원하는 구성을 정의하는 비트 정보를 상기 셀들의 상기 구성 비트 메모리에 DRAM 로우 폭으로 로드(DRAM row wide loading)할 수 있도록 상기 어레이에 버스를 접속시키는 단계와; 구성 명령 시에, 상기 구성 비트 정보를 상기 DRAM 코어로부터 한번에 적어도 한 로우(row)씩 검색하고, 이러한 정보를 상기 원하는 구성의 프로그래밍을 달성하기 위해 상기 대응하는 셀 논리 기능을 제어하도록 상기 셀들의 상기 비트 메모리에 로드하는 단계를 포함한다.

이하, 바람직한 최적의 설계 및 기술을 상세히 설명한다.

도면의 간단한 설명

이제부터 첨부된 도면과 관련하여 본 발명에 대해 설명한다. 도 1 내지 도 3은 종래의 기술을 도시한 것이다.

도 1은 전형적인 종래 기술의 FPGA 인터페이스의 블록도.

도 2는 전형적인 종래 기술의 FPGA 내부 논리 셀 구조 또는 어레이 및 라우팅 채널(routing channel)을 도시한 도면.

도 3은 도 2와 같은 구성으로 사용되는 전형적인 종래 기술의 구성 가능한 논리 셀을 나타낸 도면.

도 4는 본 발명에 따라 구성된 최상위 구조의 일부분을 나타낸 블록도로서, 이 구조를 본 명세서에서는 'SONAL' 구조라고 하며, 이 용어는 '자체 수정하는 온 더 플라이 방식의 변경 가능한 논리(Self-modifying, On-the-fly Alterable Logic)'의 약자이다.

도 5는 자체 수정하는 논리 기능을 실시할 수 있는 이러한 새로운 구조의 블록도.
도 6은 본 발명에 따라 구성된 것으로서, 'SONAL' FPGA라고 하는 본 발명의 자체 수정하는 '온 더 플라이' 방식의 변경 가능한 논리를 구현하는 시스템 구조의 블록도.
도 7은 본 발명의 'SONAL' FPGA에 유용한 핀아웃(pinout)의 일례를 나타낸 도면.
도 8은 1994년 10월 7일자로 출원된 동시 계류 중인 미국 특허 출원 제08/320,058호에 기재되어 있는 소위 'PARAS' 인터페이스 및 접속에서 사용하기에 적합한 것으로서, 적은 핀 수의 집적 메모리 구조를 갖는 전술한 도 7의 'SONAL' FPGA의 변형례.

실시예

이제부터, FPGA의 재구성에 소요되는 시간을 급격히 감소시키고, 원할 경우 자체 수정 모드를 제공하여 본 발명의 새로운 'SONAL' 중심의 해결책에 따라 재구성 지연 및 기타 전술한 병목 현상들을 해소함으로써, 외부의 간섭 없이 기능 변경을 할 수 있게 되어 실행 시간이 훨씬 더 빠른 본 발명에 대해 설명하기로 한다. 기타의 이점으로서는, 전술한 바와 같이 FPGA 내부에서 대량의 메모리를 이용할 수 있게 됨으로써 시스템 비용이 절감된다는 점이 있다.
전술한 바와 같이, 도 1은 주 메모리와 함께 동작하는 CPU에 의해 도면에 부기된 버스 시스템을 통해 프로그램되는 FPGA 유닛(#1 #n)을 이용한 종래 기술의 FPGA 인터페이스를 도시한 것이다. FPGA 유닛은 도 2의 내부 논리 셀 구조 또는 어레이 및 라우팅 채널을 가지며, 각각의 구성 가능한 논리 셀은 도 3에 도시한 부속의 구성 SRAM(스태틱 RAM)에 의해 제어되는 논리 기능을 갖는다. 이 때, 구성 데이터는 작은 국소의(small localized) 내부 SRAM 비트들에 저장된다. 하지만, 본 발명에 있어서, 도 4에 도시한 DRAM 코어는 다중 구성을 저장하는 데 이용된다. 또한, 장치 구성에 필요한 구성 SRAM 비트들도 제공된다. DRAM 로우 폭의 버스가 제공되며(여기서, '로우'란 로우의 일부, 즉 로우의 수분의 1도 포함한다), 이 버스는 SRAM 비트들에 직접 접속되고, 그 다음에 SRAM 비트들은 프로그램 가능한 요소들을 제어한다. 구성 명령(configuration command)이 주어지면, 한번에 하나씩 로우가 검색되어 상기 SRAM 비트들에 저장되며, 이는 필요한 구성 저장 요소 모두가 로드될 때까지 계속된다. 부분적인 재구성은 변경될 필요가 있는 SRAM 비트들만을 로드함으로써 달성된다. 본 발명에서 추가로 개량한 점은 변경될 필요가 있는 비트들만이 구성 SRAM에 로드될 수 있도록 마스킹(masking) 기능을 제공한다는 것이다. 또한, 칩의 동작 중에 새로운 구성 데이터를 DRAM에 로드시키는 것도 가능하다. 또한, 동일한 DRAM이 외부 I/O 모두로부터 또는 내부 논리를 통해서 액세스 가능한 기억 공간으로서 이용될 수 있다. 외부 인터페이스측에서 볼 때, 상기 동일한 DRAM이 좁은 I/O 폭의 데이터 인터페이스를 가지게 되지만, 내부적으로는 그의 로우 폭의 버스를 사용하여 한번의 액세스로 로우 폭의 데이터를 최대로 저장/검색할 수 있다. 내부적으로 하나의 로우가 선택되었다면, 매우 고속으로 컬럼 데이터를 액세스하는 기능이 이것을 상태 기계(state machine) 용도의 이상적인 공간으로 만든다. 로우와 컬럼의 수를 같게 한 종래의 방식을 따를 필요는 없다. 어떤 경우에는, 훨씬 더 빠른 동적 재구성이 가능하도록 하기 위해 컬럼과 구별될 정도로 로우에 대해 상당한 편중된 구조를 가지는 것이 유리할 수 있다. 일 실시예를 가지고 상기한 모든 기능을 설명하는 것이 가장 최상일 수 있다.
종래의 한 FPGA를 생각해보자. 이 종래의 FPGA의 프로그램 가능한 요소 모두를 구성하는 데는 32768 비트가 필요하고, 그를 재구성할 수 있는 최대 직렬 속도는 10MHz 이다. 그렇다면, 재구성 시간은 대략 3.3ms 이다. 대응하는 'SONAL'이 도 4에 도시한 바와 같이 그 구조의 일부로서 256K x 8 DRAM 코어를 갖는다고 가정하자. 재구성 명령을 수신하게 되면, 4096 비트(로우 당 512 비트 ×8 비트 폭)를 갖는 로우가 'SONAL' FPGA에서 검색되어, 대응하는 구성 SRAM 비트들에 저장된다. 이 로우 검색 및 후속의 저장 프로세스는 필요한 구성 SRAM 비트들 모두를 로드하기 위하여 본 실시예에서 8번 반복된다. 만일, 로우 검색 속도가 40ns 이면, FPGA를 완전히 재구성하는 데는 총 320ns 가 필요하다. 이것이 현재 3.3ms 를 필요로 하는 기존의 FPGA 해결책에 비해 본 발명이 갖는 가장 중요한 이점이다. 따라서, 본 발명은 종래의 방법에 비해 대략 10,000배 만큼의 개선을 제공한다. 더욱이, 버스 폭이 로우 전체 폭일 필요가 없으며, 전술한 바와 같이 본 명세서에서는 '로우'라고 하지만 수분의 1 로우일 수도 있으며, 이 때는 그에 대응하는 만큼 성능의 저하가 있게 된다는 것에 유의하여야 한다.
'SONAL'의 이러한 빠른 재구성 시간은 다중 DRAM 뱅크 'm'을 포함시킴으로써 추가로 향상될 수 있다. 이와 같이 하면, 장치를 구성하는 데 'r'개의 로우가 필요하게 되고 하나의 로우를 검색하는 데 't' 나노 초가 걸린다고 할 때,
구성 시간 = r x t/m
이 된다.
구성 SRAM 비트들을 가져야 하는 한가지 이유는 DRAM 코어의 리프레시 필요성 때문이다. 이러한 SRAM 비트들을 국소의 DRAM 셀로 교체시키는 것도 확실히 가능하지만, 이것은 리프레시 필요성에 의해 야기된 간섭 때문에 바람직한 해결책이 아니다. 이러한 비트들의 제거는 장치의 가격 및 전력 소비를 저감시킨다. 본 발명의 다른 실시예에서는, 2개의 동일한 DRAM 뱅크를 이용하여 동일한 구성 데이터가 이 2개의 DRAM 뱅크 모두에 로드될 수 있도록 한다. 하나의 로우가 전체 FPGA를 구성하도록 충분한 데이터를 제공한다고 가정하면 SRAM 비트들이 필요하지 않고, 또한 한개의 뱅크가 리프레시되고 있을 때, 나머지 뱅크는 구성 데이터를 제공한다. 이 개념은 'm'개의 뱅크로 확장되어 'm/2' 개의 뱅크가 나머지 'm/2' 개의 뱅크와 동일한 구성 정보를 갖도록 할 수 있다.
이러한 장치의 한 응용 분야에 있어서, 다중화된 데이터의 직렬 스트림은 그를 구성하는 직렬 스트림들로 분리되고, 병렬 포맷으로 변환되어, 각기 다른 소정의 컬럼 어드레스들의 DRAM 로우에 동시에 로드될 수 있다.
이러한 본 발명의 다른 실시예에 있어서, 어떤 내부 DRAM 뱅크는 재구성 데이터만을 위해 이용되는 반면 다른 내부 뱅크는 주로 범용 메모리로서 이용되며, 외부에서 동일한 인터페이스를 통해 양쪽 뱅크에 액세스하므로 가격을 최소화한다.

본 발명의 또 다른 실시예에 있어서, 자체 변경 회로는 도 5에 도시된 하나의 가능한 구현예로서 설계될 수 있다. 이 때, 각각의 로우 어드레스를 일의적으로 디코드하는 데 필요한 비트 수와 동일한 데이터 폭을 갖는 작은 SRAM 코어는 내부적으로 DRAM의 선택된 로우 어드레스를 구동한다. 이러한 자체 변경 구조에서의 SRAM 코어 어드레스 장소의 수는 재구성 기능의 요구 깊이(depth)에 영향을 받는다. 예를 들어, 이러한 경우, 32 x 9 SRAM으로서 도시되어 있다. 이러한 SRAM 코어의 경우 5개의 어드레스 비트가 있으며, 이들은 FPGA 제어 논리에 의해 구동된다. 논리 셀 어레이로부터의 구성 데이터 비트 명령에 응답하여, 또는 그렇지 않고 어떤 논리 조건이 충족되는 적절한 사건 또는 시간에서, SRAM 코어의 출력을 사용하여 로우 폭의 구성 데이터를 검색한다. 새로운 회로 구현예는 SRAM 코어 어드레스 입력을 구동하는 여러가지 제어 논리를 가지며, 다양한 회로 요소의 상태에 영향을 받아, 또다른 회로 기능을 구현하게 되고, 이하도 마찬가지로 자동적으로 계속된다. 따라서, 칩 기능은 어떤 논리 조건의 결과에 따라 소정의 논리 구현으로 동적으로 변경될 수 있다. 이러한 기술은 관련된 CPU로부터 최소한의 간섭만을 필요로 하여 전체의 시스템 성능을 상당히 향상시키는 높은 효율의 자체 변경 회로를 제공하며, 디지털 신호 처리 알고리즘 및 파이프라인 설계 등에서 폭넓은 응용을 갖는다. 하나의 가능한 응용은 대규모 파이프라인 설계를 다중 구성으로 분할하는 것이며, 이러한 구성은 필요에 따라 처리 하드웨어에 의해 로드된다. 이렇게 함으로써 게이트를 재사용할 수 있기 때문에 설계를 구현하는 데 필요한 게이트의 수가 상당히 감소되고, 그에 따라 칩 가격을 저하시킨다. 이것은 오직 초고속의 '온 더 플라이' 방식의 자체 변경 기능 때문에 달성될 수 있다.

SRAM 코어는 또한 플래시 또는 EEPROM과 같은 기타의 기술로서 구현될 수도 있다.

시스템 레벨에서, 다수의 이러한 'SONAL' 장치를 도 6에 도시한 바와 같이 기계의 성능을 향상시키기 위하여 시스템 버스에 접속될 수 있다. 재구성 또는 자체 변경 회로에 대한 이러한 온 더 플라이 방식의 방법은 단지 FPGA에만 국한되지 않으며, 이와 유사한 재구성 가능한 요소를 갖는 CPU의 일부가 될 수도 있다는 것에 유의해야 한다.

예를 들어, 플랫폼 독립성을 갖도록(platform independent) 특수 설계되어 다양한 기계 사이에 완전한 이식성(portability)을 제공하는 '자바(JABA)'(인터넷 언어로 가장 폭넓게 이용되고 있음)를 생각해보자. '자바'는 여러가지 CPU의 고유의 구조적 기능을 이용하지 않기 때문에 매우 느리게 실행된다는 단점이 있다. '자바' 실행 속도를 향상시키는 하나의 방법은 매우 고속으로 변경 가능한 (통상의 CPU 기능 이외의) 공통의 가상 하드웨어 플랫폼을 제공하는 것이다. 이 가상 하드웨어는 CPU 자체에 있는 'SONAL' 기능을 재구성하거나 별도의 'SONAL' FPGA로서 구현된다. 따라서, 이러한 구조는 플랫폼 독립성의 중요한 요소를 계속 보유하며, 고속의 실행을 제공한다.

'SONAL' I/O 인터페이스

칩은 그 고유의 구조를 반영하기 위해 다소 상이한 핀아웃을 갖는다. 하나의 가능한 핀아웃의 전형적인 일례가 도 7에 도시되어 있으며, 이는 어드레스 버스 및 데이터 버스를 별도로 갖는 종래의 DRAM 인터페이스를 제공한다. 256K × 8 DRAM을 갖는 'SONAL'의 일례를 생각해보자. 종래의 DRAM 액세스 방법을 이용하기 때문에, 21개의 핀이 요구된다(어드레스용 9개, 데이터용 8개, 'RAS', 'CAS', 'WRITE' 및 'Output Enable'용 각 1개씩). 또한, FPGA 셀과 DRAM 코어 사이의 내부 전송이 있을 때마다 시스템 버스 인터페이스에 '대기(WAIT)' 신호도 제공된다. CPU(또는 다른 마스터 제어기)는 이 '대기(WAIT)' 신호를 이용하여 액세스의 개시를 지연시키거나 다른 구현예에서는 액세스 사이클을 연장시켜 이러한 액세스를 개시하기에 앞서 내부 전송을 완료할 수 있도록 할 수 있다. 만일, 발명의 명칭이 'PARAS' DRAM인 상기 동시 계류 중인 특허 출원의 인터페이스 액세스 메카니즘이 'SONAL' 구성과 함께 이용된다면, 본 발명에 대한 추가의 개선이 핀 수를 감소시킬 수 있고 따라서 비용을 절감시킬 수 있다(이 출원은 동일한 핀이 판독 사이클 및 기록 사이클 모두에서 로우, 컬럼 및 데이터 액세스에 각각 이용됨으로써 실질적으로 동일한 크기의 패키지에서 더 적은 수의 핀으로 데이터 대역폭 및 어드레싱 범위를 효과적으로 증대시킬 수 있는 새로운 인터페이스 및 액세스 절차에 의해 비동기 DRAM 장치 및 동기 DRAM 장치의 액세스 성능을 향상시키는 방법과 장치에 대해 개시하고 있다). 이러한 'PARAS' 모델을 이용하면, 도 8에 도시한 바와 같이, 단지 13개의 핀과 '대기'용의 추가의 핀만이 필요할 뿐이다. 더욱이, 구성 데이터가 로드된 후에 DRAM을 액세할 필요가 없는, 따라서 외부 액세스가 필요하지 않은 응용에서는, 동일한 핀이 종래의 FPGA I/O 핀으로서 이용될 수 있다는 점에 유의하여야 한다.

또한, 로우 어드레스 및 컬럼 어드레스를 다중 서브 어드레스로 분할하고, 데이터 핀 및 제어 핀을 동일 라인상에서 공유함으로써 I/O 핀의 수를 추가로 감소시킬 수 있다. 이것은 CPU와 같은 외부 장치로부터의 액세스 시간을 줄이는 것은 분명하지만, 더욱 적은 핀 수, 가격 절감 및 동작 면에서 온 더 플라이 방식의 변경 가능한 FPGA를 제공한다.

'SONAL'로 구현된 시뮬레이션 응용

예를 들어, 만일, 2개의 클록 사이클에 2개의 32 비트 수를 가산시킬 수 있는 고속의 32 비트 가산기가 차세대 CPU용으로 설계되고, 워크스테이션에 보조 프로세서로서 동작하는 'SONAL' 타입 FPGA가 장착된다면, 통상 가산기 시뮬레이션에는 수개의 클록 사이클이 소요된다. 바람직한 실시예에 따르면, 'SONAL'은 동적으로 재구성될 수 있고, 따라서 그 기능은 이와 같이 구성된 'SONAL'에서 실시간으로 작업을 실행해봄으로써 검증될 수 있다. 이것은 통상 수천개의 사이클이 소요되는 'SONAL' 방식이 없는 종래의 워크스테이션과 비교할 때 우수하다.

'SONAL'로 구현된 연산 응용

또다시 설명에 도움이 되는 배경 기술로서, 복잡하게 반복하는 64 비트 곱셈 기능에 이어 부가의 기능이 따라오는 연산 응용 예를 사용할 때, 1024개의 샘플에 대해 이 곱셈이 32 비트 CPU에 의해 수행된다면, 'SONAL'이 장착된 CPU는 반복적인 64 비트 기능을 한 단계에서 실행시키는 특정 기능 유닛(function specific unit)으로서 동작하도록 구성시킴으로써, 전술한 종래의 방법에 비해 실질적으로 기계 성능을 향상시키게 된다.

산업상 이용 가능성

따라서, 본 발명을 이용하는 이러한 새로운 FPGA 구조의 이점들로는, 전술한 바와 같이, 순전히 장치 속도보다는 오히려 온 더 플라이 방식의 재구성에 구조적인 혁신을 제공한다는 것과, 자체 변경 기능에 의해 효율적인 고속의 파이프라인 방식의 구현이 가능하다는 것과, 칩 내부에 많은 수의 구성을 저장한다는 점과, 제공된 기능을 위한 핀의 수를 감축시켜 핀의 수의 감축에 따라 가격이 비교적 낮게 된다는 점과, 기존의 FPGA 유닛과 거의 동일한 시스템 설계 인터페이스를 제공함으로써 설계 사이클을 최소화시킨다는 것이 있다.
또한, 당업자라면 이루어 낼 수 있는 추가의 변형례로는, 그 중에서도, 네트워킹, 멀티미디어 및 기타의 응용을 위해 DRAM으로의 고속의 직렬 데이터 로드를 가능하게 하는 논리를 제공하는 것과, 이 방법을 외부 장치보다는 오히려 CPU 자체의 일부로서 구현하거나, 고속의 재구성을 위하여 FPGA 이외의 다른 장치에 내부 접속을 갖는 것과 함께 이 외부 DRAM 인터페이스를 적용하는 것 등이 있으며, 이러한 것들은 첨부된 청구의 범위에서 정의된 본 발명의 사상 및 범주 내에 들어가는 것으로 간주된다.

(57) 청구의 범위

청구항 1.
접속된 구성 비트 메모리에 의해 제어되는 논리 기능을 각각 갖는 프로그램 가능한 논리 셀들의 어레이를 구성하는 방법으로서,
다중 프로그램 구성을 정의하는 비트 정보를 DRAM 코어에 저장하는 단계와;
원하는 구성을 정의하는 비트 정보를 상기 논리 셀 어레이의 구성 비트 메모리에 DRAM 로우 폭으로 로드할 수 있도록 상기 어레이에 버스를 접속시키는 단계와;
구성 명령(configuration command)에 따라, 상기 구성 비트 정보를 상기 DRAM 코어로부터 한번에 적어도 한 로우(row)씩 검색하고, 상기 원하는 구성의 프로그래밍을 달성하기 위해 대응하는 셀 논리 기능을 제어하도록 상기 검색된 구성 비트 정보를 상기 논리 셀 어레이의 구성 비트 메모리로 로드하는 단계를 포함하는 것을 특징으로 하는 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 2.
제1항에 있어서, 상기 한번에 적어도 한 로우씩 검색하여 로드하는 단계는 온 더 플라이 방식의 재구성(re-configuration on-the-fly)을 가능하게 하는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 3.
제1항에 있어서, 상기 어레이는 FPGA 장치를 포함하고,
상기 논리 셀 비트 메모리는 SRAM 분산 비트들(distributed bits)을 포함하는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 4.
제1항에 있어서, 상기 논리 셀 어레이에 의해 기능이 완료됨에 따라, 상기 어레이의 새로운 원하는 기능을 지시하도록 비트 명령이 발생되고,
상기 DRAM 로우의 비트 어드레스를 포함하고 그 다음 기능의 비트 명령에 응답해서 그에 대응하여 상기 DRAM을 구동하도록 접속되는 보조 메모리 코어가 제공되며,
상기 구성 비트 정보를 검색하여 로드하는 단계는 상기 셀들의 구성 비트 메모리내의 상기 그 다음 기능을 나타내고, 상기 대응하는 셀 논리 기능을 제어함으로써, 상기 그 다음 기능을 수행하도록 상기 어레이를 자체 재구성하는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 5.
제4항에 있어서, 상기 자체 재구성은 후속하는 원하는 기능 명령들에 대하여 자동적으로 계속되는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 6.
제3항에 있어서, 부분적인 재구성은 변경될 필요가 있는 SRAM 비트들만을 로드시킴으로써 실행되는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 7.
제1항에 있어서, 상기 DRAM 코어는 외부 I/O 인터페이스 및 내부 논리의 양쪽 모두로부터 액세스 가능한 기억 공간으로서 사용되는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 8.
제7항에 있어서, 외부와의 인터페이스 동작 중에, 상기 내부의 로우 폭 버스는 한번의 액세스로 로우 폭 데이터를 최대로 저장/검색하며, 하나의 로우가 내부적으로 선택되면 컬럼 데이터로 신속하게 액세스하는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 9.
제1항에 있어서, 새로운 구성 데이터는 장치의 동작 중에 상기 DRAM 코어의 내부로 로드되는 것인 프로그램가능한 논리 셀 어레이의 구성 방법.

청구항 10.
접속된 구성 비트 메모리에 의해 제어되는 논리 기능을 각각 갖는 프로그램 가능한 논리 셀들의 어레이를 구성하는 장치로서,
다중 프로그램 구성을 정의하는 비트 정보를 저장하는 DRAM 코어와;

원하는 구성을 정의하는 비트 정보를 상기 논리 셀 어레이의 구성 비트 메모리에 DRAM 로우 폭으로 로드할 수 있도록 상기 어레이와 DRAM 코어를 상호 접속시키는 버스와;
구성 명령을 발생하는 수단과;
상기 구성 명령에 따라, 이 구성 명령에 응답하여, 상기 구성 비트 정보를 상기 DRAM 코어로부터 한번에 적어도 한 로우씩 검색하는 수단과;
상기 원하는 구성 프로그래밍을 달성하기 위해 상기 대응하는 셀 논리 기능을 제어하도록 상기 검색된 구성 비트 정보를 상기 논리 셀 어레이의 구성 비트 메모리로 로드하는 수단을 결합하여 포함하는 것을 특징으로 하는 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 11.

제10항에 있어서, 상기 어레이는 FPGA 장치를 포함하고,
상기 논리 셀 비트 메모리는 SRAM 분산 비트들을 포함하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 12.

제10항에 있어서, 상기 DRAM 코어 입력에 접속되고, 상기 논리 셀 어레이 및 외부 DRAM 인터페이스로부터 내부적으로 방출되는 구성 명령에 응답하여 DRAM 중재(arbitration) 및 리프레시 논리 모듈 중 어느 하나 또는 양쪽 모두에 접속되는 액세스 제어 회로가 제공되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 13.

제11항에 있어서, 상기 DRAM 코어 입력에 접속되고, DRAM 로우 어드레스를 일의적으로 디코더하는 데 필요한 비트 수와 동일한 데이터 폭을 갖는 SRAM 메모리 코어 유닛으로부터 방출되는 DRAM 로우 어드레스에 대응하는 데이터 비트에 응답하여 내부적으로 상기 DRAM의 선택된 로우 어드레스를 구동시키는 액세스 제어 회로가 제공되고,
상기 SRAM 메모리 코어 유닛은 상기 논리 셀 어레이로부터 어드레스 비트 구성 명령 신호를 수신하도록 접속되어 있는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 14.

제13항에 있어서, 상기 구성 명령 신호는 상기 논리 셀 어레이에 의해 기능이 완료됨에 따라 상기 어레이의 그 다음의 원하는 기능에 대한 새로운 구성으로서 발생되고;
상기 지정된 DRAM 로우 어드레스에 따라서 그에 대응하여 상기 액세스 제어 수단으로부터 상기 DRAM 코어를 디코딩하고;
상기 DRAM 코어로부터 복귀하도록 상기 그 다음 기능을 나타내는 상기 구성 비트 정보를 상기 논리 셀 어레이의 구성 비트 메모리에 로드시키는 수단에 의해, 상기 대응하는 셀 논리 기능을 제어함으로써 상기 그 다음 기능을 수행하도록 상기 어레이를 자체 재구성시키며, 상기 자체 재구성은 후속하는 원하는 기능 명령들에 대해 자동으로 계속되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 15.

제14항에 있어서, 상기 논리 셀 어레이는 5개의 어드레스 비트를 발생하고,
상기 SRAM 메모리 코어 유닛은 DRAM 로우 어드레스에 대응하는 9개의 데이터 비트를 발생시키며, 32 ×9 비트를 포함하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 16.

제10항에 있어서, 상기 논리 셀 어레이는 기능이 완료됨에 따라 상기 어레이의 그 다음의 원하는 기능을 지시하도록 비트 명령을 발생하고;
DRAM 로우의 비트 어드레스를 포함하고 상기 어레이와 DRAM 코어 사이에 접속된 보조 메모리 코어가 추가로 제공되어 있으며,
상기 보조 메모리 코어는, 상기 그 다음 기능의 비트 명령에 응답해서 그에 대응하여 상기 그 다음 기능을 나타내는 상기 구성 비트 정보를 검색하여 상기 어레이의 셀들의 구성 비트 메모리에 로드하도록 상기 DRAM을 구동시키고, 그에 대응하는 셀 논리 기능을 제어함으로써, 상기 그 다음 기능을 수행하도록 상기 어레이를 자체 재구성하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 17.

제16항에 있어서, 상기 보조 메모리 코어는 SRAM 코어를 포함하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 18.

제16항에 있어서, 상기 자체 재구성은 후속하는 원하는 기능 명령에 대하여 자동적으로 계속되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 19.

제11항에 있어서, 부분적인 재구성만이 실행되며,
상기 로드 수단은 변경될 필요가 있는 SRAM 비트만을 로드시키는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 20.

제10항에 있어서, 상기 DRAM 코어는 외부 I/O 인터페이스 및 내부 논리의 양쪽 모두로부터 액세스 가능한 기억 공간으로서 사용되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 21.

제20항에 있어서, 외부와의 인터페이스 동작 중에, 내부의 로우 폭 버스는 한번의 액세스로 로우 폭 데이터를 최대로 저장/검색하고,

하나의 로우가 내부적으로 선택되면 컬럼 데이터로 신속하게 액세스하는 수단이 제공되어 있는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 22.

제10항에 있어서, 상기 어레이는 프로그램 가능한 장치의 일부이며,
상기 장치의 동작 중에 새로운 구성 데이터가 상기 DRAM 코어의 내부로 로드되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 23.

제22항에 있어서, 상기 장치는 FPGA를 포함하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 24.

제11항에 있어서, 상기 구성 비트 정보를 한번에 적어도 한 로우씩 검색하는 수단 및 검색된 정보를 구성 비트 메모리로 로드하는 수단은 온 더 플라이 방식의 재구성을 가능하게 하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 25.

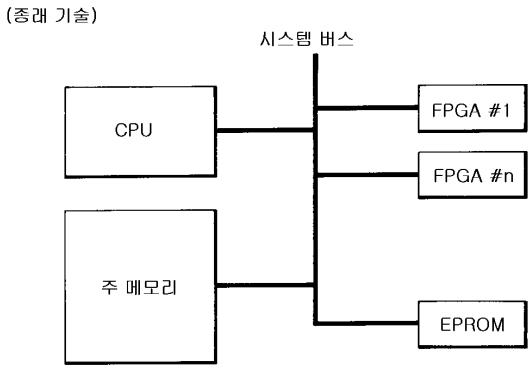
제11항에 있어서, 2개의 동일한 DRAM 뱅크는 그 각각의 뱅크의 내부에 로드되는 동일한 구성 데이터가 제공되는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

청구항 26.

제24항에 있어서, 상기 하나의 뱅크가 그 리프레시되는 DRAM 코어(들)를 구비할 때, 나머지 뱅크는 구성 데이터를 제공하는 것인 프로그램가능한 논리 셀 어레이의 구성 장치.

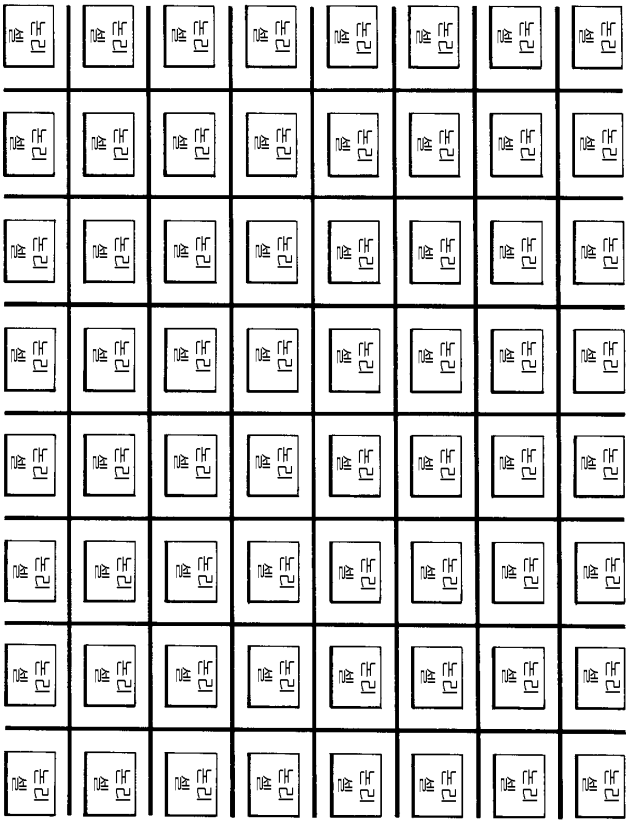
도면

도면1



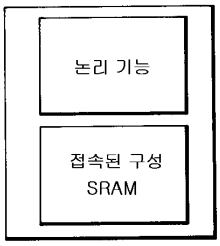
도면2

(종래 기술)

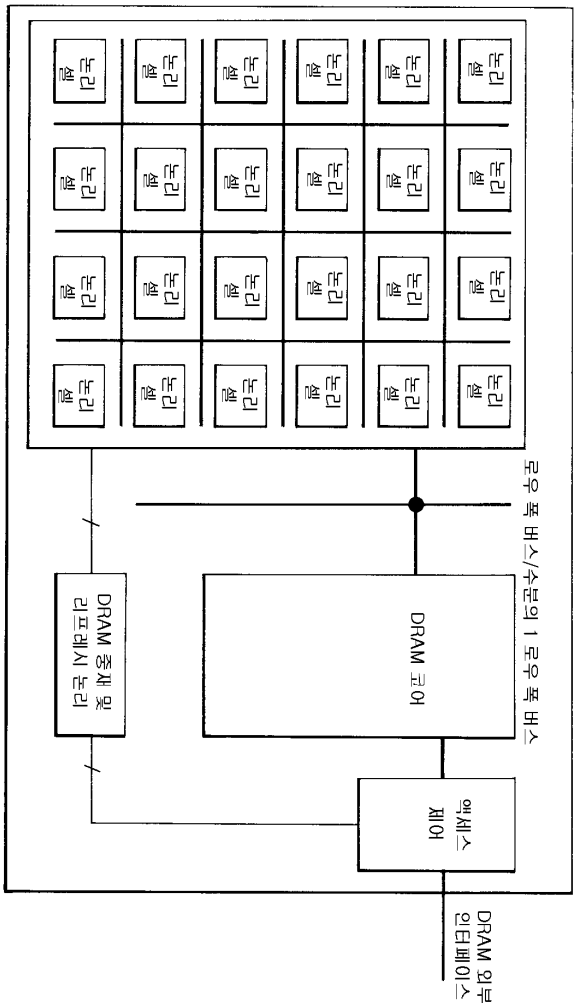


도면3

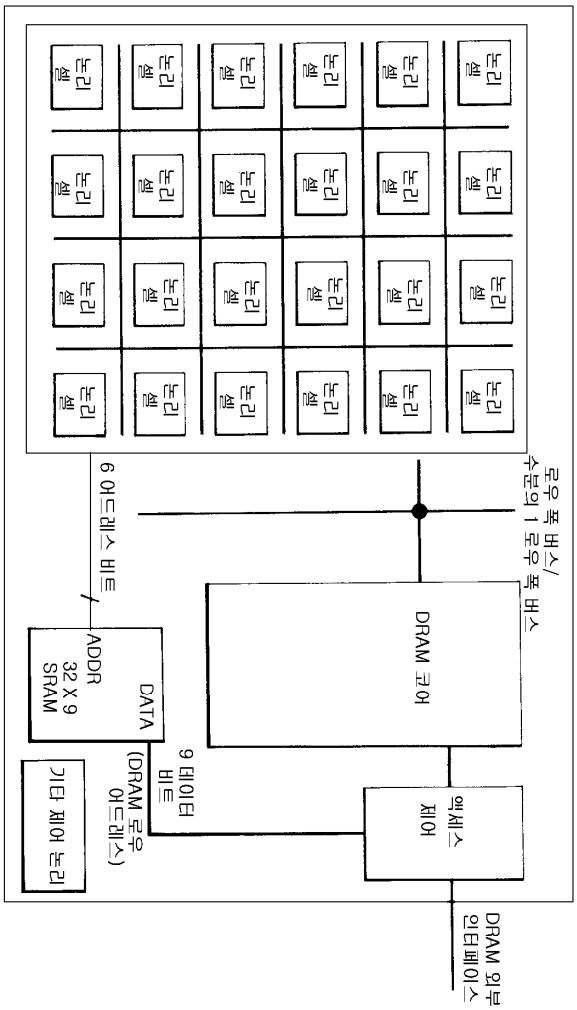
(종래 기술)



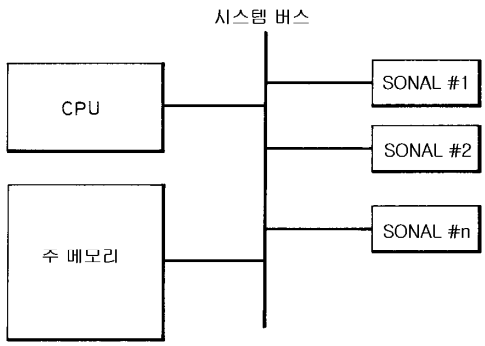
도면4


셀 노드
모우 폭 버스/수분의 1 로우 폭 버스
DRAM 코어
DRAM 중계 및 리프레시 노드
액세스 제어
DRAM 외부 인터페이스

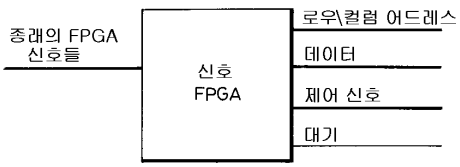
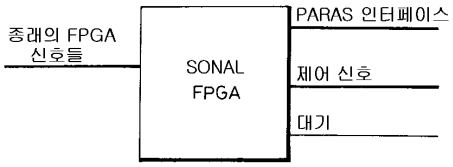
도면5


셀
로우 및 버스/
수분의 1 로우 폭 버스
DRAM 코어
6 어드레스 비트
ADDR
32 X 9
SRAM
DATA
9 데이터
비트
(DRAM 로우
어드레스)
기타 제어 논리
액세스
제어
DRAM 외부
인터페이스

도면6


시스템 버스
CPU
수 메모리
SONAL #1
SONAL #2
SONAL #n

도면7


종래의 FPGA
신호들
신호
FPGA
로우\컬럼 어드레스
데이터
제어 신호
대기

도면8