

(1)

## 九、發明說明

### 【發明所屬之技術領域】

本發明是關於一種適用於藉由感應性耦合進行 IC (Integrated Circuit) 裸晶片或印刷電路基板 (PCB) 等的基板間的通訊測試電子電路試驗裝置。

### 【先前技術】

● 本發明人等提案一種三維安裝晶片，藉由利用感應性耦合電性地連接的方法，來實現將複數裸晶片封入在 LSI (Large Scale Integration) 的一封裝的系統插入封裝 (Sip) (參照專利文獻 1)。

● 第 3 圖是表示先行發明的電子電路的構成的圖式。該電子電路是由第一至第三 LSI 晶片 31a~31c 所構成。LSI 晶片被堆積成三層，形成橫跨於三晶片的匯流排的例子。亦即，構成在三者間 (三個 LSI 晶片間) 可互相地通訊的一通訊通道。第一至第三 LSI 晶片 31a~31c 是被縱向地堆積，各晶片是以黏接劑互相地加以固定。在第一至第三 LSI 晶片 31a~31c 上，分別藉由配線形成使用於送訊的第一至第三發訊線圈 33a~33c，又，分別藉由配線形成使用於收訊的第一至第三收訊線圈 35a~35c。此些三對收發線圈 33, 35 的開口中心成為一致地，配置在第一至第三 LSI 晶片 31a~31c 上。由此，三對的收發訊線圈 33, 35 是形成感應性耦合，成為可進行通訊。在第一至第三發訊線圈 33a~33c，分別連接有第一至第三發訊電路 32a~

(2)

32c，而在第一至第三收訊線圈 35a~35c 分別連接有第一至第三收訊電路 34a~34c。收發訊線圈 33，35 是利用處理技術的多層配線，在通訊上所許可的面積內，安裝作為三維地一次捲繞以上的線圈。在收發訊線圈 33，35，存在著最適用於通訊的形狀，必須採用最適當的繞數，開口，線圈。一般，發訊線圈 33 比收訊線圈 35 更小。

專利文獻 1：日本特願 2004-037242

#### 【發明內容】

習知，在 IC 等的電子電路的製程進行測試時，將測試訊號供給於晶片的焊墊（輸入焊墊及/或測試用焊墊），並檢測晶片的焊墊（輸出焊墊及/或測試用焊墊）的訊號（電壓值及/或電流值）。所以，欲測試電子電路，則成為需要接觸於小焊墊的針，若測試很多電子電路，該針的前端會磨耗，因此，一般的電子電路試驗裝置是壽命短者。

又，作為被測試的電子電路除了輸入焊墊及輸出焊墊之外，還必須設置測試用焊墊，而在多功能的 IC 等，欲從很多種類的輸入得到很多種類的輸出，除了此些以外也必須設置測試用焊墊，因此在電子電路的設計上有限制。

本發明是鑑於上述缺點問題，其目的是在於提供一種特別適用於測試藉由感應性耦合進行基板間通訊的電子電路，即使未使用測試用焊墊也可測試電子電路的電子電路試驗裝置。

(3)

本發明的電子電路試驗裝置是具備具發訊及收訊訊號的線圈的探針。

又，上述探針是在二維上可移動，而以較少探針可進行測試。

又，具備複數上述探針，而在短時間內可行複雜的測試。

又，本發明的電子電路試驗裝置，是具備具：發訊訊號的發訊線圈，及收訊訊號的收訊線圈的探針。

又，上述發訊線圈及收訊線圈是由一個基板上的配線所形成，而容易地可測試較小的電子電路。

又，上述發訊線圈及相對應的收訊線圈是配設在同軸，而在所定通訊通道發訊測試訊號並從該通訊通道可收訊檢測訊號。

依照本發明，以無接觸就可測試電子電路。因此在電子電路試驗裝置不必設置與電子電路的焊墊接觸的針，而可延長壽命。又，在設計電子電路時不必設置測試用焊墊，可提高電路設計的自由度。在習知的以接觸型式的探針進行測試時，電子電路的探針接觸部分的輸出入電路成為必需的靜電放電（ESD：Electrostatic Discharge）保護電路，是存在著起因於使用在該電路的大電晶體的大靜電容量之故，因而成為妨礙高速化輸出入電路，對於此，本發明是以無接觸進行測試而不需要ESD保護電，因此，成為可高速化與探針之間的輸出入動作，而在接通時間可進行測試（並不是為了測試的較慢動作而是以一般操作時的快

(4)

速動作進行測試)。還有感應性耦合(亦即，L 耦合)本體具有旁路濾波器的特性，因此高速動作上較有利。

本專利說明書是包含記載於本案的優先權的基礎的日本特願 2004-289268 的專利說明書及/或圖式的內容。

### 【實施方式】

以下，一面參照所附圖式一面譯述用以實施本發明的最佳形態。

#### 實施例 1

第 1 圖是表示依本發明的實施例 1 的電子電路試驗裝置的構成及進行測試的 LSI 的構成的圖式。本實施例 1 的電子電路試驗裝置是測試已完成的 LSI 者。該電子電路試驗裝置是由測試器 11，緩衝器 12，13，Tx/Rx 開關化，及探針 15 所構成。測試器 11 是製作測試訊號而經由緩衝器 12 供給於探針 15。並經由緩衝器 13 收訊在探針 15 所檢測的訊號，來決定電子電路是否合格。緩衝器 12、13 是放大訊號的放大器。Tx/Rx 開關 14 是在發訊時與收訊時切換信號的流動的開關。發訊時，將探針 15 連接於緩衝器 12，而與緩衝器 13 斷開，並短路緩衝器 13 的輸入。收訊時，將探針 15 連接於緩衝器 13，而與緩衝器 12 斷開，並開放緩衝器 12 的輸出。探針 15 是由線圈所構成，發訊時，放射上下方向的磁力線，與 LSI 內的線圈感應耦合並將測試訊號供給於 LSI，收訊時，產生因應於來自 LSI

(5)

內的線圈的上下方向的磁力線變化的電動勢，並檢測來自 LSI 的訊號。

作為測對象的 LSI，是在本實施例中，LSI 晶片 20a，20b 被堆成兩層。LSI 晶片 20a 是具備被連接於第一發訊電路 22a 的第一發訊線圈 21a，及被連接於第一收訊電路 24a 的第一收訊線圈 23a，同樣地，LSI 晶片 20b 是具備被連接於第二發訊電路 22b 的第二發訊線圈 21b，及被連接於第二收訊電路 24b 的第二收訊線圈 23b。此些第一，第二發訊線圈 21a，21b 及第一，第二收訊線圈 23a，23b 是構成一個通訊通道。第二發訊電路 22b 及第二收訊電路 24b 是經由焊墊 25b，接受發訊資料 Txdata 及同步脈衝 Clk，而被連接於送出收訊資料 Rxdata 的引入線 26。雖省略圖示，惟在 LSI 晶片 20a，20b 內，設有接受發訊資料 Txdata 及同步脈衝 Clk，並送出受訊資料 Rxdata 的各用途的電子電路。又設置複數此種收發訊線圈對，則也可構成複數通訊通道，或是也可將所堆積的晶片數作成三層以上。在具有 LSI 由感應性耦合產生的複數通訊通路時，則配置在設置複數探針 15 所對應的位置也可以，或是在水平面上二維地移動一個探針 15 而各該位置進行測試也可以。這時候，代替探針 15 的移動而移動 LST 也可以。進行測試之際對於 LSI 的電源供給與同步脈衝的供給也可藉由感應性耦合所進行，惟若容許局部的直接連接，則經由引入線 26 作成供給電源（爲了電源的引入線未圖示）及同步脈衝也可以。

(6)

實際進行測試之際，探針介入在由堆疊間的感應性耦合產生的通訊通道，而由探針 15 送出測試訊號，在探針 15 檢測訊號，判定並決定 LSI 是否合格。設置複數探針 15 時，作成以其他探針 15 檢測一個探針 15 送出測試訊號之際的訊號也可以。

如此地在本實施例 1 中，幾乎未直接接觸，或完全未接觸到測試對象的 LSI，就可測試 LSI。

## 實施例 2

第 2 圖是表示依本發明的實施例 2 的電子電路試驗裝置的構成及進行測試的 LSI 晶片的構成的圖式。本實施例 2 的電子電路試驗裝置是測試 LSI 晶片者，又，晶圓為切斷各 LSI 晶片前，或是切斷後的 LSI 晶片都可以。該電子電路試驗裝置是由測試器 11，緩衝器 12，13，Tx/Rx 開關 14，引入線 27 及 LSI 晶片 20a 所構成。如此地本實施例 2 的電子電路試驗裝置，是將第一收發訊線圈 21a，23a 配置於與作為測試對象的 LSI 晶片 20b 的通訊通道的位置相對應的位置的 LSI 晶片 20a 使用作為探針者。因此，測試器 11，緩衝器 12，13，Tx/Rx 開關 14，收發訊線圈 21a，21b，23a，23b 及收發訊電路 22a，22b，24a，24b 的構成是與實施例 1 者相同。在本實施例 2 中，在焊墊 25a 連接引入線而將測試訊號供給於作為探針的 LSI 晶片 20a。進行測試之際對於 LSI 晶片 20b 的電源供給與同步脈衝的供給也可藉由感應性耦合所進行，惟若容許局部的直接連

(7)

接，則經由焊墊 25b 作成供給電源（爲了電源的焊墊未圖示）及同步脈衝也可以。

如此地在本實施例 2 中，幾乎未直接接觸，或完全未接觸到測試對象的 LSI，就可測試 LSI。

又，本發明是並不被限定於上述實施例者。

當然可將上述實施例的構成適用在 PCB。

將在本發明說明書所引用的所有刊物，專利及申請專利直接作爲參考列入在本發明說明書者。

#### 【圖式簡單說明】

第 1 圖是表示依本發明的實施例 1 的電子電路試驗裝置的構成及進行測試的 LSI 的構成圖式。

第 2 圖是表示依本發明的實施例 2 的電子電路試驗裝置的構成及進行測試的 LSI 晶片的構成圖式。

第 3 圖是表示先前發明的電子電路的構成圖式。

#### 【主要元件之符號說明】

11：測試器

12、13：緩衝器

14：Tx/Rx 開關

20：LSI 晶片

21：發訊線圈

22：發訊電路

23：收訊線圈

(8)

24：收訊電路

25：焊墊

26、27：引入線

31：LSI晶片

32：發訊電路

33：發訊線圈

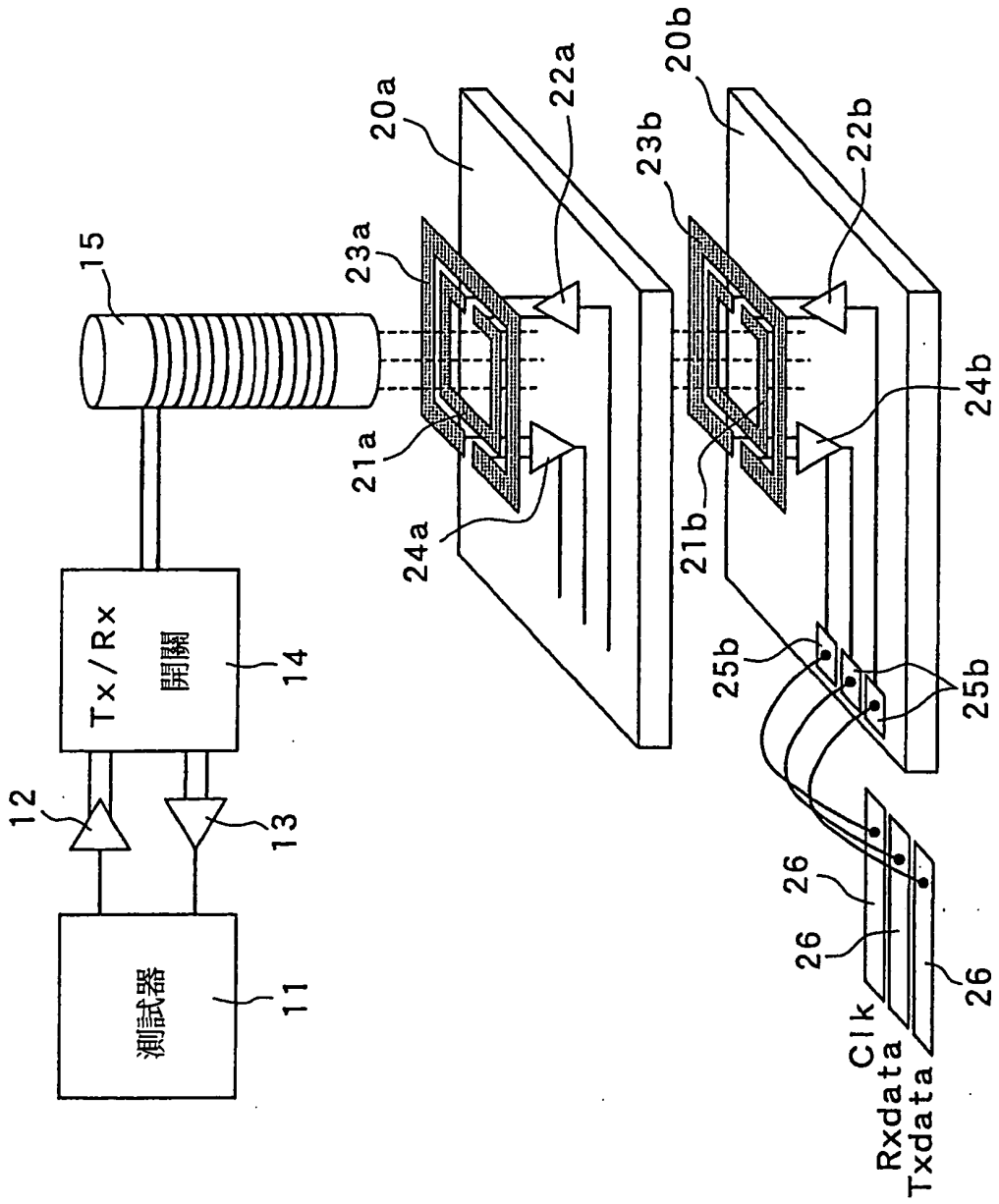
34：收訊電路

35：收訊線圈

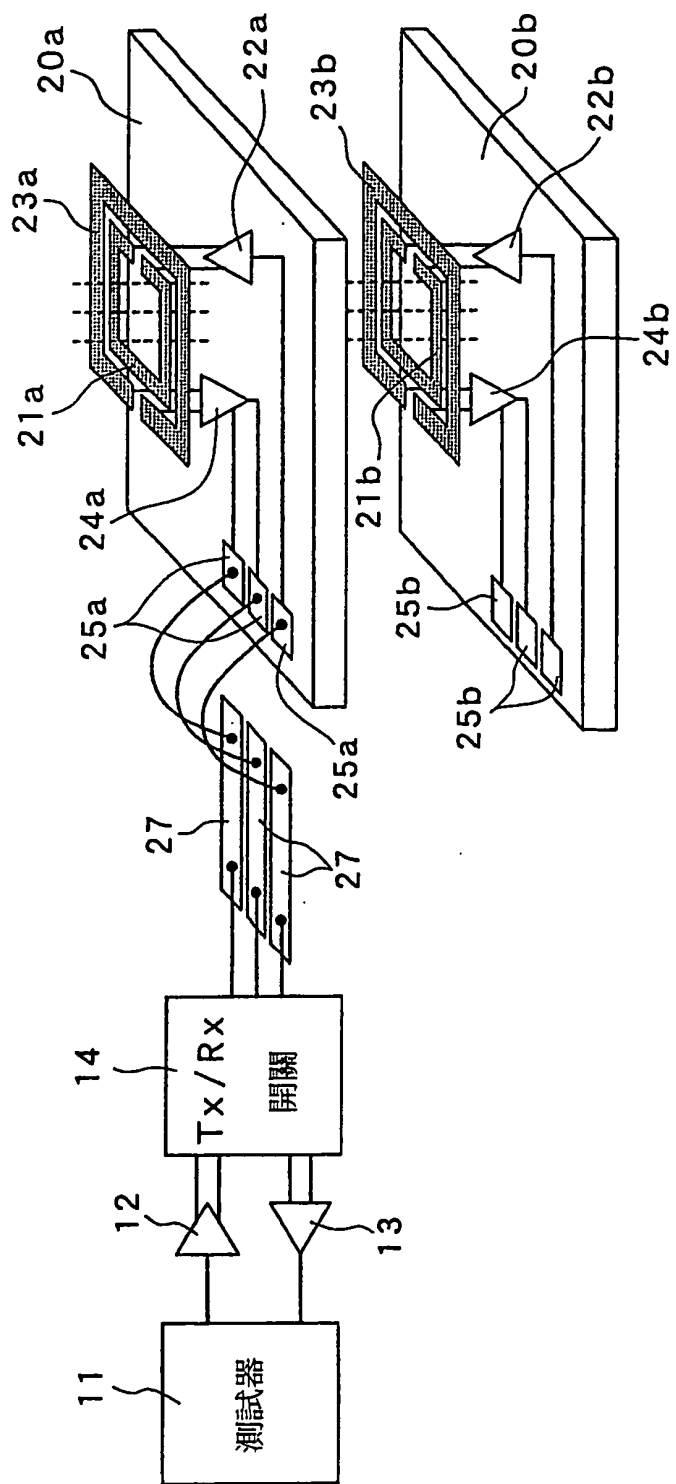
Txdata：發訊資料

Rxdata：收訊資料

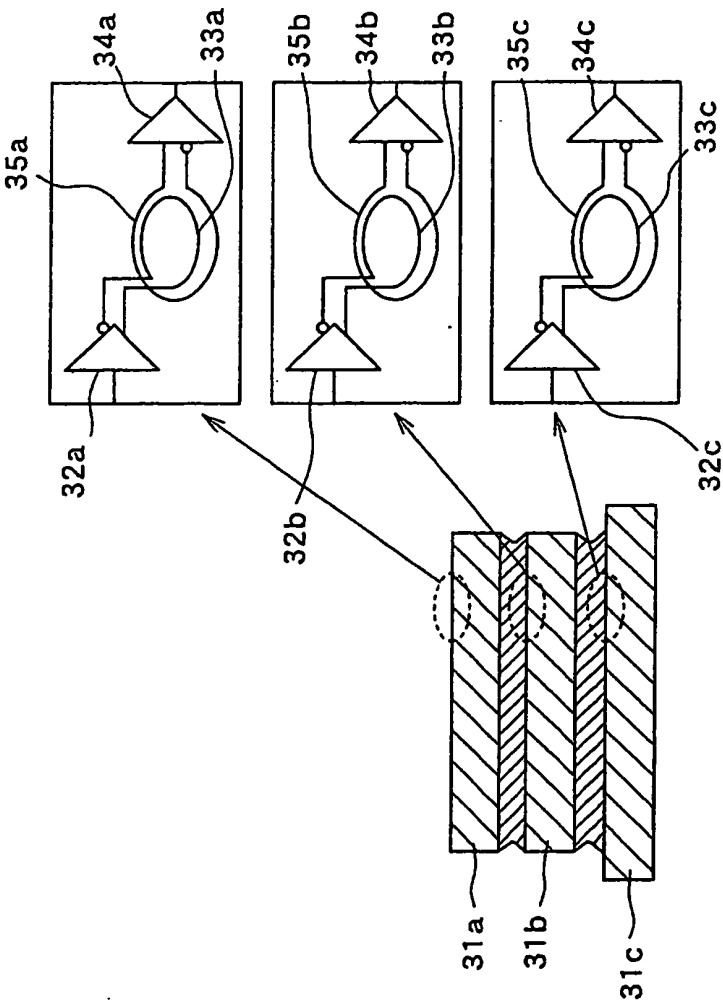
Clk：同步脈衝



第1圖



第2圖



第3圖

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

11：測試器

12、13：緩衝器

14：Tx/Rx 開關

15：探針

20a、20b：LSI 晶片

21a：第一發訊線圈

21b：第二發訊線圈

22a：第一發訊電路

22b：第二發訊電路

23a：第一收訊線圈

23b：第二收訊線圈

24a：第一收訊電路

24b：第二收訊電路

26：引入線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(此處由本局於收  
文時黏貼條碼)

中文說明書修正頁

759031

# 發明專利說明書

101年5月1日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

**公告本**

※申請案號：094133825

※申請日期：94 年 09 月 28 日

※IPC 分類：G01R 31/265 (2006.01)

## 一、發明名稱：

(中) LSI 晶片試驗裝置

(英)

## 二、申請人：(共 1 人)

1. 姓 名：(中) 學校法人慶應義塾

(英) KEIO UNIVERSITY

代表人：(中) 1. 安西祐一郎

(英) 1. ANZAI, YUICHIRO

地 址：(中) 日本國東京都港區三田二丁目一五番四五號

(英) 15-45, Mita 2-chome, Minato-ku, Tokyo, 108-8345 Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 3 人)

1. 姓 名：(中) 黑田忠廣

(英) KURODA, TADAHIRO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 溝口大介

(英) MIZOGUCHI, DAISUKE

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 三浦典之

(英) MIURA, NORIYUKI

國 籍：(中) 日本

(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

(此處由本局於收  
文時黏貼條碼)

中文說明書修正頁

759031

# 發明專利說明書

101年5月1日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

**公告本**

※申請案號：094133825

※申請日期：94 年 09 月 28 日

※IPC 分類：G01R 31/265 (2006.01)

## 一、發明名稱：

(中) LSI 晶片試驗裝置

(英)

## 二、申請人：(共 1 人)

1. 姓 名：(中) 學校法人慶應義塾

(英) KEIO UNIVERSITY

代表人：(中) 1. 安西祐一郎

(英) 1. ANZAI, YUICHIRO

地 址：(中) 日本國東京都港區三田二丁目一五番四五號

(英) 15-45, Mita 2-chome, Minato-ku, Tokyo, 108-8345 Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 3 人)

1. 姓 名：(中) 黑田忠廣

(英) KURODA, TADAHIRO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 溝口大介

(英) MIZOGUCHI, DAISUKE

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 三浦典之

(英) MIURA, NORIYUKI

國 籍：(中) 日本

(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

I377352

101年5月1日修正替換頁

759031

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2004/09/30 ; 2004-289268 ☒有主張優先權

## 五、中文發明摘要

發明之名稱：LSI 晶片試驗裝置

提供一種適用於測試藉由感應性耦合進行基板間通訊的電子電路，即使未使用測試用焊墊也可測試電子電路的電子電路試驗裝置作為課題，在由第一，第二發訊線圈(21a，21b)，及第一，第二收訊線圈(23c，23b)產生的感應性耦合所構成的通訊通道，介入探針(15)，藉由測試器(11)，緩衝器(12，13)，及Tx/Px開關(14)來測試LSI。由此，在電子電路試驗裝置不必設置與電子電路的焊墊或引入線接觸的針而可延長壽命。

## 六、英文發明摘要

發明之名稱：

民國 101 年 5 月 1 日修正

## 十、申請專利範圍

1. 一種 LSI (Large Scale Integration) 晶片試驗裝置，其特徵為：具備探針，該探針具有可對 LSI 晶片感應性地發送測試訊號，及從上述 LSI 晶片感應性地接收檢測訊號之線圈；

以上述檢測訊號來判定並決定上述 LSI 晶片是否合格的方式，對上述 LSI 晶片進行試驗。

2. 如申請專利範圍第 1 項所述之 LSI 晶片試驗裝置，其中，上述探針是在二維上可移動者。

3. 如申請專利範圍第 1 項或第 2 項所述之 LSI 晶片試驗裝置，其中，具備複數上述探針。

4. 一種 LSI 晶片試驗裝置，其特徵為：具備探針，該探針具有

發訊線圈，對 LSI 晶片感應性地發送測試訊號；及

收訊線圈，從上述 LSI 晶片感應性地接收檢測訊號；

以上述檢測訊號來判定並決定上述 LSI 晶片是否合格的方式，對上述 LSI 晶片進行試驗。

5. 如申請專利範圍第 4 項所述之 LSI 晶片試驗裝置，其中，上述發訊線圈及上述收訊線圈是由一個基板上的配線所形成。

6. 如申請專利範圍第 5 項所述之 LSI 晶片試驗裝置，其中，上述發訊線圈及相對應的收訊線圈是配設在同軸。