

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4255144号  
(P4255144)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.

F I

G 1 1 C 29/04 (2006.01)

G 1 1 C 29/00 6 0 3 G

請求項の数 12 (全 40 頁)

(21) 出願番号	特願平10-147477	(73) 特許権者	503121103
(22) 出願日	平成10年5月28日(1998.5.28)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-339492		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成11年12月10日(1999.12.10)	(74) 代理人	100064746
審査請求日	平成17年5月25日(2005.5.25)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリブロックを備え、

前記複数のメモリブロックの各々は、

行列状に配置される複数の正規のメモリセルと、前記行に対応して配置される複数のワード線と、前記列に対応して配置される複数のビット線とを含むノーマルブロックを含み、

前記複数のメモリブロックのうち、少なくとも1以上のメモリブロックは、

行列状に配置される複数の冗長セルと、前記行に対応して配置される複数の冗長ワード線と、前記列に対応して配置される複数のビット線とを含む冗長ブロックをさらに含み、

前記複数の冗長セルは、前記複数のメモリブロックのいずれかに属する前記正規のメモリセルを置換するために使用され、

外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第1の制御手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、

前記第1の制御手段は、前記判定手段による冗長判定の結果を受けて、前記対応する前記ワード線を非選択状態にするための制御を行ない、

前記第2の制御手段は、前記判定手段による冗長未判定の結果を受けて、前記対応する

10

20

前記冗長ワード線を非選択状態にするための制御を行なう、半導体記憶装置。

【請求項 2】

前記第 1 の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するためのワード線活性化信号を発生する第 1 の信号発生手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、

前記第 2 の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための冗長ワード線活性化信号を発生する第 2 の信号発生手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第 1 の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第 2 の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記複数のノーマルブロックおよび前記複数の冗長ブロックのそれぞれに対応して設けられる複数のセンスアンプブロックをさらに備え、

前記複数のセンスアンプブロックのそれぞれは、  
複数のセンスアンプ手段を含み、

前記複数のセンスアンプ手段のそれぞれは、

対応する前記ビット線の電位を増幅する手段と、

対応する前記ビット線の電位を均一化するイコライズ回路と、

非選択のメモリブロック側に対応する前記ビット線を分離する S / A シェア回路とを含み、

前記第 1 の制御手段は、

前記外部アドレス信号に応答して、対応する前記ノーマルブロックにおける前記センスアンプブロックの活性化を制御する第 1 の制御信号を発生し、

前記第 2 の制御手段は、

前記外部アドレス信号に応答して、対応する前記冗長ブロックにおける前記センスアンプブロックの活性化を制御する第 2 の制御信号を発生し、

前記第 1 の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、発生した前記第 1 の制御信号のレベルを変化させ、

前記第 2 の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、発生した前記第 2 の制御信号のレベルを変化させる、請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するためのワード線活性化信号を発生する第 1 の信号発生手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とをさらに含み

前記第 2 の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための冗長ワード線の活性化信号を発生する第2の信号発生手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とをさらに含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項3に記載の半導体記憶装置。

10

【請求項5】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、

前記冗長手段から受ける冗長未使用の判定結果に応答して、前記第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、

20

前記第2の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、

前記冗長手段から受ける冗長使用の判定結果に応答して、前記第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

30

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項1に記載の半導体記憶装置。

【請求項6】

前記第1レベルとは、前記活性レベルと前記非活性レベルとの実質的に中間の値である、請求項5に記載の半導体記憶装置。

【請求項7】

前記複数のワード線の各々は、

メインワード線と、

40

前記メインワード線の各々に対応して設けられる複数のサブワード線とを含み、

前記複数の冗長ワード線の各々は、

冗長メインワード線と、

前記冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、

前記ワード線活性化信号は、前記サブワード線を選択状態とし、

前記冗長ワード線活性化信号は、前記スペアワード線を選択状態とする、請求項2に記載の半導体記憶装置。

【請求項8】

前記複数のワード線の各々は、

メインワード線と、

50

前記メインワード線の各々に対応して設けられる複数のサブワード線とを含み、  
前記複数の冗長ワード線の各々は、  
冗長メインワード線と、  
前記冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、  
前記ワード線活性化信号は、前記サブワード線を選択状態とし、  
前記冗長ワード線活性化信号は、前記スペアワード線を選択状態とする、請求項4に記載の半導体記憶装置。

【請求項9】

行列状に配置される複数の正規のメモリセルと、前記行に対応して配置される複数のワード線と、前記列に対応して配置される複数のビット線とを含むノーマルブロックと、  
行列状に配置され、対応する正規のメモリセルと置換するための複数の冗長セルと、前記行に対応して配置される複数の冗長ワード線と、前記列に対応して配置される複数のビット線とを含む冗長ブロックと、

外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第1の制御手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、

前記第1の制御手段は、前記判定手段による冗長判定の結果を受けて、前記対応するワード線を非選択状態にするための制御を行ない、

前記第2の制御手段は、前記判定手段による冗長未判定の結果を受けて、前記対応する冗長ワード線を非選択状態にするための制御を行なう、半導体記憶装置。

【請求項10】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、

前記冗長手段から受ける冗長未使用の判定結果に応答して、前記第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、

前記第2の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、

前記冗長手段から受ける冗長使用の判定結果に応答して、前記第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項9に記載の半導体記憶装置。

【請求項11】

前記第1レベルとは、前記活性レベルと前記非活性レベルとの実質的に中間の値である、請求項10に記載の半導体記憶装置。

【請求項12】

前記外部アドレス信号をデコードするデコード手段をさらに備え、

前記第1の制御手段は、

前記デコード手段の出力するデコード信号に応答して、前記第 1 レベルのワード線活性化信号を発生し、

前記第 2 の制御手段は、

前記デコード手段の出力するデコード信号に応答して、前記第 1 レベルの冗長ワード線活性化信号を発生する、請求項 1 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に置換可能な冗長セルを含む半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の冗長セルを備える半導体記憶装置の一例について、図 3 2 を用いて簡単に説明する。

【 0 0 0 3 】

図 3 2 は、従来の半導体記憶装置 9 0 0 0 における全体構成を示す図である。図 3 2 に示す従来の半導体記憶装置 9 0 0 0 は、レジスタ 9 0 1、ロウアドレスバッファ 9 0 2、ロウプリデコーダ 2 1 2、冗長判定回路 2 1 1、メモリセルアレイ 9 1 0、コラムデコーダ 9 0 3、およびデータ入出力バッファ 9 0 4 を含む。従来の半導体記憶装置 9 0 0 0 は、階層ワード線方式、シェアドセンスアンプ方式の構成を備える。

【 0 0 0 4 】

メモリセルアレイ 9 1 0 は、複数のメモリブロック 1 . 0、1 . 1、...を含む。各メモリブロックは、正規のメモリセルから構成されるノーマルブロック（図中記号 N B L（ 0 ））、N B L（ 1 ）、...）と冗長セルから構成される冗長ブロック（図中記号 R B L（ 0 ）、R B L（ 1 ）、...）とを含む。メモリブロック 1 . 0、...の各々を挟む領域に、センスアンプブロック 2 が配置される。隣接するメモリブロック同士は、センスアンプブロック 2 を共有する。

【 0 0 0 5 】

レジスタ 9 0 1 は、外部から信号（外部ロウアドレスストローブ信号 / R A S、外部コラムアドレスストローブ信号 / C A S、外部チップセレクト信号 / C S、外部ライトイネーブル信号 / W E、外部クロック信号 C L K、外部クロックイネーブル信号 / C K E 等）を受けて、対応する制御信号を出力する。

【 0 0 0 6 】

ロウアドレスバッファ 9 0 2 は、外部アドレス信号 A 0 ~ A i に応答して、ロウアドレス信号を出力する。

【 0 0 0 7 】

ロウプリデコーダ 2 1 2 は、冗長判定回路 2 1 1 から出力されるイネーブル信号 P D E に応答して、ロウアドレスバッファ 9 0 2 の出力に基づき、メインワード線 M W L を指定するデコード信号を出力する。また、ロウプリデコーダ 2 1 2 は、ロウアドレスバッファ 9 0 2 の出力に基づき、対応するブロック選択信号を出力する。

【 0 0 0 8 】

データ入出力バッファ 9 0 4 は、コラムデコーダ 9 0 3 の制御に基づき、データ I / O ビン D Q 0 ~ D Q n とメモリセルアレイ 9 1 0 との間で信号の授受を行う。

【 0 0 0 9 】

メモリセルアレイ 9 1 0 に対して、S D ドライバ / S A ドライバ 9 2 4 および M W L ドライバ 9 2 5 を配置する。S D ドライバ / S A ドライバ 9 2 4 は、センスアンプの活性化を制御するシェアードゲート信号、およびワード線を活性化するサブデコード信号を出力する。M W L ドライバ 9 2 5 は、メインワード線を選択状態にする。

【 0 0 1 0 】

冗長判定回路 2 1 1 は、冗長使用 / 未使用を判定する。冗長使用の場合には、冗長メイン

10

20

30

40

50

ワード線RMWLを選択状態とするための冗長メインワード線選択信号を出力する。

【0011】

メモリブロック1.0、...のそれぞれに対して、図33に示すWLドライバ914を配置する。

【0012】

図33は、図32に示す従来の半導体記憶装置におけるWLドライバ914の構成を示す図であり、参考のため、メモリブロック1.1およびセンスアンプブロックを示している。

【0013】

メモリブロック1.1は、複数の冗長およびノーマルメモリセルMC、複数のビット線対BL(0)および/B L(0)、...、複数のワード線WL(n)、WL(n+1)、...、複数のスペアワード線SWL(0)、SWL(1)、...を含む。複数のビット線対は、各列に対応して配置される。複数のワード線およびスペアワード線は、各行に対応して配置される。

【0014】

メモリブロック1.1に対応してセンスアンプブロック(図中記号2a、2b)を配置する。センスアンプブロック2a、2bはそれぞれ、複数のセンスアンプS/Aと、PMOSTランジスタPT10を構成要素とする複数のイコライズ回路と、NMOSTランジスタNT10、NT11、NT12およびNT13を構成要素とする複数のS/Aシェア回路とを含む。

【0015】

WLドライバ914は、メインワード線MWL(0)、...、MWL(m)または冗長メインワード線RMWL、およびサブデコード信号SD(0)、/SD(0)、SD(1)、/SD(1)、...に基づき、1つのワード線WL(n)、WL(n+1)、またはスペアワード線SWL(0)、SWL(1)を選択状態とする。冗長メインワード線およびスペアワード線は、冗長セルを選択するために使用する。

【0016】

WLドライバ914は、各ワード線およびスペアワード線に対応して、PMOSTランジスタPT1、ならびにNMOSTランジスタNT1およびNMOSTランジスタNT2を備える。たとえば、ワード線WL(0)に対し、PMOSTランジスタPT1の一方の端子は、サブデコード信号SD(1)を受け、他方の端子は、NMOSTランジスタNT1の一方の端子と接続される。PMOSTランジスタPT1およびNMOSTランジスタNT1のそれぞれのゲート電極は、メインワード線MWLと接続される。PMOSTランジスタPT1とNMOSTランジスタNT1との接続ノードは、ワード線WL(0)と接続される。NMOSTランジスタNT2の一方の端子は、ワード線WL(0)と接続され、他方の端子は、接地電位と接続され、そのゲート電極は、サブデコード信号SD(1)を反転したサブデコード信号/SD(1)を受ける。この結果、サブデコード信号または冗長ワブデコード信号により、いずれか一のワード線またはスペアワード線が選択状態になる。

【0017】

【発明が解決しようとする課題】

ところで、冗長領域を配置するメモリセルアレイは、半導体記憶装置にとって必須の構成となっている。この点で、特に、図32に示す従来の半導体記憶装置9000は、メモリブロック間を超えて置換が可能であるという点で救済効率の高い構成を備えているといえる。

【0018】

しかしながら、一般に、冗長セルを含む半導体記憶装置においては、冗長判定があるまで活性化させるブロックが決定されず、高速アクセスが不十分であるという問題がある。

【0019】

この問題点を、図32に示す従来の半導体記憶装置を具体例として、図34を用いて説明

10

20

30

40

50

する。図 3 4 は、図 3 2 に示す従来の半導体記憶装置 9 0 0 0 における動作を説明するためのタイミングチャートである。

【 0 0 2 0 】

図 3 4 を参照して、バンク活性信号 A C T により、ロウ系の動作が開始される。アドレス信号 R A 0 ~ R A 1 2 がラッチされ、ワード線またはスペアワード線の選択、センスアンプの活性化の動作が行なわれる。ワード線の選択時には、冗長の使用・未使用の判定が行なわれる。

【 0 0 2 1 】

時刻  $t_0$  において、ロウアドレスが冗長判定回路 2 1 1 およびロウブリデコード 2 1 2 に到達する。 0 の期間、冗長判定が行なわれる。冗長判定後、時刻  $t_1$  において、対応するワード線またはスペアワード線を選択状態にするためのサブデコード信号または冗長サブデコード信号の活性化、ならびにセンスアンプの準備を行う。

10

【 0 0 2 2 】

具体的には、メモリブロック 1 . 1 が選択されると、その両端に位置するセンスアンプブロックが活性状態となる。その動作の準備として、ビット線のイコライズを解除するために、イコライズ信号 B L E Q を L レベルにし、シェアードゲートをオフするために、シェアードゲート S H R ( U ) および S H E ( D ) を L レベルにする。これらの動作は、冗長判定後、ワード線を立上げるまでに完了する。

【 0 0 2 3 】

この結果、最終的にロウアドレスの入力からワード線の立上げまでに  $t_0 + t_2$  (ただし、 $t_2 = t_2 - t_0$ ) が必要とされる。

20

【 0 0 2 4 】

さらなる問題として、冗長セルを使用した場合、レイアウト面積が増大するという問題が存在する。

【 0 0 2 5 】

そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、冗長セルを有する半導体記憶装置において、高速動作が可能な半導体記憶装置を提供することにある。

【 0 0 2 6 】

さらに、本発明の他の目的は、レイアウト面積を抑えながら、救済効率の高い半導体記憶装置を提供することにある。

30

【 0 0 2 7 】

【課題を解決するための手段】

請求項 1 に係る半導体記憶装置は、複数のメモリブロックを備え、複数のメモリブロックの各々は、行列状に配置される複数の正規のメモリセルと、行に対応して配置される複数のワード線と、列に対応して配置される複数のビット線とを含むノーマルブロックを含み、複数のメモリブロックのうち、少なくとも 1 以上のメモリブロックは、行列状に配置される複数の冗長セルと、行に対応して配置される複数の冗長ワード線と、列に対応して配置される複数のビット線とを含む冗長ブロックをさらに含み、複数の冗長セルは、複数のメモリブロックのいずれかに属する正規のメモリセルを置換するために使用され、外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第 1 の制御手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第 2 制御手段とをさらに備え、第 1 の制御手段は、判定手段による冗長判定の結果を受けて、対応するワード線を非選択状態にするための制御を行ない、第 2 の制御手段は、判定手段による冗長未使用の判定の結果を受けて、対応する冗長ワード線を非選択状態にするための制御を行なう。

40

【 0 0 3 3 】

請求項 2 に係る半導体記憶装置は、請求項 1 に係る半導体記憶装置であって、第 1 の制御手段は、外部アドレス信号に対応するワード線を活性化するためのワード線活性化信号

50

を発生する第1の信号発生手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための冗長ワード線活性化信号を発生する第2の信号発生手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線の活性化信号を非活性化する。

10

**【0034】**

請求項3に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、複数のメモリブロックおよび複数の冗長ブロックのそれぞれに対応して設けられる複数のセンスアンプブロックをさらに備え、複数のセンスアンプブロックのそれぞれは、複数のセンスアンプ手段を含み、複数のセンスアンプ手段のそれぞれは、対応するビット線の電位を増幅する手段と、対応するビット線の電位を均一化するイコライズ回路と、非選択のメモリブロック側に対応するビット線を分離するS/Aシェア回路とを含み、第1の制御手段は、外部アドレス信号に応答して、対応するノーマルブロックにおけるセンスアンプブロックの活性化を制御する第1の制御信号を発生し、第2の制御手段は、外部アドレス信号に応答して、対応する冗長ブロックにおけるセンスアンプブロックの活性化を制御する第2の制御信号を発生し、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、発生した第1の制御信号のレベルを変化させ、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、発生した第2の制御信号のレベルを変化させる。

20

**【0035】**

請求項4に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するためのワード線活性化信号を発生する第1の信号発生手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とをさらに含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための冗長ワード線の活性化信号を発生する第2の信号発生手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とをさらに含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線活性化信号を非活性化する。

30

**【0036】**

請求項5に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、冗長手段から受ける冗長未使用の判定結果に応答して、第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、冗長手段から受ける冗長使用の判定結果に応答して、第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非

40

50



活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果にตอบสนองして、活性化した冗長ワード線活性化信号を非活性化する。

【0037】

請求項6に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、第1レベルとは、活性レベルと非活性レベルとの実質的に中間の値である。

【0038】

請求項7に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、複数のワード線の各々は、メインワード線と、メインワード線の各々に対応して設けられる複数のサブワード線とを含み、複数の冗長ワード線の各々は、冗長メインワード線と、冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、ワード線活性化信号は、サブワード線を選択状態とし、冗長ワード線活性化信号は、スペアワード線を選択状態とする。

10

【0039】

請求項8に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、複数のワード線の各々は、メインワード線と、メインワード線の各々に対応して設けられる複数のサブワード線とを含み、複数の冗長ワード線の各々は、冗長メインワード線と、冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、ワード線活性化信号は、サブワード線を選択状態とし、冗長ワード線活性化信号は、スペアワード線を選択状態とする。

【0040】

20

請求項9に係る半導体記憶装置は、行列状に配置される複数の正規のメモリセルと、行に対応して配置される複数のワード線と、列に対応して配置される複数のビット線とを含むノーマルブロックと、行列状に配置され、対応する正規のメモリセルと置換するための複数の冗長セルと、行に対応して配置される複数の冗長ワード線と、列に対応して配置される複数のビット線とを含む冗長ブロックと、外部アドレス信号にตอบสนองして、冗長使用可否かを判定する判定手段と、判定手段の判定結果と独立して、外部アドレス信号にตอบสนองして、対応するワード線を選択状態にするための制御を行う第1の制御手段と、判定手段の判定結果と独立して、外部アドレス信号にตอบสนองして、対応する冗長ワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、第1の制御手段は、判定手段による冗長判定の結果を受けて、対応するワード線を非選択状態にするための制御を行ない、第2の制御手段は、判定手段による冗長未使用の判定の結果を受けて、対応する冗長ワード線を非選択状態にするための制御を行なう。

30

【0041】

請求項10に係る半導体記憶装置は、請求項9に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、冗長手段から受ける冗長未使用の判定結果にตอบสนองして、第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号にตอบสนองして、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、冗長手段から受ける冗長使用の判定結果にตอบสนองして、第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号にตอบสนองして、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果にตอบสนองして、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果にตอบสนองして、活性化した冗長ワード線活性化信号を非活性化する。

40

【0042】

請求項11に係る半導体記憶装置は、請求項10に係る半導体記憶装置であって、第1レベルとは、活性レベルと非活性レベルとの実質的に中間の値である。

50

## 【 0 0 4 3 】

請求項 1 2 に係る半導体記憶装置は、請求項 1 1 に係る半導体記憶装置であって、外部アドレス信号をデコードするデコード手段をさらに備え、第 1 の制御手段は、デコード手段の出力するデコード信号に応答して、第 1 レベルのワード線活性化信号を発生し、第 2 の制御手段は、デコード手段の出力するデコード信号に応答して、第 1 レベルの冗長ワード線活性化信号を発生する。

## 【 0 0 4 7 】

## 【 発明の実施の形態 】

## [ 実施の形態 1 ]

本発明の実施の形態 1 における半導体記憶装置について説明する。本発明の実施の形態 1 における半導体記憶装置は、メモリブロック間を超えて置換可能な半導体記憶装置に関し、通常のロウアドレス系と冗長用のロウアドレス系とを個別に制御することにより、アクセス時間の高速化を図るものである。

10

## 【 0 0 4 8 】

本発明の実施の形態 1 における半導体記憶装置の全体構成について図 1 を用いて説明する。図 1 は、本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の全体構成を示す図である。従来の半導体記憶装置 9 0 0 0 と同じ構成要素には、同じ符号、同じ記号を付し、その説明を省略する。

## 【 0 0 4 9 】

図 1 に示す半導体記憶装置 1 0 0 0 は、レジスタ 9 0 1、ロウアドレスバッファ 9 0 2、ロウアドレス系デコード回路 2 1、コラムデコーダ 9 0 3、メモリセルアレイ 9 1 0、およびデータ入出力バッファ 9 0 4 を含む。図 1 に示す半導体記憶装置 1 0 0 0 は、階層ワード線方式、シェアドセンスアンプ方式の構成を備える。

20

## 【 0 0 5 0 】

メモリセルアレイ 9 1 0 は、複数のメモリブロック 1 . 0、1 . 1、...を含む。各メモリブロックは、正規のメモリセルから構成されるノーマルブロック（図中記号 N B L ( 0 )、N B L ( 1 )、...）と冗長セルから構成される冗長ブロック（図中記号 R B L ( 0 )、R B L ( 1 )、...）とを含む。半導体記憶装置 1 0 0 0 では、1 のメモリブロックに対して、他のメモリブロックに存在する冗長ブロックを使用して置換を行なうことが可能である。

30

## 【 0 0 5 1 】

メモリブロック 1 . 0、...のそれぞれを挟む領域に、センスアンプブロック 2 が配置される。隣接するメモリブロック同士は、センスアンプブロック 2 を共有する。メモリブロック 1 . 0、...のそれぞれに対して、W L ドライバ 4 を配置する。

## 【 0 0 5 2 】

なお、以下の説明においては、1 6 組のメモリブロック、6 4 本のメインワード線、および 8 組のサブデコード信号から 1 本のワード線が選択されるものとする。また、各メモリブロック毎に、1 本の冗長メインワード線と 8 組の冗長サブデコード信号とから 1 本のスペアワード線が選択されるものとする。

## 【 0 0 5 3 】

ロウアドレス系デコード回路 2 1 は、冗長判定回路 2 0、ロウプリデコーダ 2 2、ブロック選択回路 2 3、S D ドライバ / S A ドライバ 2 4、および M W L ドライバ 2 5 を含む。冗長判定回路 2 0 は、レジスタ 9 0 1 から受けるアクト信号 A C T に応答して、アドレスバッファ 9 0 2 から受けるアドレス信号に基づき、冗長判定を行う。判定結果として、判定信号 R H I T、信号 R M W L、および冗長ブロックを指定するプリデコード信号 R S D F（図中記号 R S D F ( 0 ) ~ R S D F ( 1 5 )）を出力する。

40

## 【 0 0 5 4 】

冗長判定回路 2 0 から出力される判定信号 R H I T は、初期状態で L レベルである。冗長を使用した場合は、判定信号 R H I T は、H レベルとなり、いずれか 1 のプリデコード信号 R S D F が H レベルとなる。冗長未使用の場合は、判定信号 R H I T およびプリデコー

50

ド信号 R S D F は L レベルを保持する。ロウプリデコーダ 2 2 は、ロウアドレスバッファ 9 0 2 の出力をデコードする。

【 0 0 5 5 】

ブロック選択回路 2 3 は、冗長判定回路 2 0 から出力される判定信号 R H I T に応答して、アドレスバッファ 9 0 2 の出力に基づき、ノーマルブロックに対応するブロック選択信号を出力する。

【 0 0 5 6 】

図 2 は、図 1 に示す本発明の実施の形態 1 における W L ドライバ 4 の構成を示す図であり、参考のため、メモリブロック 1 . 1 およびセンスアンプブロックを示している。

【 0 0 5 7 】

メモリブロック 1 . 1 に対応してセンスアンプブロック（図中記号 2 a、2 b）を配置する。センスアンプブロック 2 a および 2 b はそれぞれ、複数のセンスアンプ S / A と、P M O S トランジスタ P T 1 0 を構成要素とする複数のイコライズ回路と、N M O S トランジスタ N T 1 0、N T 1 1、N T 1 2 および N T 1 3 を構成要素とする複数の S / A シェア回路とを含む。P M O S トランジスタ P T 1 0 は、イコライズ信号 B L E Q に応答してオン / オフする。N M O S トランジスタ N T 1 0 および N T 1 1 は、シェアードゲート信号 S H R ( U ) に応答してオン / オフする。N M O S トランジスタ N T 1 2 および N T 1 3 は、シェアードゲート信号 S H R ( D ) に応答してオン / オフする。

【 0 0 5 8 】

W L ドライバ 4 は、ノーマルブロックに対するドライバ 4 b に加えて、冗長ブロックに対するドライバ 4 b を備える。ドライバ 4 b の構成は、図 3 3 で説明した構成と同じである。

【 0 0 5 9 】

ドライバ 4 b は、メインワード線 M W L ( 0 )、...、M W L ( m )、ならびにサブデコード信号 S D ( 0 ) および / S D ( 0 )、S D ( 1 ) および / S D ( 1 )、... に基づき、1 つのワード線 W L ( n )、W L ( n + 1 )、... を選択状態とする。

【 0 0 6 0 】

ドライバ 4 a は、冗長メインワード線 R M W L、ならびに冗長サブデコード信号 R S D ( 0 ) および / R S D ( 0 )、R S D ( 1 ) および / R S D ( 1 )、... に基づき、1 つのスペアワード線 S W L ( 0 )、S W L ( 1 )、... を選択状態とする。

【 0 0 6 1 】

ドライバ 4 a は、各スペアワード線に対応して、P M O S トランジスタ P T 2、ならびに N M O S トランジスタ N T 4 および N T 5 を備える。たとえば、スペアワード線 S W L ( 0 ) に対し、P M O S トランジスタ P T 2 の一方の端子は、冗長サブデコード信号 R S D ( 1 ) を受け、他方の端子は、N M O S トランジスタ N T 4 の一方の端子と接続される。P M O S トランジスタ P T 2 および N M O S トランジスタ N T 4 のそれぞれのゲート電極は、冗長メインワード線 R M W L と接続される。N M O S トランジスタ N T 4 の他方の端子は、接地電位と接続される。

【 0 0 6 2 】

P M O S トランジスタ P T 2 と N M O S トランジスタ N T 4 との接続ノードは、スペアワード線 S W L ( 0 ) と接続される。N M O S トランジスタ N T 5 の一方の端子は、スペアワード線 S W L ( 0 ) と接続され、他方の端子は、接地電位と接続され、そのゲート電極は、冗長サブデコード信号 / R S D ( 1 ) を受ける。スペアワード線とワード線とは、異なる経路で選択される。

【 0 0 6 3 】

図 3 は、図 1 に示す本発明の実施の形態 1 におけるロウアドレス系デコード回路 2 1 の主要部の構成を示す図である。

【 0 0 6 4 】

図 3 に示すプリデコーダ 2 2 a および 2 2 b、ならびに M W L プリデコーダ 2 2 c は、図 1 に示すロウプリデコーダ 2 2 に含まれる。プリデコーダ 2 2 a は、4 ビットのアドレス

10

20

30

40

50

信号 R A 9 ~ R A 1 2 に応答して、16ビットのプリデコード信号 X F 2 ( 図中記号 X F 2 ( 0 ) ~ X F 2 ( 1 5 ) ) を出力する。

【 0 0 6 5 】

プリデコード 2 2 b は、3ビットのアドレス信号 R A 0 ~ R A 2 に応答して、8ビットのプリデコード信号 X F 0 ( 図中記号 X F 0 ( 0 ) ~ X F 0 ( 7 ) ) を出力する。

【 0 0 6 6 】

M W L プリデコード 2 2 c は、判定信号 R H I T に応答して、6ビットのアドレス信号 R A 3 ~ R A 8 に基づき、メインワード線を指定するプリデコード信号を出力する。

【 0 0 6 7 】

図 4 は、図 3 に示す本発明の実施の形態 1 における M W L プリデコード 2 2 c の構成を示す図である。M W L プリデコード 2 2 c は、3組のデコード回路 2 8 a、2 8 b、および 2 8 c を含む。

【 0 0 6 8 】

デコード回路 2 8 a は、アドレス信号 R A 3、/ R A 3、R A 4 および / R A 4 に応答して、プリデコード信号 X F 1 L ( 0 ) ~ ( 3 ) を出力する。デコード回路 2 8 b は、アドレス信号 R A 5、/ R A 5、R A 6 および / R A 6 に応答して、プリデコード信号 X F 1 M ( 0 ) ~ ( 3 ) を出力する。デコード回路 2 8 c は、アドレス信号 R A 7、/ R A 7、R A 8 および / R A 8 に応答して、プリデコード信号 X F 1 H ( 0 ) ~ ( 3 ) を出力する。

【 0 0 6 9 】

デコード回路 2 8 a、2 8 b、および 2 8 c のそれぞれは、N A N D 回路 N 4、N 5、N 6 および N 7、ならびにインバータ I 3、I 4、I 5 および I 6 を含む。

【 0 0 7 0 】

デコード回路 2 8 a を代表例としてその構成を説明する。N A N D 回路 N 4 は、アドレス信号 R A 3 とアドレス信号 / R A 4 とを入力に受ける。インバータ I 3 は、N A N D 回路 N 4 の出力を反転して、プリデコード信号 X F 1 L ( 0 ) を出力する。N A N D 回路 N 5 は、アドレス信号 / R A 4 とアドレス信号 / R A 3 とを入力に受ける。インバータ I 4 は、N A N D 回路 N 5 の出力を反転して、プリデコード信号 X F 1 L ( 1 ) を出力する。N A N D 回路 N 6 は、アドレス信号 R A 3 とアドレス信号 R A 4 とを入力に受ける。インバータ I 5 は、N A N D 回路 N 6 の出力を反転して、プリデコード信号 X F 1 L ( 2 ) を出力する。N A N D 回路 N 7 は、アドレス信号 / R A 3 とアドレス信号 R A 4 とを入力に受ける。インバータ I 6 は、N A N D 回路 N 7 の出力を反転して、プリデコード信号 X F 1 L ( 3 ) を出力する。

【 0 0 7 1 】

図 3 における S D ドライバ 2 6 . 0、... は、図 1 に示す S D ドライバ / S A ドライバ 2 4 に含まれる。S D ドライバ 2 6 . 0、... は、メモリブロックのそれぞれに対応して配置する。

【 0 0 7 2 】

S D ドライバ 2 6 . 0、... のそれぞれは、N A N D 回路 N 1 および N 2、レベル変換回路 S 1、ならびにインバータ I 1 を含む。N A N D 回路 N 1 は、プリデコード 2 2 a および 2 2 b の出力を受ける。インバータ I 0 は、判定信号 R H I T を反転して、信号 / R H I T を出力する。N A N D 回路 N 2 の一方のノードは、信号 / R H I T を受け、他方のノードは、N A N D 回路 N 1 の出力を受ける。

【 0 0 7 3 】

N A N D 回路 N 2 は、対応するノーマルブロックにおけるサブデコード信号 / S D ( 図中記号 / S D 0 ( i )、... : i = 0 ~ 7 ) を出力する。インバータ I 1 は、レベル変換回路 S 1 を介して、N A N D 回路 N 2 の出力を受け、対応するノーマルブロックにおけるサブデコード信号 S D ( 図中記号 S D 0 ( i )、... : i = 0 ~ 7 ) を出力する。

【 0 0 7 4 】

S D ドライバ 2 6 . 0、... のそれぞれはさらに、N A N D 回路 N 3、レベル変換回路 S 2

、およびインバータ I 2 を含む。NAND 回路 N 3 は、プリデコーダ 2 2 b の出力と冗長判定回路 2 0 から出力される 1 6 ビットのプリデコード信号 R S D F ( 0 ) ~ R S D F ( 1 5 ) とを受ける。

【 0 0 7 5 】

NAND 回路 N 3 は、対応する冗長ブロックにおける冗長サブデコード信号 / R S D ( 図中記号 / R S D 0 ( i )、... : i = 0 ~ 7 ) を出力する。インバータ I 2 は、レベル変換回路 S 2 を介して、NAND 回路 N 3 の出力を受け、対応する冗長ブロックにおける冗長サブデコード信号 R S D ( 図中記号 R S D 0 ( i )、... i = 0 ~ 7 ) を出力する。

【 0 0 7 6 】

図 3 に示す MWL ドライバ 2 5 . n ( n = 0 ~ 1 5 ) は、1 のメモリブロックに対応するものであり、他のメモリブロックに対応する MWL ドライバとともに、図 1 に示す MWL ドライバ 2 5 に含まれる。

10

【 0 0 7 7 】

MWL ドライバ 2 5 . n は、MWL プリデコーダ 2 2 c の出力と、冗長判定回路 2 0 から出力される信号 R M W L およびプリデコード信号 R S D F ( 0 ) ~ R S D F ( 1 5 ) とに  
 応答して、対応するメモリブロックのメインワード線選択信号または、冗長メインワード線選択信号を出力する。これにより、メインワード線 MWL ( 0 ) ~ MWL ( m ) または冗長メインワード線 R M W L が選択状態になる。

【 0 0 7 8 】

図 5 は、本発明の実施の形態 1 における MWL ドライバの構成を示す図であり、代表例として、1 のメモリブロックに対応する MWL ドライバ 2 5 . n の構成を示す。なお、参考のため、プリデコーダ 2 2 c および冗長判定回路 2 0 を併せて示している。

20

【 0 0 7 9 】

MWL ドライバ 2 5 . n は、NAND 回路 N 8 . 0、...、N 8 . 6 3、レベル変換回路 S 3 . 0、...、S 3 . 6 3、およびインバータ I 7 . 0、...、I 7 . 6 3 を含む。NAND 回路 N 8 . 0、...、N 8 . 6 3、レベル変換回路 S 3 . 0、...、S 3 . 6 3、およびインバータ I 7 . 0、...、I 7 . 6 3 のそれぞれは、メインワード線に対応して配置する。

【 0 0 8 0 】

たとえば、NAND 回路 N 8 . 0 は、MWL プリデコーダ 2 2 c から対応するプリデコード信号 X F 1 L ( 0 ) ~ ( 3 )、X F 1 H ( 0 ) ~ ( 3 )、X F 1 M ( 0 ) ~ ( 3 ) を受ける。インバータ I 7 . 0 は、対応するレベル変換回路 S 3 . 0 を介して NAND 回路 N 8 . 0 の出力を受け、メインワード線選択信号 / MWL ( 0 ) を出力する。対応するメインワード線 MWL ( 0 ) は、メインワード線選択信号 / MWL ( 0 ) を受けて選択状態となる。

30

【 0 0 8 1 】

MWL ドライバ 2 5 . n はさらに、レベル変換回路 S 4 およびインバータ I 8 を含む。レベル変換回路 S 4 およびインバータ I 8 は、冗長ブロックにおける冗長メインワード線に対応して配置する。

【 0 0 8 2 】

レベル変換回路 S 4 は、冗長判定回路 2 0 から信号 R M W L を受ける。インバータ I 8 は、対応するレベル変換回路 S 4 の出力を反転して、冗長メインワード線選択信号 / R M W L を出力する。対応する冗長メインワード線 R M W L は、冗長メインワード線選択信号 / R M W L を受けて選択状態となる。

40

【 0 0 8 3 】

次に、本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の動作について、タイミングチャートである図 6 を参照して説明する。

【 0 0 8 4 】

図 6 は、本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の動作を説明するためのタイミングチャートである。

【 0 0 8 5 】

50

外部制御信号にตอบสนองして、アクト信号 A C T が H レベルの活性状態になり、ロウアドレス信号が取込まれる。この時点で、判定信号 R H I T は、L レベルの状態にある。

【 0 0 8 6 】

時刻 t 0 において、アドレス信号をプリデコードしたプリデコード信号 X F 2、X F 0 のなかのいずれか 1 つが H レベルの状態になる。

【 0 0 8 7 】

これにより、対応するサブデコード信号 S D および / S D が活性化される。さらに対応するメインワード線を選択するメインワード線選択信号が活性化される。この間、冗長判定回路 2 0 は、冗長判定処理の状態にある。

【 0 0 8 8 】

時刻 t 1 において、判定結果として判定信号 R H I T が出力される。冗長未使用の場合、判定信号 R H I T は、L レベルを保持する（実線部分）。この場合、冗長判定回路 2 0 の出力であるプリデコード信号 R S D F は L レベルのままである。

【 0 0 8 9 】

冗長使用の場合、判定信号 R H I T が H レベルに立上がる（点線部分）。これにより、活性化されたサブデコード信号 S D および / S D が、非活性化される（点線部分）。置換されたスペアワード線の存在する冗長ブロックを指定するプリデコード信号 R S F D が H レベルに立上がる。

【 0 0 9 0 】

一方、対応する冗長サブデコード信号 R S D および / R S D が活性化される。さらに、これをトリガとして、対応する冗長メインワード線を選択する冗長メインワード線選択信号が活性状態となる。

【 0 0 9 1 】

このように構成することにより、冗長未使用時の場合、ノーマルブロックに対するサブデコード信号 S D の活性化は、時刻 t 0 ~ t 1 の冗長判定期間 0 に完了し、ワード線の立上げは、メインワード線選択信号の到達にのみ律足されることになる。

【 0 0 9 2 】

一方、冗長使用時については、冗長用のワード線ドライバ（ドライバ 4 a ）の数は、正規のワード線ドライバ（ドライバ 4 b ）の数より少なく（1 対 6 4 ）、冗長用のドライバに係る負荷容量は、正規のドライバにかかる負荷容量より小さい。

【 0 0 9 3 】

また、冗長サブデコード線の活性化速度は速く、冗長サブデコード線の立上がり速度は、メインワード線の立上がり速度と同等もしくはそれ以上である。メインワード線はサブデコード線と比較して容量が小さいため、ワード線の立上がり速度が速くなる（2 は、図 3 4 における 2 0 より短くなる）。

【 0 0 9 4 】

この結果、特にメモリブロック間を超えて置換可能な冗長ブロックを含む半導体記憶装置において、アクセス時間の短縮化を図ることが可能となる。

【 0 0 9 5 】

[ 実施の形態 2 ]

本発明の実施の形態 2 における半導体記憶装置について説明する。本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 は、ノーマルブロックのロウアクセスと冗長ブロックのロウアクセスとを分離して制御することにより、高速アクセスを実現するものである。しかしながら、本発明の実施の形態 1 における構成では、S D ドライバから W L ドライバへの配線、W L ドライバ上の配線、および S D ドライバの数のが、それぞれ従来に比べて増加するため、レイアウト面積が増大してしまう。

【 0 0 9 6 】

そこで、本発明の実施の形態 2 においては、隣接するメモリブロック間で、サブデコード信号（正規および冗長いずれも）を共有する。これにより、アクセスの高速化およびレイアウト面積の縮小化を可能とする。

10

20

30

40

50

## 【0097】

本発明の実施の形態2における半導体記憶装置の主要部の構成について、図7を用いて説明する。図7は、本発明の実施の形態2における半導体記憶装置1200の主要部の構成の一例を示す図である。

## 【0098】

図7に示す半導体記憶装置1200は、複数のメモリブロック1.0、...、1.15を含む。各メモリブロックに対応して、MWLデコーダ/ドライバ31を配置する。

## 【0099】

メモリブロック1.0、...のそれぞれを挟む領域に、図示しないセンスアンプブロックを配置する。隣接するメモリブロック同士は、センスアンプブロックを共有する。

10

## 【0100】

各メモリブロックは、ノーマルブロック（図中記号NBL(0)、NBL(1)、...）と冗長ブロック（図中記号RBL(0)、RBL(1)、...）とを含む。1のメモリブロックに対して、他のメモリブロックに存在する冗長ブロックを使用して置換を行なうことが可能である。

## 【0101】

冗長ブロックをメモリブロックの端部に配置し、隣接するメモリブロック間において、互いの冗長ブロックがセンスアンプブロックを挟んで向い合うように配置する。

## 【0102】

冗長サブデコード信号RSDを活性化するSDローカルドライバ32aは、冗長ブロックに挟まれたセンスアンプブロックに配置する。ノーマルブロックに対するサブデコード信号SDを活性化するSDローカルドライバ32bは、ノーマルブロックに挟まれたセンスアンプブロックに配置する。

20

## 【0103】

SDローカルドライバ32aおよび32bのそれぞれは、各々を挟むように位置するノーマルブロックまたは冗長ブロックに対応して配置される。具体的には、冗長ブロックRBL(0)およびRBL(1)の間に位置するSDローカルドライバ32aは、両メモリブロックにおける冗長サブデコード信号RSDを活性化するために用いる。ノーマルブロックNBL(1)およびNBL(2)の間に位置するSDローカルドライバ32bは、両メモリブロックにおけるサブデコード信号SDを活性化するために用いる。

30

## 【0104】

SDローカルドライバ32bおよび32aの並びに対して、SDドライバ33を配置する。

## 【0105】

図8は、図7に示す本発明の実施の形態2におけるSDローカルドライバの構成の一例を示す図であり、一例として、メモリブロック1.1および1.2におけるノーマルブロックに対応するSDローカルドライバ32bと、メモリブロック1.0および1.1における冗長ブロックに対応するSDローカルドライバ32aの構成を示す。

## 【0106】

SDローカルドライバに対しては、ロウプリデコーダ35およびブロック選択回路/SDドライバ34を配置する。

40

## 【0107】

ロウプリデコーダ35は、1ビットのアドレス信号RA9に応答して、2ビットのプリデコード信号XF2L（図中記号XF2L(0)～XF2L(1)）を出力する。プリデコード信号XF2Lは、2つのメモリブロックのうちの1つを選択する。

## 【0108】

さらに、ロウプリデコーダ35は、3ビットのアドレス信号RA10～RA12に응答して、ノーマルブロックに対する8ビットのプリデコード信号XF2H（図中記号XF2H(0)～XF2H(7)）を出力する。また、ロウプリデコーダ35は、3ビットのアドレス信号RA0～RA2に응答して、冗長ブロックに対する8ビットのプリデコード信号

50

X F 0 ( 図中記号 X F 0 ( 0 ) ~ X F 0 ( 7 ) ) を出力する。

【 0 1 0 9 】

ブロック選択回路 / S D ドライバ 3 4 は、プリデコード信号 X F 2 H に応答して、共通サブデコード信号 S D 1 / 2 ( 図中記号、S D 1 / 2 ( 0 ) ~ S D 1 / 2 ( 7 ) ) およびこれらを反転した信号 / S D 1 / 2 ( 図中記号 / S D 1 / 2 ( 0 ) ~ / S D 1 / 2 ( 7 ) ) を出力する。

【 0 1 1 0 】

ブロック選択回路 / S D ドライバ 3 4 は、プリデコード信号 X F 0 に応答して、共通冗長サブデコード信号 R S D 0 / 1 ( 図中記号、R S D 0 / 1 ( 0 ) ~ R S D 0 / 1 ( 7 ) ) およびこれらを反転した信号 / R S D 0 / 1 ( 図中記号 / R S D 0 / 1 ( 0 ) ~ / R S D 0 / 1 ( 7 ) ) を出力する。

10

【 0 1 1 1 】

S D ローカルドライバ 3 2 b は、N A N D 回路 N 1 0、N 1 1、N 1 2、および N 1 3 を含む。N A N D 回路 N 1 0 は、ノーマルブロック N B L ( 1 ) のサブデコード信号 S D 1 ( 0 ) ~ S D 1 ( 7 ) に対応して配置する。N A N D 回路 N 1 1 は、ノーマルブロック N B L ( 2 ) のサブデコード信号 S D 2 ( 0 ) ~ S D 2 ( 7 ) に対応して配置する。

【 0 1 1 2 】

N A N D 回路 N 1 2 は、ノーマルブロック N B L ( 1 ) のサブデコード信号 / S D 1 ( 0 ) ~ / S D 1 ( 7 ) に対応して配置する。N A N D 回路 N 1 3 は、ノーマルブロック N B L ( 2 ) のサブデコード信号 / S D 2 ( 0 ) ~ / S D 2 ( 7 ) に対応して配置する。

20

【 0 1 1 3 】

N A N D 回路 N 1 0 および N 1 2 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L ( 0 ) を受ける。N A N D 回路 N 1 1 および N 1 3 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L ( 1 ) を受ける。N A N D 回路 N 1 0 および N 1 1 のそれぞれの他方の入力ノードは、共通サブデコード信号 S D 1 / 2 を受ける。N A N D 回路 N 1 2 および N 1 3 のそれぞれの他方の入力ノードは、共通サブデコード信号 / S D 1 / 2 を受ける。

【 0 1 1 4 】

N A N D 回路 N 1 0 および N 1 2 のそれぞれから、ノーマルブロック N B L ( 1 ) に対するサブデコード信号 S D 1 ( 0 ) ~ S D 1 ( 7 )、/ S D 1 ( 0 ) ~ / S D 1 ( 7 ) がそれぞれ出力される。N A N D 回路 N 1 1 および N 1 3 のそれぞれから、ノーマルブロック N B L ( 2 ) に対するサブデコード信号 S D 2 ( 0 ) ~ S D 2 ( 7 )、/ S D 2 ( 0 ) ~ / S D 2 ( 7 ) が出力される。

30

【 0 1 1 5 】

S D ローカルドライバ 3 2 a は、N A N D 回路 N 1 4、N 1 5、N 1 6、および N 1 7 を含む。N A N D 回路 N 1 4 は、冗長ブロック R B L ( 0 ) の冗長サブデコード信号 R S D 0 ( 0 ) ~ R S D 0 ( 7 ) に対応して配置する。N A N D 回路 N 1 5 は、冗長ブロック R B L ( 1 ) の冗長サブデコード信号 R S D 1 ( 0 ) ~ R S D 1 ( 7 ) に対応して配置する。N A N D 回路 N 1 6 は、冗長ブロック R B L ( 0 ) の冗長サブデコード信号 / R S D 0 ( 0 ) ~ / R S D 0 ( 7 ) に対応して配置する。N A N D 回路 N 1 7 は、冗長ブロック R B L ( 1 ) の冗長サブデコード信号 / R S D 1 ( 0 ) ~ / R S D 1 ( 7 ) に対応して配置する。

40

【 0 1 1 6 】

N A N D 回路 N 1 4 および N 1 6 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L ( 0 ) を受ける。N A N D 回路 N 1 5 および N 1 7 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L ( 1 ) を受ける。N A N D 回路 N 1 4 および N 1 5 のそれぞれの他方の入力ノードは、共通冗長サブデコード信号 R S D 0 / 1 を受ける。N A N D 回路 N 1 6 および N 1 7 のそれぞれの他方の入力ノードは、共通冗長サブデコード信号 / R S D 0 / 1 を受ける。

【 0 1 1 7 】

50



NAND回路N14およびN16のそれぞれから、冗長ブロックRBL(0)に対応する冗長サブデコード信号RSD0(0)~RSD0(7)、/RSD0(0)~/RSD0(7)がそれぞれ出力される。NAND回路N15およびN17のそれぞれから、冗長ブロックRBL(1)に対応する冗長サブデコード信号RSD1(0)~RSD1(7)、/RSD1(0)~/RSD1(7)がそれぞれ出力される。

【0118】

このように、ノーマルブロックにおけるロウアクセスと冗長ブロックにおけるロウアクセスとを切離して制御することにより、高速アクセスを可能とする。

【0119】

さらに、隣接するメモリブロック間でサブデコード信号SDおよび冗長サブデコード信号RSDを共有することにより、レイアウト面積を縮小することが可能となる。

10

【0120】

[実施の形態3]

本発明の実施の形態3における半導体記憶装置について図9を用いて説明する。本発明の実施の形態3における半導体記憶装置は、図7に示す半導体記憶装置1200に対応するものであり、図7および図8に示すSDローカルドライバ32aおよび32bに代えて、図9に示すSDローカルドライバ36aおよび36bを備える。

【0121】

図9は、本発明の実施の形態3におけるSDローカルドライバの構成の一例を示す図であり、一例として、メモリブロック1.1および1.2のノーマルブロックに対応するSDローカルドライバ36bと、メモリブロック1.0および1.1の冗長ブロックに対応するSDローカルドライバ36aの構成を示す。

20

【0122】

SDローカルドライバに対しては、ロウプリデコーダ35およびブロック選択回路/SDドライバ34を配置する。

【0123】

上述したように、ロウプリデコーダ35は、2ビットのプリデコード信号XF2L(図中記号XF2L(0)~XF2L(1))、8ビットのプリデコード信号XF2H(図中記号XF2H(0)~XF2H(7))、および8ビットのプリデコード信号XF0(図中記号XF0(0)~XF0(7))を出力する。

30

【0124】

ブロック選択回路/SDドライバ34は、共通サブデコード信号SD1/2(図中記号、SD1/2(0)~SD1/2(7))およびこれらを反転した信号/S D1/2(図中記号/S D1/2(0)~/S D1/2(7))、ならびに共通冗長サブデコード信号RSD0/1(図中記号、RSD0/1(0)~RSD0/1(7))およびこれらを反転した信号/RSD0/1(図中記号/RSD0/1(0)~/RSD0/1(7))を出力する。

【0125】

SDローカルドライバ36bは、図8に示すNAND回路N10、N11、N12、およびN13のそれぞれに代えて、トランスファークゲートT10、T11、T12、およびT13を備える。

40

【0126】

トランスファークゲートT10およびT12のそれぞれは、Hレベルのプリデコード信号XF2L(0)に応答して導通状態となる。トランスファークゲートT11およびT13のそれぞれは、Hレベルのプリデコード信号XF2L(1)に応答して導通状態となる。

【0127】

トランスファークゲートT10およびT11のそれぞれの一方の導通端子は、共通サブデコード信号SD1/2を受ける。トランスファークゲートT12およびT13のそれぞれの一方の導通端子は、共通サブデコード信号/S D1/2を受ける。

【0128】

50

トランスファークゲートT10およびT12のそれぞれの他方の導通端子から、メモリブロック1.1のノーマルブロックNBL(1)に対するサブデコード信号SD1(0)~SD1(7)、サブデコード信号/SD1(0)~/SD1(7)がそれぞれ出力される。トランスファークゲートT11およびT13のそれぞれの他方の導通端子から、メモリブロック1.2のノーマルブロックNBL(2)に対するサブデコード信号SD2(0)~SD2(7)、/SD2(0)~/SD2(7)がそれぞれ出力される。

【0129】

SDローカルドライバ36bは、図8に示すNAND回路N14、N15、N16、およびN17のそれぞれに代えて、トランスファークゲートT14、T15、T16、およびT17を備える。

10

【0130】

トランスファークゲートT14およびT16のそれぞれは、Hレベルのプリデコード信号XF2L(0)にตอบสนองして導通状態となる。トランスファークゲートT15およびT17のそれぞれは、Hレベルのプリデコード信号XF2L(1)にตอบสนองして導通状態となる。

【0131】

トランスファークゲートT14およびT15のそれぞれの一方の導通端子は、共通冗長サブデコード信号RSD0/1を受ける。トランスファークゲートT16およびT17のそれぞれの一方の導通端子は、共通冗長サブデコード信号/RS D 0 / 1を受ける。

【0132】

トランスファークゲートT14およびT15のそれぞれの他方の導通端子から、冗長ブロックRBL(0)に対する冗長サブデコード信号RSD0(0)~RSD0(7)、/RSD0(0)~/RSD0(7)がそれぞれ出力される。トランスファークゲートT15およびT17のそれぞれの他方の導通端子から、冗長ブロックRBL(1)に対する冗長サブデコード信号RSD1(0)~RSD1(7)、/RSD1(0)~/RSD1(7)がそれぞれ出力される。

20

【0133】

このように、ノーマルブロックにおけるロウアクセスと冗長ブロックにおけるのロウアクセスとを切離して制御することにより、高速アクセスを可能とする。

【0134】

また、隣接するメモリブロック間でデコーダを共有することにより、レイアウト面積を縮小することが可能となる。

30

【0135】

さらに、SDローカルデコーダを、構成素子数の多いNAND回路に代えて構成素子の少ないトランスファークゲートで構成することにより、本発明の実施の形態2に比べて、レイアウト面積を縮小することが可能となる。

【0136】

[実施の形態4]

本発明の実施の形態4における半導体記憶装置について説明する。本発明の実施の形態4における半導体記憶装置は、ノーマルブロックに対するサブデコード信号の活性化に加えて、センスアンプ系についても冗長系と切離して制御することにより、さらにアクセス時間の短縮化を図るものである。

40

【0137】

本発明の実施の形態4における半導体記憶装置について図10を用いて説明する。図10は、本発明の実施の形態4における半導体記憶装置1400の全体構成の一例を示す図である。半導体記憶装置1000および1200と同じ構成要素には、同じ符号および同じ符号を付し、その説明を省略する。

【0138】

図10に示す半導体記憶装置1400は、ロウアドレスバッファ902、プリデコーダ22aおよび22b、MWLプリデコーダ22d、ブロック選択回路45、冗長判定回路46、ならびに複数のメモリブロック1.0、...、1.15を含む。

50

## 【 0 1 3 9 】

メモリブロック 1 . 0、...のそれぞれを挟む領域に、センスアンプ S / A を配置する。隣接するメモリブロック同士は、センスアンプ S / A を共有する。複数のセンスアンプ S / A を含むセンスアンプブロックに対応して、S D ドライバ・S / A 帯制御信号用ドライバ 4 2 を配置する。S D ドライバ・S / A 帯制御信号ドライバ 4 2 における S / A 帯制御信号ドライバ部分は、非選択のメモリブロックを分離するためのシェアードゲート信号、およびビット線対をイコライズするためのイコライズ信号を出力する。S D ドライバ・S / A 帯制御信号ドライバ 4 2 における S D ドライバ部分は、サブデコード信号を活性化する。

## 【 0 1 4 0 】

10

メモリブロック 1 . 0、...のそれぞれに対して、M W L デコーダ / ドライバ 4 1 を配置する。図 1 0 における記号 W L D は、W L ドライバを示す。

## 【 0 1 4 1 】

メモリブロック 1 . 0、...の配列の両端部分に位置するメモリブロック 1 . 0 および 1 . 1 5 は、冗長ブロック 4 0 a および 4 0 b を含む。その他のメモリブロック 1 . 1、...、1 . 1 4 は、冗長ブロックを含まない。メモリブロック 1 . 1、...、1 . 1 4 のそれぞれは、ノーマルブロック N B L ( 1 )、N B L ( 2 )、...のそれぞれを含む。

## 【 0 1 4 2 】

冗長ブロック 4 0 a および 4 0 b のそれぞれに対応して、冗長用の R M W L ドライバ 4 3 a および 4 3 b を配置する。

20

## 【 0 1 4 3 】

本発明の実施の形態 4 においては、従来各ブロック毎に分散して配置していた冗長ブロックを、2 個所に集中して配置する。スペアワード線 S W L は、冗長メインワード線が活性化した場合にのみ活性化される。

## 【 0 1 4 4 】

冗長判定回路 4 6 は、アドレス信号 R A 0 ~ R A 1 2 に基づき、2 種類の判定信号 R H I T および R M I S を出力する。判定信号 R H I T および R M I S は、初期状態において L レベルである。冗長未使用であると判定された場合、判定信号 R M I S が H レベルになり、冗長使用であると判定された場合、判定信号 R H I T が H レベルになる。M W L プリデコーダ 2 2 d は、判定信号 R M I S に応答して、プリデコード信号を出力する。

30

## 【 0 1 4 5 】

ブロック選択回路 4 5 は、判定信号 R H I T および R M I S に応答して、プリデコーダ 2 2 a から受けるプリデコード信号 X F 2 ( 図中記号 X F 2 ( 0 ) ~ X F 2 ( 1 5 ) ) に基づき、ブロック選択信号 B S ( 0 ) ~ B S ( 1 5 ) を出力する。

## 【 0 1 4 6 】

図 1 1 は、図 1 0 に示す本発明の実施の形態 4 におけるブロック選択回路 4 5 の構成の一例を示す図であり、参考のため、プリデコーダ 2 2 a を併せて示している。ブロック選択回路 4 5 は、インバータ I 1 0、I 1 1 および I 1 2 を含む。

## 【 0 1 4 7 】

インバータ I 1 0 は、判定信号 R H I T を反転した信号 / R H I T を出力する。インバータ I 1 1 は、R M I S を反転した信号 / R M I S を出力する。インバータ I 1 2 は、アドレス信号 R A 1 2 を反転したアドレス信号 / R A 1 2 を出力する。

40

## 【 0 1 4 8 】

後述するように、アドレス信号 R A 1 2 および / R A 1 2 は、メモリブロック 1 . 0 ~ 1 . 7 に対しては、メモリブロック 1 . 1 5 を活性化し、メモリブロック 1 . 8 ~ 1 . 1 5 に対しては、メモリブロック 1 . 0 を活性化するために使用する。

## 【 0 1 4 9 】

図 1 1 に示すブロック選択回路 4 5 は、冗長ブロックを有しないメモリブロックに対して、N A N D 回路 N 2 0 . 1、...、N 2 0 . 1 4、およびインバータ I 1 3 . 1、...、I 1 3 . 1 4 を配置する。

50

## 【 0 1 5 0 】

NAND回路N20 . 1、...、N20 . 14のそれぞれの入力ノードは、プリデコード22aから出力されるプリデコード信号XF2(1)~(14)をそれぞれ受ける。また、NAND回路N20 . 1、...、N20 . 14のそれぞれの入力ノードは、信号/RHITを受ける。インバータI13 . 1、...、I13 . 14のそれぞれは、NAND回路N20 . 1、...、N20 . 14のそれぞれの出力を反転する。インバータI13 . 1、...、I13 . 14のそれぞれから、ブロック選択信号BS(1)、...、BS(14)がそれぞれ出力される。

## 【 0 1 5 1 】

ブロック選択回路45はさらに、冗長ブロック40aを有するメモリブロック1 . 0に対して、NAND回路N21a、N22a、およびN23a、ならびにインバータI14aを配置する。インバータI14aは、プリデコード信号XF2(0)を反転した信号/XF2(0)を出力する。

10

## 【 0 1 5 2 】

NAND回路N21aは、信号/RHIT、アドレス信号RA12、およびプリデコード信号XF2(0)を入力に受ける。NAND回路N22aは、信号/RMIS、アドレス信号/RA12、および信号/XF2(0)を入力に受ける。

## 【 0 1 5 3 】

NAND回路N23aは、NAND回路N21aおよびN22aのそれぞれの出力を受け、メモリブロック1 . 0に対応するブロック選択信号BS(0)を出力する。

20

## 【 0 1 5 4 】

ブロック選択回路45はさらに、冗長ブロック40bを有するメモリブロック1 . 15に対して、NAND回路N21b、N22bおよびN23b、ならびにインバータI14bを配置する。インバータI14bは、プリデコード信号XF2(15)を反転した信号/XF2(15)を出力する。

## 【 0 1 5 5 】

NAND回路N21bは、信号/RHIT、アドレス信号RA12、およびプリデコード信号XF2(15)を入力に受ける。NAND回路N22bは、信号/RMIS、アドレス信号/RA12、および信号/XF2(15)を入力に受ける。

## 【 0 1 5 6 】

NAND回路N23bは、NAND回路N21bおよびN22bのそれぞれの出力を受け、メモリブロック1 . 15に対応するブロック選択信号BS(15)を出力する。

30

## 【 0 1 5 7 】

図12は、図10に示す本発明の実施の形態4におけるSDドライバの構成を示す図である。図12に示す構成は、図10におけるSDドライバ・S/A帯制御信号ドライバ42に含まれる。

## 【 0 1 5 8 】

図12に示すSDドライバは、NAND回路N24、レベル変換回路S5、ならびにインバータI5を含む。NAND回路N24は、プリデコード22bから出力されるプリデコード信号XF0(i)およびXF0(h)(i、h=0、1、...)、ならびに対応するブロック選択信号BSを入力に受ける。シストレジスタS5は、NAND回路N24の出力を受け、対応するサブデコード信号/SDを出力する。インバータI15は、レベル変換回路S5の出力を受け、対応するサブデコード信号SDを出力する。

40

## 【 0 1 5 9 】

図13は、図10に示す本発明の実施の形態4におけるMWLドライバの構成の一例を示す図であり、代表例として、1のメモリブロックに対応するMWLドライバの構成を示す。なお、参考のため、MWLプリデコード22dを併せて示している。

## 【 0 1 6 0 】

MWLプリデコード22dの基本構成は、MWLプリデコード22cと同じである。MWLプリデコード22dは、アドレス信号RA3~RA8に应答して、プリデコード信号X

50

F 1 L ( 0 ) ~ X F 1 L ( 3 )、プリデコード信号 X F 1 M ( 0 ) ~ X F 1 M ( 3 )、プリデコード信号 X F 1 H ( 0 ) ~ X F 1 H ( 3 )を出力する。

【 0 1 6 1 】

図 1 3 に示す M W L ドライバは、N A N D 回路 N 2 5 . 0、...、N 2 5 . 6 3、レベル変換回路 S 6 . 0、...、S 6 . 6 3、およびインバータ I 1 6 . 0、...、I 1 6 . 6 3を含む。N A N D 回路 N 2 5 . 0、...、N 2 5 . 6 3、レベル変換回路 S 6 . 0、...、S 6 . 6 3、およびインバータ I 1 6 . 0、...、I 1 6 . 6 3のそれぞれは、ノーマルブロックにおけるメインワード線に対応して配置する。

【 0 1 6 2 】

たとえば、N A N D 回路 N 2 5 . 0 は、M W L プリデコーダ 2 2 d から対応するプリデコード信号 X F 1 L ( 0 ) ~ X F 1 L ( 3 )、X F 1 H ( 0 ) ~ X F 1 H ( 3 )、X F 1 M ( 0 ) ~ X F 1 M ( 3 )を受ける。インバータ I 1 6 . 0 は、対応するレベル変換回路 S 6 . 0 を介して、N A N D 回路 N 2 5 . 0 の出力を受け、対応するメインワード線選択信号 / M W L ( 0 )を出力する。

10

【 0 1 6 3 】

図 1 3 に示す M W L ドライバはさらに、レベル変換回路 S 7 . 0、...、S 7 . k およびインバータ I 1 7 . 0、...、I 1 7 . k を含む。レベル変換回路 S 7 . 0、...、S 7 . k およびインバータ I 1 7 . 0、...、I 1 7 . k のそれぞれは、冗長メインワード線 R M W L ( 0 )、...、R M W L ( k )のそれぞれに対応して配置する。

【 0 1 6 4 】

20

たとえば、レベル変換回路 S 7 . 0 は、冗長判定回路 4 6 の出力する信号 R M W L ( 0 )を受ける。インバータ I 1 7 . 0 は、対応するレベル変換回路 S 7 . 0 の出力を反転して、対応する冗長メインワード線選択信号 / R M W L ( 0 )を出力する。

【 0 1 6 5 】

図 1 4 は、図 1 0 に示す本発明の実施の形態 4 における S / A 帯制御信号ドライバの構成を示す図である。図 1 4 に示す構成は、図 1 0 における S D ドライバ・S / A 帯制御信号ドライバ 4 2 に含まれる。

【 0 1 6 6 】

図 1 4 に示す S / A 帯制御信号ドライバは、N A N D 回路 N 2 6、レベル変換回路 S 8 a および S 8 b、ならびにインバータ I 1 7 a および I 1 7 b を含む。

30

【 0 1 6 7 】

インバータ I 1 7 a は、対応するブロック選択信号 B S ( i )を反転して出力する。インバータ I 1 7 b は、隣接するメモリブロックに対応するブロック選択信号 B S ( i + 1 )を反転して出力する。N A N D 回路 N 2 6 は、インバータ I 1 7 a および I 1 7 b の出力を受ける。N A N D 回路 N 2 6 から対応するイコライズ信号 B L E Q が出力される。

【 0 1 6 8 】

レベル変換回路 S 8 a は、インバータ I 1 7 a の出力を受けて、一方のシェアードゲート信号 S H R ( U )を出力する。レベル変換回路 S 8 b は、インバータ I 1 7 b の出力を受けて、他方のシェアードゲート信号 S H R ( D )を出力する。メモリブロックが選択されると、冗長判定の有無に関わらず、非選択のメモリブロック側を分離するシェアードゲート信号、およびビット線対をイコライズするイコライズ信号 B L E Q を非活性化する。

40

【 0 1 6 9 】

次に、本発明の実施の形態 4 における半導体記憶装置の動作について、タイミングチャートである図 1 5 を参照して説明する。

【 0 1 7 0 】

図 1 5 は、本発明の実施の形態 4 における半導体記憶装置 1 4 0 0 の動作を説明するためのタイミングチャートである。

【 0 1 7 1 】

外部制御信号に応答して、アクト信号 A C T が H レベルの活性状態になり、ロウアドレス信号が取込まれる。この時点で、判定信号 R H I T および R M I S は、ともに L レベルの

50

状態にある。

【 0 1 7 2 】

冗長ブロックを有しないメモリブロック 1 . 2 が選択されたとする。時刻  $t_0$  においてアクト信号  $ACT$  により、ロウ系がアクティブになると同時（時刻  $t_0$ ）に、対応するサブデコード信号  $SD$  および  $/SD$  が活性化、シェアードゲート信号  $SHR$  およびイコライズ信号  $BLEQ$  が非活性化する。冗長ブロックについても、対応する冗長サブデコード信号  $RS D$  および  $/RS D$  が活性化、シェアードゲート信号  $SHR$  およびイコライズ信号  $BLEQ$  が非活性化する。

【 0 1 7 3 】

時刻  $t_0 \sim t_1$  において、冗長判定回路 4 6 が、冗長使用 / 未使用の判定処理を行う。時刻  $t_1$  において、判定結果として、判定信号  $RHIT$ 、 $R M I S$ 、および冗長メインワード線選択信号  $/RMWL(0) \sim (k)$  が出力される。

10

【 0 1 7 4 】

冗長メインワード線選択信号は、対応する冗長メインワード線を選択状態にする信号であって、初期状態においては、すべて  $L$  レベルの状態にある。

【 0 1 7 5 】

冗長未使用の場合には、判定信号  $R M I S$  が  $H$  レベル（実線部分）になる。判定信号  $R M I S$  が  $H$  レベルに立上ることにより、メモリブロック 1 . 0 および 1 . 1 5 の選択が解除され、活性状態のサブデコード信号  $SD$  および  $/SD$  が非活性化される。シェアードゲート信号  $SHR$  およびイコライズ信号  $BLEQ$  は、非活性となる。

20

【 0 1 7 6 】

また、判定信号  $R M I S$  が  $H$  レベルに立上ることにより、 $MWL$  プリデコード 2 2 d から出力されるプリデコード信号のいずれか 1 つが  $L$  レベルから  $H$  レベルに立上がる。これにより、対応するメインワード線選択信号が活性化し、ノーマルブロックのワード線  $WL$  が選択状態となる。

【 0 1 7 7 】

冗長使用の場合には、判定信号  $RHIT$  が  $H$  レベル（点線部分）になる。置換先の冗長メインワード線選択信号が活性化（ $H$  レベル）される。

【 0 1 7 8 】

判定信号  $RHIT$  が  $H$  レベルに立上ることにより、ロウアドレスにより選択されていたメモリブロック 1 . 2 が非選択化される。これと同時に 1 つの冗長メインワード線選択信号が活性化される。対応するスペアワード線  $SWL$  が選択状態になる。

30

【 0 1 7 9 】

このように、時刻  $t_0 \sim t_1$  の判定処理期間 0 に、ノーマルブロックについてのサブデコード信号  $SD$  の活性化、およびセンスアンプの活性化を制御するシェアードゲート信号等を非活性化することにより、続く時刻  $t_1 \sim t_2$  の期間 1 では、メインワード線の立下げと、ワード線の立上げを行うだけでよい。そのため、ワード線を立上げに要する時間を短縮することが可能となる。

【 0 1 8 0 】

図 1 6 は、本発明の実施の形態 4 における置換を示す図である。図 1 6 に示すように、半導体記憶装置 1 4 0 0 においては、ノーマルブロック  $NBL(0) \sim NBL(7)$  に対しては、メモリブロック 1 . 1 5 に位置する冗長ブロック 4 0 b を使用し、ノーマルブロック  $NBL(8) \sim NBL(15)$  に対しては、メモリブロック 1 . 0 に位置する冗長ブロック 4 0 a を使用する。これは、隣合うメモリブロックへ置換した場合、2 つのメモリブロック間に挟まれたセンスアンプブロックのシェアードゲート信号  $SHR$  を一旦非活性化し、冗長判定後のワード線の立上げまでにもう一度活性化する必要が生じるためである。これによると、ワード線の立上げに時間を要するからである。

40

【 0 1 8 1 】

なお、本発明は、図 1 6 に示す置換に限られず、図 1 7 および図 1 8 に示す構成で置換を行っても同様の効果が得られる。

50

## 【 0 1 8 2 】

図 1 7 および図 1 8 は、本発明の実施の形態 4 における他の置換の例を示す図である。図 1 7 に示す構成では、奇数番目のノーマルブロック N B L ( 1 )、N B L ( 3 )、... については、冗長ブロック 4 0 a を用いて置換する。偶数番目のノーマルブロック N B L ( 0 )、N B L ( 2 )、... については、冗長ブロック 4 0 b を用いて置換する。

## 【 0 1 8 3 】

また、図 1 8 に示す構成では、1つの冗長ブロック 4 0 a に対して専用のセンスアンプブロックを備える。全てのノーマルブロック N B L ( 0 )、N B L ( 1 )、... について、冗長ブロック 4 0 a を用いて置換する。この場合であっても、アドレス信号の入力とともに、センスアンプに対する信号を制御することにより、高速アクセスが可能となる。

10

## 【 0 1 8 4 】

なお、階層ワード線構成でない場合であっても、本発明は適用可能であり、アクセスの高速化が図れる。

## 【 0 1 8 5 】

## 〔 実施の形態 5 〕

本発明の実施の形態 5 における半導体記憶装置について説明する。本発明の実施の形態 5 は、冗長セルが物理的に救済範囲内に分散して存在する半導体記憶装置において、サブデコード信号（正規および冗長）を一括して活性化し、冗長判定後に活性化したサブデコード信号のなかから必要な信号を選択することにより、高速アクセスを図るものである。

## 【 0 1 8 6 】

本発明の実施の形態 5 における半導体記憶装置について図 1 9 を用いて説明する。図 1 9 は、本発明の実施の形態 5 における半導体記憶装置 1 5 0 0 の主要部の構成の一例を示す図である。半導体記憶装置 1 0 0 0 ~ 1 4 0 0 と同じ構成要素には、同じ符号および同じ符号を付し、その説明を省略する。

20

## 【 0 1 8 7 】

図 1 9 に示す半導体記憶装置は、冗長救済範囲 R E D において、冗長メインワード線 R M W L が分散して存在する。複数のセンスアンプ S / A から構成されるセンスアンプ列により区切られたブロック毎に、1本の冗長メインワード線 R M W L を配置する。ノーマルブロックに対するサブデコード信号を伝送するサブデコード線 S D 0、S D 1、... と冗長ブロックに対するサブデコード信号を伝送する冗長サブデコード線 R S D 0、R S D 1、... とを平行に配置する。

30

## 【 0 1 8 8 】

ノーマルブロックにおけるサブデコード線（たとえば、S D 1 および S D 2）に対して、置換する可能性のある全ての冗長サブデコード線 R S D 1、...、R S D 4 を同時に活性化する。

## 【 0 1 8 9 】

図 2 0 は、図 1 9 における半導体記憶装置 1 5 0 0 の要部の構成を示す図である。図 3 に示す構成と同じ構成要素には、同じ記号および符号を付し、その説明を省略する。

## 【 0 1 9 0 】

図 2 0 における構成では、図 3 に示す冗長判定回路 2 0 に代わって、冗長判定回路 5 0 を備える。冗長判定回路 5 0 は、アドレス信号に応答して、対応するブロックを指定する 1 6 ビットの信号 R S D R S T ( 0 )、...、R S D R S T ( 1 5 ) を出力する。M W L デコード 2 5 . n は、プリデコード信号 R S D F ( 0 )、...、R S D F ( 1 5 ) に代わって、プリデコード信号 R S D R S T ( 0 )、...、R S D R S T ( 1 5 ) を受ける。

40

## 【 0 1 9 1 】

1 6 ビットの信号 R S D R S T ( 0 )、...、R S D R S T ( 1 5 ) は、冗長判定前は、すべて H レベルである。いずれかのプリデコード信号 X F 0 が活性化されると、対応する冗長サブデコード線 R S D 0 ~ R S D 1 5 が活性化する。

## 【 0 1 9 2 】

冗長判定後、信号 R S D R S T ( 0 )、...、R S D R S T ( 1 5 ) のいずれか 1 つを残し

50

て、他の信号（非選択）がＬレベルになる。

【 0 1 9 3 】

次に、本発明の実施の形態５における半導体記憶装置の動作について、タイミングチャートである図２１および図２２を参照して説明する。図２１および図２２は、図１９に示す本発明の実施の形態５における半導体記憶装置１５００の動作を説明するためのタイミングチャートである。

【 0 1 9 4 】

ロウアクセス時、アドレス信号ＲＡ０～ＲＡ１２に応答して、置換可能性のある全ての冗長サブデコード信号を活性化する。

【 0 1 9 5 】

具体的には、ノーマルブロックにおけるサブデコード線（図１９におけるＳＤ１およびＳＤ２）と、冗長救済範囲内ＲＥＤにある全ての冗長サブデコード線（図１９におけるＲＳＤ１、…、ＲＳＤ４、…）とを活性化する。

【 0 1 9 6 】

冗長判定後、対応する冗長サブデコード信号またはサブデコード信号の一方のみを残し、他を非活性化する。この結果、ノーマルブロックまたは冗長ブロックにおけるいずれか一方のワード線が活性化（図２１における記号ａ）し、他方のワード線が非活性化（図２１における記号ｂ）する。

【 0 1 9 7 】

サブデコード信号の活性化の過程で、冗長判定を行わない。このため、アクセス速度は、冗長救済範囲ＲＥＤが、センスアンプブロックで区切られたブロック内に限定される場合と同じである。

【 0 1 9 8 】

[ 実施の形態６ ]

本発明の実施の形態６における半導体記憶装置について説明する。本発明の実施の形態６における半導体記憶装置は、冗長判定前にサブデコード信号（ノーマルブロックおよび冗長ブロック）を中間電位まで立上げておくことにより、アクセス時間の短縮を図るものである。

【 0 1 9 9 】

本発明の実施の形態６における半導体記憶装置の主要部の構成について、図２３を用いて説明する。図２３は、本発明の実施の形態６における半導体記憶装置１６００の主要部の構成の一例を示す図である。

【 0 2 0 0 】

図２３に示す半導体記憶装置１６００は、複数のメモリブロックに分割されるメモリセルアレイ６５、入力バッファ６１、プリデコーダ６２および６４、ドライバ６３、および冗長判定回路６０を含む。

【 0 2 0 1 】

入力バッファ６１は、外部から外部アドレス信号を取込む。冗長判定回路６０は、入力バッファ６１から受けるアドレス信号に基づき、冗長判定を行う。判定結果として、判定信号ＨＩＴおよびＭＩＳＳを出力する。

【 0 2 0 2 】

プリデコーダ６２は、入力バッファ６１から受けるアドレス信号に基づき、リセット信号ＲＳＴ０、…を出力する。プリデコーダ６４は、入力バッファ６１から受けるアドレス信号をデコードする。ドライバ６３は、プリデコーダ６４の出力するデコード信号に基づき、メモリセルアレイ６５のワード線またはスベアワード線を選択状態とする。

【 0 2 0 3 】

図２４は、図２３に示す本発明の実施の形態６におけるメモリセルアレイ６５の構成を示す図である。図２４に示すようにメモリセルアレイ６５は、ノーマルブロックＢ０、…、Ｂ３のそれぞれに対して、冗長ブロックＳ０、…、Ｓ３を配置する。ノーマルブロックと冗長ブロックとに対して、センスアンプブロック６６を配置する。半導体記憶装置１６０

10

20

30

40

50



0 は、階層ワード線方式の構成を備える。

【0204】

図25は、図23に示す本発明の実施の形態6におけるノーマルブロックに対する回路構成を示す図であり、図26は、図23に示す本発明の実施の形態6における冗長ブロックに対する回路構成を示す図である。本発明の実施の形態6においては、ノーマルブロックと冗長ブロックとでサブデコード信号を伝送する伝送線を分割する。

【0205】

図25を参照して、ノーマルブロックでは、1本のメインワード線MWLに対して、4本のワード線SWLを配置する。4本のワード線SWLのいずれか1本を選択するためのサブデコード信号を伝送する信号線として、サブデコード線SD0、SD1、SD2およびSD3を配置する。

10

【0206】

各サブデコード線に対して、PMOSトランジスタPT30およびPT32、ならびにNMOSトランジスタNT30およびNT32を配置する。PMOSトランジスタPT30およびNMOSトランジスタNT30は、中間電位VCCと接地電位との間に直列に接続される。PMOSトランジスタPT32およびNMOSトランジスタNT32は、電源電位VPPと接地電位との間に直列に接続される。

【0207】

PMOSトランジスタPT30とNMOSトランジスタNT30との接続ノード、およびPMOSトランジスタPT32とNMOSトランジスタNT32との接続ノードは、対応するサブデコード線と接続される。

20

【0208】

PMOSトランジスタPT32のゲート電極は、判定信号MISSを反転した信号/MISSを受ける。NMOSトランジスタNT32のゲート電極は、判定信号HITを受ける。

【0209】

サブデコード線SD0、SD1、SD2、SD3のそれぞれのNMOSトランジスタNT30のゲート電極に対して、リセット信号RST0、RST1、RST2、RST3がそれぞれ与えられる。

【0210】

サブデコード線SD0、SD1、SD2、SD3のそれぞれのPMOSトランジスタPT30のゲート電極に対して、プリチャージ信号/PC0、/PC1、/PC2、/PC3がそれぞれ与えられる。

30

【0211】

図26を参照して、冗長ブロックでは、1本の冗長メインワード線SMWLに対して、4本のスペアワード線SSWLを配置する。4本のスペアワード線SSWLのいずれか1本を選択するための冗長サブデコード信号を伝送する信号線として、冗長サブデコード線SSD0、SSD1、SSD2およびSSD3を配置する。

【0212】

各冗長サブデコード線に対して、PMOSトランジスタPT34およびPT36、ならびにNMOSトランジスタNT34およびNT36を配置する。PMOSトランジスタPT34およびNMOSトランジスタNT34は、中間電位VCCと接地電位との間に直列に接続される。PMOSトランジスタPT36およびNMOSトランジスタNT36は、電源電位VPPと接地電位との間に直列に接続される。

40

【0213】

PMOSトランジスタPT34とNMOSトランジスタNT34との接続ノード、およびPMOSトランジスタPT36とNMOSトランジスタNT36との接続ノードは、対応する冗長サブデコード線と接続される。

【0214】

PMOSトランジスタPT36のゲート電極は、判定信号HITを反転した信号/HIT

50

を受ける。N M O S トランジスタ N T 3 6 のゲート電極は、判定信号 M I S S を受ける。

【 0 2 1 5 】

冗長サブデコード線 S S D 0、S S D 1、S S D 2、S S D 3 のそれぞれの N M O S トランジスタ N T 3 4 のゲート電極に対して、リセット信号 R S T 0、R S T 1、R S T 2、R S T 3 がそれぞれ与えられる。

【 0 2 1 6 】

冗長サブデコード線 S S D 0、S S D 1、S S D 2、S S D 3 のそれぞれの P M O S トランジスタ P T 3 4 のゲート電極に対して、プリチャージ信号 / P C 0、/ P C 1、/ P C 2、/ P C 3 がそれぞれ与えられる。

【 0 2 1 7 】

バンク活性信号が入力されると、入力したアドレス信号（上位）をデコードした信号に基づき、対応するワード線 S W L およびスベアワード線 S S W L に関するサブデコード線および冗長サブデコード線を同時に活性化する。この時点での活性化レベルを中間電位 V C C に設定する。

【 0 2 1 8 】

冗長判定の結果が出された時点で、ノーマルブロックのサブデコード線を活性化するか、冗長ブロックの冗長サブデコード線を活性化するかを選択する。選択されたサブデコード線（冗長サブデコード線）については、電源電位 V P P レベルにまで電圧レベルを上げる。非選択のサブデコード線（冗長サブデコード線）については、非活性化させる。

【 0 2 1 9 】

次に、本発明の実施の形態 6 における半導体記憶装置 1 6 0 0 の動作について、タイミングチャートである図 2 7 を参照して説明する。

【 0 2 2 0 】

図 2 7 は、本発明の実施の形態 6 における半導体記憶装置 1 6 0 0 の動作を説明するためのタイミングチャートである。半導体記憶装置 1 6 0 0 は、内部クロック信号 C L K に同期して動作する。アドレス信号に対して、サブデコード線 S D 0 が選択されるものとする。

【 0 2 2 1 】

あるバンク B K 0 に対するアクト信号 A C T 0 が入力されると、フラグ B A f l a g 0 が活性化される。バンク B K 0 に対応するプリチャージ信号 / P C ( B 0 ) が一時的に活性化する。バンク B K 0 に対応するリセット信号 R S T 0 ( B 0 ) が非活性化する。このフラグ B A f l a g 0 に基づき、アドレス信号に対応して、サブデコード線 S D 0 および冗長サブデコード線 S S D 0 がプリチャージされる。

【 0 2 2 2 】

ここで、選択されるノーマルブロックのメモリセルが正常である場合、判定信号 M I S S が活性化される。これにより、サブデコード線 S D 0 の電位が、電源電位 V P P レベルにまで上昇する。冗長サブデコード線 S S D 0 の電位は、接地電位レベルにまで低下する。

【 0 2 2 3 】

その後、対応するメインワード線 M W L が活性化されることにより、選択されたワード線 S W L が選択状態となる。この状態は、バンクの活性化をリセットする信号 B a n k R S T 0 の入力まで保持される。

【 0 2 2 4 】

バンク B K 1 に対するアクト信号 A C T 1 が入力されると、フラグ B A f l a g 1 が活性化される。バンク B K 1 に対応するプリチャージ信号 / P C ( B 1 ) が一時的に活性化する。バンク B K 1 に対応するリセット信号 R S T 0 ( B 1 ) が非活性化する。このフラグ B A f l a g 1 に基づき、アドレス信号に対応して、サブデコード線 S D 0 および冗長サブデコード線 S S D 0 がプリチャージされる。

【 0 2 2 5 】

ここで、選択されるノーマルブロックのメモリセルが不良である場合、判定信号 H I T ( B 1 ) が活性化される。これにより、冗長サブデコード線 S S D 0 の電位が、電源電位 V

10

20

30

40

50

P P レベルにまで上昇する。サブデコード線 S D 0 の電位は、接地電位レベルにまで低下する。

【 0 2 2 6 】

その後、対応する冗長メインワード線 S M W L が活性化されることにより、選択されたスペアード線 S S W L が選択状態となる。この状態は、バンクの活性化をリセットする信号 B a n k R S T 1 の入力まで保持される。

【 0 2 2 7 】

このように、上位のアドレス信号をデコードした結果を用いることで、冗長判定に関係なく、サブデコード線および冗長サブデコード線を高速に中間レベルにまで活性化できる。

【 0 2 2 8 】

そして、中間電位にまで活性化させておくことで、冗長判定の結果を用いて、高速にワード線を選択することが可能となる。

【 0 2 2 9 】

なお、電源電位 V P P のような高電位を使用することなく、活性レベルを中間電位 V C C とすることで、消費電力を抑えることが可能となる。また、電源電位を発生させる回路の負担を軽減することが可能となる。

【 0 2 3 0 】

[ 実施の形態 7 ]

本発明の実施の形態 7 における半導体記憶装置について説明する。本発明の実施の形態 7 における半導体記憶装置は、複数のノーマルブロックを含むバンク毎に専用の冗長ブロックを配置することにより、救済効率の向上を図るものである。

【 0 2 3 1 】

図 2 8 は、本発明の実施の形態 7 における半導体記憶装置 1 7 0 0 のメモリマットの構成を示す図である。図 2 8 に示すメモリマットは、2つのバンク B 0 および B 1 を配置する。

【 0 2 3 2 】

バンク B 0 および B 1 はそれぞれ、正規のメモリセルから構成されるノーマルブロック N B L ( 0 )、...、N B L ( m ) を含み、シェアードセンスアンプ方式の構成 ( センスアンプブロック 7 0 ) をとる。

【 0 2 3 3 】

さらに、バンク B 0 および B 1 はそれぞれ、冗長セルから構成される冗長ブロック R B L ( 0 ) および冗長ブロック R B L ( 1 ) を含む。冗長ブロック R B L ( 0 ) および冗長ブロック R B L ( 1 ) は、ともにシェアードセンスアンプ方式の構成 ( センスアンプブロック 7 0 ) をとる。

【 0 2 3 4 】

バンク B 0 におけるノーマルブロックに対しては、同一バンクにおける冗長ブロック R B L ( 0 ) を用いて置換を行なう。バンク B 1 におけるノーマルブロックに対しては、同一バンクにおける冗長ブロック R B L ( 1 ) を用いて置換を行なう。

【 0 2 3 5 】

バンク B 0 および B 1 は、内部クロック信号に応答して動作し、しかも互いに独立して動作することが可能である。

このように、バンクの各々に対して独立して冗長ブロックを配置することにより、高速な救済が可能となる。

【 0 2 3 6 】

[ 実施の形態 8 ]

本発明の実施の形態 8 における半導体記憶装置について説明する。本発明の実施の形態 8 における半導体記憶装置は、実施の形態 7 における半導体記憶装置に対して、センスアンプの共有化を図ることにより、救済効率の向上およびレイアウト面積の削減を図るものである。

【 0 2 3 7 】

図 29 は、本発明の実施の形態 8 における半導体記憶装置 1800 のメモリマットの構成を示す図である。図 28 に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

【0238】

図 29 に示すメモリマットは、2つのバンク B0 および B1 を含む。バンク B0 におけるノーマルブロック NBL(0)、...、NBL(m)、ならびに冗長ブロック RBL(0) は、シェアードセンスアンプ方式の構成(センスアンプブロック 70)をとる。バンク B1 におけるノーマルブロック NBL(0)、...、NBL(m)、ならびに冗長ブロック RBL(1) は、シェアードセンスアンプ方式の構成(センスアンプブロック 70)をとる。

10

【0239】

バンク B0 に対応する冗長ブロック RBL(0) と、同じバンク B0 に属するノーマルブロック NBL(0) とで、センスアンプブロック 70 を共有する。

【0240】

バンク B1 に対応する冗長ブロック RBL(1) と、同じバンク B0 に属するノーマルブロック NBL(m) とで、センスアンプブロック 70 を共有する。

【0241】

このように構成することにより、高速な救済が可能となるとともに、レイアウト面積を削減することが可能となる。

【0242】

20

[実施の形態 9]

本発明の実施の形態 9 における半導体記憶装置について説明する。本発明の実施の形態 9 における半導体記憶装置は、実施の形態 8 における半導体記憶装置に対して、図 30 に示す構成をとる。

【0243】

図 30 は、本発明の実施の形態 9 における半導体記憶装置 1900 のメモリマットの構成を示す図である。図 29 に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

【0244】

図 30 に示すメモリマットは、2つのバンク B0 および B1 を含む。バンク B0 におけるノーマルブロック NBL(0)、...、NBL(m)、ならびに冗長ブロック RBL(0) は、シェアードセンスアンプ方式の構成(センスアンプブロック 70)をとる。バンク B1 におけるノーマルブロック NBL(0)、...、NBL(m)、ならびに冗長ブロック RBL(1) は、シェアードセンスアンプ方式の構成(センスアンプブロック 70)をとる。

30

【0245】

冗長ブロック RBL(0) および RBL(1) は、バンク B0 と B1 とで挟まれる領域に配置する。

【0246】

バンク B0 に対応する冗長ブロック RBL(0) と、同じバンク B0 に属するノーマルブロック NBL(m) とで、センスアンプブロック 70 を共有する。

40

【0247】

バンク B1 に対応する冗長ブロック RBL(1) と、同じバンク B0 に属するノーマルブロック NBL(0) とで、センスアンプブロック 70 を共有する。

【0248】

このように構成することにより、高速な救済が可能となるとともに、レイアウト面積を削減することが可能となる。

【0249】

[実施の形態 10]

本発明の実施の形態 10 における半導体記憶装置について説明する。

50

## 【 0 2 5 0 】

図 3 1 は、本発明の実施の形態 1 0 における半導体記憶装置 2 0 0 0 のメモリマットの構成を示す図である。図 3 0 に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

## 【 0 2 5 1 】

図 3 1 に示すメモリマットは、2 以上の複数のバンク B 0、...、B nを含む。各バンクは、ノーマルブロック（図中記号 N B L（0）、N B L（1）、...）と冗長ブロック（図中記号 R B L（0）、R B L（1）、...）とを備える。各バンクにおける冗長ブロックは、同一のブロックに属するノーマルブロックを置換するために用いる。各バンクは、内部クロック信号に応答して独立に動作する。このように構成することにより、高速な救済が可能となる。

10

## 【 0 2 5 2 】

## 【発明の効果】

請求項 1 に係る半導体記憶装置によれば、異なるメモリブロックにおける冗ブロックを用いて置換可能な半導体記憶装置において、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態とするために必要な制御（信号発生）を行なうことにより、高速なアクセスが可能となる。

## 【 0 2 5 6 】

請求項 2 および請求項 7 に係る半導体記憶装置は、請求項 1 に係る半導体記憶装置であって、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態とするために必要な活性化信号を活性化し、さらに冗長判定後に必要な信号を残して非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。

20

## 【 0 2 5 7 】

請求項 3、請求項 4 および請求項 8 に係る半導体記憶装置は、請求項 1 に係る半導体記憶装置であって、冗長判定の判定処理と独立して、対応するセンスアンプについての制御信号を発生しておく。また冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態とするために必要な活性化信号を活性化し、さらに冗長判定後に必要な信号を残して非活性化させる。これにより、高速アクセスが可能となる。

## 【 0 2 5 8 】

請求項 5 および請求項 6 に係る半導体記憶装置は、請求項 1 に係る半導体記憶装置であって、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態とするために必要な活性化信号を中間レベルに立上げ、さらに冗長判定後に必要な信号を活性化し、他の信号を非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。また、中間レベルの電源電圧を使用するため、周辺回路への負担を抑え、消費電力を低減させることができる。

30

## 【 0 2 5 9 】

請求項 9 に係る半導体記憶装置は、冗長ブロックを有する半導体記憶装置において、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態とするために必要な活性化信号を中間レベルに立上げ、さらに冗長判定後に必要な信号を活性化し、他の信号を非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。

40

## 【 0 2 6 0 】

請求項 1 0 および請求項 1 1 に係る半導体記憶装置は、請求項 9 に係る半導体記憶装置であって、中間レベルの電源電圧を使用するため、周辺回路への負担を抑え、消費電力を低減させることができる。

## 【 0 2 6 1 】

請求項 1 2 に係る半導体記憶装置は、請求項 1 1 に係る半導体記憶装置であって、冗長判定のタイミングでなく、デコードのタイミングで必要な信号を活性化させることが可能となる。

## 【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の全体構成を示す図で

50

ある。

【図 2】 図 1 に示す本発明の実施の形態 1 における W L ドライバ 4 の構成を示す図である。

【図 3】 図 1 に示す本発明の実施の形態 1 におけるロウアドレス系デコード回路 2 1 の主要部の構成を示す図である。

【図 4】 図 3 に示す本発明の実施の形態 1 における M W L プリデコーダ 2 2 c の構成を示す図である。

【図 5】 本発明の実施の形態 1 における M W L ドライバの構成を示す図である。

【図 6】 本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の動作を説明するためのタイミングチャートである。

10

【図 7】 本発明の実施の形態 2 における半導体記憶装置 1 2 0 0 の主要部の構成の一例を示す図である。

【図 8】 図 7 に示す本発明の実施の形態 2 における S D ローカルドライバの構成の一例を示す図である。

【図 9】 本発明の実施の形態 3 における S D ローカルドライバの構成の一例を示す図である。

【図 1 0】 本発明の実施の形態 4 における半導体記憶装置 1 4 0 0 の全体構成の一例を示す図である。

【図 1 1】 図 1 0 に示す本発明の実施の形態 4 におけるブロック選択回路 4 5 の構成の一例を示す図である。

20

【図 1 2】 図 1 0 に示す本発明の実施の形態 4 における S D ドライバの構成の一例を示す図である。

【図 1 3】 図 1 0 に示す本発明の実施の形態 4 における M W L ドライバの構成の一例を示す図である。

【図 1 4】 図 1 0 に示す本発明の実施の形態 4 における S / A 帯制御信号ドライバの構成を示す図である。

【図 1 5】 本発明の実施の形態 4 における半導体記憶装置 1 4 0 0 の動作を説明するためのタイミングチャートである。

【図 1 6】 本発明の実施の形態 4 における置換を示す図である。

【図 1 7】 本発明の実施の形態 4 における他の置換の例を示す図である。

30

【図 1 8】 本発明の実施の形態 4 における他の置換の例を示す図である。

【図 1 9】 本発明の実施の形態 5 における半導体記憶装置 1 5 0 0 の主要部の構成の一例を示す図である。

【図 2 0】 図 1 9 における半導体記憶装置 1 5 0 0 の要部の構成を示す図である。

【図 2 1】 図 1 9 に示す本発明の実施の形態 5 における半導体記憶装置 1 5 0 0 の動作を説明するためのタイミングチャートである。

【図 2 2】 図 1 9 に示す本発明の実施の形態 5 における半導体記憶装置 1 5 0 0 の動作を説明するためのタイミングチャートである。

【図 2 3】 本発明の実施の形態 6 における半導体記憶装置 1 6 0 0 の主要部の構成の一例を示す図である。

40

【図 2 4】 図 2 3 に示す本発明の実施の形態 6 におけるメモリセルアレイ 6 5 の構成を示す図である。

【図 2 5】 図 2 3 に示す本発明の実施の形態 6 におけるノーマルブロックに対する回路構成を示す図である。

【図 2 6】 図 2 3 に示す本発明の実施の形態 6 における冗長ブロックに対する回路構成を示す図である。

【図 2 7】 本発明の実施の形態 6 における半導体記憶装置 1 6 0 0 の動作を説明するためのタイミングチャートである。

【図 2 8】 本発明の実施の形態 7 における半導体記憶装置 1 7 0 0 のメモリマットの構成を示す図である。

50

【図 29】 本発明の実施の形態 8 における半導体記憶装置 1800 のメモリマットの構成を示す図である。

【図 30】 本発明の実施の形態 9 における半導体記憶装置 1900 のメモリマットの構成を示す図である。

【図 31】 本発明の実施の形態 10 における半導体記憶装置 2000 のメモリマットの構成を示す図である。

【図 32】 従来の半導体記憶装置 9000 における全体構成を示す図である。

【図 33】 図 32 に示す従来の半導体記憶装置における WL ドライバ 914 の構成を示す図である。

【図 34】 図 32 に示す従来の半導体記憶装置 9000 における動作を説明するためのタイミングチャートである。

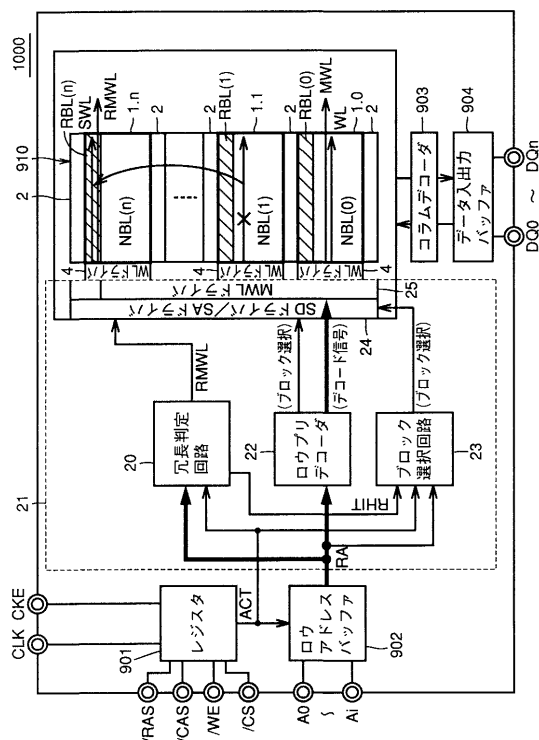
10

【符号の説明】

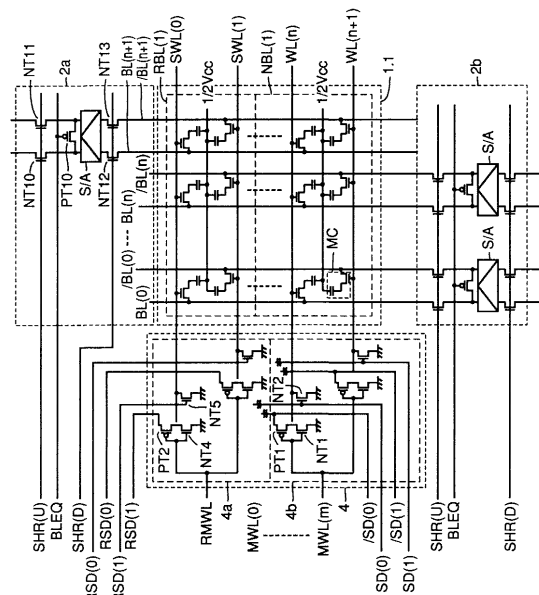
1 メモリブロック、2, 66, 70 センスアンプブロック、4, 63 ドライバ、21 ロウアドレス系デコード回路、20, 46, 50, 60 冗長判定回路、22, 33 ロウプリデコーダ、23, 45 ブロック選択回路、24 SD ドライバ / S/A ドライバ、25 MWL ドライバ、31 MWL デコーダ / ドライバ、32a, 32b, 36a, 36b SD ローカルドライバ、34 ブロック選択回路 / SD ドライバ、901 レジスタ、902 ロウアドレスバッファ、42 SD ドライバ・S/A 帯制御信号ドライバ、61 入力バッファ、62, 64 プリデコーダ、40a, 40b, RBL 冗長ブロック、NBL ノーマルブロック、1000 ~ 1900 半導体記憶装置。

20

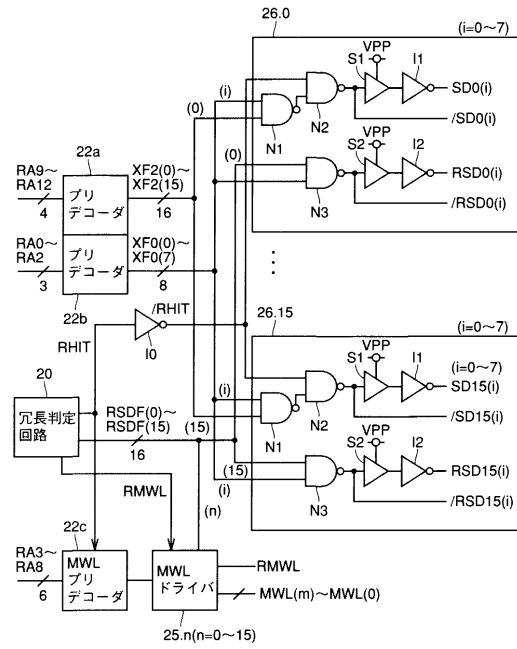
【図 1】



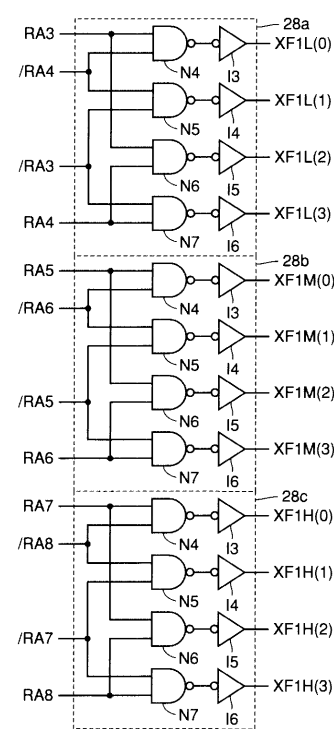
【図 2】



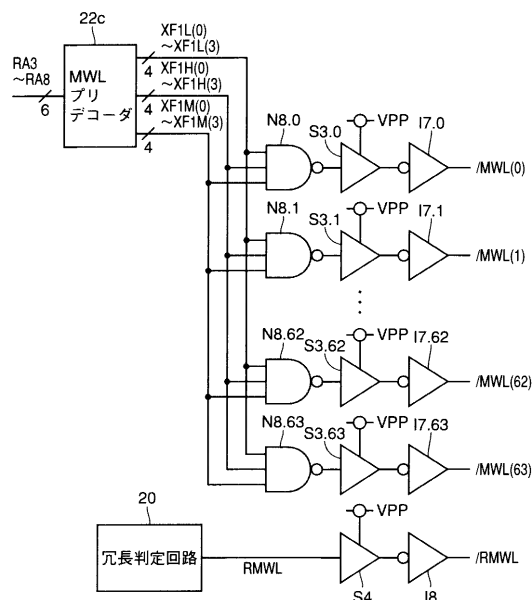
【図 3】



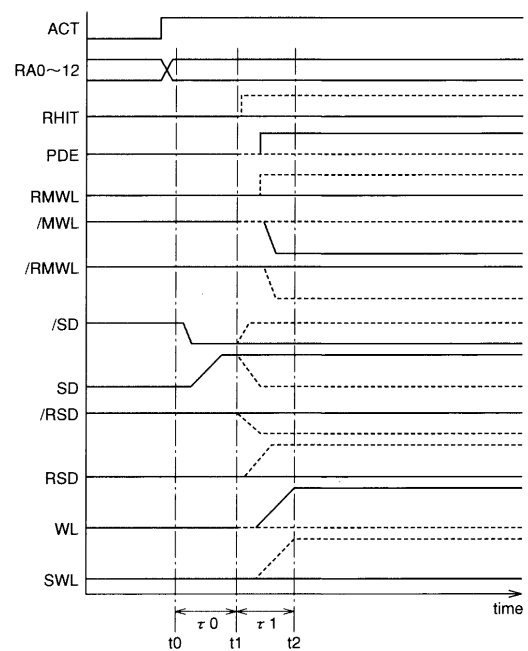
【図 4】



【図 5】

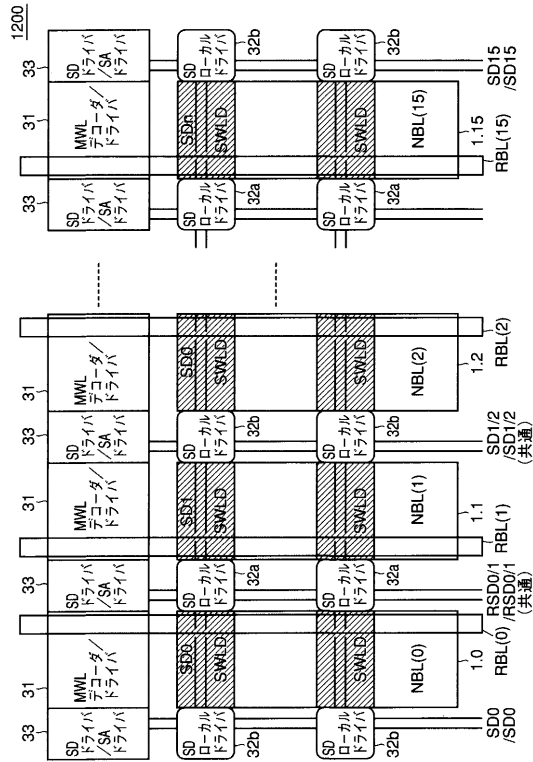


【図 6】

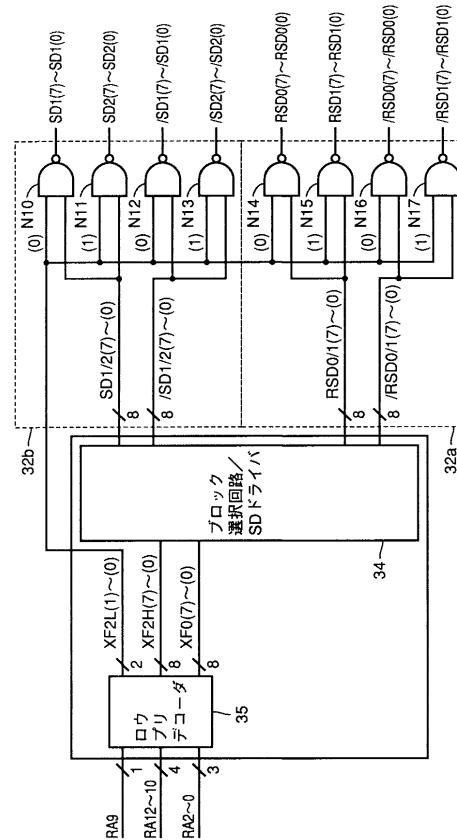




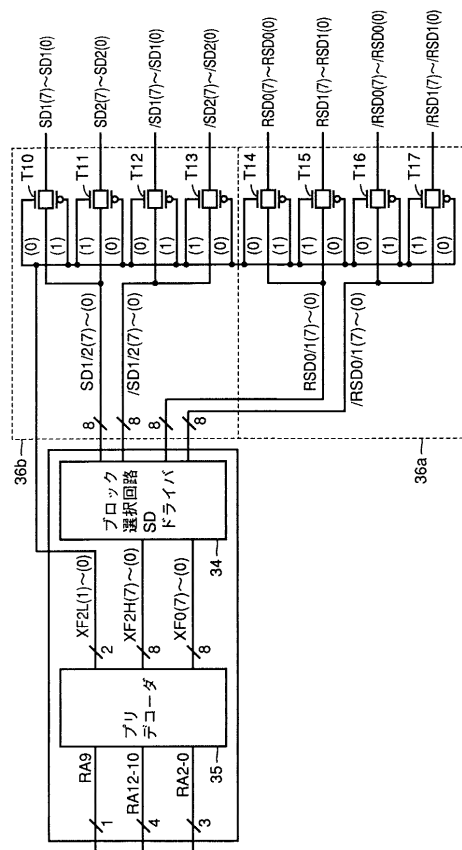
【図 7】



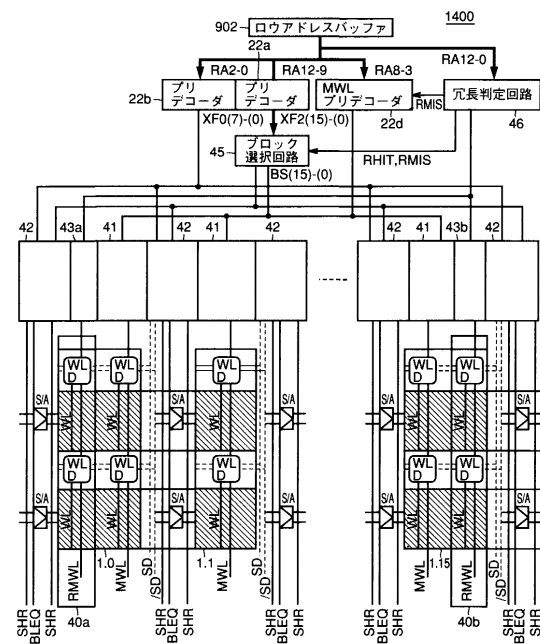
【図 8】



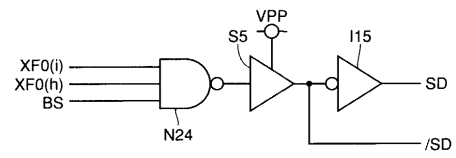
【図 9】



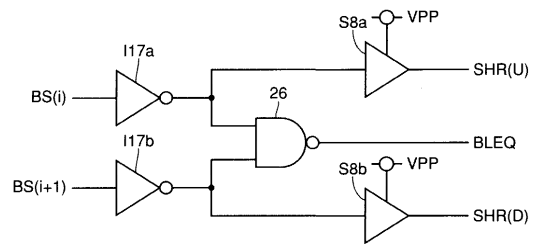
【図 10】



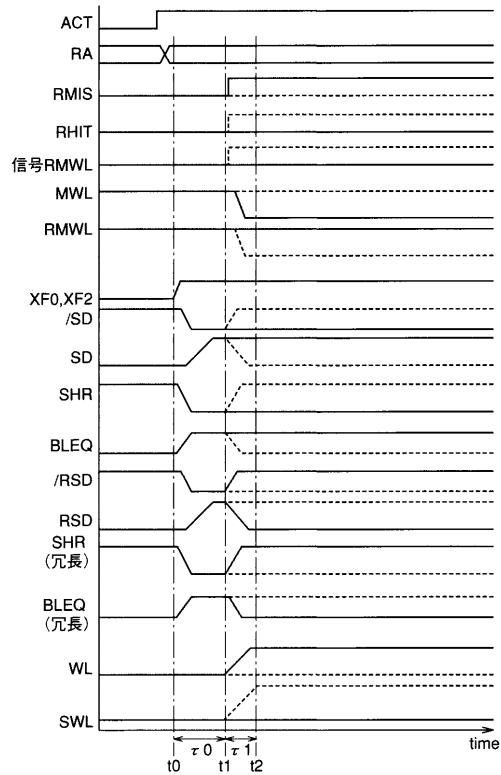
【 図 1 2 】



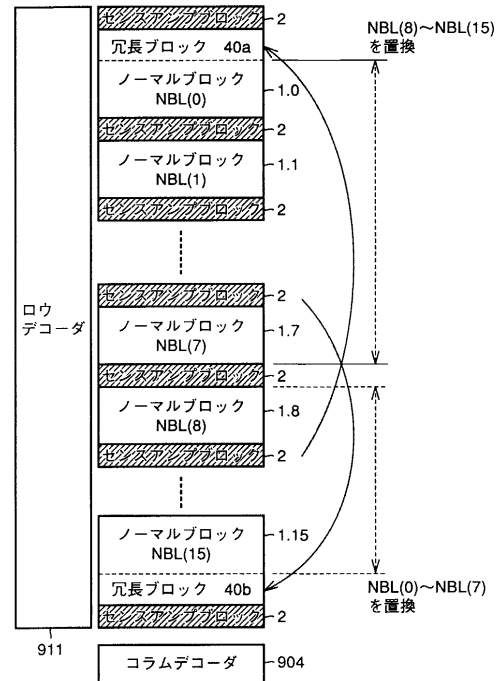
【 図 1 4 】



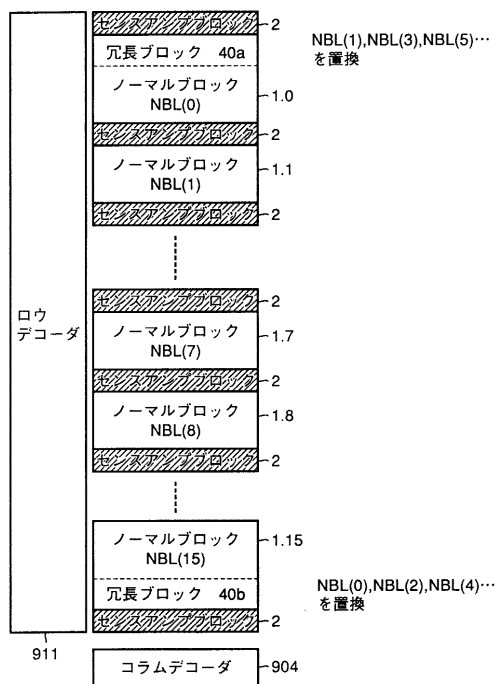
【図 15】



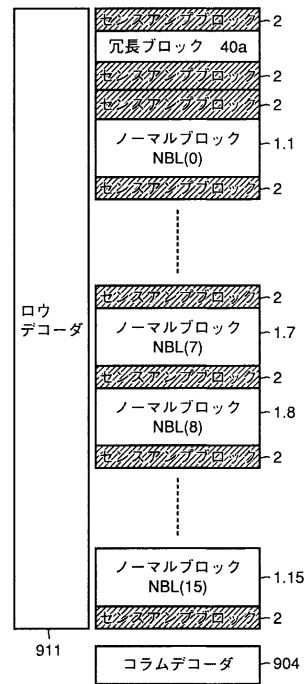
【図 16】



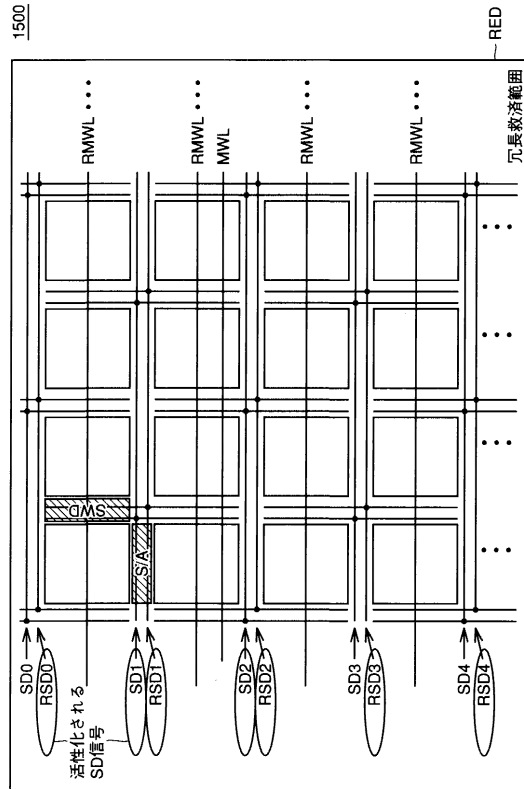
【図 17】



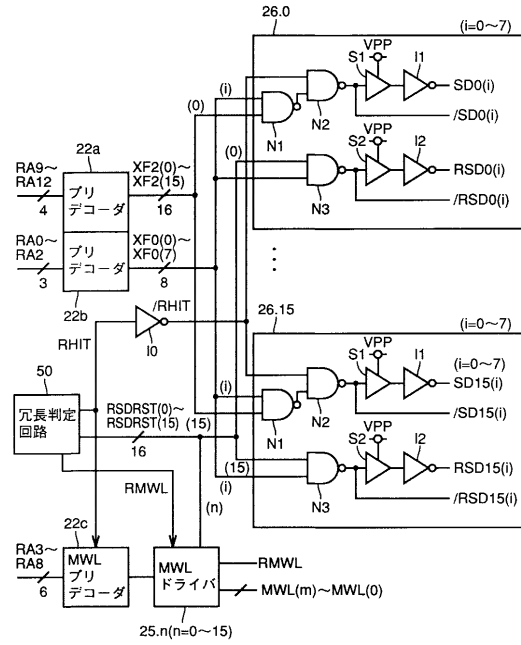
【図 18】



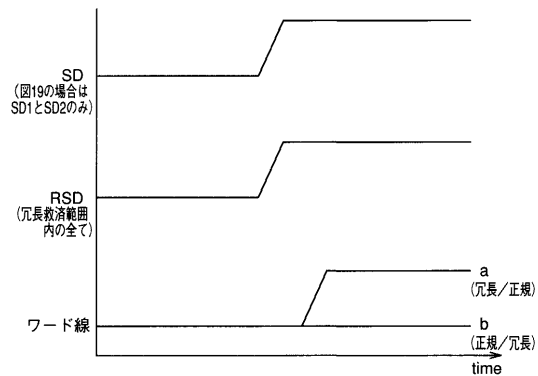
【 図 1 9 】



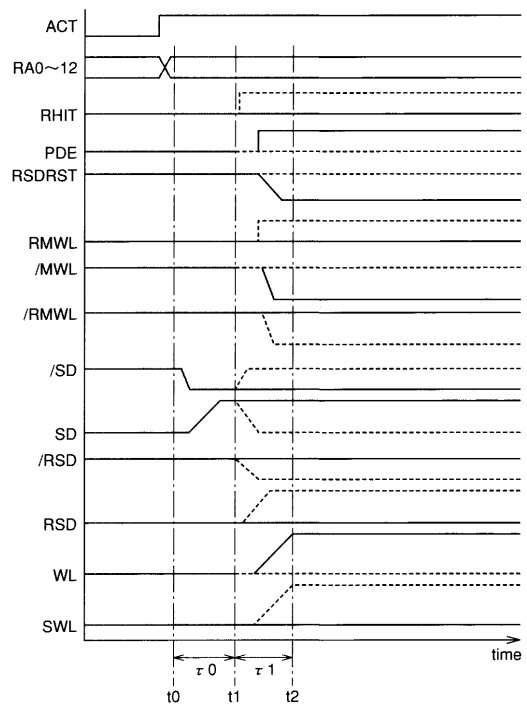
【 図 2 0 】



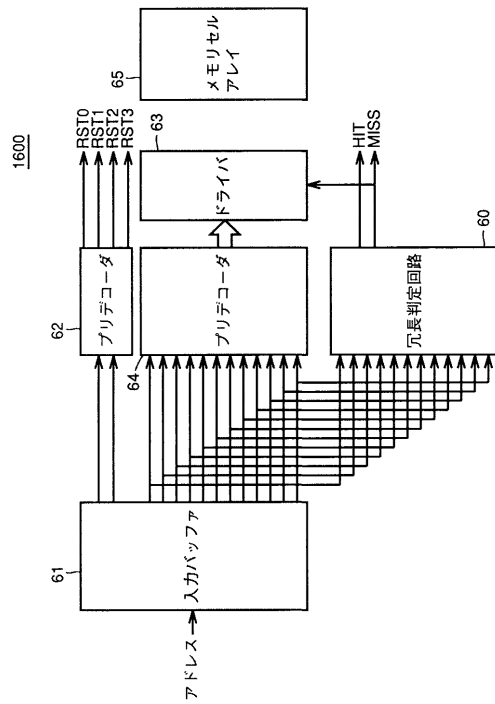
【 図 2 1 】



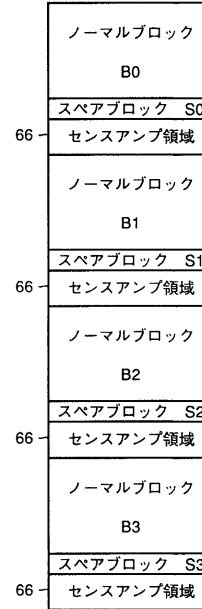
【 図 2 2 】



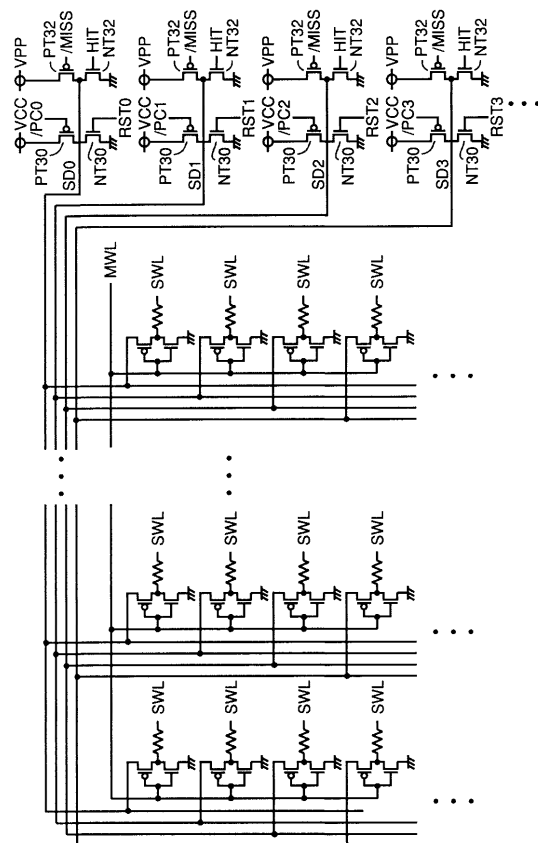
【図 23】



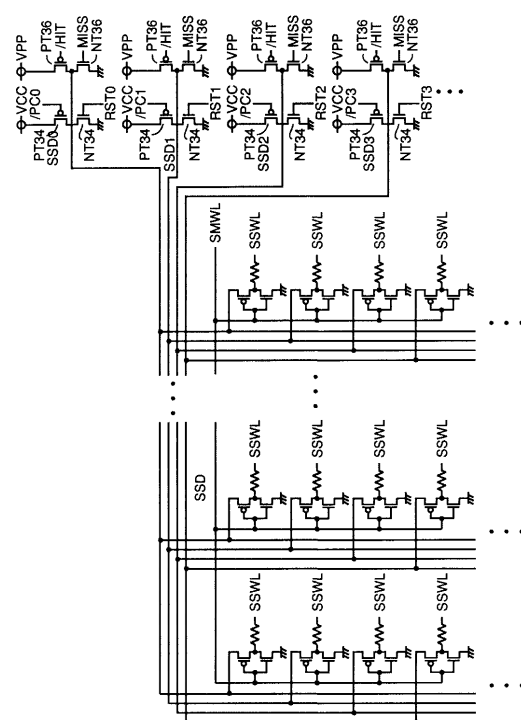
【図 24】



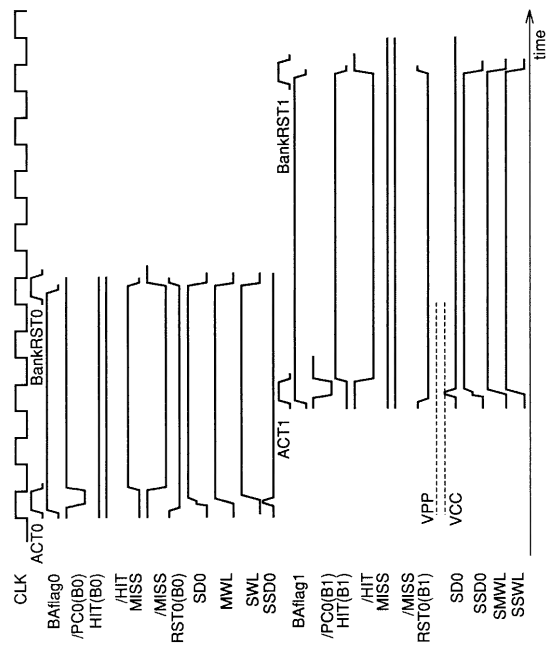
【図 25】



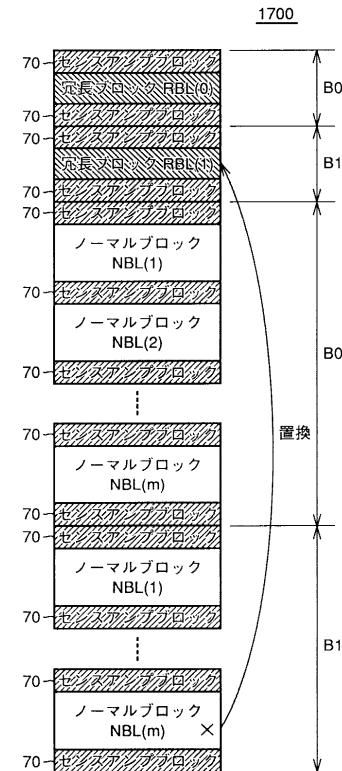
【図 26】



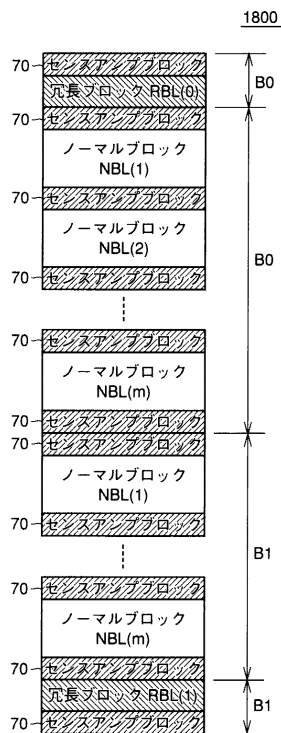
【図 27】



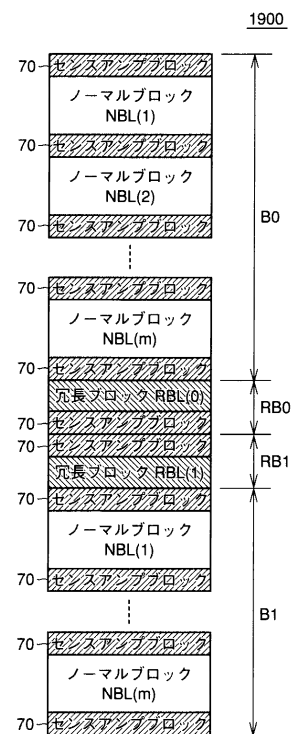
【図 28】



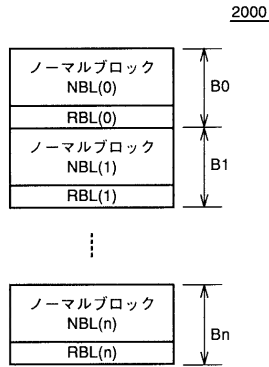
【図 29】



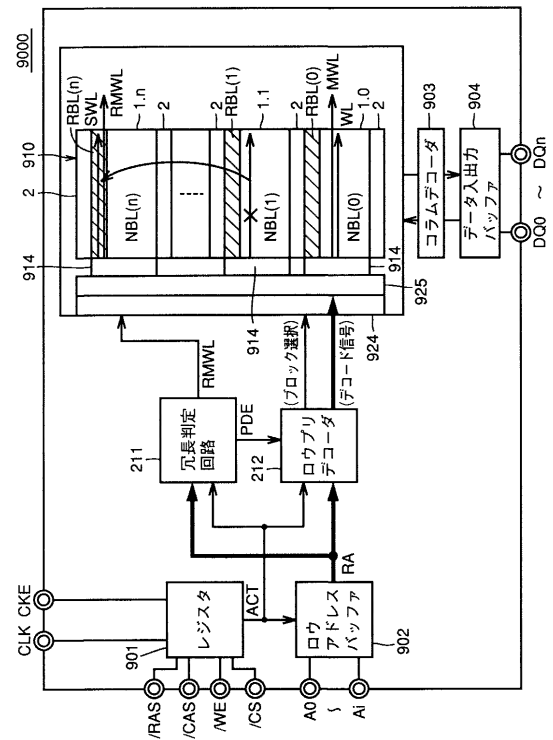
【図 30】



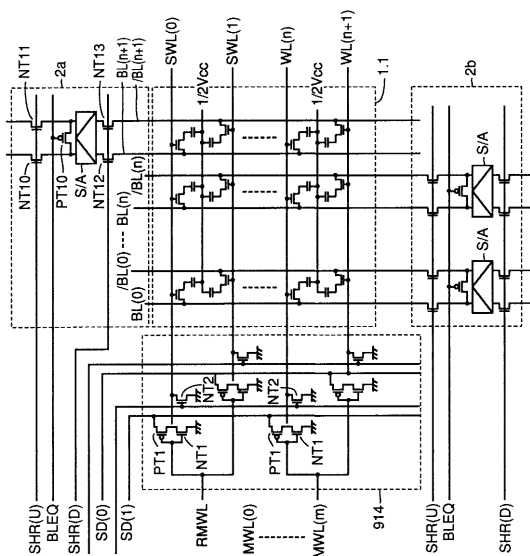
【 図 3 1 】



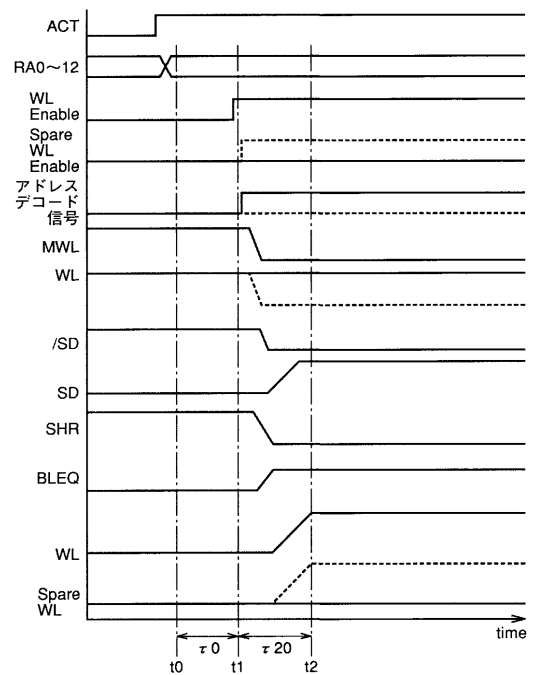
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



---

フロントページの続き

- (72)発明者 辻 高晴  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 大石 司  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 加藤 宏  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 富嶋 茂樹  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 島野 裕樹  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 須原 宏光

- (56)参考文献 特開平11-242896(JP,A)  
特開昭63-244494(JP,A)  
特開昭63-025898(JP,A)  
特開平09-320292(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 29/00