

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4255144号
(P4255144)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.CI.

G 11 C 29/04 (2006.01)

F 1

G 11 C 29/00 603 G

請求項の数 12 (全 40 頁)

(21) 出願番号 特願平10-147477
 (22) 出願日 平成10年5月28日(1998.5.28)
 (65) 公開番号 特開平11-339492
 (43) 公開日 平成11年12月10日(1999.12.10)
 審査請求日 平成17年5月25日(2005.5.25)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリブロックを備え、
 前記複数のメモリブロックの各々は、
 行列状に配置される複数の正規のメモリセルと、前記行に対応して配置される複数のワード線と、前記列に対応して配置される複数のビット線とを含むノーマルブロックを含み、
 前記複数のメモリブロックのうち、少なくとも 1 以上のメモリブロックは、
 行列状に配置される複数の冗長セルと、前記行に対応して配置される複数の冗長ワード線と、前記列に対応して配置される複数のビット線とを含む冗長ブロックをさらに含み、
 前記複数の冗長セルは、前記複数のメモリブロックのいずれかに属する前記正規のメモリセルを置換するために使用され、

外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、
 前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第 1 の制御手段と、
 前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第 2 制御手段とをさらに備え、
 前記第 1 の制御手段は、前記判定手段による冗長判定の結果を受けて、前記対応する前記ワード線を非選択状態にするための制御を行ない、
 前記第 2 の制御手段は、前記判定手段による冗長未判定の結果を受けて、前記対応する

10

20

前記冗長ワード線を非選択状態にするための制御を行なう、半導体記憶装置。

【請求項 2】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するためのワード線活性化信号を発生する第1の信号発生手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、

前記第2の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための冗長ワード線活性化信号を発生する第2の信号発生手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項1に記載の半導体記憶装置。

【請求項 3】

前記複数のノーマルブロックおよび前記複数の冗長ブロックのそれぞれに対応して設けられる複数のセンスアンプブロックをさらに備え、

前記複数のセンスアンプブロックのそれぞれは、

複数のセンスアンプ手段を含み、

前記複数のセンスアンプ手段のそれぞれは、

対応する前記ビット線の電位を増幅する手段と、

対応する前記ビット線の電位を均一化するイコライズ回路と、

非選択のメモリブロック側に対応する前記ビット線を分離するS/Aシェア回路とを含み、

前記第1の制御手段は、

前記外部アドレス信号に応答して、対応する前記ノーマルブロックにおける前記センスアンプブロックの活性化を制御する第1の制御信号を発生し、

前記第2の制御手段は、

前記外部アドレス信号に応答して、対応する前記冗長ブロックにおける前記センスアンプブロックの活性化を制御する第2の制御信号を発生し、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、発生した前記第1の制御信号のレベルを変化させ、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、発生した前記第2の制御信号のレベルを変化させる、請求項1に記載の半導体記憶装置。

【請求項 4】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するためのワード線活性化信号を発生する第1の信号発生手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とをさらに含み

前記第2の制御手段は、

10

20

30

40

50

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための冗長ワード線の活性化信号を発生する第2の信号発生手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とをさらに含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項3に記載の半導体記憶装置。 10

【請求項5】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、

前記冗長手段から受ける冗長未使用の判定結果に応答して、前記第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数のノーマルブロックにおける前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、 20

前記第2の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、

前記冗長手段から受ける冗長使用の判定結果に応答して、前記第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数の冗長ブロックにおける前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、 30

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項1に記載の半導体記憶装置。

【請求項6】

前記第1レベルとは、前記活性レベルと前記非活性レベルとの実質的に中間の値である、請求項5に記載の半導体記憶装置。

【請求項7】

前記複数のワード線の各々は、

メインワード線と、 40

前記メインワード線の各々に対応して設けられる複数のサブワード線とを含み、

前記複数の冗長ワード線の各々は、

冗長メインワード線と、

前記冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、

前記ワード線活性化信号は、前記サブワード線を選択状態とし、

前記冗長ワード線活性化信号は、前記スペアワード線を選択状態とする、請求項2に記載の半導体記憶装置。 50

【請求項8】

前記複数のワード線の各々は、

メインワード線と、

前記メインワード線の各々に対応して設けられる複数のサブワード線とを含み、

前記複数の冗長ワード線の各々は、

冗長メインワード線と、

前記冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、

前記ワード線活性化信号は、前記サブワード線を選択状態とし、

前記冗長ワード線活性化信号は、前記スペアワード線を選択状態とする、請求項4に記載の半導体記憶装置。

【請求項 9】

行列状に配置される複数の正規のメモリセルと、前記行に対応して配置される複数のワード線と、前記列に対応して配置される複数のビット線とを含むノーマルブロックと、

行列状に配置され、対応する正規のメモリセルと置換するための複数の冗長セルと、前記行に対応して配置される複数の冗長ワード線と、前記列に対応して配置される複数のビット線とを含む冗長ブロックと、

外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第1の制御手段と、

前記判定手段の判定結果と独立して、前記外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、

前記第1の制御手段は、前記判定手段による冗長判定の結果を受けて、前記対応するワード線を非選択状態にするための制御を行ない、

前記第2の制御手段は、前記判定手段による冗長未判定の結果を受けて、前記対応する冗長ワード線を非選択状態にするための制御を行なう、半導体記憶装置。

【請求項 10】

前記第1の制御手段は、

前記外部アドレス信号に対応する前記ワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、

前記冗長手段から受ける冗長未使用の判定結果に応答して、前記第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数のワード線のそれぞれに対応して設けられ、対応する前記ワード線活性化信号に応答して、対応する前記ワード線を選択状態とする複数の正規セル選択手段とを含み、

前記第2の制御手段は、

前記外部アドレス信号に対応する前記冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、

前記冗長手段から受ける冗長使用の判定結果に応答して、前記第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、

前記複数の冗長ワード線のそれぞれに対応して設けられ、対応する前記冗長ワード線活性化信号に応答して、対応する前記冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、

前記第1の信号発生手段は、

前記判定手段から受ける冗長判定の結果に応答して、活性化した前記ワード線活性化信号を非活性化し、

前記第2の信号発生手段は、

前記判定手段から受ける冗長未判定の結果に応答して、活性化した前記冗長ワード線活性化信号を非活性化する、請求項9に記載の半導体記憶装置。

【請求項 11】

前記第1レベルとは、前記活性レベルと前記非活性レベルとの実質的に中間の値である、請求項10に記載の半導体記憶装置。

【請求項 12】

前記外部アドレス信号をデコードするデコード手段をさらに備え、

前記第1の制御手段は、

10

20

30

40

50

前記デコード手段の出力するデコード信号に応答して、前記第1レベルのワード線活性化信号を発生し、

前記第2の制御手段は、

前記デコード手段の出力するデコード信号に応答して、前記第1レベルの冗長ワード線活性化信号を発生する、請求項1 1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に置換可能な冗長セルを含む半導体記憶装置に関する。

10

【0002】

【従来の技術】

従来の冗長セルを備える半導体記憶装置の一例について、図32を用いて簡単に説明する。

【0003】

図32は、従来の半導体記憶装置9000における全体構成を示す図である。図32に示す従来の半導体記憶装置9000は、レジスタ901、ロウアドレスバッファ902、ロウプリデコーダ212、冗長判定回路211、メモリセルアレイ910、コラムデコーダ903、およびデータ入出力バッファ904を含む。従来の半導体記憶装置9000は、階層ワード線方式、シェアドセンスアンプ方式の構成を備える。

20

【0004】

メモリセルアレイ910は、複数のメモリブロック1.0、1.1、…を含む。各メモリブロックは、正規のメモリセルから構成されるノーマルブロック（図中記号NBL(0)、NBL(1)、…）と冗長セルから構成される冗長ブロック（図中記号RBL(0)、RBL(1)、…）とを含む。メモリブロック1.0、…の各々を挟む領域に、センスアンプブロック2が配置される。隣接するメモリブロック同士は、センスアンプブロック2を共有する。

【0005】

レジスタ901は、外部から信号（外部ロウアドレスストローブ信号/RAS、外部コラムアドレスストローブ信号/CAS、外部チップセレクト信号/CS、外部ライトイネーブル信号/WE、外部クロック信号CLK、外部クロックイネーブル信号/CKE等）を受けて、対応する制御信号を出力する。

30

【0006】

ロウアドレスバッファ902は、外部アドレス信号A0～Aiに応答して、ロウアドレス信号を出力する。

【0007】

ロウプリデコーダ212は、冗長判定回路211から出力されるイネーブル信号PDEに応答して、ロウアドレスバッファ902の出力に基づき、メインワード線MWLを指定するデコード信号を出力する。また、ロウプリデコーダ212は、ロウアドレスバッファ902の出力に基づき、対応するブロック選択信号を出力する。

40

【0008】

データ入出力バッファ904は、コラムデコーダ903の制御に基づき、データI/OピンDQ0～DQnとメモリセルアレイ910との間で信号の授受を行う。

【0009】

メモリセルアレイ910に対して、SDドライバ/SAドライバ924およびMWLドライバ925を配置する。SDドライバ/SAドライバ924は、センスアンプの活性化を制御するシェアードゲート信号、およびワード線を活性化するサブデコード信号を出力する。MWLドライバ925は、メインワード線を選択状態にする。

【0010】

冗長判定回路211は、冗長使用/未使用を判定する。冗長使用の場合には、冗長メイン

50

ワード線 R M W L を選択状態とするための冗長メインワード線選択信号を出力する。

【 0 0 1 1 】

メモリブロック 1 . 0 、 ... のそれぞれに対して、図 3 3 に示す W L ドライバ 9 1 4 を配置する。

【 0 0 1 2 】

図 3 3 は、図 3 2 に示す従来の半導体記憶装置における W L ドライバ 9 1 4 の構成を示す図であり、参考のため、メモリブロック 1 . 1 およびセンスアンプブロックを示している。

【 0 0 1 3 】

メモリブロック 1 . 1 は、複数の冗長およびノーマルメモリセル M C 、複数のビット線対 B L (0) および / B L (0) 、 ... 、複数のワード線 W L (n) 、 W L (n + 1) 、 ... 、複数のスペアワード線 S W L (0) 、 S W L (1) 、 ... を含む。複数のビット線対は、各列に対応して配置される。複数のワード線およびスペアワード線は、各行に対応して配置される。

【 0 0 1 4 】

メモリブロック 1 . 1 に対応してセンスアンプブロック (図中記号 2 a 、 2 b) を配置する。センスアンプブロック 2 a 、 2 b はそれぞれ、複数のセンスアンプ S / A と、 P M O S トランジスタ P T 1 0 を構成要素とする複数のイコライズ回路と、 N M O S トランジスタ N T 1 0 、 N T 1 1 、 N T 1 2 および N T 1 3 を構成要素とする複数の S / A シェア回路とを含む。

10

【 0 0 1 5 】

W L ドライバ 9 1 4 は、メインワード線 M W L (0) 、 ... 、 M W L (m) または冗長メインワード線 R M W L 、およびサブデコード信号 S D (0) 、 / S D (0) 、 S D (1) 、 / S D (1) 、 ... に基づき、 1 つのワード線 W L (n) 、 W L (n + 1) 、またはスペアワード線 S W L (0) 、 S W L (1) を選択状態とする。冗長メインワード線およびスペアワード線は、冗長セルを選択するために使用する。

20

【 0 0 1 6 】

W L ドライバ 9 1 4 は、各ワード線およびスペアワード線に対応して、 P M O S トランジスタ P T 1 、ならびに N M O S トランジスタ N T 1 および N M O S トランジスタ N T 2 を備える。たとえば、ワード線 W L (0) に対し、 P M O S トランジスタ P T 1 の一方の端子は、サブデコード信号 S D (1) を受け、他方の端子は、 N M O S トランジスタ N T 1 の一方の端子と接続される。 P M O S トランジスタ P T 1 および N M O S トランジスタ N T 1 のそれぞれのゲート電極は、メインワード線 M W L と接続される。 P M O S トランジスタ P T 1 と N M O S トランジスタ N T 1 との接続ノードは、ワード線 W L (0) と接続される。 N M O S トランジスタ N T 2 の一方の端子は、ワード線 W L (0) と接続され、他方の端子は、接地電位と接続され、そのゲート電極は、サブデコード信号 S D (1) を反転したサブデコード信号 / S D (1) を受ける。この結果、サブデコード信号または冗長ワブデコード信号により、いずれか一のワード線またはスペアワード線が選択状態になる。

30

【 0 0 1 7 】

【発明が解決しようとする課題】

ところで、冗長領域を配置するメモリセルアレイは、半導体記憶装置にとって必須の構成となっている。この点で、特に、図 3 2 に示す従来の半導体記憶装置 9 0 0 0 は、メモリブロック間を超えて置換が可能あるという点で救済効率の高い構成を備えているといえる。

40

【 0 0 1 8 】

しかしながら、一般に、冗長セルを含む半導体記憶装置においては、冗長判定があるまで活性化させるブロックが決定されず、高速アクセスが不十分であるという問題がある。

【 0 0 1 9 】

この問題点を、図 3 2 に示す従来の半導体記憶装置を具体例として、図 3 4 を用いて説明

50

する。図34は、図32に示す従来の半導体記憶装置9000における動作を説明するためのタイミングチャートである。

【0020】

図34を参照して、バンク活性信号A C Tにより、ロウ系の動作が開始される。アドレス信号R A 0 ~ R A 1 2がラッチされ、ワード線またはスペアワード線の選択、センスアンプの活性化の動作が行なわれる。ワード線の選択時には、冗長の使用・未使用の判定が行なわれる。

【0021】

時刻t0において、ロウアドレスが冗長判定回路211およびロウプリデコーダ212に到達する。0の期間、冗長判定が行なわれる。冗長判定後、時刻t1において、対応するワード線またはスペアワード線を選択状態にするためのサブデコード信号または冗長サブデコード信号の活性化、ならびにセンスアンプの準備を行う。

10

【0022】

具体的には、メモリブロック1.1が選択されると、その両端に位置するセンスアンプブロックが活性状態となる。その動作の準備として、ビット線のイコライズを解除するためには、イコライズ信号B L E QをLレベルにし、シェアードゲートをオフするために、シェアードゲートS H R (U)およびS H E (D)をLレベルにする。これらの動作は、冗長判定後、ワード線を立上げるまでに完了する。

【0023】

この結果、最終的にロウアドレスの入力からワード線の立上げまでに0+20(ただし、 $20 = t_2 - t_0$)が必要とされる。

20

【0024】

さらなる問題として、冗長セルを使用した場合、レイアウト面積が増大するという問題が存在する。

【0025】

そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、冗長セルを有する半導体記憶装置において、高速動作が可能な半導体記憶装置を提供することにある。

【0026】

さらに、本発明の他の目的は、レイアウト面積を抑えながら、救済効率の高い半導体記憶装置を提供することにある。

30

【0027】

【課題を解決するための手段】

請求項1に係る半導体記憶装置は、複数のメモリブロックを備え、複数のメモリブロックの各々は、行列状に配置される複数の正規のメモリセルと、行に対応して配置される複数のワード線と、列に対応して配置される複数のビット線とを含むノーマルブロックを含み、複数のメモリブロックのうち、少なくとも1以上のメモリブロックは、行列状に配置される複数の冗長セルと、行に対応して配置される複数の冗長ワード線と、列に対応して配置される複数のビット線とを含む冗長ブロックをさらに含み、複数の冗長セルは、複数のメモリブロックのいずれかに属する正規のメモリセルを置換するために使用され、外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第1の制御手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、第1の制御手段は、判定手段による冗長判定の結果を受けて、対応するワード線を非選択状態にするための制御を行ない、第2の制御手段は、判定手段による冗長未使用の判定の結果を受けて、対応する冗長ワード線を非選択状態にするための制御を行なう。

40

【0033】

請求項2に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するためのワード線活性化信号

50

を発生する第1の信号発生手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための冗長ワード線活性化信号を発生する第2の信号発生手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線の活性化信号を非活性化する。

10

【0034】

請求項3に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、複数のメモリブロックおよび複数の冗長ブロックのそれぞれに対応して設けられる複数のセンスアンプブロックをさらに備え、複数のセンスアンプブロックのそれぞれは、複数のセンスアンプ手段を含み、複数のセンスアンプ手段のそれぞれは、対応するピット線の電位を増幅する手段と、対応するピット線の電位を均一化するイコライズ回路と、非選択のメモリブロック側に対応するピット線を分離するS/Aシェア回路とを含み、第1の制御手段は、外部アドレス信号に応答して、対応するノーマルブロックにおけるセンスアンプブロックの活性化を制御する第1の制御信号を発生し、第2の制御手段は、外部アドレス信号に応答して、対応する冗長ブロックにおけるセンスアンプブロックの活性化を制御する第2の制御信号を発生し、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、発生した第1の制御信号のレベルを変化させ、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、発生した第2の制御信号のレベルを変化させる。

20

【0035】

請求項4に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するためのワード線活性化信号を発生する第1の信号発生手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とをさらに含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための冗長ワード線の活性化信号を発生する第2の信号発生手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とをさらに含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線活性化信号を非活性化する。

30

【0036】

請求項5に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、冗長手段から受ける冗長未使用の判定結果に応答して、第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、複数のノーマルブロックにおける複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、冗長手段から受ける冗長使用の判定結果に応答して、第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、複数の冗長ブロックにおける複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化する。

40

50

活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線活性化信号を非活性化する。

【0037】

請求項6に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、第1レベルとは、活性レベルと非活性レベルとの実質的に中間の値である。

【0038】

請求項7に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、複数のワード線の各々は、メインワード線と、メインワード線の各々に対応して設けられる複数のサブワード線とを含み、複数の冗長ワード線の各々は、冗長メインワード線と、冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、ワード線活性化信号は、サブワード線を選択状態とし、冗長ワード線活性化信号は、スペアワード線を選択状態とする。

10

【0039】

請求項8に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、複数のワード線の各々は、メインワード線と、メインワード線の各々に対応して設けられる複数のサブワード線とを含み、複数の冗長ワード線の各々は、冗長メインワード線と、冗長メインワード線の各々に対応して設けられる複数のスペアワード線とを含み、ワード線活性化信号は、サブワード線を選択状態とし、冗長ワード線活性化信号は、スペアワード線を選択状態とする。

【0040】

20

請求項9に係る半導体記憶装置は、行列状に配置される複数の正規のメモリセルと、行に対応して配置される複数のワード線と、列に対応して配置される複数のビット線とを含むノーマルブロックと、行列状に配置され、対応する正規のメモリセルと置換するための複数の冗長セルと、行に対応して配置される複数の冗長ワード線と、列に対応して配置される複数のビット線とを含む冗長ブロックと、外部アドレス信号に応答して、冗長使用か否かを判定する判定手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応するワード線を選択状態にするための制御を行う第1の制御手段と、判定手段の判定結果と独立して、外部アドレス信号に応答して、対応する冗長ワード線を選択状態にするための制御を行う第2制御手段とをさらに備え、第1の制御手段は、判定手段による冗長判定の結果を受けて、対応するワード線を非選択状態にするための制御を行ない、第2の制御手段は、判定手段による冗長未使用の判定の結果を受けて、対応する冗長ワード線を選択状態にするための制御を行なう。

30

【0041】

請求項10に係る半導体記憶装置は、請求項9に係る半導体記憶装置であって、第1の制御手段は、外部アドレス信号に対応するワード線を活性化するための第1レベルのワード線活性化信号を発生する第1の信号発生手段と、冗長手段から受ける冗長未使用の判定結果に応答して、第1レベルのワード線活性化信号のレベルを活性レベルに立上げる手段と、複数のワード線のそれぞれに対応して設けられ、対応するワード線活性化信号に応答して、対応するワード線を選択状態とする複数の正規セル選択手段とを含み、第2の制御手段は、外部アドレス信号に対応する冗長ワード線を活性化するための第1レベルの冗長ワード線活性化信号を発生する第2の信号発生手段と、冗長手段から受ける冗長使用の判定結果に応答して、第1レベルの冗長ワード線活性化信号のレベルを活性レベルに立上げる手段と、複数の冗長ワード線のそれぞれに対応して設けられ、対応する冗長ワード線活性化信号に応答して、対応する冗長ワード線を選択状態とする複数の冗長セル選択手段とを含み、第1の信号発生手段は、判定手段から受ける冗長判定の結果に応答して、活性化したワード線活性化信号を非活性化し、第2の信号発生手段は、判定手段から受ける冗長未判定の結果に応答して、活性化した冗長ワード線活性化信号を非活性化する。

40

【0042】

請求項11に係る半導体記憶装置は、請求項10に係る半導体記憶装置であって、第1レベルとは、活性レベルと非活性レベルとの実質的に中間の値である。

50

【0043】

請求項1_2に係る半導体記憶装置は、請求項1_1に係る半導体記憶装置であって、外部アドレス信号をデコードするデコード手段をさらに備え、第1の制御手段は、デコード手段の出力するデコード信号に応答して、第1レベルのワード線活性化信号を発生し、第2の制御手段は、デコード手段の出力するデコード信号に応答して、第1レベルの冗長ワード線活性化信号を発生する。

【0047】

【発明の実施の形態】

[実施の形態1]

本発明の実施の形態1における半導体記憶装置について説明する。本発明の実施の形態1における半導体記憶装置は、メモリブロック間を超えて置換可能な半導体記憶装置に関し、通常のロウアドレス系と冗長用のロウアドレス系とを個別に制御することにより、アクセス時間の高速化を図るものである。 10

【0048】

本発明の実施の形態1における半導体記憶装置の全体構成について図1を用いて説明する。図1は、本発明の実施の形態1における半導体記憶装置1000の全体構成を示す図である。従来の半導体記憶装置9000と同じ構成要素には、同じ符号、同じ記号を付し、その説明を省略する。

【0049】

図1に示す半導体記憶装置1000は、レジスタ901、ロウアドレスバッファ902、ロウアドレス系デコード回路21、コラムデコーダ903、メモリセルアレイ910、およびデータ入出力バッファ904を含む。図1に示す半導体記憶装置1000は、階層ワード線方式、シェアドセンスアンプ方式の構成を備える。 20

【0050】

メモリセルアレイ910は、複数のメモリブロック1.0、1.1、…を含む。各メモリブロックは、正規のメモリセルから構成されるノーマルブロック(図中記号NBL(0)、NBL(1)、…)と冗長セルから構成される冗長ブロック(図中記号RBL(0)、RBL(1)、…)とを含む。半導体記憶装置1000では、1のメモリブロックに対して、他のメモリブロックに存在する冗長ブロックを使用して置換を行なうことが可能である。 30

【0051】

メモリブロック1.0、…のそれぞれを挟む領域に、センスアンププロック2が配置される。隣接するメモリブロック同士は、センスアンププロック2を共有する。メモリブロック1.0、…のそれぞれに対して、WLドライバ4を配置する。

【0052】

なお、以下の説明においては、16組のメモリブロック、64本のメインワード線、および8組のサブデコード信号から1本のワード線が選択されるものとする。また、各メモリブロック毎に、1本の冗長メインワード線と8組の冗長サブデコード信号とから1本のスペアワード線が選択されるものとする。

【0053】

ロウアドレス系デコード回路21は、冗長判定回路20、ロウプリデコーダ22、ブロック選択回路23、SDドライバ/SAドライバ24、およびMWLドライバ25を含む。冗長判定回路20は、レジスタ901から受けるアクト信号ACTに応答して、アドレスバッファ902から受けるアドレス信号に基づき、冗長判定を行う。判定結果として、判定信号RHIT、信号RMWL、および冗長ブロックを指定するプリデコード信号RSDF(図中記号RSDF(0)～RSDF(15))を出力する。 40

【0054】

冗長判定回路20から出力される判定信号RHITは、初期状態でLレベルである。冗長を使用した場合は、判定信号RHITは、Hレベルとなり、いずれか1のプリデコード信号RSDFがHレベルとなる。冗長未使用の場合は、判定信号RHITおよびプリデコー 50

ド信号 R S D F は L レベルを保持する。ロウプリデコーダ 2 2 は、ロウアドレスバッファ 9 0 2 の出力をデコードする。

【 0 0 5 5 】

ブロック選択回路 2 3 は、冗長判定回路 2 0 から出力される判定信号 R H I T に応答して、アドレスバッファ 9 0 2 の出力に基づき、ノーマルブロックに対応するブロック選択信号を出力する。

【 0 0 5 6 】

図 2 は、図 1 に示す本発明の実施の形態 1 における W L ドライバ 4 の構成を示す図であり、参考のため、メモリブロック 1 . 1 およびセンスアンプブロックを示している。

【 0 0 5 7 】

メモリブロック 1 . 1 に対応してセンスアンプブロック（図中記号 2 a、2 b）を配置する。センスアンプブロック 2 a および 2 b はそれぞれ、複数のセンスアンプ S / A と、P M O S トランジスタ P T 1 0 を構成要素とする複数のイコライズ回路と、N M O S トランジスタ N T 1 0、N T 1 1、N T 1 2 および N T 1 3 を構成要素とする複数の S / A シェア回路とを含む。P M O S トランジスタ P T 1 0 は、イコライズ信号 B L E Q に応答してオン / オフする。N M O S トランジスタ N T 1 0 および N T 1 1 は、シェアードゲート信号 S H R (U) に応答してオン / オフする。N M O S トランジスタ N T 1 2 および N T 1 3 は、シェアードゲート信号 S H R (D) に応答してオン / オフする。

【 0 0 5 8 】

W L ドライバ 4 は、ノーマルブロックに対するドライバ 4 b に加えて、冗長ブロックに対するドライバ 4 b を備える。ドライバ 4 b の構成は、図 3 3 で説明した構成と同じである。

【 0 0 5 9 】

ドライバ 4 b は、メインワード線 M W L (0)、…、M W L (m)、ならびにサブデコード信号 S D (0) および / S D (0)、S D (1) および / S D (1)、…に基づき、1 つのワード線 W L (n)、W L (n + 1)、…を選択状態とする。

【 0 0 6 0 】

ドライバ 4 a は、冗長メインワード線 R M W L 、ならびに冗長サブデコード信号 R S D (0) および / R S D (0)、R S D (1) および / R S D (1)、…に基づき、1 つのスペアワード線 S W L (0)、S W L (1)、…を選択状態とする。

【 0 0 6 1 】

ドライバ 4 a は、各スペアワード線に対応して、P M O S トランジスタ P T 2 、ならびに N M O S トランジスタ N T 4 および N T 5 を備える。たとえば、スペアワード線 S W L (0) に対し、P M O S トランジスタ P T 2 の一方の端子は、冗長サブデコード信号 R S D (1) を受け、他方の端子は、N M O S トランジスタ N T 4 の一方の端子と接続される。P M O S トランジスタ P T 2 および N M O S トランジスタ N T 4 のそれぞれのゲート電極は、冗長メインワード線 R M W L と接続される。N M O S トランジスタ N T 4 の他方の端子は、接地電位と接続される。

【 0 0 6 2 】

P M O S トランジスタ P T 2 と N M O S トランジスタ N T 4 との接続ノードは、スペアワード線 S W L (0) と接続される。N M O S トランジスタ N T 5 の一方の端子は、スペアワード線 S W L (0) と接続され、他方の端子は、接地電位と接続され、そのゲート電極は、冗長サブデコード信号 / R S D (1) を受ける。スペアワード線とワード線とは、異なる経路で選択される。

【 0 0 6 3 】

図 3 は、図 1 に示す本発明の実施の形態 1 におけるロウアドレス系デコード回路 2 1 の主要部の構成を示す図である。

【 0 0 6 4 】

図 3 に示すプリデコーダ 2 2 a および 2 2 b 、ならびに M W L プリデコーダ 2 2 c は、図 1 に示すロウプリデコーダ 2 2 に含まれる。プリデコーダ 2 2 a は、4 ビットのアドレス

10

20

30

40

50

信号 R A 9 ~ R A 1 2 に応答して、16ビットのプリデコード信号 X F 2 (図中記号 X F 2 (0) ~ X F 2 (1 5)) を出力する。

【 0 0 6 5 】

プリデコーダ 2 2 b は、3ビットのアドレス信号 R A 0 ~ R A 2 に応答して、8ビットのプリデコード信号 X F 0 (図中記号 X F 0 (0) ~ X F 0 (7)) を出力する。

【 0 0 6 6 】

M W L プリデコーダ 2 2 c は、判定信号 R H I T に応答して、6ビットのアドレス信号 R A 3 ~ R A 8 に基づき、メインワード線を指定するプリデコード信号を出力する。

【 0 0 6 7 】

図 4 は、図 3 に示す本発明の実施の形態 1 における M W L プリデコーダ 2 2 c の構成を示す図である。M W L プリデコーダ 2 2 c は、3組のデコード回路 2 8 a 、 2 8 b 、および 2 8 c を含む。 10

【 0 0 6 8 】

デコード回路 2 8 a は、アドレス信号 R A 3 、 / R A 3 、 R A 4 および / R A 4 に応答して、プリデコード信号 X F 1 L (0) ~ (3) を出力する。デコード回路 2 8 b は、アドレス信号 R A 5 、 / R A 5 、 R A 6 および / R A 6 に応答して、プリデコード信号 X F 1 M (0) ~ (3) を出力する。デコード回路 2 8 c は、アドレス信号 R A 7 、 / R A 7 、 R A 8 および / R A 8 に応答して、プリデコード信号 X F 1 H (0) ~ (3) を出力する。 20

【 0 0 6 9 】

デコード回路 2 8 a 、 2 8 b 、および 2 8 c のそれぞれは、N A N D 回路 N 4 、 N 5 、 N 6 および N 7 、ならびにインバータ I 3 、 I 4 、 I 5 および I 6 を含む。 20

【 0 0 7 0 】

デコード回路 2 8 a を代表例としてその構成を説明する。N A N D 回路 N 4 は、アドレス信号 R A 3 とアドレス信号 / R A 4 とを入力に受ける。インバータ I 3 は、N A N D 回路 N 4 の出力を反転して、プリデコード信号 X F 1 L (0) を出力する。N A N D 回路 N 5 は、アドレス信号 / R A 4 とアドレス信号 R A 3 とを入力に受ける。インバータ I 4 は、N A N D 回路 N 5 の出力を反転して、プリデコード信号 X F 1 L (1) を出力する。N A N D 回路 N 6 は、アドレス信号 R A 3 とアドレス信号 R A 4 とを入力に受ける。インバータ I 5 は、N A N D 回路 N 6 の出力を反転して、プリデコード信号 X F 1 L (2) を出力する。N A N D 回路 N 7 は、アドレス信号 / R A 3 とアドレス信号 R A 4 とを入力に受ける。インバータ I 6 は、N A N D 回路 N 7 の出力を反転して、プリデコード信号 X F 1 L (3) を出力する。 30

【 0 0 7 1 】

図 3 における S D ドライバ 2 6 . 0 、 ... は、図 1 に示す S D ドライバ / S A ドライバ 2 4 に含まれる。S D ドライバ 2 6 . 0 、 ... は、メモリプロックのそれぞれに対応して配置する。

【 0 0 7 2 】

S D ドライバ 2 6 . 0 、 ... のそれぞれは、N A N D 回路 N 1 および N 2 、レベル変換回路 S 1 、ならびにインバータ I 1 を含む。N A N D 回路 N 1 は、プリデコーダ 2 2 a および 2 2 b の出力を受ける。インバータ I 0 は、判定信号 R H I T を反転して、信号 / R H I T を出力する。N A N D 回路 N 2 の一方のノードは、信号 / R H I T を受け、他方のノードは、N A N D 回路 N 1 の出力を受ける。 40

【 0 0 7 3 】

N A N D 回路 N 2 は、対応するノーマルプロックにおけるサブデコード信号 / S D (図中記号 / S D 0 (i) 、 ... : i = 0 ~ 7) を出力する。インバータ I 1 は、レベル変換回路 S 1 を介して、N A N D 回路 N 2 の出力を受け、対応するノーマルプロックにおけるサブデコード信号 S D (図中記号 S D 0 (i) 、 ... : i = 0 ~ 7) を出力する。

【 0 0 7 4 】

S D ドライバ 2 6 . 0 、 ... のそれぞれはさらに、N A N D 回路 N 3 、レベル変換回路 S 2

50

、およびインバータ I 2 を含む。N A N D 回路 N 3 は、プリデコーダ 2 2 b の出力と冗長判定回路 2 0 から出力される 16 ビットのプリデコード信号 R S D F (0) ~ R S D F (15) とを受ける。

【 0 0 7 5 】

N A N D 回路 N 3 は、対応する冗長ブロックにおける冗長サブデコード信号 / R S D (図中記号 / R S D 0 (i) 、 ... : i = 0 ~ 7) を出力する。インバータ I 2 は、レベル変換回路 S 2 を介して、N A N D 回路 N 3 の出力を受け、対応する冗長ブロックにおける冗長サブデコード信号 R S D (図中記号 R S D 0 (i) 、 ... i = 0 ~ 7) を出力する。

【 0 0 7 6 】

図 3 に示す M W L ドライバ 2 5 . n (n = 0 ~ 15) は、1 のメモリブロックに対応するものであり、他のメモリブロックに対応する M W L ドライバとともに、図 1 に示す M W L ドライバ 2 5 に含まれる。

【 0 0 7 7 】

M W L ドライバ 2 5 . n は、M W L プリデコーダ 2 2 c の出力と、冗長判定回路 2 0 から出力される信号 R M W L およびプリデコード信号 R S D F (0) ~ R S D F (15) とに応答して、対応するメモリブロックのメインワード線選択信号または、冗長メインワード線選択信号を出力する。これにより、メインワード線 M W L (0) ~ M W L (m) または冗長メインワード線 R M W L が選択状態になる。

【 0 0 7 8 】

図 5 は、本発明の実施の形態 1 における M W L ドライバの構成を示す図であり、代表例として、1 のメモリブロックに対応する M W L ドライバ 2 5 . n の構成を示す。なお、参考のため、プリデコーダ 2 2 c および冗長判定回路 2 0 を併せて示している。

【 0 0 7 9 】

M W L ドライバ 2 5 . n は、N A N D 回路 N 8 . 0 、 ... 、 N 8 . 6 3 、レベル変換回路 S 3 . 0 、 ... 、 S 3 . 6 3 、およびインバータ I 7 . 0 、 ... 、 I 7 . 6 3 を含む。N A N D 回路 N 8 . 0 、 ... 、 N 8 . 6 3 、レベル変換回路 S 3 . 0 、 ... 、 S 3 . 6 3 、およびインバータ I 7 . 0 、 ... 、 I 7 . 6 3 のそれぞれは、メインワード線に対応して配置する。

【 0 0 8 0 】

たとえば、N A N D 回路 N 8 . 0 は、M W L プリデコーダ 2 2 c から対応するプリデコード信号 X F 1 L (0) ~ (3) 、 X F 1 H (0) ~ (3) 、 X F 1 M (0) ~ (3) を受ける。インバータ I 7 . 0 は、対応するレベル変換回路 S 3 . 0 を介して N A N D 回路 N 8 . 0 の出力を受け、メインワード線選択信号 / M W L (0) を出力する。対応するメインワード線 M W L (0) は、メインワード線選択信号 / M W L (0) を受けて選択状態となる。

【 0 0 8 1 】

M W L ドライバ 2 5 . n はさらに、レベル変換回路 S 4 およびインバータ I 8 を含む。レベル変換回路 S 4 およびインバータ I 8 は、冗長ブロックにおける冗長メインワード線に対応して配置する。

【 0 0 8 2 】

レベル変換回路 S 4 は、冗長判定回路 2 0 から信号 R M W L を受ける。インバータ I 8 は、対応するレベル変換回路 S 4 の出力を反転して、冗長メインワード線選択信号 / R M W L を出力する。対応する冗長メインワード線 R M W L は、冗長メインワード線選択信号 / R M W L を受けて選択状態となる。

【 0 0 8 3 】

次に、本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の動作について、タイミングチャートである図 6 を参照して説明する。

【 0 0 8 4 】

図 6 は、本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 の動作を説明するためのタイミングチャートである。

【 0 0 8 5 】

10

20

30

40

50

外部制御信号に応答して、アクト信号 A C T が H レベルの活性状態になり、ロウアドレス信号が取込まれる。この時点で、判定信号 R H I T は、L レベルの状態にある。

【 0 0 8 6 】

時刻 t 0 において、アドレス信号をプリデコードしたプリデコード信号 X F 2 、 X F 0 のなかのいずれか 1 つが H レベルの状態になる。

【 0 0 8 7 】

これにより、対応するサブデコード信号 S D および / S D が活性化される。さらに対応するメインワード線を選択するメインワード線選択信号が活性化される。この間、冗長判定回路 2 0 は、冗長判定処理の状態にある。

【 0 0 8 8 】

時刻 t 1 において、判定結果として判定信号 R H I T が出力される。冗長未使用の場合、判定信号 R H I T は、L レベルを保持する（実線部分）。この場合、冗長判定回路 2 0 の出力であるプリデコード信号 R S D F は L レベルのままである。

【 0 0 8 9 】

冗長使用の場合、判定信号 R H I T が H レベルに立上がる（点線部分）。これにより、活性化されたサブデコード信号 S D および / S D が、非活性化される（点線部分）。置換されたスペアワード線の存在する冗長ブロックを指定するプリデコード信号 R S F D が H レベルに立上がる。

【 0 0 9 0 】

一方、対応する冗長サブデコード信号 R S D および / R S D が活性化される。さらに、これをトリガとして、対応する冗長メインワード線を選択する冗長メインワード線選択信号が活性状態となる。

【 0 0 9 1 】

このように構成することにより、冗長未使用時の場合、ノーマルブロックに対するサブデコード信号 S D の活性化は、時刻 t 0 ~ t 1 の冗長判定期間 0 に完了し、ワード線の立上げは、メインワード線選択信号の到達にのみ律足されることになる。

【 0 0 9 2 】

一方、冗長使用時については、冗長用のワード線ドライバ（ドライバ 4 a ）の数は、正規のワード線ドライバ（ドライバ 4 b ）の数より少なく（1対64）、冗長用のドライバに係る負荷容量は、正規のドライバにかかる負荷容量より小さい。

【 0 0 9 3 】

また、冗長サブデコード線の活性化速度は速く、冗長サブデコード線の立上がり速度は、メインワード線の立上がり速度と同等もしくはそれ以上である。メインワード線はサブデコード線と比較して容量が小さいため、ワード線の立上がり速度が速くなる（2は、図34における20より短くなる）。

【 0 0 9 4 】

この結果、特にメモリブロック間を超えて置換可能な冗長ブロックを含む半導体記憶装置において、アクセス時間の短縮化を図ることが可能となる。

【 0 0 9 5 】

[実施の形態 2]

本発明の実施の形態 2 における半導体記憶装置について説明する。本発明の実施の形態 1 における半導体記憶装置 1 0 0 0 は、ノーマルブロックのロウアクセスと冗長ブロックのロウアクセスとを分離して制御することにより、高速アクセスを実現するものである。しかしながら、本発明の実施の形態 1 における構成では、 S D ドライバから W L ドライバへの配線、 W L ドライバ上の配線、および S D ドライバの数のが、それぞれ従来に比べて増加するため、レイアウト面積が増大してしまう。

【 0 0 9 6 】

そこで、本発明の実施の形態 2 においては、隣接するメモリブロック間で、サブデコード信号（正規および冗長いずれも）を共有する。これにより、アクセスの高速化およびレイアウト面積の縮小化を可能とする。

10

20

30

40

50

【0097】

本発明の実施の形態2における半導体記憶装置の主要部の構成について、図7を用いて説明する。図7は、本発明の実施の形態2における半導体記憶装置1200の主要部の構成の一例を示す図である。

【0098】

図7に示す半導体記憶装置1200は、複数のメモリプロック1.0、…、1.15を含む。各メモリプロックに対応して、MWLデコーダ／ドライバ31を配置する。

【0099】

メモリプロック1.0、…のそれぞれを挟む領域に、図示しないセンスアンププロックを配置する。隣接するメモリプロック同士は、センスアンププロックを共有する。 10

【0100】

各メモリプロックは、ノーマルプロック（図中記号NBL（0）、NBL（1）、…）と冗長プロック（図中記号RBL（0）、RBL（1）、…）とを含む。1のメモリプロックに対して、他のメモリプロックに存在する冗長プロックを使用して置換を行なうことが可能である。

【0101】

冗長プロックをメモリプロックの端部に配置し、隣接するメモリプロック間において、互いの冗長プロックがセンスアンププロックを挟んで向い合うように配置する。

【0102】

冗長サブデコード信号RSDを活性化するSDローカルドライバ32aは、冗長プロックに挟まれたセンスアンププロックに配置する。ノーマルプロックに対するサブデコード信号SDを活性化するSDローカルドライバ32bは、ノーマルプロックに挟まれたセンスアンププロックに配置する。 20

【0103】

SDローカルドライバ32aおよび32bのそれぞれは、各々を挟むように位置するノーマルプロックまたは冗長プロックに対応して配置される。具体的には、冗長プロックRBL（0）およびRBL（1）の間に位置するSDローカルドライバ32aは、両メモリプロックにおける冗長サブデコード信号RSDを活性化するために用いる。ノーマルプロックNBL（1）およびNBL（2）の間に位置するSDローカルドライバ32bは、両メモリプロックにおけるサブデコード信号SDを活性化するために用いる。 30

【0104】

SDローカルドライバ32bおよび32aの並びに対して、SDドライバ33を配置する。

【0105】

図8は、図7に示す本発明の実施の形態2におけるSDローカルドライバの構成の一例を示す図であり、一例として、メモリプロック1.1および1.2におけるノーマルプロックに対応するSDローカルドライバ32bと、メモリプロック1.0および1.1における冗長プロックに対応するSDローカルドライバ32aの構成を示す。

【0106】

SDローカルドライバに対しては、ロウプリデコーダ35およびブロック選択回路／SDドライバ34を配置する。 40

【0107】

ロウプリデコーダ35は、1ビットのアドレス信号RA9に応答して、2ビットのプリデコード信号XF2L（図中記号XF2L（0）～XF2L（1））を出力する。プリデコード信号XF2Lは、2つのメモリプロックのうちの1つを選択する。

【0108】

さらに、ロウプリデコーダ35は、3ビットのアドレス信号RA10～RA12に応答して、ノーマルプロックに対する8ビットのプリデコード信号XF2H（図中記号XF2H（0）～XF2H（7））を出力する。また、ロウプリデコーダ35は、3ビットのアドレス信号RA0～RA2に応答して、冗長プロックに対する8ビットのプリデコード信号 50

X F 0 (図中記号 X F 0 (0) ~ X F 0 (7)) を出力する。

【 0 1 0 9 】

ブロック選択回路 / S D ドライバ 3 4 は、プリデコード信号 X F 2 H に応答して、共通サブデコード信号 S D 1 / 2 (図中記号、 S D 1 / 2 (0) ~ S D 1 / 2 (7)) およびこれらを反転した信号 / S D 1 / 2 (図中記号 / S D 1 / 2 (0) ~ / S D 1 / 2 (7)) を出力する。

【 0 1 1 0 】

ブロック選択回路 / S D ドライバ 3 4 は、プリデコード信号 X F 0 に応答して、共通冗長サブデコード信号 R S D 0 / 1 (図中記号、 R S D 0 / 1 (0) ~ R S D 0 / 1 (7)) およびこれらを反転した信号 / R S D 0 / 1 (図中記号 / R S D 0 / 1 (0) ~ / R S D 0 / 1 (7)) を出力する。

10

【 0 1 1 1 】

S D ローカルドライバ 3 2 b は、 N A N D 回路 N 1 0 、 N 1 1 、 N 1 2 、および N 1 3 を含む。 N A N D 回路 N 1 0 は、ノーマルブロック N B L (1) のサブデコード信号 S D 1 (0) ~ S D 1 (7) に対応して配置する。 N A N D 回路 N 1 1 は、ノーマルブロック N B L (2) のサブデコード信号 S D 2 (0) ~ S D 2 (7) に対応して配置する。

【 0 1 1 2 】

N A N D 回路 N 1 2 は、ノーマルブロック N B L (1) のサブデコード信号 / S D 1 (0) ~ / S D 1 (7) に対応して配置する。 N A N D 回路 N 1 3 は、ノーマルブロック N B L (2) のサブデコード信号 / S D 2 (0) ~ / S D 2 (7) に対応して配置する。

20

【 0 1 1 3 】

N A N D 回路 N 1 0 および N 1 2 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L (0) を受ける。 N A N D 回路 N 1 1 および N 1 3 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L (1) を受ける。 N A N D 回路 N 1 0 および N 1 1 のそれとの他方の入力ノードは、共通サブデコード信号 S D 1 / 2 を受ける。 N A N D 回路 N 1 2 および N 1 3 のそれとの他方の入力ノードは、共通サブデコード信号 / S D 1 / 2 を受ける。

【 0 1 1 4 】

N A N D 回路 N 1 0 および N 1 2 のそれから、ノーマルブロック N B L (1) に対するサブデコード信号 S D 1 (0) ~ S D 1 (7) 、 / S D 1 (0) ~ / S D 1 (7) がそれぞれ出力される。 N A N D 回路 N 1 1 および N 1 3 のそれから、ノーマルブロック N B L (2) に対するサブデコード信号 S D 2 (0) ~ S D 2 (7) 、 / S D 2 (0) ~ / S D 2 (7) が出力される。

30

【 0 1 1 5 】

S D ローカルドライバ 3 2 a は、 N A N D 回路 N 1 4 、 N 1 5 、 N 1 6 、および N 1 7 を含む。 N A N D 回路 N 1 4 は、冗長ブロック R B L (0) の冗長サブデコード信号 R S D 0 (0) ~ R S D 0 (7) に対応して配置する。 N A N D 回路 N 1 5 は、冗長ブロック R B L (1) の冗長サブデコード信号 R S D 1 (0) ~ R S D 1 (7) に対応して配置する。 N A N D 回路 N 1 6 は、冗長ブロック R B L (0) の冗長サブデコード信号 / R S D 0 (0) ~ / R S D 0 (7) に対応して配置する。 N A N D 回路 N 1 7 は、冗長ブロック R B L (1) の冗長サブデコード信号 / R S D 1 (0) ~ / R S D 1 (7) に対応して配置する。

40

【 0 1 1 6 】

N A N D 回路 N 1 4 および N 1 6 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L (0) を受ける。 N A N D 回路 N 1 5 および N 1 7 のそれぞれの一方の入力ノードは、プリデコード信号 X F 2 L (1) を受ける。 N A N D 回路 N 1 4 および N 1 5 のそれとの他方の入力ノードは、共通冗長サブデコード信号 R S D 0 / 1 を受ける。 N A N D 回路 N 1 6 および N 1 7 のそれとの他方の入力ノードは、共通冗長サブデコード信号 / R S D 0 / 1 を受ける。

【 0 1 1 7 】

50

NAND回路N14およびN16のそれぞれから、冗長ブロックRBL(0)に対応する冗長サブデコード信号RSD0(0)～RSD0(7)、/RSD0(0)～/RSD0(7)がそれぞれ出力される。NAND回路N15およびN17のそれぞれから、冗長ブロックRBL(1)に対応する冗長サブデコード信号RSD1(0)～RSD1(7)、/RSD1(0)～/RSD1(7)がそれぞれ出力される。

【0118】

このように、ノーマルブロックにおけるロウアクセスと冗長ブロックにおけるロウアクセスとを切離して制御することにより、高速アクセスを可能とする。

【0119】

さらに、隣接するメモリブロック間でサブデコード信号SDおよび冗長サブデコード信号RSDを共有することにより、レイアウト面積を縮小することが可能となる。 10

【0120】

[実施の形態3]

本発明の実施の形態3における半導体記憶装置について図9を用いて説明する。本発明の実施の形態3における半導体記憶装置は、図7に示す半導体記憶装置1200に対応するものであり、図7および図8に示すSDローカルドライバ32aおよび32bに代えて、図9に示すSDローカルドライバ36aおよび36bを備える。

【0121】

図9は、本発明の実施の形態3におけるSDローカルドライバの構成の一例を示す図であり、一例として、メモリブロック1.1および1.2のノーマルブロックに対応するSDローカルドライバ36bと、メモリブロック1.0および1.1の冗長ブロックに対応するSDローカルドライバ36aの構成を示す。 20

【0122】

SDローカルドライバに対しては、ロウプリデコーダ35およびブロック選択回路/SDドライバ34を配置する。

【0123】

上述したように、ロウプリデコーダ35は、2ビットのプリデコード信号XF2L(図中記号XF2L(0)～XF2L(1))、8ビットのプリデコード信号XF2H(図中記号XF2H(0)～XF2H(7))、および8ビットのプリデコード信号XF0(図中記号XF0(0)～XF0(7))を出力する。 30

【0124】

ブロック選択回路/SDドライバ34は、共通サブデコード信号SD1/2(図中記号、SD1/2(0)～SD1/2(7))およびこれらを反転した信号/SD1/2(図中記号/SD1/2(0)～/SD1/2(7))、ならびに共通冗長サブデコード信号RSD0/1(図中記号、RSD0/1(0)～RSD0/1(7))およびこれらを反転した信号/RSD0/1(図中記号/RSD0/1(0)～/RSD0/1(7))を出力する。

【0125】

SDローカルドライバ36bは、図8に示すNAND回路N10、N11、N12、およびN13のそれぞれに代えて、トランスマルチゲートT10、T11、T12、およびT13を備える。 40

【0126】

トランスマルチゲートT10およびT12のそれぞれは、Hレベルのプリデコード信号XF2L(0)に応答して導通状態となる。トランスマルチゲートT11およびT13のそれぞれは、Hレベルのプリデコード信号XF2L(1)に応答して導通状態となる。

【0127】

トランスマルチゲートT10およびT11のそれぞれの一方の導通端子は、共通サブデコード信号SD1/2を受ける。トランスマルチゲートT12およびT13のそれぞれの一方の導通端子は、共通サブデコード信号/SD1/2を受ける。

【0128】

50

トランスマルチゲートT10およびT12のそれぞれの他方の導通端子から、メモリブロック1.1のノーマルブロックNBL(1)に対するサブデコード信号SD1(0)～SD1(7)、サブデコード信号/SD1(0)～/SD1(7)がそれぞれ出力される。トランスマルチゲートT11およびT13のそれぞれの他方の導通端子から、メモリブロック1.2のノーマルブロックNBL(2)に対するサブデコード信号SD2(0)～SD2(7)、/SD2(0)～/SD2(7)がそれぞれ出力される。

【0129】

SDローカルドライバ36bは、図8に示すNAND回路N14、N15、N16、およびN17のそれぞれに代えて、トランスマルチゲートT14、T15、T16、およびT17を備える。

10

【0130】

トランスマルチゲートT14およびT16のそれぞれは、Hレベルのプリデコード信号XF2L(0)に応答して導通状態となる。トランスマルチゲートT15およびT17のそれぞれは、Hレベルのプリデコード信号XF2L(1)に応答して導通状態となる。

【0131】

トランスマルチゲートT14およびT15のそれぞれの一方の導通端子は、共通冗長サブデコード信号RSD0/1を受ける。トランスマルチゲートT16およびT17のそれぞれの一方の導通端子は、共通冗長サブデコード信号/RSD0/1を受ける。

【0132】

トランスマルチゲートT14およびT15のそれぞれの他方の導通端子から、冗長ブロックRBL(0)に対する冗長サブデコード信号RSD0(0)～RSD0(7)、/RSD0(0)～/RSD0(7)がそれぞれ出力される。トランスマルチゲートT15およびT17のそれぞれの他方の導通端子から、冗長ブロックRBL(1)に対する冗長サブデコード信号RSD1(0)～RSD1(7)、/RSD1(0)～/RSD1(7)がそれぞれ出力される。

20

【0133】

このように、ノーマルブロックにおけるロウアクセスと冗長ブロックにおけるロウアクセスとを切離して制御することにより、高速アクセスを可能とする。

【0134】

また、隣接するメモリブロック間でデコーダを共有することにより、レイアウト面積を縮小することが可能となる。

30

【0135】

さらに、SDローカルデコーダを、構成素子数の多いNAND回路に代えて構成素子の少ないトランスマルチゲートで構成することにより、本発明の実施の形態2に比べて、レイアウト面積を縮小することが可能となる。

【0136】

[実施の形態4]

本発明の実施の形態4における半導体記憶装置について説明する。本発明の実施の形態4における半導体記憶装置は、ノーマルブロックに対するサブデコード信号の活性化に加えて、センスアンプ系についても冗長系と切離して制御することにより、さらにアクセス時間の短縮化を図るものである。

40

【0137】

本発明の実施の形態4における半導体記憶装置について図10を用いて説明する。図10は、本発明の実施の形態4における半導体記憶装置1400の全体構成の一例を示す図である。半導体記憶装置1400および1200と同じ構成要素には、同じ符号および同じ符号を付し、その説明を省略する。

【0138】

図10に示す半導体記憶装置1400は、ロウアドレスバッファ902、プリデコーダ22aおよび22b、MWLプリデコーダ22d、ブロック選択回路45、冗長判定回路46、ならびに複数のメモリブロック1.0、…、1.15を含む。

50

【0139】

メモリブロック1.0、…のそれぞれを挟む領域に、センスアンプS/Aを配置する。隣接するメモリブロック同士は、センスアンプS/Aを共有する。複数のセンスアンプS/Aを含むセンスアンプブロックに対応して、SDドライバ・S/A帯制御信号用ドライバ42を配置する。SDドライバ・S/A帯制御信号ドライバ42におけるS/A帯制御信号ドライバ部分は、非選択のメモリブロックを分離するためのシェアードゲート信号、およびビット線対をイコライズするためのイコライズ信号を出力する。SDドライバ・S/A帯制御信号ドライバ42におけるSDドライバ部分は、サブデコード信号を活性化する。

【0140】

メモリブロック1.0、…のそれぞれに対して、MWLデコーダ/ドライバ41を配置する。図10における記号WLDは、WLドライバを示す。

【0141】

メモリブロック1.0、…の配列の両端部分に位置するメモリブロック1.0および1.15は、冗長ブロック40aおよび40bを含む。その他のメモリブロック1.1、…、1.14は、冗長ブロックを含まない。メモリブロック1.1、…、1.14のそれぞれは、ノーマルブロックNBL(1)、NBL(2)、…のそれぞれを含む。

【0142】

冗長ブロック40aおよび40bのそれぞれに対応して、冗長用のRMWLドライバ43aおよび43bを配置する。

【0143】

本発明の実施の形態4においては、従来各ブロック毎に分散して配置していた冗長ブロックを、2個所に集中して配置する。スペアワード線SWLは、冗長メインワード線が活性化した場合にのみ活性化される。

【0144】

冗長判定回路46は、アドレス信号RA0～RA12に基づき、2種類の判定信号RHITおよびRMISSを出力する。判定信号RHITおよびRMISSは、初期状態においてLレベルである。冗長未使用であると判定された場合、判定信号RMISSがHレベルになり、冗長使用であると判定された場合、判定信号RHITがHレベルになる。MWLプリデコーダ22dは、判定信号RMISSに応答して、プリデコード信号を出力する。

【0145】

ブロック選択回路45は、判定信号RHITおよびRMISSに応答して、プリデコーダ22aから受けるプリデコード信号XF2(図中記号XF2(0)～XF2(15))に基づき、ブロック選択信号BS(0)～BS(15)を出力する。

【0146】

図11は、図10に示す本発明の実施の形態4におけるブロック選択回路45の構成の一例を示す図であり、参考のため、プリデコーダ22aを併せて示している。ブロック選択回路45は、インバータI10、I11およびI12を含む。

【0147】

インバータI10は、判定信号RHITを反転した信号/RHITを出力する。インバータI11は、RMISSを反転した信号/RMISSを出力する。インバータI12は、アドレス信号RA12を反転したアドレス信号/RA12を出力する。

【0148】

後述するように、アドレス信号RA12および/RA12は、メモリブロック1.0～1.7に対しては、メモリブロック1.15を活性化し、メモリブロック1.8～1.15に対しては、メモリブロック1.0を活性化するために使用する。

【0149】

図11に示すブロック選択回路45は、冗長ブロックを有しないメモリブロックに対して、NAND回路N20.1、…、N20.14、およびインバータI13.1、…、I13.14を配置する。

10

20

30

40

50

【0150】

NAND回路N20.1、…、N20.14のそれぞれの入力ノードは、プリデコーダ22aから出力されるプレデコード信号XF2(1)～(14)をそれぞれ受ける。また、NAND回路N20.1、…、N20.14のそれぞれの入力ノードは、信号/RHITを受ける。インバータI13.1、…、I13.14のそれぞれは、NAND回路N20.1、…、N20.14のそれぞれの出力を反転する。インバータI13.1、…、I13.14のそれから、ブロック選択信号BS(1)、…、BS(14)がそれぞれ出力される。

【0151】

ブロック選択回路45はさらに、冗長ブロック40aを有するメモリブロック1.0に対して、NAND回路N21a、N22a、およびN23a、ならびにインバータI14aを配置する。インバータI14aは、プリデコード信号XF2(0)を反転した信号/XF2(0)を出力する。

10

【0152】

NAND回路N21aは、信号/RHIT、アドレス信号RA12、およびプリデコード信号XF2(0)を入力に受ける。NAND回路N22aは、信号/RMIS、アドレス信号/RA12、および信号/XF2(0)を入力に受ける。

【0153】

NAND回路N23aは、NAND回路N21aおよびN22aのそれぞれの出力を受け、メモリブロック1.0に対応するブロック選択信号BS(0)を出力する。

20

【0154】

ブロック選択回路45はさらに、冗長ブロック40bを有するメモリブロック1.15に対して、NAND回路N21b、N22bおよびN23b、ならびにインバータI14bを配置する。インバータI14bは、プリデコード信号XF2(15)を反転した信号/XF2(15)を出力する。

【0155】

NAND回路N21bは、信号/RHIT、アドレス信号RA12、およびプリデコード信号XF2(15)を入力に受ける。NAND回路N22bは、信号/RMIS、アドレス信号/RA12、および信号/XF2(15)を入力に受ける。

30

【0156】

NAND回路N23bは、NAND回路N21bおよびN22bのそれぞれの出力を受け、メモリブロック1.15に対応するブロック選択信号BS(15)を出力する。

【0157】

図12は、図10に示す本発明の実施の形態4におけるSDドライバの構成を示す図である。図12に示す構成は、図10におけるSDドライバ・S/A帯制御信号ドライバ42に含まれる。

【0158】

図12に示すSDドライバは、NAND回路N24、レベル変換回路S5、ならびにインバータI5を含む。NAND回路N24は、プリデコーダ22bから出力されるプリデコード信号XF0(i)およびXF0(h)(i、h=0、1、…)、ならびに対応するブロック選択信号BSを入力に受ける。シストレジスタS5は、NAND回路N24の出力を受け、対応するサブデコード信号/SDを出力する。インバータI15は、レベル変換回路S5の出力を受け、対応するサブデコード信号SDを出力する。

40

【0159】

図13は、図10に示す本発明の実施の形態4におけるMWLドライバの構成の一例を示す図であり、代表例として、1のメモリブロックに対応するMWLドライバの構成を示す。なお、参考のため、MWLプリデコーダ22dを併せて示している。

【0160】

MWLプリデコーダ22dの基本構成は、MWLプリデコーダ22cと同じである。MWLプリデコーダ22dは、アドレス信号RA3～RA8に応答して、プリデコード信号X

50

F 1 L (0) ~ X F 1 L (3) 、 プリデコード信号 X F 1 M (0) ~ X F 1 M (3) 、 プリデコード信号 X F 1 H (0) ~ X F 1 H (3) を出力する。

【 0 1 6 1 】

図 13 に示す MWL ドライバは、 NAND 回路 N 25 . 0 、 ... 、 N 25 . 6 3 、 レベル変換回路 S 6 . 0 、 ... 、 S 6 . 6 3 、 およびインバータ I 16 . 0 、 ... 、 I 16 . 6 3 を含む。 NAND 回路 N 25 . 0 、 ... 、 N 25 . 6 3 、 レベル変換回路 S 6 . 0 、 ... 、 S 6 . 6 3 、 およびインバータ I 16 . 0 、 ... 、 I 16 . 6 3 のそれぞれは、 ノーマルブロックにおけるメインワード線に対応して配置する。

【 0 1 6 2 】

たとえば、 NAND 回路 N 25 . 0 は、 MWL プリデコーダ 22d から対応するプリデコード信号 X F 1 L (0) ~ X F 1 L (3) 、 X F 1 H (0) ~ X F 1 H (3) 、 X F 1 M (0) ~ X F 1 M (3) を受ける。 インバータ I 16 . 0 は、 対応する レベル変換回路 S 6 . 0 を介して、 NAND 回路 N 25 . 0 の出力を受け、 対応するメインワード線選択信号 / MWL (0) を出力する。

【 0 1 6 3 】

図 13 に示す MWL ドライバはさらに、 レベル変換回路 S 7 . 0 、 ... 、 S 7 . k およびインバータ I 17 . 0 、 ... 、 I 17 . k を含む。 レベル変換回路 S 7 . 0 、 ... 、 S 7 . k およびインバータ I 17 . 0 、 ... 、 I 17 . k のそれぞれは、 冗長メインワード線 RMWL (0) 、 ... 、 RMWL (k) のそれぞれに対応して配置する。

【 0 1 6 4 】

たとえば、 レベル変換回路 S 7 . 0 は、 冗長判定回路 46 の出力する信号 RMWL (0) を受ける。 インバータ I 17 . 0 は、 対応する レベル変換回路 S 7 . 0 の出力を反転して、 対応する冗長メインワード線選択信号 / RMWL (0) を出力する。

【 0 1 6 5 】

図 14 は、 図 10 に示す本発明の実施の形態 4 における S / A 帯制御信号ドライバの構成を示す図である。 図 14 に示す構成は、 図 10 における SD ドライバ・ S / A 帯制御信号ドライバ 42 に含まれる。

【 0 1 6 6 】

図 14 に示す S / A 帯制御信号ドライバは、 NAND 回路 N 26 、 レベル変換回路 S 8a および S 8b 、 ならびにインバータ I 17a および I 17b を含む。

【 0 1 6 7 】

インバータ I 17a は、 対応するブロック選択信号 B S (i) を反転して出力する。 インバータ I 17b は、 隣接するメモリブロックに対応するブロック選択信号 B S (i + 1) を反転して出力する。 NAND 回路 N 26 は、 インバータ I 17a および I 17b の出力を受ける。 NAND 回路 N 26 から対応するイコライズ信号 B L E Q が出力される。

【 0 1 6 8 】

レベル変換回路 S 8a は、 インバータ I 17a の出力を受けて、 一方のシェアードゲート信号 S H R (U) を出力する。 レベル変換回路 S 8b は、 インバータ I 17b の出力を受けて、 他方のシェアードゲート信号 S H R (D) を出力する。 メモリブロックが選択されると、 冗長判定の有無に問わらず、 非選択のメモリブロック側を分離するシェアードゲート信号、 およびビット線対をイコライズするイコライズ信号 B L E Q を非活性化する。

【 0 1 6 9 】

次に、 本発明の実施の形態 4 における半導体記憶装置の動作について、 タイミングチャートである図 15 を参照して説明する。

【 0 1 7 0 】

図 15 は、 本発明の実施の形態 4 における半導体記憶装置 1400 の動作を説明するためのタイミングチャートである。

【 0 1 7 1 】

外部制御信号に応答して、 アクト信号 A C T が H レベルの活性状態になり、 ロウアドレス信号が取込まれる。 この時点で、 判定信号 R H I T および R M I S は、 ともに L レベルの

10

20

30

40

50

状態にある。

【0172】

冗長ブロックを有しないメモリブロック1.2が選択されたとする。時刻t0においてアクト信号ACTにより、ロウ系がアクティブになると同時に(時刻t0)に、対応するサブデコード信号SDおよび/SDが活性化、シェアードゲート信号SHRおよびイコライズ信号BLEQが非活性化する。冗長ブロックについても、対応する冗長サブデコード信号RSDおよび/RSDが活性化、シェアードゲート信号SHRおよびイコライズ信号BLEQが非活性化する。

【0173】

時刻t0～t1において、冗長判定回路46が、冗長使用/未使用の判定処理を行う。時刻t1において、判定結果として、判定信号RHIT、RMIS、および冗長メインワード線選択信号/RMWL(0)～(k)が出力される。

10

【0174】

冗長メインワード線選択信号は、対応する冗長メインワード線を選択状態にする信号であって、初期状態においては、すべてLレベルの状態にある。

【0175】

冗長未使用の場合には、判定信号RMISがHレベル(実線部分)になる。判定信号RMISがHレベルに立上ることにより、メモリブロック1.0および1.15の選択が解除され、活性状態のサブデコード信号SDおよび/SDが非活性化される。シェアードゲート信号SHRおよびイコライズ信号BLEQは、非活性となる。

20

【0176】

また、判定信号RMISがHレベルに立上ることにより、MWLプリデコード22dから出力されるプリデコード信号のいずれか1つがLレベルからHレベルに立上がる。これにより、対応するメインワード線選択信号が活性化し、ノーマルブロックのワード線WLが選択状態となる。

【0177】

冗長使用の場合には、判定信号RHITがHレベル(点線部分)になる。置換先の冗長メインワード線選択信号が活性化(Hレベル)される。

【0178】

判定信号RHITがHレベルに立上ることにより、ロウアドレスにより選択されていたメモリブロック1.2が非選択化される。これと同時に1つの冗長メインワード線選択信号が活性化される。対応するスペアワード線SWLが選択状態になる。

30

【0179】

このように、時刻t0～t1の判定処理期間0に、ノーマルブロックについてのサブデコード信号SDの活性化、およびセンスアンプの活性化を制御するシェアードゲート信号等を非活性化することにより、続く時刻t1～t2の期間1では、メインワード線の立下げと、ワード線の立上げを行うだけでよいため、ワード線を立上げに要する時間を短縮することが可能となる。

【0180】

図16は、本発明の実施の形態4における置換を示す図である。図16に示すように、半導体記憶装置1400においては、ノーマルブロックNBL(0)～NBL(7)に対しては、メモリブロック1.15に位置する冗長ブロック40bを使用し、ノーマルブロックNBL(8)～NBL(15)に対しては、メモリブロック1.0に位置する冗長ブロック40aを使用する。これは、隣合うメモリブロックへ置換した場合、2つのメモリブロック間に挟まれたセンスアンプブロックのシェアードゲート信号SHRを一旦非活性化し、冗長判定後のワード線の立上げまでにもう一度活性化する必要が生じるためである。これによると、ワード線の立上げに時間を要するからである。

40

【0181】

なお、本発明は、図16に示す置換に限られず、図17および図18に示す構成で置換を行っても同様の効果が得られる。

50

【0182】

図17および図18は、本発明の実施の形態4における他の置換の例を示す図である。図17に示す構成では、奇数番目のノーマルブロックNBL(1)、NBL(3)、...については、冗長ブロック40aを用いて置換する。偶数番目のノーマルブロックNBL(0)、NBL(2)、...については、冗長ブロック40bを用いて置換する。

【0183】

また、図18に示す構成では、1つの冗長ブロック40aに対して専用のセンスアンプブロックを備える。全てのノーマルブロックNBL(0)、NBL(1)、...について、冗長ブロック40aを用いて置換する。この場合であっても、アドレス信号の入力とともに、センスアンプに対する信号を制御することにより、高速アクセスが可能となる。

10

【0184】

なお、階層ワード線構成でない場合であっても、本発明は適用可能であり、アクセスの高速化が図れる。

【0185】

[実施の形態5]

本発明の実施の形態5における半導体記憶装置について説明する。本発明の実施の形態5は、冗長セルが物理的に救済範囲内に分散して存在する半導体記憶装置において、サブデコード信号(正規および冗長)を一括して活性化し、冗長判定後に活性化したサブデコード信号のなかから必要な信号を選択することにより、高速アクセスを図るものである。

【0186】

20

本発明の実施の形態5における半導体記憶装置について図19を用いて説明する。図19は、本発明の実施の形態5における半導体記憶装置1500の主要部の構成の一例を示す図である。半導体記憶装置1000～1400と同じ構成要素には、同じ符号および同じ符号を付し、その説明を省略する。

【0187】

図19に示す半導体記憶装置は、冗長救済範囲REDにおいて、冗長メインワード線RMWLが分散して存在する。複数のセンスアンプS/Aから構成されるセンスアンプ列により区切られたブロック毎に、1本の冗長メインワード線RMWLを配置する。ノーマルブロックに対するサブデコード信号を伝送するサブデコード線SD0、SD1、...と冗長ブロックに対するサブデコード信号を伝送する冗長サブデコード線RSD0、RSD1、...とを平行に配置する。

30

【0188】

ノーマルブロックにおけるサブデコード線(たとえば、SD1およびSD2)に対して、置換する可能性のある全ての冗長サブデコード線RSD1、...、RSD4を同時に活性化する。

【0189】

図20は、図19における半導体記憶装置1500の要部の構成を示す図である。図3に示す構成と同じ構成要素には、同じ記号および符号を付し、その説明を省略する。

【0190】

図20における構成では、図3に示す冗長判定回路20に代わって、冗長判定回路50を備える。冗長判定回路50は、アドレス信号に応答して、対応するブロックを指定する16ビットの信号RSDRST(0)、...、RSDRST(15)を出力する。MWLデコーダ25.nは、プリデコード信号RSDF(0)、...、RSDF(15)に代わって、プリデコード信号RSDRST(0)、...、RSDRST(15)を受ける。

40

【0191】

16ビットの信号RSDRST(0)、...、RSDRST(15)は、冗長判定前は、すべてHレベルである。いずれかのプリデコード信号XF0が活性化されると、対応する冗長サブデコード線RSD0～RSD15が活性化する。

【0192】

冗長判定後、信号RSDRST(0)、...、RSDRST(15)のいずれか1つを残し

50

て、他の信号（非選択）がLレベルになる。

【0193】

次に、本発明の実施の形態5における半導体記憶装置の動作について、タイミングチャートである図21および図22を参照して説明する。図21および図22は、図19に示す本発明の実施の形態5における半導体記憶装置1500の動作を説明するためのタイミングチャートである。

【0194】

ロウアクセス時、アドレス信号RA0～RA12に応答して、置換可能性のある全ての冗長サブデコード信号を活性化する。

【0195】

具体的には、ノーマルブロックにおけるサブデコード線（図19におけるSD1およびSD2）と、冗長救済範囲内REDにある全ての冗長サブデコード線（図19におけるRSD1、…、RSD4、…）とを活性化する。

【0196】

冗長判定後、対応する冗長サブデコード信号またはサブデコード信号の一方のみを残し、他を非活性化する。この結果、ノーマルブロックまたは冗長ブロックにおけるいずれか一方のワード線が活性化（図21における記号a）し、他方のワード線が非活性化（図21における記号b）する。

【0197】

サブデコード信号の活性化の過程で、冗長判定を行わない。このため、アクセス速度は、冗長救済範囲REDが、センスアンプブロックで区切られたブロック内に限定される場合と同じである。

【0198】

[実施の形態6]

本発明の実施の形態6における半導体記憶装置について説明する。本発明の実施の形態6における半導体記憶装置は、冗長判定前にサブデコード信号（ノーマルブロックおよび冗長ブロック）を中間電位まで立上げておくことにより、アクセス時間の短縮を図るものである。

【0199】

本発明の実施の形態6における半導体記憶装置の主要部の構成について、図23を用いて説明する。図23は、本発明の実施の形態6における半導体記憶装置1600の主要部の構成の一例を示す図である。

【0200】

図23に示す半導体記憶装置1600は、複数のメモリブロックに分割されるメモリセルアレイ65、入力バッファ61、プリデコーダ62および64、ドライバ63、および冗長判定回路60を含む。

【0201】

入力バッファ61は、外部から外部アドレス信号を取込む。冗長判定回路60は、入力バッファ61から受けるアドレス信号に基づき、冗長判定を行う。判定結果として、判定信号HITおよびMISSを出力する。

【0202】

プリデコーダ62は、入力バッファ61から受けるアドレス信号に基づき、リセット信号RST0、…を出力する。プリデコーダ64は、入力バッファ61から受けるアドレス信号をデコードする。ドライバ63は、プリデコーダ64の出力するデコード信号に基づき、メモリセルアレイ65のワード線またはスペアワード線を選択状態とする。

【0203】

図24は、図23に示す本発明の実施の形態6におけるメモリセルアレイ65の構成を示す図である。図24に示すようにメモリセルアレイ65は、ノーマルブロックB0、…、B3のそれぞれに対して、冗長ブロックS0、…、S3を配置する。ノーマルブロックと冗長ブロックとに対して、センスアンプブロック66を配置する。半導体記憶装置160

10

20

30

40

50

0は、階層ワード線方式の構成を備える。

【0204】

図25は、図23に示す本発明の実施の形態6におけるノーマルブロックに対する回路構成を示す図であり、図26は、図23に示す本発明の実施の形態6における冗長ブロックに対する回路構成を示す図である。本発明の実施の形態6においては、ノーマルブロックと冗長ブロックとでサブデコード信号を伝送する伝送線を分割する。

【0205】

図25を参照して、ノーマルブロックでは、1本のメインワード線M WLに対して、4本のワード線S WLを配置する。4本のワード線S WLのいずれか1本を選択するためのサブデコード信号を伝送する信号線として、サブデコード線S D 0、S D 1、S D 2およびS D 3を配置する。

10

【0206】

各サブデコード線に対して、PMOSトランジスタP T 3 0およびP T 3 2、ならびにNMOSトランジスタN T 3 0およびN T 3 2を配置する。PMOSトランジスタP T 3 0およびNMOSトランジスタN T 3 0は、中間電位V C Cと接地電位との間に直列に接続される。PMOSトランジスタP T 3 2およびNMOSトランジスタN T 3 2は、電源電位V P Pと接地電位との間に直列に接続される。

【0207】

PMOSトランジスタP T 3 0とNMOSトランジスタN T 3 0との接続ノード、およびPMOSトランジスタP T 3 2とNMOSトランジスタN T 3 2との接続ノードは、対応するサブデコード線と接続される。

20

【0208】

PMOSトランジスタP T 3 2のゲート電極は、判定信号M I S Sを反転した信号/M I S Sを受ける。NMOSトランジスタN T 3 2のゲート電極は、判定信号H I Tを受ける。

【0209】

サブデコード線S D 0、S D 1、S D 2、S D 3のそれぞれのNMOSトランジスタN T 3 0のゲート電極に対して、リセット信号R S T 0、R S T 1、R S T 2、R S T 3がそれぞれ与えられる。

30

【0210】

サブデコード線S D 0、S D 1、S D 2、S D 3のそれぞれのPMOSトランジスタP T 3 0のゲート電極に対して、プリチャージ信号/P C 0、/P C 1、/P C 2、/P C 3がそれぞれ与えられる。

【0211】

図26を参照して、冗長ブロックでは、1本の冗長メインワード線S M WLに対して、4本のスペアワード線S S WLを配置する。4本のスペアワード線S S WLのいずれか1本を選択するための冗長サブデコード信号を伝送する信号線として、冗長サブデコード線S S D 0、S S D 1、S S D 2およびS S D 3を配置する。

【0212】

各冗長サブデコード線に対して、PMOSトランジスタP T 3 4およびP T 3 6、ならびにNMOSトランジスタN T 3 4およびN T 3 6を配置する。PMOSトランジスタP T 3 4およびNMOSトランジスタN T 3 4は、中間電位V C Cと接地電位との間に直列に接続される。PMOSトランジスタP T 3 6およびNMOSトランジスタN T 3 6は、電源電位V P Pと接地電位との間に直列に接続される。

40

【0213】

PMOSトランジスタP T 3 4とNMOSトランジスタN T 3 4との接続ノード、およびPMOSトランジスタP T 3 6とNMOSトランジスタN T 3 6との接続ノードは、対応する冗長サブデコード線と接続される。

【0214】

PMOSトランジスタP T 3 6のゲート電極は、判定信号H I Tを反転した信号/H I T

50

を受ける。N M O SトランジスタN T 3 6のゲート電極は、判定信号M I S Sを受ける。

【0215】

冗長サブデコード線S S D 0、S S D 1、S S D 2、S S D 3のそれぞれのN M O SトランジスタN T 3 4のゲート電極に対して、リセット信号R S T 0、R S T 1、R S T 2、R S T 3がそれぞれ与えられる。

【0216】

冗長サブデコード線S S D 0、S S D 1、S S D 2、S S D 3のそれぞれのP M O SトランジスタP T 3 4のゲート電極に対して、プリチャージ信号/ P C 0、/ P C 1、/ P C 2、/ P C 3がそれぞれ与えられる。

【0217】

バンク活性信号が入力されると、入力したアドレス信号（上位）をデコードした信号に基づき、対応するワード線S W Lおよびスペアワード線S S W Lに関するサブデコード線および冗長サブデコード線を同時に活性化する。この時点での活性化レベルを中間電位V C Cに設定する。

【0218】

冗長判定の結果が出された時点で、ノーマルブロックのサブデコード線を活性化するか、冗長ブロックの冗長サブデコード線を活性化するかを選択する。選択されたサブデコード線（冗長サブデコード線）については、電源電位V P Pレベルにまで電圧レベルを上げる。非選択のサブデコード線（冗長サブデコード線）については、非活性化させる。

【0219】

次に、本発明の実施の形態6における半導体記憶装置1600の動作について、タイミングチャートである図27を参照して説明する。

【0220】

図27は、本発明の実施の形態6における半導体記憶装置1600の動作を説明するためのタイミングチャートである。半導体記憶装置1600は、内部クロック信号C L Kに同期して動作する。アドレス信号に対して、サブデコード線S D 0が選択されるものとする。

【0221】

あるバンクB K 0に対するアクト信号A C T 0が入力されると、フラグB A f l a g 0が活性化される。バンクB K 0に対応するプリチャージ信号/ P C (B 0)が一時的に活性化する。バンクB K 0に対応するリセット信号R S T 0 (B 0)が非活性化する。このフラグB A f l a g 0に基づき、アドレス信号に対応して、サブデコード線S D 0および冗長サブデコード線S S D 0がプリチャージされる。

【0222】

ここで、選択されるノーマルブロックのメモリセルが正常である場合、判定信号M I S Sが活性化される。これにより、サブデコード線S D 0の電位が、電源電位V P Pレベルにまで上昇する。冗長サブデコード線S S D 0の電位は、接地電位レベルにまで低下する。

【0223】

その後、対応するメインワード線M W Lが活性化されることにより、選択されたワード線S W Lが選択状態となる。この状態は、バンクの活性化をリセットする信号B a n k R S T 0の入力まで保持される。

【0224】

バンクB K 1に対するアクト信号A C T 1が入力されると、フラグB A f l a g 1が活性化される。バンクB K 1に対応するプリチャージ信号/ P C (B 1)が一時的に活性化する。バンクB K 1に対応するリセット信号R S T 0 (B 1)が非活性化する。このフラグB A f l a g 1に基づき、アドレス信号に対応して、サブデコード線S D 0および冗長サブデコード線S S D 0がプリチャージされる。

【0225】

ここで、選択されるノーマルブロックのメモリセルが不良である場合、判定信号H I T (B 1)が活性化される。これにより、冗長サブデコード線S S D 0の電位が、電源電位V

10

20

30

40

50

PP レベルにまで上昇する。サブデコード線 S D 0 の電位は、接地電位レベルにまで低下する。

【 0 2 2 6 】

その後、対応する冗長メインワード線 S M W L が活性化されることにより、選択されたスペアード線 S S W L が選択状態となる。この状態は、バンクの活性化をリセットする信号 B a n k R S T 1 の入力まで保持される。

【 0 2 2 7 】

このように、上位のアドレス信号をデコードした結果を用いることで、冗長判定に関係なく、サブデコード線および冗長サブデコード線を高速に中間レベルにまで活性化できる。

【 0 2 2 8 】

そして、中間電位にまで活性化させておくことで、冗長判定の結果を用いて、高速にワード線を選択することが可能となる。

【 0 2 2 9 】

なお、電源電位 V P P のような高電位を使用することなく、活性レベルを中間電位 V C C とすることで、消費電力を抑えることが可能となる。また、電源電位を発生させる回路の負担を軽減することが可能となる。

【 0 2 3 0 】

[実施の形態 7]

本発明の実施の形態 7 における半導体記憶装置について説明する。本発明の実施の形態 7 における半導体記憶装置は、複数のノーマルブロックを含むバンク毎に専用の冗長ブロックを配置することにより、救済効率の向上を図るものである。

【 0 2 3 1 】

図 2 8 は、本発明の実施の形態 7 における半導体記憶装置 1 7 0 0 のメモリマットの構成を示す図である。図 2 8 に示すメモリマットは、2 つのバンク B 0 および B 1 を配置する。

【 0 2 3 2 】

バンク B 0 および B 1 はそれぞれ、正規のメモリセルから構成されるノーマルブロック N B L (0) 、 ... 、 N B L (m) を含み、シェアードセンスアンプ方式の構成 (センスアンプブロック 7 0) をとる。

【 0 2 3 3 】

さらに、バンク B 0 および B 1 はそれぞれ、冗長セルから構成される冗長ブロック R B L (0) および冗長ブロック R B L (1) を含む。冗長ブロック R B L (0) および冗長ブロック R B L (1) は、ともにシェアードセンスアンプ方式の構成 (センスアンプブロック 7 0) をとる。

【 0 2 3 4 】

バンク B 0 におけるノーマルブロックに対しては、同一バンクにおける冗長ブロック R B L (0) を用いて置換を行なう。バンク B 1 におけるノーマルブロックに対しては、同一バンクにおける冗長ブロック R B L (1) を用いて置換を行なう。

【 0 2 3 5 】

バンク B 0 および B 1 は、内部クロック信号に応答して動作し、しかも互いに独立して動作することが可能である。

このように、バンクの各々に対して独立して冗長ブロックを配置することにより、高速な救済が可能となる。

【 0 2 3 6 】

[実施の形態 8]

本発明の実施の形態 8 における半導体記憶装置について説明する。本発明の実施の形態 8 における半導体記憶装置は、実施の形態 7 における半導体記憶装置に対して、センスアンプの共有化を図ることにより、救済効率の向上およびレイアウト面積の削減を図るものである。

【 0 2 3 7 】

10

20

30

40

50

図29は、本発明の実施の形態8における半導体記憶装置1800のメモリマットの構成を示す図である。図28に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

【0238】

図29に示すメモリマットは、2つのバンクB0およびB1を含む。バンクB0におけるノーマルブロックNBL(0)、...、NBL(m)、ならびに冗長ブロックRBL(0)は、シェアードセンスアンプ方式の構成(センスアンプブロック70)をとる。バンクB1におけるノーマルブロックNBL(0)、...、NBL(m)、ならびに冗長ブロックRBL(1)は、シェアードセンスアンプ方式の構成(センスアンプブロック70)をとる。

10

【0239】

バンクB0に対応する冗長ブロックRBL(0)と、同じバンクB0に属するノーマルブロックNBL(0)とで、センスアンプブロック70を共有する。

【0240】

バンクB1に対応する冗長ブロックRBL(1)と、同じバンクB0に属するノーマルブロックNBL(m)とで、センスアンプブロック70を共有する。

【0241】

このように構成することにより、高速な救済が可能となるとともに、レイアウト面積を削減することが可能となる。

【0242】

20

[実施の形態9]

本発明の実施の形態9における半導体記憶装置について説明する。本発明の実施の形態9における半導体記憶装置は、実施の形態8における半導体記憶装置に対して、図30に示す構成をとる。

【0243】

図30は、本発明の実施の形態9における半導体記憶装置1900のメモリマットの構成を示す図である。図29に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

【0244】

図30に示すメモリマットは、2つのバンクB0およびB1を含む。バンクB0におけるノーマルブロックNBL(0)、...、NBL(m)、ならびに冗長ブロックRBL(0)は、シェアードセンスアンプ方式の構成(センスアンプブロック70)をとる。バンクB1におけるノーマルブロックNBL(0)、...、NBL(m)、ならびに冗長ブロックRBL(1)は、シェアードセンスアンプ方式の構成(センスアンプブロック70)をとる。

30

【0245】

冗長ブロックRBL(0)およびRBL(1)は、バンクB0とB1とで挟まれる領域に配置する。

【0246】

バンクB0に対応する冗長ブロックRBL(0)と、同じバンクB0に属するノーマルブロックNBL(m)とで、センスアンプブロック70を共有する。

40

【0247】

バンクB1に対応する冗長ブロックRBL(1)と、同じバンクB0に属するノーマルブロックNBL(0)とで、センスアンプブロック70を共有する。

【0248】

このように構成することにより、高速な救済が可能となるとともに、レイアウト面積を削減することが可能となる。

【0249】

[実施の形態10]

本発明の実施の形態10における半導体記憶装置について説明する。

50

【0250】

図31は、本発明の実施の形態10における半導体記憶装置2000のメモリマットの構成を示す図である。図30に示す構成と同じ部分には、同じ記号を付しその説明を省略する。

【0251】

図31に示すメモリマットは、2以上の複数のバンクB0、…、Bnを含む。各バンクは、ノーマルブロック（図中記号NBL(0)、NBL(1)、…）と冗長ブロック（図中記号RBL(0)、RBL(1)、…）とを備える。各バンクにおける冗長ブロックは、同一のブロックに属するノーマルブロックを置換するために用いる。各バンクは、内部クロック信号に応答して独立に動作する。このように構成することにより、高速な救済が可能となる。 10

【0252】

【発明の効果】

請求項1に係る半導体記憶装置によれば、異なるメモリブロックにおける冗ブロックを用いて置換可能な半導体記憶装置において、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態するために必要な制御（信号発生）を行なうことにより、高速なアクセスが可能となる。

【0256】

請求項2および請求項7に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態するために必要な活性化信号を活性化し、さらに冗長判定後に必要な信号を残して非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。 20

【0257】

請求項3、請求項4および請求項8に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、冗長判定の判定処理と独立して、対応するセンサアンプについての制御信号を発生しておく。また冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態するために必要な活性化信号を活性化し、さらに冗長判定後に必要な信号を残して非活性化させる。これにより、高速アクセスが可能となる。

【0258】

請求項5および請求項6に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態するために必要な活性化信号を中間レベルに立上げ、さらに冗長判定後に必要な信号を活性化し、他の信号を非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。また、中間レベルの電源電圧を使用するため、周辺回路への負担を抑え、消費電力を低減させることができる。 30

【0259】

請求項9に係る半導体記憶装置は、冗長ブロックを有する半導体記憶装置において、冗長使用の判定処理と独立して、ワード線および冗長ワード線を選択状態するために必要な活性化信号を中間レベルに立上げ、さらに冗長判定後に必要な信号を活性化し、他の信号を非活性化させる。これにより、冗長未使用の場合、高速なアクセスが可能となる。 40

【0260】

請求項10および請求項11に係る半導体記憶装置は、請求項9に係る半導体記憶装置であって、中間レベルの電源電圧を使用するため、周辺回路への負担を抑え、消費電力を低減させることができる。

【0261】

請求項12に係る半導体記憶装置は、請求項11に係る半導体記憶装置であって、冗長判定のタイミングでなく、デコードのタイミングで必要な信号を活性化させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体記憶装置1000の全体構成を示す図で 50

ある。

【図2】 図1に示す本発明の実施の形態1におけるWLドライバ4の構成を示す図である。

【図3】 図1に示す本発明の実施の形態1におけるロウアドレス系デコード回路21の主要部の構成を示す図である。

【図4】 図3に示す本発明の実施の形態1におけるMWLプリデコーダ22cの構成を示す図である。

【図5】 本発明の実施の形態1におけるMWLドライバの構成を示す図である。

【図6】 本発明の実施の形態1における半導体記憶装置1000の動作を説明するためのタイミングチャートである。 10

【図7】 本発明の実施の形態2における半導体記憶装置1200の主要部の構成の一例を示す図である。

【図8】 図7に示す本発明の実施の形態2におけるSDローカルドライバの構成の一例を示す図である。

【図9】 本発明の実施の形態3におけるSDローカルドライバの構成の一例を示す図である。

【図10】 本発明の実施の形態4における半導体記憶装置1400の全体構成の一例を示す図である。 20

【図11】 図10に示す本発明の実施の形態4におけるブロック選択回路45の構成の一例を示す図である。

【図12】 図10に示す本発明の実施の形態4におけるSDドライバの構成の一例を示す図である。

【図13】 図10に示す本発明の実施の形態4におけるMWLドライバの構成の一例を示す図である。

【図14】 図10に示す本発明の実施の形態4におけるS/A制御信号ドライバの構成を示す図である。

【図15】 本発明の実施の形態4における半導体記憶装置1400の動作を説明するためのタイミングチャートである。

【図16】 本発明の実施の形態4における置換を示す図である。

【図17】 本発明の実施の形態4における他の置換の例を示す図である。 30

【図18】 本発明の実施の形態4における他の置換の例を示す図である。

【図19】 本発明の実施の形態5における半導体記憶装置1500の主要部の構成の一例を示す図である。

【図20】 図19における半導体記憶装置1500の要部の構成を示す図である。

【図21】 図19に示す本発明の実施の形態5における半導体記憶装置1500の動作を説明するためのタイミングチャートである。

【図22】 図19に示す本発明の実施の形態5における半導体記憶装置1500の動作を説明するためのタイミングチャートである。

【図23】 本発明の実施の形態6における半導体記憶装置1600の主要部の構成の一例を示す図である。 40

【図24】 図23に示す本発明の実施の形態6におけるメモリセルアレイ65の構成を示す図である。

【図25】 図23に示す本発明の実施の形態6におけるノーマルブロックに対する回路構成を示す図である。

【図26】 図23に示す本発明の実施の形態6における冗長ブロックに対する回路構成を示す図である。

【図27】 本発明の実施の形態6における半導体記憶装置1600の動作を説明するためのタイミングチャートである。

【図28】 本発明の実施の形態7における半導体記憶装置1700のメモリマットの構成を示す図である。 50

【図29】 本発明の実施の形態8における半導体記憶装置1800のメモリマットの構成を示す図である。

【図30】 本発明の実施の形態9における半導体記憶装置1900のメモリマットの構成を示す図である。

【図31】 本発明の実施の形態10における半導体記憶装置2000のメモリマットの構成を示す図である。

【図32】 従来の半導体記憶装置9000における全体構成を示す図である。

【図33】 図32に示す従来の半導体記憶装置におけるWLドライバ914の構成を示す図である。

【図34】 図32に示す従来の半導体記憶装置9000における動作を説明するためのタイミングチャートである。

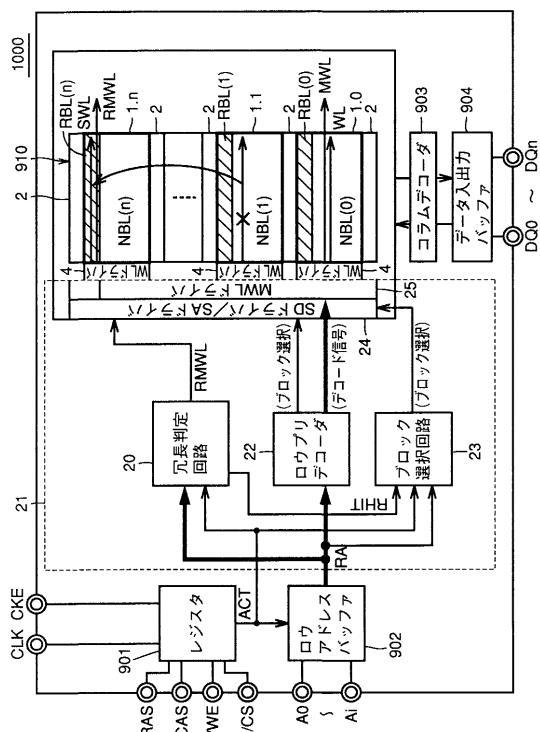
【符号の説明】

- 1 メモリブロック、2, 66, 70 センスアンプブロック、4, 63 ドライバ、2
 1 ロウアドレス系デコード回路、20, 46, 50, 60 冗長判定回路、22, 33
 ロウプリデコーダ、23, 45 ブロック選択回路、24 SDドライバ / SAドライバ
 、25 MWLドライバ、31 MWLデコーダ / ドライバ、32a, 32b, 36a,
 36b SDローカルドライバ、34 ブロック選択回路 / SDドライバ、901 レジス
 タ、902 ロウアドレスバッファ、42 SDドライバ・S / A帯制御信号ドライバ、
 61 入力バッファ、62, 64 プリデコーダ、40a, 40b, RBL 冗長プロック、
 NBL ノーマルブロック、1000 ~ 1900 半導体記憶装置。

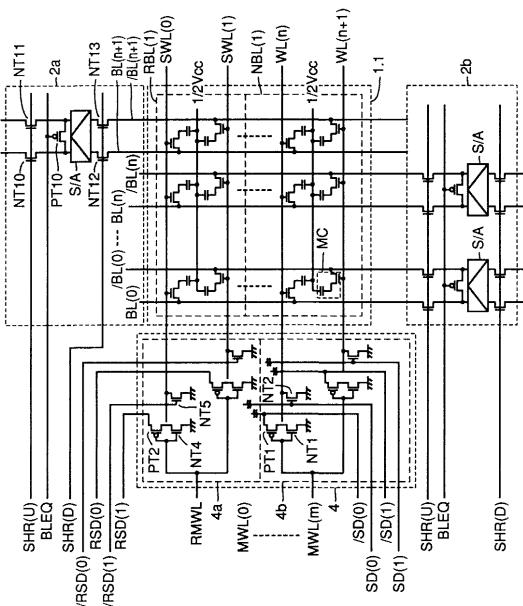
10

20

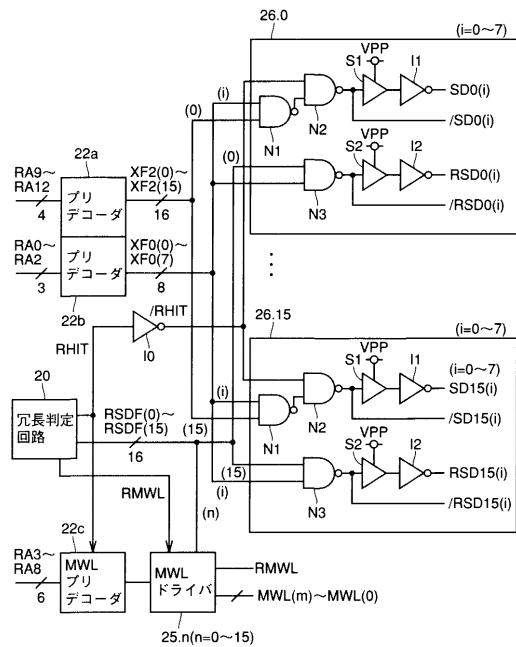
【図1】



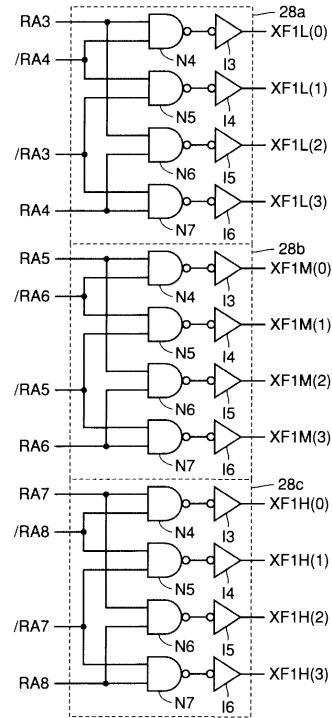
【図2】



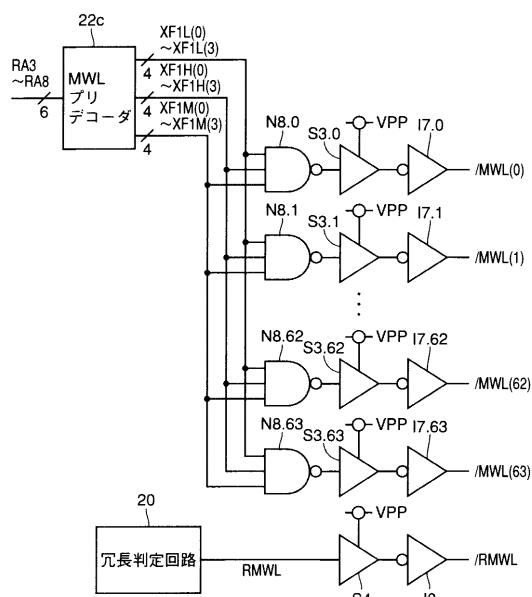
【図3】



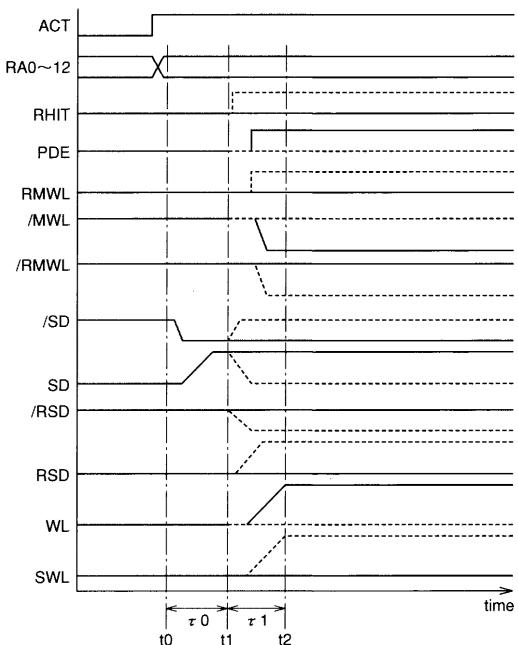
【図4】



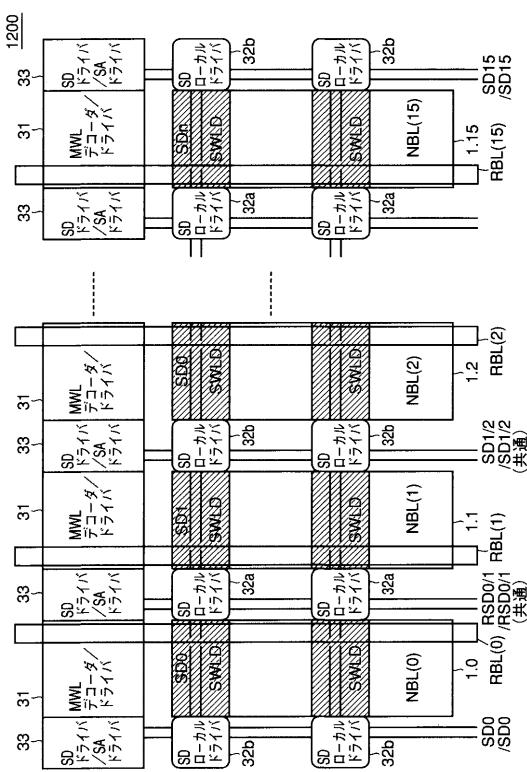
【図5】



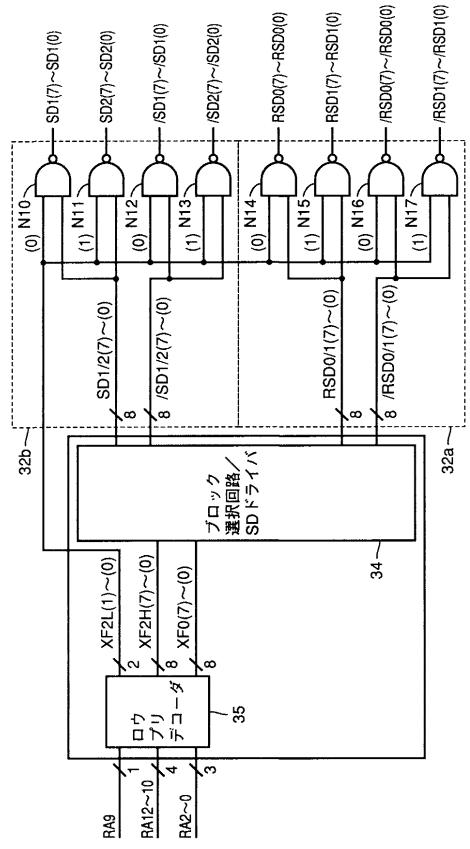
【図6】



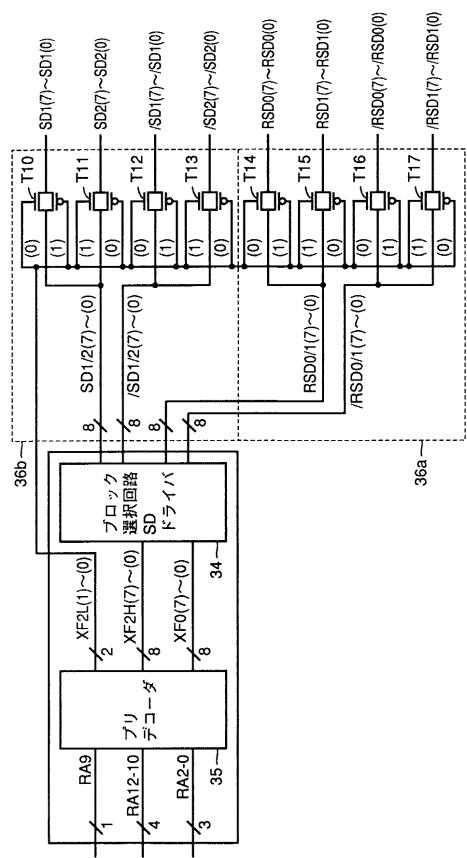
【図7】



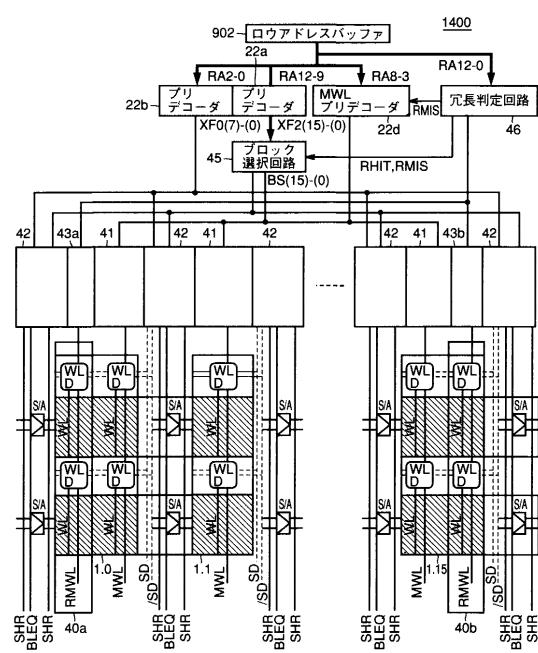
【 四 8 】



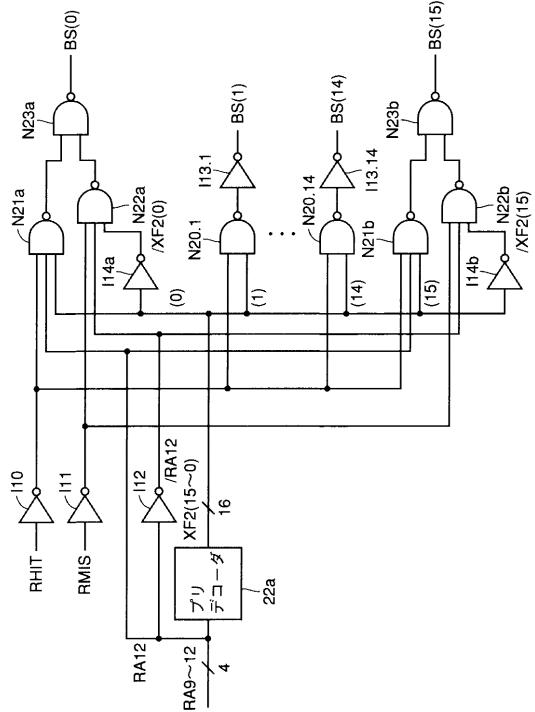
【 四 9 】



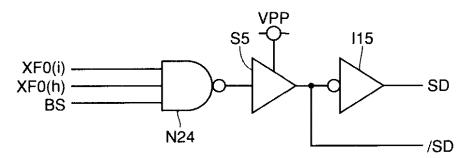
【図10】



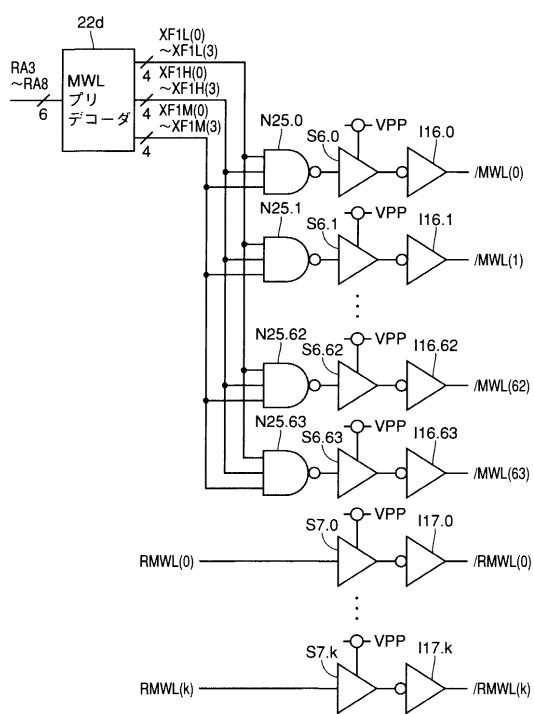
【図 1 1】



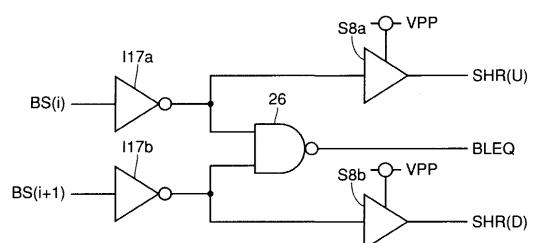
【図 1 2】



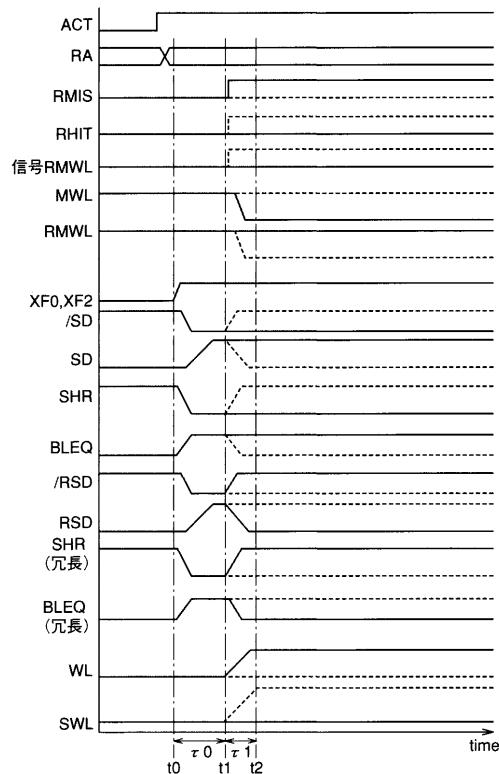
【図 1 3】



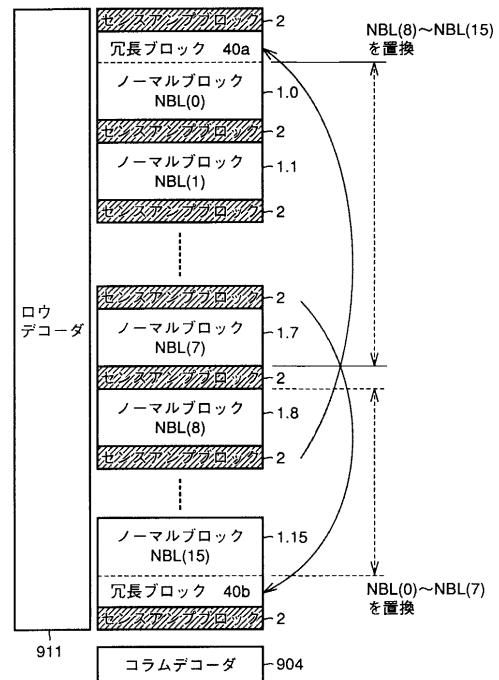
【図 1 4】



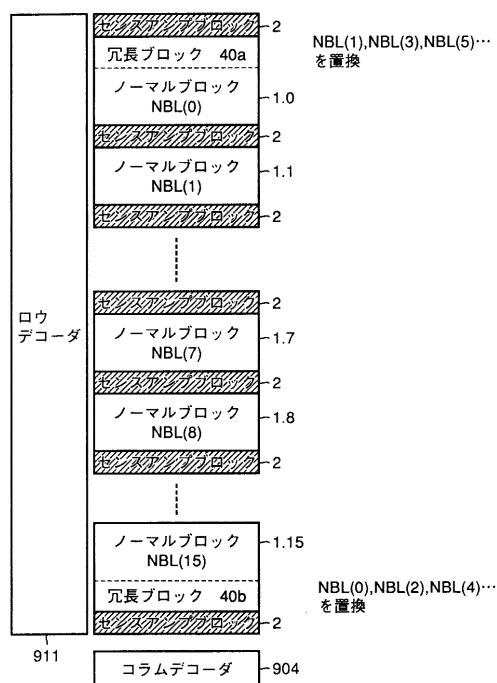
【図15】



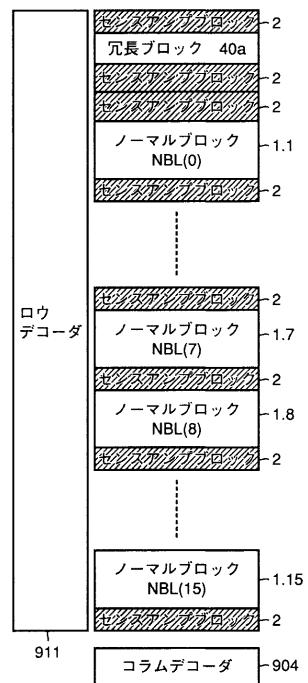
【図16】



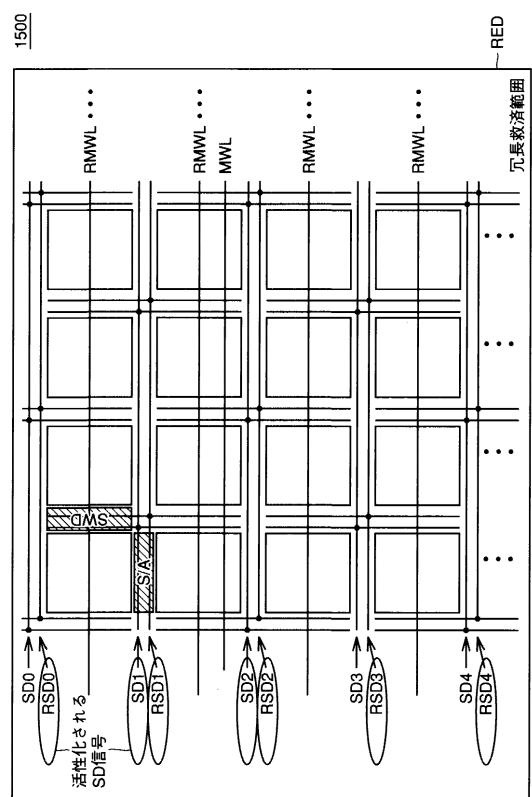
【図17】



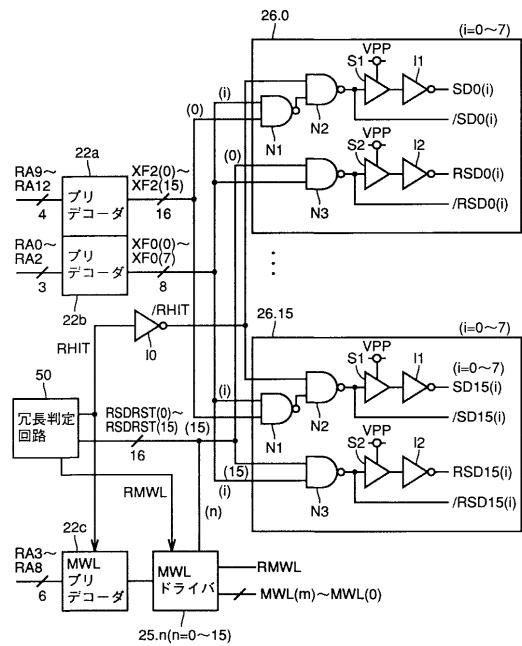
【図18】



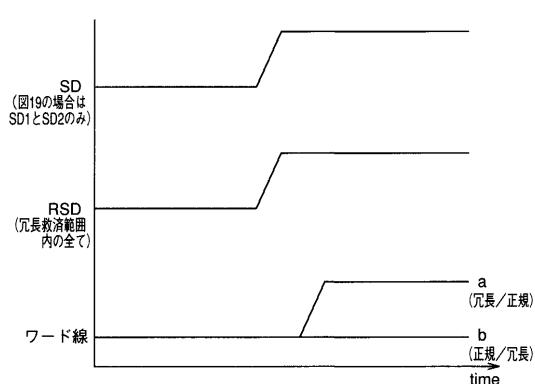
【図19】



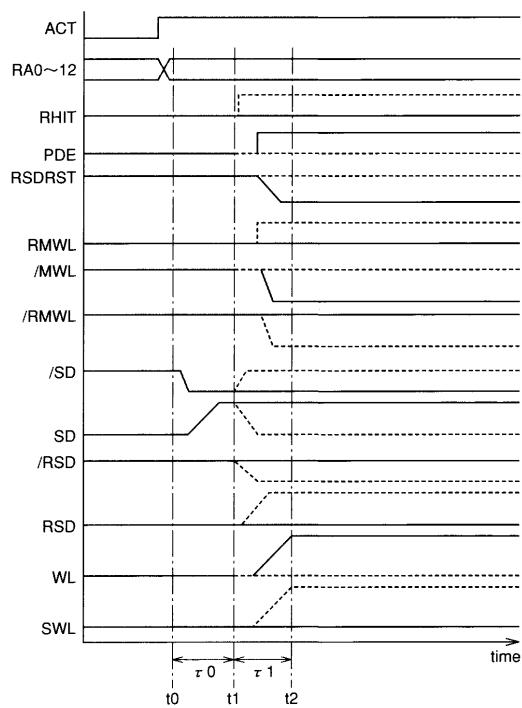
【図20】



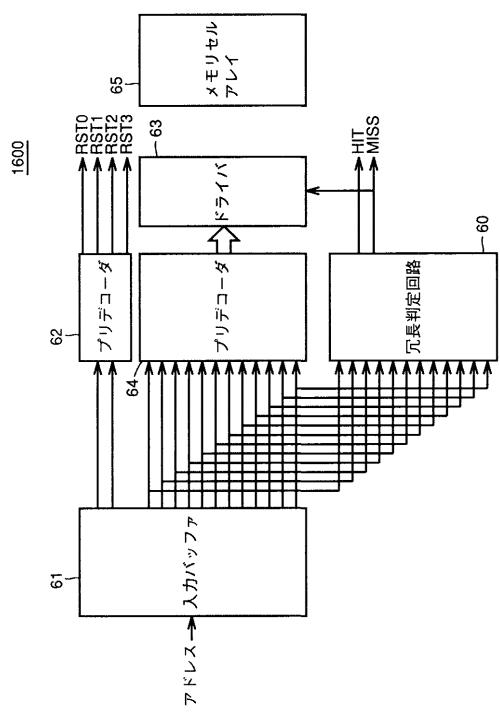
【図21】



【図22】



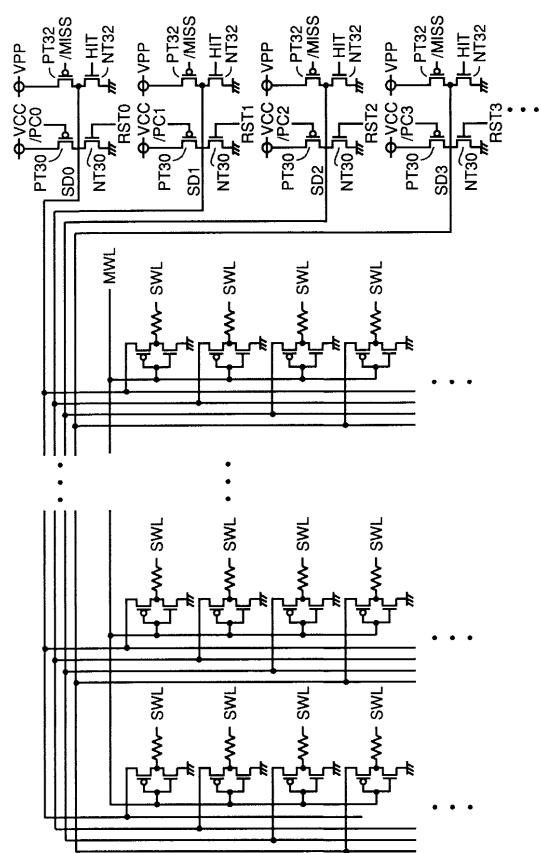
【図23】



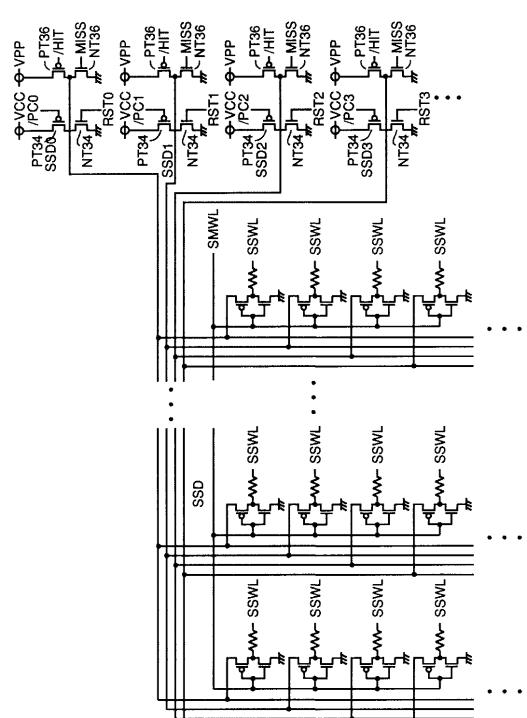
【図24】



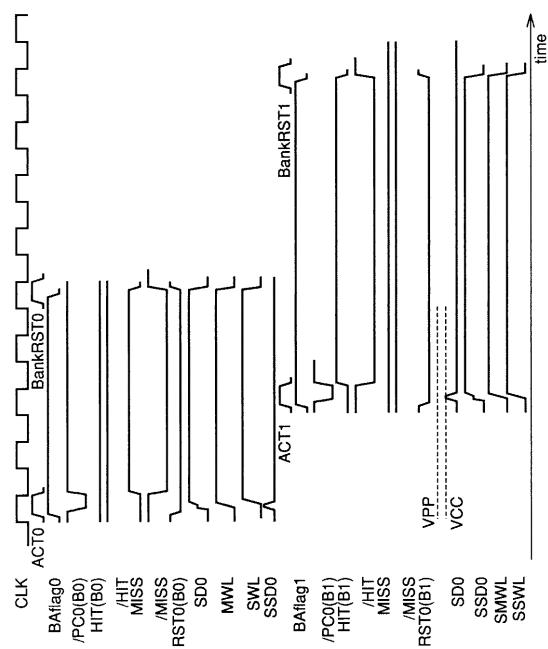
【図25】



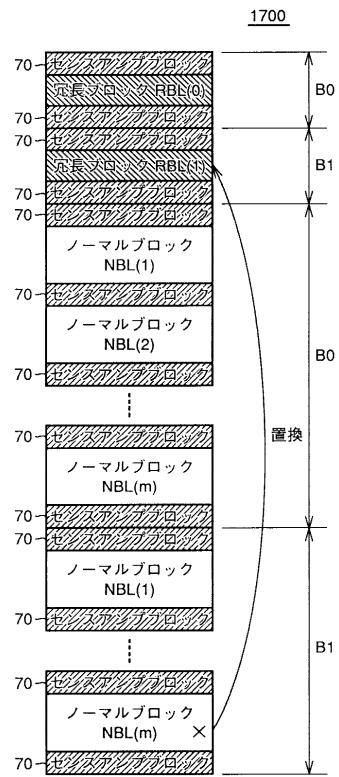
【図26】



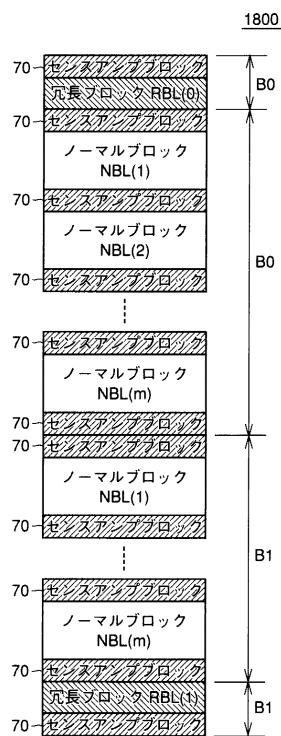
【図27】



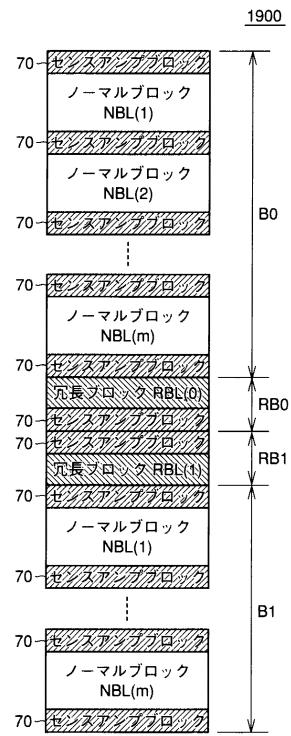
【図28】



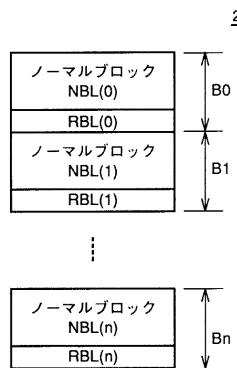
【図29】



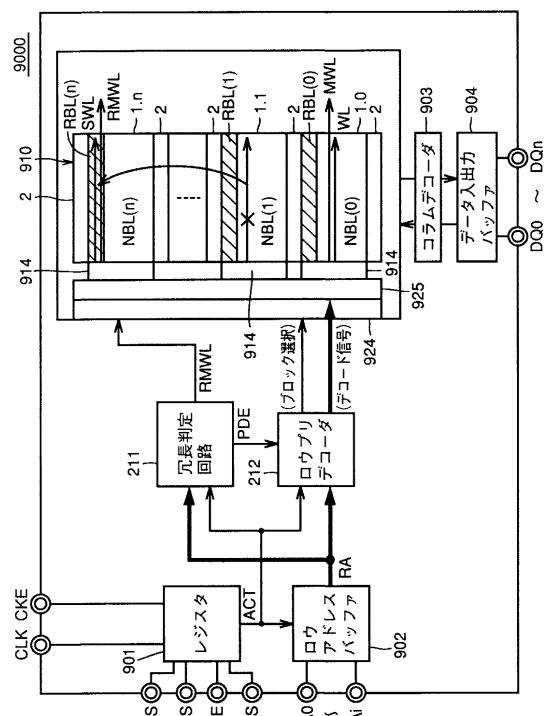
【図30】



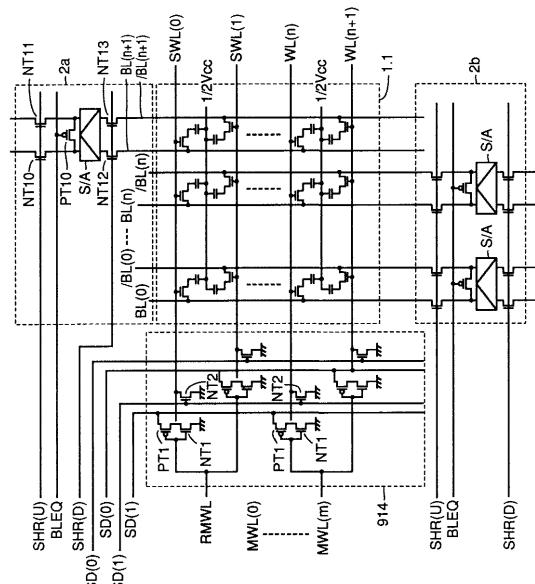
【図3-1】



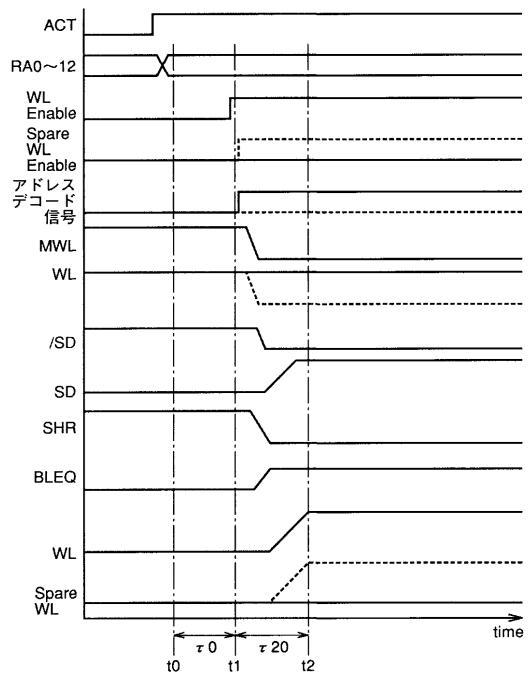
【図32】



【図3-3】



【図3-4】



フロントページの続き

(72)発明者 辻 高晴
東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内

(72)発明者 大石 司
東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内

(72)発明者 加藤 宏
東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内

(72)発明者 富嶋 茂樹
東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内

(72)発明者 島野 裕樹
東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内

審査官 須原 宏光

(56)参考文献 特開平 11 - 242896 (JP, A)
特開昭 63 - 244494 (JP, A)
特開昭 63 - 025898 (JP, A)
特開平 09 - 320292 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/00