

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004571 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) **H01L 25/18** (2023.01)
H01L 25/07 (2006.01)

CORPORATION JAPAN) [JP/JP]; 〒6178520 京都府長岡京市神足焼町1番地 Kyoto (JP).

(21) 国際出願番号: PCT/JP2024/017779

(22) 国際出願日: 2024年5月14日(14.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

63/510,507 2023年6月27日(27.06.2023) US
63/515,265 2023年7月24日(24.07.2023) US

(72) 発明者: 安田 英司(YASUDA, Eiji). 佐々木 禎志(SASAKI, Tadashi). 山本 興輝(YAMAMOTO, Kouki). 伊藤 裕介(ITO, Yusuke). 木村 晃(KIMURA, Akira).

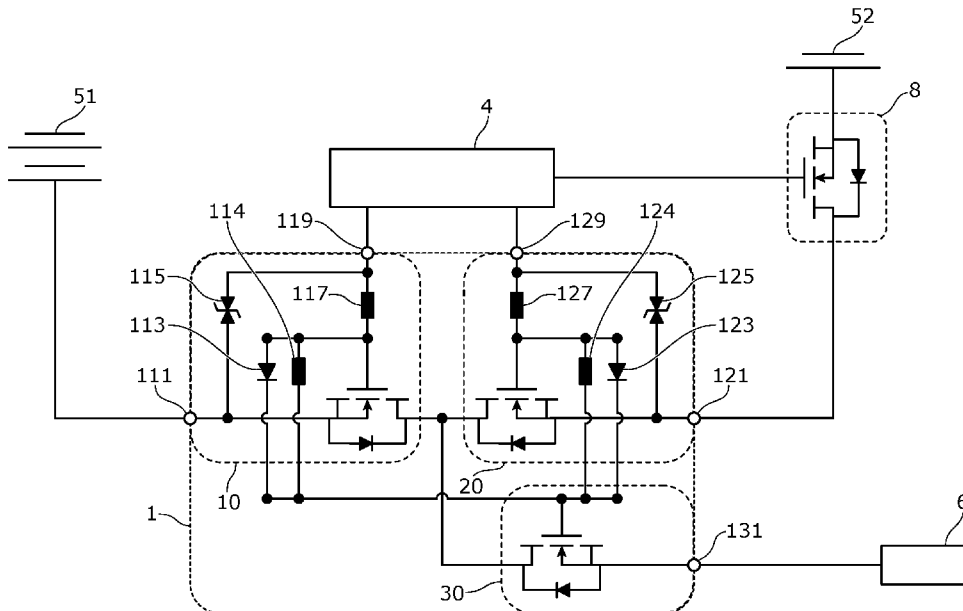
(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

(71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン 株 式 会 社 (NUVOTON TECHNOLOGY

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** A semiconductor device (1) comprises: a semiconductor layer (40) that is divided into three regions, namely a first region (A1), a second region (A2), and a third region (A3) that do not overlap each other in a plan view; a first vertical MOS transistor (10) that is formed in the first region (A1); a second vertical MOS transistor (20) that is formed in the second region (A2); and a third vertical MOS transistor (30) that is formed in the third region (A3), wherein a first gate wiring (118) of the first vertical MOS transistor (10) and a third gate wiring (138) of the third vertical MOS transistor

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(30) are electrically connected in series via a first diode (113) having this order as the forward direction, and a second gate wiring (128) of the second vertical MOS transistor (20) and the third gate wiring (138) are electrically connected in series via a second diode (123) having this order as the forward direction.

(57) 要約: 半導体装置 (1) は、平面視において互いに重複しない第1の領域 (A 1) と第2の領域 (A 2) と第3の領域 (A 3) との3つの領域に分けられた半導体層 (4 0) と、第1の領域 (A 1) に形成された第1の縦型MOSトランジスタ (1 0) と、第2の領域 (A 2) に形成された第2の縦型MOSトランジスタ (2 0) と、第3の領域 (A 3) に形成された第3の縦型MOSトランジスタ (3 0) と、を備え、第1の縦型MOSトランジスタ (1 0) の第1のゲート配線 (1 1 8) と第3の縦型MOSトランジスタ (3 0) の第3のゲート配線 (1 3 8) とは、この順を順方向とする第1のダイオード (1 1 3) を介して電氣的に直列接続され、第2の縦型MOSトランジスタ (2 0) の第2のゲート配線 (1 2 8) と第3のゲート配線 (1 3 8) とは、この順を順方向とする第2のダイオード (1 2 3) を介して電氣的に直列接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、特に、チップサイズパッケージ型の半導体装置に関する。

背景技術

[0002] 仕様の電流値が異なる2系統を、1系統に取りまとめる電気回路で縦型MOSトランジスタが用いられることがある。

先行技術文献

特許文献

[0003] 特許文献1：特許第7253674号

発明の概要

発明が解決しようとする課題

[0004] 縦型MOSトランジスタを用いた回路の小型化が求められている。

課題を解決するための手段

[0005] 上記の課題を解決するために、本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、裏面側に半導体基板を有し、前記半導体装置の平面視において、互いに重複しない第1の領域、第2の領域、第3の領域、のそれぞれ分散して配置されない3つの領域に分けられた半導体層と、前記半導体層の前記第1の領域に、その全体が形成された第1の縦型MOSトランジスタと、前記半導体層の前記第2の領域に、その全体が形成された第2の縦型MOSトランジスタと、前記半導体層の前記第3の領域に、その全体が形成された第3の縦型MOSトランジスタと、前記半導体層の裏面側に接触して形成された金属層と、を備え、前記半導体基板は、前記第1の縦型MOSトランジスタと前記第2の縦型MOSトランジスタと前記第3の縦型MOSトランジスタの共通ドレイン領域であり、前記平面視において、前記第1の領域に内包される位置に

、前記第1の縦型MOSトランジスタの第1のソースパッドと第1のゲートパッドおよび前記第1のゲートパッドと接続する第1のゲート配線が形成され、前記平面視において、前記第2の領域に内包される位置に、前記第2の縦型MOSトランジスタの第2のソースパッドと第2のゲートパッドおよび前記第2のゲートパッドと接続する第2のゲート配線が形成され、前記平面視において、前記第3の領域に内包される位置に、前記第3の縦型MOSトランジスタの第3のソースパッドおよび第3のゲート配線が形成され、前記第1のゲート配線と前記第3のゲート配線とは、電氣的に、前記第1のゲート配線から前記第3のゲート配線に向かう方向を順方向とする第1のダイオードを介して直列に接続され、前記第2のゲート配線と前記第3のゲート配線とは、電氣的に、前記第2のゲート配線から前記第3のゲート配線に向かう方向を順方向とする第2のダイオードを介して直列に接続された半導体装置であることを特徴とする。

発明の効果

[0006] 上記トリプル構成の縦型MOSトランジスタを、例えば仕様の電流値が異なる2つの導通経路を1つに合流させる回路に用いることで、従来に比べて回路が必要とする面積を削減することができる。

[0007] したがって、上記構成の半導体装置によると、縦型MOSトランジスタ用いた回路の小型化を実現することができる。

図面の簡単な説明

[0008] [図1]図1は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図2A]図2Aは、実施の形態に係る半導体装置の構造の一例を示す平面模式図である。

[図2B]図2Bは、実施の形態に係る半導体装置の構造の一例を示す平面模式図である。

[図3A]図3Aは、実施の形態に係る半導体装置の構造の一部について、一例を示す平面模式図である。

[図3B]図3 Bは、実施の形態に係る半導体装置の構造の一部について、一例を示す断面模式図である。

[図3C]図3 Cは、実施の形態に係る半導体装置の構造の一部について、一例を示す断面模式図である。

[図4A]図4 Aは、実施の形態に係る半導体装置の構造の一部について、一例を示す平面模式図である。

[図4B]図4 Bは、実施の形態に係る半導体装置の構造の一部について、一例を示す断面模式図である。

[図4C]図4 Cは、実施の形態に係る半導体装置の構造の一部について、一例を示す断面模式図である。

[図5A]図5 Aは、実施の形態に係る第1のトランジスタの略単位構成の平面模式図である。

[図5B]図5 Bは、実施の形態に係る第1のトランジスタの略単位構成の斜視模式図である。

[図6]図6は、実施の形態に係る半導体装置の使用例を示す回路図である。

[図7]図7は、比較例に係る半導体装置の使用例を示す回路図である。

[図8A]図8 Aは、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図8B]図8 Bは、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図9A]図9 Aは、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図9B]図9 Bは、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図10A]図10 Aは、実施の形態に係る半導体装置の構造の変形例を示す平面模式図である。

[図10B]図10 Bは、実施の形態に係る半導体装置の構造の変形例を示す平面模式図である。

[図11]図 1 1 は、トランジスタの平面視での面積と E S D 耐性との関係をプロットしたグラフである。

発明を実施するための形態

[0009] 以下で説明する実施の形態は、いずれも本開示の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態などは、一例であり、本開示を限定する主旨ではない。

[0010] 本開示において、「AとBとが電氣的に接続される」とは、AとBとが配線を介して直接的に接続される場合と、AとBとが配線を介さず直接的に接続される場合と、AとBとが抵抗成分（抵抗素子、抵抗配線）を介して間接的に接続される場合と、を含む。

[0011] （実施の形態）

[1 . 半導体装置の構造]

以下、実施の形態に係る半導体装置の構造について説明する。実施の形態に係る半導体装置は、半導体基板に2つの縦型MOS (Metal Oxide Semiconductor) トランジスタを形成したデュアル構成の、フェイスダウン実装が可能なチップサイズパッケージ (Chip Size Package : CSP) 型の半導体デバイスである。上記2つの縦型MOSトランジスタは、パワートランジスタであり、いわゆる、トレンチMOS型FET (Field Effect Transistor) である。

[0012] 図 1 は、実施の形態に係る半導体装置 1 の構造の一例を示す断面模式図である。図 2 A、図 2 B は実施の形態に係る半導体装置 1 の構造の一例を示す平面模式図である。図 2 A、図 2 B において半導体装置 1 の大きさや形状は一例である。またパッド、電極の大きさや形状および配置も一例である。

[0013] なお図 2 B は、半導体層 4 0 の表面側に第 1 のソース電極 1 1 の部分 1 3、第 1 のゲート電極 1 9、第 1 のゲート配線 1 1 8、第 2 のソース電極 2 1 の部分 2 3、第 2 のゲート電極 2 9、第 2 のゲート配線 1 2 8、そして第 3

のソース電極 31 の部分 33、第 3 のゲート配線 138、が形成された直後の様子を示したものである。この時点では見えないはずのパッドは点線で示している。それぞれの構成要素については後述する。

[0014] 図 1 は、図 2 A の I-I に沿って半導体装置 1 を切断したときの切断面である。

[0015] 図 1 に示すように、半導体装置 1 は、半導体基板 42 と、金属層 41 と、半導体基板 42 上に形成された低濃度不純物層 43 と、を有する。本開示では半導体基板 42 と低濃度不純物層 43 とを合わせて半導体層 40 と称する。

[0016] 半導体基板 42 は、半導体層 40 の裏面側に配置され、第 1 の濃度の不純物を含む第 1 導電型のシリコンからなる。半導体層 40 は、半導体基板 42 に接触して形成された、第 1 の濃度よりも低い第 2 の濃度の不純物を含む、第 1 導電型の低濃度不純物層 43 を有する。低濃度不純物層 43 は、例えば、エピタキシャル成長により半導体基板 42 上に形成される。

[0017] 図 1 および図 2 A に示すように、半導体装置 1 は、半導体層 40 の第 1 の領域 A1 内にその全体が形成された第 1 の縦型 MOS トランジスタ 10（以下、「トランジスタ 10」とも称する）と、半導体層 40 の第 2 の領域 A2 内にその全体が形成された第 2 の縦型 MOS トランジスタ 20（以下、「トランジスタ 20」とも称する）と、半導体層 40 の第 3 の領域 A3 内にその全体が形成された第 3 の縦型 MOS トランジスタ 30（以下、「トランジスタ 30」とも称する）と、を有する。

[0018] 第 1 の領域 A1 内にその全体が形成されたトランジスタ 10 とは、平面視で、トランジスタ 10 を構成する要素のすべてが第 1 の領域 A1 の内部に含まれていて、第 1 の領域 A1 ではない領域には含まれないことを意味する。同様に、第 2 の領域 A2 内にその全体が形成されたトランジスタ 20 とは、平面視で、トランジスタ 20 を構成する要素のすべてが第 2 の領域 A2 の内部に含まれていて、第 2 の領域 A2 ではない領域には含まれないことを意味する。同様に、第 3 の領域 A3 内にその全体が形成されたトランジスタ 30

とは、平面視で、トランジスタ 30 を構成する要素のすべてが第 3 の領域 A 3 の内部に含まれていて、第 3 の領域 A 3 ではない領域には含まれないことを意味する。

[0019] 図 2 A に示すように、平面視において半導体層 40 の表面側は、互いに重複せず、それぞれ分散して配置されない、第 1 の領域 A 1、第 2 の領域 A 2、第 3 の領域 A 3 に分けられる。ここで、第 1 の領域 A 1 と第 2 の領域 A 2 と第 3 の領域 A 3 とがそれぞれ分散して配置されないとは、第 1 の領域 A 1 と第 2 の領域 A 2 と第 3 の領域 A 3 とがそれぞれ飛び地を伴わないことを意味する。図 2 A では第 1 の領域 A 1、第 2 の領域 A 2、第 3 の領域 A 3 をそれぞれ区分する仮想的な境界線 90 を点線で示している。分かりやすさのために、境界線 90 を示す点線は半導体層 40 の外部まで延長して示しているが、実際の境界線 90 は平面視で、半導体層 40 の外周において終端する（図 2 A、図 2 B においては便宜的に、境界線 90 の終端をそれぞれ P 1、P 2、P 3、P 4 として示している）。境界線 90 については後述する。

[0020] なお、図 2 A において、第 1 の領域 A 1、第 2 の領域 A 2、第 3 の領域 A 3 を示す破線は分かりやすさのため半導体層 40 の外周および境界線 90 とは厳密に一致させず、若干の余白を置いて内側に示しているが、実質的に第 1 の領域 A 1 の外周と第 2 の領域 A 2 の外周と第 3 の領域 A 3 の外周とは、半導体層 40 の外周および境界線 90 と一致するものである。実施形態に係る半導体装置 1 は、平面視で、第 1 の領域 A 1 でも第 2 の領域 A 2 でも第 3 の領域 A 3 でもない領域は存在しない。

[0021] 金属層 41 は、半導体層 40 の裏面側に接触して形成され、限定されない一例として、銀（Ag）もしくは銅（Cu）で構成されてもよい。なお、金属層 41 には、金属材料の製造工程において不純物として混入する金属以外の元素が微量に含まれていてもよい。

[0022] 図 1 に示すように、低濃度不純物層 43 の第 1 の領域 A 1 には、第 1 導電型と異なる第 2 導電型の第 1 のボディ領域 18 が形成されている。第 1 のボディ領域 18 には、第 1 導電型の第 1 のソース領域 14 が形成されている。

- [0023] また第1の領域A1には、半導体層40の上面から第1のソース領域14および第1のボディ領域18を貫通して低濃度不純物層43の一部までの深さに形成された複数の第1のゲートトレンチ17が形成されており、さらに第1のゲート導体15が、第1のゲートトレンチ17の内部で第1のゲート絶縁膜16上に形成されている。第1のゲート導体15は、半導体層40の内部に埋め込まれた埋め込みゲート電極である。第1のゲート導体15は、第1のゲート配線118を介して第1のゲート電極19と電氣的に接続される（図2B参照）。
- [0024] 第1のソース電極11は部分12と部分13とからなり、部分12は、部分13を介して第1のソース領域14および第1のボディ領域18に接続されている。
- [0025] 第1のソース電極11の部分12は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか1つ以上を含む金属材料で構成されてもよい。部分12の表面には、金などのめっきが施されてもよい。
- [0026] 第1のソース電極11の部分13は、部分12と半導体層40とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0027] 第1のゲート電極19は、第1のソース電極11と同時に形成される場合があり、第1のソース電極11と同じ構成、および／または、同じ材料で形成されてもよい。
- [0028] 第1のゲート配線118は、図2Bに示すように、平面視で、第1のソース電極11の部分13と第1のゲート電極19とを取り囲むように設置される。第1のゲート配線118は、第1のゲート電極19と、第1のゲート抵抗素子117を介して直列に接続されている。図3Bに第1のゲート抵抗素子117を含む断面模式図を示す。図3Bは、図3AのI-I'に沿って半導体装置1を切断したときの切断面であり、図3Aは図2Bにおいて破

線で囲まれた領域A 1 1を拡大して示した平面模式図である。

[0029] 図2Bに示すように、平面視で、第1のソース電極11の部分13と、第1のゲート電極19との間には第1のツエナーダイオード115が設置される。図3Cに第1のツエナーダイオード115を含む断面模式図を示す。図3Cは、図3AのI I I - I I Iに沿って半導体装置1を切断したときの切断面である。第1のゲート電極19と第1のソース電極11の部分13とは、第1のツエナーダイオード115を介して電氣的に接続される。

[0030] ゲート抵抗素子およびツエナーダイオードは、共に、ゲート電極に過剰な電圧が印加された際に、トランジスタが破壊されることを防止する、保護機能を期待して設置される。すなわちESD (E l e c t r o S t a t i c D i s c h a r g e) 耐性を高めるために設置される素子である。第1のゲート抵抗素子117および第1のツエナーダイオード115は、共に、例えばポリシリコンに不純物が注入されて形成されていてもよい。不純物の種類、注入量、注入する位置をそれぞれ制御することで、第1のゲート抵抗素子117の抵抗率や、第1のツエナーダイオード115におけるPNジャンクションの位置、個数および電氣的な方向を制御することができる。

[0031] 第1のツエナーダイオード115は、例えば図3Cに示すように、第1導電型の不純物が注入されて第1導電型になる箇所と、第2導電型の不純物が注入されて第2導電型になる箇所とが交互に形成されてもよい。図3Cに示す例では、第1のゲート電極19と第1のソース電極11の部分13との間には、第1のツエナーダイオード115によって、双方向に2つのPNジャンクションが形成されている。

[0032] 平面視において、第1の領域A 1の外周には、半導体基板42と電氣的に接続される第1のEQR (E Q u i p o t e n t i a l R i n g) 116が設置されてもよい。第1のEQR 116はトランジスタ10に対して、外部と第1のボディ領域18との間にリーク電流が流れるのを止める機能を期待して設置される。第1のEQR 116は限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成され

てもよい。

[0033] なお、実施の形態に係る半導体装置 1 には、ゲート抵抗素子、ツエナーダイオード、および E Q R は必ずしも設置される必要はない。

[0034] 低濃度不純物層 4 3 の第 2 の領域 A 2 には、第 2 導電型の第 2 のボディ領域 2 8 が形成されている。第 2 のボディ領域 2 8 には、第 1 導電型の第 2 のソース領域 2 4 が形成されている。

[0035] また第 2 の領域 A 2 には、半導体層 4 0 の上面から第 2 のソース領域 2 4 および第 2 のボディ領域 2 8 を貫通して低濃度不純物層 4 3 の一部までの深さに形成された複数の第 2 のゲートトレンチ 2 7 が形成されており、さらに第 2 のゲート導体 2 5 が、第 2 のゲートトレンチ 2 7 の内部で第 2 のゲート絶縁膜 2 6 上に形成されている。第 2 のゲート導体 2 5 は、半導体層 4 0 の内部に埋め込まれた埋め込みゲート電極である。第 2 のゲート導体 2 5 は、第 2 のゲート配線 1 2 8 を介して第 2 のゲート電極 2 9 と電氣的に接続される（図 2 B 参照）。

[0036] 第 2 のソース電極 2 1 は部分 2 2 と部分 2 3 とからなり、部分 2 2 は、部分 2 3 を介して第 2 のソース領域 2 4 および第 2 のボディ領域 2 8 に接続されている。

[0037] 第 2 のソース電極 2 1 の部分 2 2 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 2 2 の表面には、金などのめっきが施されてもよい。

[0038] 第 2 のソース電極 2 1 の部分 2 3 は、部分 2 2 と半導体層 4 0 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

[0039] 第 2 のゲート電極 2 9 は、第 2 のソース電極 2 1 と同時に形成される場合があり、第 2 のソース電極 2 1 と同じ構成、および／または、同じ材料で形成されてもよい。

- [0040] 第2のゲート配線128は、図2Bに示すように、平面視で、第2のソース電極21の部分23と第2のゲート電極29とを取り囲むように設置される。第2のゲート配線128は、第2のゲート電極29と、第2のゲート抵抗素子127を介して直列に接続されている。
- [0041] 図2Bに示すように、平面視で、第2のソース電極21の部分23と、第2のゲート電極29との間には第2のツエナーダイオード125が設置される。第2のゲート電極29と第2のソース電極21の部分23とは、第2のツエナーダイオード125を介して電氣的に接続される。
- [0042] 第2のゲート抵抗素子127および第2のツエナーダイオード125は、共に、例えばポリシリコンに不純物が注入されて形成されていてもよい。不純物の種類、注入量、注入する位置をそれぞれ制御することで、第2のゲート抵抗素子127の抵抗率や、第2のツエナーダイオード125におけるPNジャンクションの位置、個数および電氣的な方向を制御することができる。
- [0043] 第2のツエナーダイオード125は、例えば図3Cに示した、第1のツエナーダイオード115と同様の構造であってもよい。
- [0044] 平面視において、第2の領域A2の外周には、半導体基板42と電氣的に接続される第2のEQR126が設置されてもよい。第2のEQR126はトランジスタ20に対して、外部と第2のボディ領域28との間にリーク電流が流れるのを止める機能を期待して設置される。第2のEQR126は限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0045] 低濃度不純物層43の第3の領域A3には、第2導電型の第3のボディ領域38が形成されている。第3のボディ領域38には、第1導電型の第3のソース領域34が形成されている。また第3の領域A3には、半導体層40の上面から第3のソース領域34および第3のボディ領域38を貫通して低濃度不純物層43の一部までの深さに形成された複数の第3のゲートトレンチ37が形成されており、さらに第3のゲート導体35が、第3のゲートト

レンチ 37 の内部で第 3 のゲート絶縁膜 36 上に形成されている。第 3 のゲート導体 35 は、半導体層 40 の内部に埋め込まれた埋め込みゲート電極である。第 3 のゲート導体 35 は、第 3 のゲート配線 138 と電氣的に接続される（図 2 B 参照）。

[0046] 第 3 のソース電極 31 は部分 32 と部分 33 とからなり、部分 32 は、部分 33 を介して第 3 のソース領域 34 および第 3 のボディ領域 38 に接続されている。

[0047] 第 3 のソース電極 31 の部分 32 は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。部分 32 の表面には、金などのめっきが施されてもよい。

[0048] 第 3 のソース電極 31 の部分 33 は、部分 32 と半導体層 40 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

[0049] 平面視において、第 3 の領域 A3 の外周には、半導体基板 42 と電氣的に接続される第 3 の EQR 136 が設置されてもよい。第 3 の EQR 136 はトランジスタ 30 に対して、外部と第 3 のボディ領域 38 との間にリーク電流が流れるのを止める機能を期待して設置される。第 3 の EQR 136 は限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

[0050] 第 3 のゲート配線 138 は、図 2 B に示すように、平面視で、第 3 のソース電極 31 の部分 33 を取り囲むように設置されるが、本開示において、第 3 の領域 A3 に内包される位置に、第 3 のゲート配線 138 と接続するゲート電極およびゲートパッドが存在しない。なお、第 1 の領域 A1 あるいは第 2 の領域 A2 には設置され得る、ゲート抵抗素子およびツエナーダイオードも形成されない。

[0051] 第 3 のゲート配線 138 は、第 1 のダイオード 113 を介して第 1 のゲー

ト配線 1 1 8 と直列に接続される。第 1 のダイオード 1 1 3 は、電氣的に、第 1 のゲート配線 1 1 8 から第 3 のゲート配線 1 3 8 へ向かう方向が順方向となるように形成される。図 4 B に第 1 のダイオード 1 1 3 を含む断面模式図を示す。図 4 B は、図 4 A の I V - I V に沿って半導体装置 1 を切断したときの切断面であり、図 4 A は図 2 B において破線で囲まれた領域 A 1 2 を拡大して示した平面模式図である。

[0052] 第 3 のゲート配線 1 3 8 は、第 1 の抵抗素子 1 1 4 を介して第 1 のゲート配線 1 1 8 と直列に接続される。したがって第 1 のダイオード 1 1 3 と第 1 の抵抗素子 1 1 4 とは、第 1 のゲート配線 1 1 8 と第 3 のゲート配線 1 3 8 との間で並列に接続された関係にある。図 4 C に第 1 の抵抗素子 1 1 4 を含む断面模式図を示す。図 4 C は、図 4 A の V - V に沿って半導体装置 1 を切断したときの切断面である。

[0053] 第 1 の抵抗素子 1 1 4 および第 1 のダイオード 1 1 3 は、共に、例えばポリシリコンに不純物が注入されて形成されていてもよい。不純物の種類、注入量、注入する位置をそれぞれ制御することで、第 1 の抵抗素子 1 1 4 の抵抗率や、第 1 のダイオード 1 1 3 における P N ジャンクションの位置、個数および電氣的な方向を制御することができる。

[0054] 第 1 のダイオード 1 1 3 は、例えば図 4 B に示すように、第 1 導電型の不純物が注入されて第 1 導電型になる箇所と、第 2 導電型の不純物が注入されて第 2 導電型になる箇所とが 1 箇所ずつ形成されてもよい。図 4 B に示す例では、電氣的には第 1 のゲート配線 1 1 8 から第 3 のゲート配線 1 3 8 へ向かう方向に順方向となる P N ジャンクションが 1 箇所だけ形成されている。

[0055] 第 3 のゲート配線 1 3 8 は、第 2 のダイオード 1 2 3 を介して第 2 のゲート配線 1 2 8 と直列に接続される。第 2 のダイオード 1 2 3 は、電氣的に、第 2 のゲート配線 1 2 8 から第 3 のゲート配線 1 3 8 へ向かう方向が順方向となるように形成される。また第 3 のゲート配線 1 3 8 は、第 2 の抵抗素子 1 2 4 を介して第 2 のゲート配線 1 2 8 と直列に接続される。したがって第 2 のダイオード 1 2 3 と第 2 の抵抗素子 1 2 4 とは、第 2 のゲート配線 1 2

8と第3のゲート配線138との間で並列に接続された関係にある。

[0056] 第2の抵抗素子124および第2のダイオード123は、共に、例えばポリシリコンに不純物が注入されて形成されていてもよい。不純物の種類、注入量、注入する位置をそれぞれ制御することで、第2の抵抗素子124の抵抗率や、第2のダイオード123におけるPNジャンクションの位置、個数および電氣的な方向を制御することができる。

[0057] 第2のダイオード123は、例えば図4Bに示した、第1のダイオード113と同様の構造であって、電氣的には第2のゲート配線128から第3のゲート配線138へ向かう方向に順方向となるPNジャンクションが1箇所だけ形成されている。

[0058] 図1に示すように、第1のボディ領域18および第1のソース領域14は開口を有する層間絶縁層44で覆われ、層間絶縁層44の開口を通して第1のソース領域14に接続される第1のソース電極11の部分13が設けられている。層間絶縁層44および第1のソース電極11の部分13は開口を有するパッシベーション層45で覆われ、パッシベーション層45の開口を通して第1のソース電極11の部分13に接続される部分12が設けられている。

[0059] 同様に、第2のボディ領域28および第2のソース領域24は開口を有する層間絶縁層44で覆われ、層間絶縁層44の開口を通して第2のソース領域24に接続される第2のソース電極21の部分23が設けられている。層間絶縁層44および第2のソース電極21の部分23は開口を有するパッシベーション層45で覆われ、パッシベーション層45の開口を通して第2のソース電極21の部分23に接続される部分22が設けられている。

[0060] 同様に、第3のボディ領域38および第3のソース領域34は開口を有する層間絶縁層44で覆われ、層間絶縁層44の開口を通して第3のソース領域34に接続される第3のソース電極31の部分33が設けられている。層間絶縁層44および第3のソース電極31の部分33は開口を有するパッシベーション層45で覆われ、パッシベーション層45の開口を通して第3の

ソース電極 3 1 の部分 3 3 に接続される部分 3 2 が設けられている。

[0061] したがって、第 1 のソースパッド 1 1 1、第 2 のソースパッド 1 2 1、第 3 のソースパッド 1 3 1 は、図 2 B から分かるように、それぞれ、第 1 のソース電極 1 1、第 2 のソース電極 2 1、第 3 のソース電極 3 1 が半導体装置 1 の表面に部分的に露出した領域、すなわち端子の部分を指す。同様に、第 1 のゲートパッド 1 1 9 および第 2 のゲートパッド 1 2 9 は、それぞれ、第 1 のゲート電極 1 9 および第 2 のゲート電極 2 9 が半導体装置 1 の表面に部分的に露出した領域、すなわち端子の部分を指す。

[0062] 第 1 のソースパッド 1 1 1、第 2 のソースパッド 1 2 1、第 3 のソースパッド 1 3 1 の数は、それぞれ必ずしも図 2 A に例示された数に限定されない。また第 1 のソースパッド 1 1 1、第 2 のソースパッド 1 2 1、第 3 のソースパッド 1 3 1 の形状は、それぞれ図 2 A に例示された楕円形状に限定される必要はなく、例えば矩形状や円形状であってもよい。また第 1 のソースパッド 1 1 1、第 2 のソースパッド 1 2 1、第 3 のソースパッド 1 3 1 の配置は、それぞれ図 2 A に例示された配置に限定されない。

[0063] 第 1 のゲートパッド 1 1 9 および第 2 のゲートパッド 1 2 9 の数は、それぞれ必ずしも図 2 A に例示された数に限定されず、2 以上の複数であってもよい。また第 1 のゲートパッド 1 1 9 および第 2 のゲートパッド 1 2 9 の形状は、それぞれ図 2 A に例示された円形状に限定される必要はなく、例えば矩形状や楕円形状であってもよい。

[0064] トランジスタ 1 0、トランジスタ 2 0、トランジスタ 3 0 の上記の構成により、半導体基板 4 2 と、低濃度不純物層 4 3 のうち半導体基板 4 2 の直上近傍の範囲は、トランジスタ 1 0 の第 1 のドレイン領域、トランジスタ 2 0 の第 2 のドレイン領域、トランジスタ 3 0 の第 3 のドレイン領域とが共通化された、共通ドレイン領域である。

[0065] 金属層 4 1 はトランジスタ 1 0 の第 1 のドレイン電極、トランジスタ 2 0 の第 2 のドレイン電極、トランジスタ 3 0 の第 3 のドレイン電極が共通化された、共通ドレイン電極である。

[0066] なお本開示では、平面視における形状の中心を次のように定義する。図2 Aにおける第1のゲートパッド119のように円形状のものはその中心のことをいう。第1の領域A1のように矩形状のものは、その対角線の交点のことをいう。第1のソースパッド111のように長円形状のものは、その長手方向に伸びる、線対称の対称軸と、その幅方向に伸びる、線対称の対象軸との交点のことをいう。

[0067] さて図2 Aに示すように、第1の領域A1と第2の領域A2とは、第3の領域A3を挟んで配置される。本開示において、第1の領域A1と第2の領域A2が、第3の領域A3を挟むとは、第1の領域A1と第3の領域A3とが間に他の領域を挟まずに隣接し、さらに第2の領域A2と第3の領域A3とが間に他の領域を挟まずに隣接するということである。したがって半導体層40の平面視において、第3の領域A3は、第1の領域A1および第2の領域A2に、共に隣接する。

[0068] 平面視である領域とある領域が、隣接する、とは、対向する、という意味と同じであり、互いの間にある境界線90において、互いの外周が一致するということである。以降、境界線90の長さのことを対向長ということがある。

[0069] 図2 Bに示すように、第1の領域A1と第3の領域A3との境界線90は、第1のソース電極11の部分13と、第3のソース電極31の部分33との間隔の中央位置をたどる仮想線と捉えてよい。また境界線90が有限の幅となるが当該間隔そのものと捉えてもよい。当該間隔の場合であっても、肉眼あるいは低倍率での外観では線として認識することができる。第1の領域A1と第3の領域A3との境界線90は、図2 A、図2 Bに示す例においては、P1からP2までの点線である。

[0070] また平面視で、第1の領域A1の外周に第1のEQR116が設置され、第3の領域A3の外周に第3のEQR136が設置される場合、第1の領域A1の外周と第3の領域A3の外周とが一致するところでは、第1のEQR116と第3のEQR136とが共通化されて1つになっていてもよい。こ

のとき共通化されたEQRが設置されるところを、平面視で、第1の領域A1と第3の領域A3との境界線90と捉えてもよい。

[0071] いずれにせよ、図2Bに示すように、実施の形態に係る半導体装置1では、第1のダイオード113は、平面視で第1の領域A1と第3の領域A3との境界線90をまたいで設置されている。すなわち平面視で、第1のダイオード113の端部のうち一方は第1の領域A1にあり、他方は第3の領域A3にあるように設置されている。

[0072] 図2Bに示すように、実施の形態に係る半導体装置1では、第1の抵抗素子114は、平面視で第1の領域A1と第3の領域A3との境界線90をまたいで設置されている。すなわち平面視で、第1の抵抗素子114の端部のうち一方は第1の領域A1にあり、他方は第3の領域A3にあるように設置されている。

[0073] 第2の領域A2と第3の領域A3との境界線90は、第2のソース電極21の部分23と、第3のソース電極31の部分33との間隔の中央位置をたどる仮想線と捉えてよい。また有限の幅となるが当該間隔そのものと捉えてもよい。第2の領域A2と第3の領域A3との境界線90は、図2A、図2Bに示す例においては、P3から、P5を経由したP4までの点線である。

[0074] また平面視で、第2の領域A2の外周に第2のEQR126が設置され、第3の領域A3の外周に第3のEQR136が設置される場合、第2の領域A2の外周と第3の領域A3の外周とが一致するところでは、第2のEQR126と第3のEQR136とが共通化されて1つになっていてもよい。このとき共通化されたEQRが設置されるところを、平面視で、第2の領域A2と第3の領域A3との境界線90と捉えてもよい。

[0075] いずれにせよ、図2Bに示すように、実施の形態に係る半導体装置1では、第2のダイオード123は、平面視で第2の領域A2と第3の領域A3との境界線90をまたいで設置されている。すなわち平面視で、第2のダイオード123の端部のうち一方は第2の領域A2にあり、他方は第3の領域A3にあるように設置されている。

[0076] 図2Bに示すように、実施の形態に係る半導体装置1では、第2の抵抗素子124は、平面視で第2の領域A2と第3の領域A3との境界線90をまたいで設置されている。すなわち平面視で、第2の抵抗素子124の端部のうち一方は第1の領域A1にあり、他方は第3の領域A3にあるように設置されている。

[0077] ところで図2A、図2Bには示していないが、第1の領域A1と第2の領域A2とが隣接する場合も考えられる（図10A、図10Bに示す変形例を参照）。第1の領域A1と第2の領域A2との境界線は、第1のソース電極11の部分13と、第2のソース電極21の部分23との間隔の中央位置をたどる仮想線と捉えてよい。また有限の幅となるが当該間隔そのものと捉えてもよい。

[0078] また平面視で、第1の領域A1の外周に第1のEQR116が設置され、第2の領域A2の外周に第2のEQR126が設置される場合、第1の領域A1の外周と第2の領域A2の外周とが一致するところでは、第1のEQR116と第2のEQR126とが共通化されて1つになっていてもよい。このとき共通化されたEQRが設置されるところを、平面視で、第1の領域A1と第2の領域A2との境界線と捉えてもよい。

[0079] 実施の形態に係る半導体装置1では、図2A、図2Bに示すように、第1の領域A1の平面視での面積 a_1 は、第3の領域A3の平面視での面積 a_3 よりも大きい（ $a_1 > a_3$ ）。さらに第3の領域A3の平面視での面積 a_3 は、第2の領域A2の平面視での面積 a_2 よりも大きい（ $a_3 > a_2$ ）。したがって第1の領域A1と第2の領域A2と第3の領域A3とには、平面視での面積で $a_1 > a_3 > a_2$ の関係がある。

[0080] 一方、図2Bに示す例では、第1の領域A1に形成される第1のソース電極11の部分13の平面視での面積と、第3の領域A3に形成される第3のソース電極31の部分33の平面視での面積とは略同等である。上記説明したように、第1の領域A1の平面視での面積 a_1 は、第3の領域A3の平面視での面積 a_3 よりも大きい（ $a_1 > a_3$ ）が、第1の領域A1には第1の

ゲート電極 19 が形成されるため、その分だけ第 1 のソース電極 11 の部分 13 の平面視での面積が減少するためである。

[0081] 図 5 A および図 5 B は、それぞれ、実施の形態に係る半導体装置 1 の X 方向および Y 方向に繰り返し形成される、トランジスタ 10、トランジスタ 20、トランジスタ 30 の略単位構成の、平面模式図および斜視模式図である。図 5 A および図 5 B では、分かりやすさのために半導体基板 42 と金属層 41、さらにパッシベーション層 45 と第 1 のソース電極 11、第 2 のソース電極 21、第 3 のソース電極 31、層間絶縁層 44 は図示していない。

[0082] なお Y 方向とは、半導体層 40 の表面と平行し、第 1 のゲートトレンチ 17 が延在する方向である。また X 方向とは、半導体層 40 の表面と平行し、Y 方向に直交する方向のことをいう。Z 方向とは、X 方向にも Y 方向にも共に直交し、半導体装置の高さ方向を示す方向のことをいう。

[0083] 図 5 A および図 5 B に示すように、トランジスタ 10 には、第 1 のボディ領域 18 と第 1 のソース電極 11 とを電氣的に接続する第 1 の接続部 18a が備わる。第 1 の接続部 18a は、第 1 のボディ領域 18 のうち、第 1 のソース領域 14 が形成されていない領域であり、第 1 のボディ領域 18 と同じ第 2 導電型である。第 1 のソース領域 14 と第 1 の接続部 18a とは、Y 方向に沿って交互に、かつ周期的に繰り返し配置される。トランジスタ 20 およびトランジスタ 30 についても同様である。

[0084] 本開示に係る半導体装置 1 では、第 1 導電型を N 型、第 2 導電型を P 型として、第 1 のソース領域 14、第 2 のソース領域 24、第 3 のソース領域 34、半導体基板 42、および、低濃度不純物層 43 は N 型半導体であり、かつ、第 1 のボディ領域 18、第 1 の接続部 18a、第 2 のボディ領域 28、第 2 の接続部 28a、第 3 のボディ領域 38、第 3 の接続部 38a は P 型半導体であるとする。

[0085] [2. 半導体装置の動作]

実施の形態に係る半導体装置 1 では、電流は、第 1 の領域 A1 の第 1 のソースパッド 111 または第 2 の領域 A2 の第 2 のソースパッド 121 のどち

らか一方を流入口として、共通ドレイン領域および裏面ドレイン電極 4 1 を経由し、第 3 の領域 A 3 の第 3 のソースパッド 1 3 1 を流出口として流れることを想定する。すなわち実施の形態では、第 1 のソースパッド 1 1 1 から第 2 のソースパッド 1 2 1 への経路、または、その逆の経路で導通する駆動を想定しない。

[0086] 半導体装置 1 において、第 1 の領域 A 1 の第 1 のソースパッド 1 1 1 を流入口とし、第 3 の領域 A 3 の第 3 のソースパッド 1 3 1 を流出口として電流が流れる導通経路を、第 1 の導通経路とよぶ。第 2 の領域 A 2 の第 2 のソースパッド 1 2 1 を流入口とし、第 3 の領域 A 3 の第 3 のソースパッド 1 3 1 を流出口として電流が流れる導通経路を、第 2 の導通経路とよぶ。

[0087] 第 1 の導通経路では、以下のように電流が流れる。まず半導体装置 1 において、第 1 のソース電極 1 1 に高電圧および第 3 のソース電極 3 1 に低電圧を印加し、第 1 のソース電極 1 1 を基準として第 1 のゲート電極 1 9（第 1 のゲート導体 1 5）にしきい値以上で、十分な大きさの電圧を印加（ON 制御）する。すると第 1 のボディ領域 1 8 中の第 1 のゲート絶縁膜 1 6 の近傍に導通チャネルが形成される。

[0088] さらに第 1 のゲート電極 1 9 に印加された電圧は、第 1 のゲート配線 1 1 8 と第 1 のダイオード 1 1 3、および第 3 のゲート配線 1 3 8 を介して、第 3 のゲート導体 3 5 まで伝達する。この電圧がしきい値以上（ON 制御）であれば、第 3 のボディ領域 3 8 中の第 3 のゲート絶縁膜 3 6 の近傍に導通チャネルが形成される。このとき、第 1 のソース電極 1 1－第 1 のソース領域 1 4－第 1 のボディ領域 1 8 に形成された導通チャネル－低濃度不純物層 4 3－半導体基板 4 2－金属層 4 1－半導体基板 4 2－低濃度不純物層 4 3－第 3 のボディ領域 3 8 に形成された導通チャネル－第 3 のソース領域 3 4－第 3 のソース電極 3 1 という経路で電流が流れて、半導体装置 1 が導通状態となる。

[0089] 上記の経路が第 1 の導通経路である。実施の形態に係る半導体装置 1 は、トランジスタ 1 0 を ON 制御すると、自ずとトランジスタ 3 0 も ON 制御さ

れる構造である。

[0090] 第1の導通経路を導通させる際には、トランジスタ20における第2のボディ領域28と低濃度不純物層43との接触面にあるPN接合をボディダイオードとして機能させていることに留意すべきである。これがあるために第1のソースパッド111から第2のソースパッド121へ導通することがない。半導体装置1において第1の導通経路を使用する場合には、トランジスタ20の、第2のゲート電極29（第2のゲート導体25）には、しきい値以上の電圧を印加しないこと（OFF制御）が望ましい。

[0091] なお、第1のダイオード113には一定の電圧降下がある。第1の導通経路を導通させるために第1のゲート電極19に印加する電圧は、トランジスタ30のしきい値よりも、第1のダイオード113の電圧降下の分だけ大きくなるように調節する必要がある。

[0092] ところで第3のゲート配線138には、第2のダイオード123を介して第2のゲート配線128も接続するが、第2のダイオード123は、電氣的に、第3のゲート配線138から第2のゲート配線128へ向かう方向が逆方向となるように形成される。このため、第1のゲート電極19に印加された電圧は、第2のゲート配線128（第2のゲート導体25）には伝達されない。

[0093] また第3のゲート配線138には、第2の抵抗素子124を介して第2のゲート配線128も接続するが、第2の抵抗素子124の抵抗値は、第3のゲート配線138からの電圧が十分に低減される大きさに調節される。このため、第1のゲート電極19に印加された電圧は、第2のゲート配線128（第2のゲート導体25）には、少なくともしきい値以上の大きさでは伝達されない。

[0094] 第2の導通経路では、以下のように電流が流れる。まず半導体装置1において、第2のソース電極21に高電圧および第3のソース電極31に低電圧を印加し、第2のソース電極21を基準として第2のゲート電極29（第2のゲート導体25）にしきい値以上で、十分な大きさの電圧を印加（ON制

御)する。すると第2のボディ領域28中の第2のゲート絶縁膜26の近傍に導通チャネルを形成される。

[0095] さらに第2のゲート電極29に印加された電圧は、第2のゲート配線128と第2のダイオード123、および第3のゲート配線138を介して、第3のゲート導体35まで伝達する。この電圧がしきい値以上(ON制御)であれば、第3のボディ領域38中の第3のゲート絶縁膜36の近傍に導通チャネルが形成される。このとき第2のソース電極21-第2のソース領域24-第2のボディ領域28に形成された導通チャネル-低濃度不純物層43-半導体基板42-金属層41-半導体基板42-低濃度不純物層43-第3のボディ領域38に形成された導通チャネル-第3のソース領域34-第3のソース電極31という経路で電流が流れて、半導体装置1が導通状態となる。

[0096] 上記の経路が第2の導通経路である。実施の形態に係る半導体装置1は、トランジスタ20をON制御すると、自ずとトランジスタ30もON制御される構造である。

[0097] 第2の導通経路を導通させる際には、トランジスタ10における第1のボディ領域18と低濃度不純物層43との接触面にあるPN接合をボディダイオードとして機能させていることに留意すべきである。これがあるために第2のソースパッド121から第1のソースパッド111へ導通することがない。半導体装置1において第2の導通経路を使用する場合には、トランジスタ10の、第1のゲート電極19(第1のゲート導体15)には、しきい値以上の電圧を印加しないこと(OFF制御)が望ましい。

[0098] なお、第2のダイオード123には一定の電圧降下がある。第2の導通経路を導通させるために第2のゲート電極29に印加する電圧は、トランジスタ30のしきい値よりも、第2のダイオード123の電圧降下の分だけ大きくなるように調節する必要がある。

[0099] ところで第3のゲート配線138には、第1のダイオード113を介して第1のゲート配線118も接続するが、第1のダイオード113は、電氣的

に、第3のゲート配線138から第1のゲート配線118へ向かう方向が逆方向となるように形成される。このため、第2のゲート電極29に印加された電圧は、第1のゲート配線118（第1のゲート導体15）には伝達されない。

[0100] また第3のゲート配線138には、第1の抵抗素子114を介して第1のゲート配線118も接続するが、第1の抵抗素子114の抵抗値は、第3のゲート配線138からの電圧が十分に低減される大きさに調節される。このため、第2のゲート電極29に印加された電圧は、第1のゲート配線118（第1のゲート導体15）には、少なくともしきい値以上の大きさでは伝達されない。

[0101] ここまで説明したように、第1のダイオード113は、第1のゲートパッド119に印加された電圧が第3のゲート配線138に伝達されるまでに不要な降下になるべく起こらないよう、PNジャンクションが1個所だけ備わる構造であることが望ましい。また第1の抵抗素子114は、第1のゲートパッド119に印加された電圧が第2のゲート配線128に伝達されるまでにしきい値以下の電圧に降下するよう、十分な大きさの抵抗値であることが求められる。

[0102] 同様に、第2のダイオード123は、第2のゲートパッド129に印加された電圧が第3のゲート配線138に伝達されるまでに不要な降下になるべく起こらないよう、PNジャンクションが1個所だけ備わる構造であることが望ましい。また第2の抵抗素子124は、第2のゲートパッド129に印加された電圧が第1のゲート配線118に伝達されるまでにしきい値以下の電圧に降下するよう、十分な大きさの抵抗値であることが求められる。

[0103] なお、第1の導通経路においても第2の導通経路においても、半導体装置1内部を水平方向に流れる電流は、そのほとんどは抵抗率の低い金属層41を経由するが、一部には半導体基板42を流れることもある。

[0104] [3. 半導体装置の使用例]

図6は、それぞれ脱着が可能な第1の電源51と第2の電源52とから、

実施の形態に係る半導体装置 1 を経由して負荷 6 へ電流を流す給電回路の一部を示した回路図である。ここでは負荷 6 の電位を基準として、第 1 の電源 5 1 の電位が、第 2 の電源 5 2 の電位よりも高電位であるとする。

[0105] 実施の形態に係る半導体装置 1 は、高電位である第 1 の電源 5 1 からの給電と、それよりは低い電位である第 2 の電源 5 2 からの給電との 2 系統を合流し、低電位である下流の負荷 6 へ向けて 1 系統にまとめる機能を果たすように設置される。

[0106] 高電位である第 1 の電源 5 1 からの給電によって流れる電流の最大値を I_1 [A] とし、第 1 の電源 5 1 の電位よりは低電位である第 2 の電源 5 2 からの給電によって流れる電流の最大値を I_2 [A] とする。 I_1 、 I_2 は実施の形態に係る半導体装置 1 の製品データシートに記載される、それぞれ第 1 の導通経路および第 2 の導通経路における仕様最大電流値であると捉えて差し支えない。

[0107] 第 1 の電源 5 1 と第 2 の電源 5 2 の電位の関係から、 $I_1 > I_2$ の関係がある。相対的に大きい電流 I_1 が導通する、第 1 の電源 5 1 側は、半導体装置 1 において平面視での面積が大きいトランジスタ 10 の、第 1 のソースパッド 111 に接続されており、相対的に小さい電流 I_2 が導通する、第 2 の電源 5 2 側は、半導体装置 1 において平面視での面積が小さいトランジスタ 20 の、第 2 のソースパッド 121 に接続されている。

[0108] なお、半導体装置 1 と第 2 の電源 5 2 との間には、スイッチング素子 8 (例えば、シングル型の縦型 MOS トランジスタ) が接続されている。スイッチング素子 8 および半導体装置 1 には制御 IC 4 が接続されており、制御 IC 4 によってスイッチング素子 8、トランジスタ 10 およびトランジスタ 20 の ON/OFF がそれぞれ個別に制御される。

[0109] はじめに第 1 の電源 5 1 だけが接続され、第 2 の電源 5 2 が接続されない状態 (図 6 において第 2 の電源 5 2 が存在しない状態) について説明する。このとき、制御 IC 4 によってトランジスタ 10 が ON 制御され、かつトランジスタ 20 が OFF 制御される。トランジスタ 10 が ON 制御されるので

、自ずとトランジスタ30もON制御される。すると半導体装置1内の第1の導通経路を経て、第1の電源51から負荷6への給電がおこなわれる。

[0110] 第1の導通経路とは半導体装置1の内部の導通経路であり、先に説明したようにトランジスタ10の第1のソースパッド111を流入口とし、トランジスタ30の第3のソースパッド131を流出口として電流が流れる導通経路である。第1の導通経路を導通する際にはトランジスタ20はOFF制御される。トランジスタ20がOFF制御されているために、第1の電源51からの給電によって流れる電流が、第2の電源52の側へ向かうことを防止できる。

[0111] 次に第2の電源52だけが接続され、第1の電源51が接続されない状態（図6において第1の電源51が存在しない状態）について説明する。このとき、制御IC4によってトランジスタ20がON制御され、かつトランジスタ10がOFF制御される。トランジスタ20がON制御されるので、自ずとトランジスタ30もON制御される。すると半導体装置1内の第2の導通経路を経て、第2の電源52から負荷6への給電がおこなわれる。

[0112] 第2の導通経路とは半導体装置1の内部の導通経路であり、先に説明したようにトランジスタ20の第2のソースパッド121を流入口とし、トランジスタ30の第3のソースパッド131を流出口として電流が流れる導通経路である。第2の導通経路を導通する際にはトランジスタ10はOFF制御される。トランジスタ10がOFF制御されているために、第2の電源52からの給電によって流れる電流が、第1の電源51の側へ向かうことを防止できる。

[0113] 第1の電源51と第2の電源52とが同時に接続される場合（図6の状態）では、制御IC4によって、まずスイッチング素子8がOFF制御され、第1の電源51からの給電だけがおこなわれる状態を構成する。これは第1の電源51の方が高電位であり、給電に優位であるためである。さらにトランジスタ10がON制御され、トランジスタ20がOFF制御されることで、トランジスタ30もON制御され、第1の電源51から第1の導通経路を

経由した、負荷 6 への給電がおこなわれる。

[0114] [4. 半導体装置の効果]

図 6 に示した給電回路で、実施の形態に係る半導体装置 1 を使用しない場合の比較例を図 7 に示した。以下、比較例との対比で、実施の形態に係る半導体装置 1 を使用する場合の効果の説明する。

[0115] 図 7 に示す比較例においては、実施の形態に係る半導体装置 1 の代わりに、例えば、図 8 A、図 8 B に構造の一例を平面模式図で示したシングル構成の縦型 MOS トランジスタ 10 B（以下、トランジスタ 10 B という）と、図 9 A、図 9 B に構造の一例を平面模式図で示したシングル構成の縦型 MOS トランジスタ 20 B（以下、トランジスタ 20 B という）と、をそれぞれ使用する。さらに負荷 6 の直前には、図 8 A、図 8 B に構造の一例を平面模式図で示したシングル構成の縦型 MOS トランジスタ 30 B（以下、トランジスタ 30 B という）が接続される。

[0116] トランジスタ 10 B、トランジスタ 20 B、トランジスタ 30 B で、実施の形態に係る半導体装置 1 が有するのと同様の構成要素については、対応する構成要素の符号に B を追加して示している。

[0117] トランジスタ 10 B は、平面視で 2 つのソースパッド 111 B と 1 つのゲートパッド 119 B の他に、1 つのドレインパッド 151 B を有している。トランジスタ 10 B のドレインパッド 151 B は表面ドレイン電極と接続し、例えば、トランジスタ 10 B のソースパッド 111 B から流入した電流の流出口となる。

[0118] トランジスタ 20 B は、平面視で 2 つのソースパッド 121 B と 1 つのゲートパッド 129 B の他に、1 つのドレインパッド 152 B を有している。トランジスタ 20 B のドレインパッド 152 B は表面ドレイン電極と接続し、例えば、トランジスタ 20 B のソースパッド 121 B から流入した電流の流出口となる。

[0119] トランジスタ 30 B は、平面視で 2 つのソースパッド 131 B と 1 つのゲートパッド 139 B の他に、1 つのドレインパッド 153 B を有している。

トランジスタ 30 B のドレインパッド 153 B は表面ドレイン電極と接続し、例えば、トランジスタ 30 B のソースパッド 131 B へ流出する電流の流入口となる。

[0120] 図 8 B、図 9 B では、本実施の形態に係る半導体装置 1 の平面模式図（図 2 B）で示したのと同じように、半導体層 40 の表面側に、ソース電極の部分 13 B（23 B、33 B）、ゲート電極 19 B（29 B、39 B）、ゲート配線 118 B（128 B、138 B）、そしてドレインパッド 151 B（152 B、153 B）が接続する表面ドレイン電極が形成された直後の様子を示したものである。図 8 B、図 9 B では分かりやすさのため、この時点では見えないはずのパッドを点線で示している。

[0121] トランジスタ 10 B のソース電極の部分 13 B の平面視での面積と、実施の形態に係る半導体装置 1 に備わるトランジスタ 10 が有する第 1 のソース電極 11 の部分 13 の平面視での面積とは同じである。またトランジスタ 30 B のソース電極の部分 33 B の平面視での面積と、実施の形態に係る半導体装置 1 に備わるトランジスタ 30 が有する第 3 のソース電極 31 の部分 33 の平面視での面積とは同じである。したがって、図 7 において第 1 の電源 51 からトランジスタ 10 B とトランジスタ 30 B を経て負荷 6 へ流れる経路の導通抵抗は、図 6 における実施の形態に係る半導体装置 1 の第 1 の導通経路の導通抵抗と同等であると捉えて差し支えない。

[0122] またトランジスタ 20 B のソース電極の部分 23 B の平面視での面積と、実施の形態に係る半導体装置 1 に備わるトランジスタ 20 が有する第 2 のソース電極 21 の部分 23 の平面視での面積とは同じである。したがって、図 7 において第 2 の電源 52 からトランジスタ 20 B とトランジスタ 30 B を経て負荷 6 へ流れる経路の導通抵抗は、図 6 における実施の形態に係る半導体装置 1 の第 2 の導通経路の導通抵抗と同等であると捉えて差し支えない。

[0123] 図 7 に示す給電回路において、第 1 の電源 51 のみが接続される（図 7 で第 2 の電源 52 が存在しない）場合、制御 IC 4 により、トランジスタ 20 B は OFF 制御されて、第 1 の電源 51 からの給電によって流れる電流が、

第2の電源52の側へ向かうことを防ぐ。さらにトランジスタ10Bのゲートパッド119Bにはしきい値以上の電圧が印加されてON制御され、さらにトランジスタ30Bのゲートパッド139Bにもしきい値以上の電圧が印加されてON制御される。

[0124] したがって第1の電源51からの給電によって流れる電流は、トランジスタ10Bのソースパッド111Bから流入し、ドレインパッド151Bから流出し、その後、トランジスタ30Bのドレインパッド153Bから流入し、ソースパッド131Bから流出する。図8A、図8Bに示すように、トランジスタ10Bの平面視での面積（ソース電極の部分13Bの面積）が相対的に大きいのは、第1の電源51からの給電によって流れる電流が相対的に大きいためである。

[0125] 図7に示す給電回路において、第2の電源52のみが接続される（図7で第1の電源51が存在しない）場合、制御IC4により、トランジスタ10BはOFF制御されて、第2の電源52からの給電によって流れる電流が、第1の電源51の側へ向かうことを防ぐ。さらにトランジスタ20Bのゲートパッド129Bにはしきい値以上の電圧が印加されてON制御され、さらにトランジスタ30Bのゲートパッド139Bにもしきい値以上の電圧が印加されてON制御される。

[0126] したがって第2の電源52からの給電によって流れる電流は、トランジスタ20Bのソースパッド121Bから流入し、ドレインパッド152Bから流出し、その後、トランジスタ30Bのドレインパッド153Bから流入し、ソースパッド131Bから流出する。図9A、図9Bに示すように、トランジスタ20Bの平面視での面積（ソース電極の部分23Bの面積）が相対的に小さいのは、第2の電源52からの給電によって流れる電流が相対的に小さいためである。

[0127] 以上のように、図7に示す比較例に係る給電回路では、トランジスタ10Bおよびトランジスタ30Bは、図6の給電回路における、実施の形態に係る半導体装置1に備わるトランジスタ10およびトランジスタ30と同じ機能

を果たす。同様に、図 7 に示す比較例に係る給電回路では、トランジスタ 20B およびトランジスタ 30B は、図 6 の給電回路における、実施の形態に係る半導体装置 1 に備わるトランジスタ 20 およびトランジスタ 30 と同じ機能を果たす。

[0128] しかしながら図 7 に示す、比較例に係る給電回路を搭載する回路基板では、トランジスタ 10B とトランジスタ 20B およびトランジスタ 30B のそれぞれの面積と、それぞれの間に設けねばならない一定の設置マージンとを確保する必要がある。またトランジスタ 10B、トランジスタ 20B、トランジスタ 30B は、平面視でそれぞれにドレインパッド（151B、152B、153B）を有するため、一定の面積を必要とする構造である。

[0129] 一方で、図 6 に示す給電回路を搭載する回路基板では、実施の形態に係る半導体装置 1 を利用することで、比較例に係るトランジスタ 10B、トランジスタ 20B、トランジスタ 30B を 1 つに統合することができる。これによって、比較例に係る給電回路を搭載する回路基板では必要であったトランジスタ 10B、トランジスタ 20B、トランジスタ 30B のそれぞれの間に設けねばならない一定の設置マージンを不要とすることができる。

[0130] また実施の形態に係る半導体装置 1 では、比較例におけるトランジスタ 10B、トランジスタ 20B、トランジスタ 30B がそれぞれに有するドレインパッド（151B、152B、153B）を削除することができる。さらにいえば、実施の形態に係る半導体装置 1 では、第 3 のトランジスタ 30 にはゲートパッドも存在しないため、図 7 に示す比較例におけるトランジスタ 30B（図 8B）には形成されているゲートパッド 139B をも不要にすることができる。

[0131] 以上のように、実施の形態に係る半導体装置 1 を使用すれば、回路基板に必要な面積を大幅に縮小することができる。図 6 に示す給電回路を搭載する回路基板では、比較例に比べて、基板自体を縮小することも可能となり、また、生じた余剰部分に別の部品を搭載することも可能となる。

[0132] したがって実施の形態に係る半導体層 1 は、フェイスダウン実装が可能な

チップサイズパッケージ型の半導体装置 1 であって、裏面側に半導体基板 4 2 を有し、半導体装置 1 の平面視において、互いに重複しない第 1 の領域 A 1、第 2 の領域 A 2、第 3 の領域 A 3、のそれぞれ分散して配置されない 3 つの領域に分けられた半導体層 4 0 と、半導体層 4 0 の第 1 の領域 A 1 に、その全体が形成された第 1 の縦型 MOS トランジスタ 1 0 と、半導体層 4 0 の第 2 の領域 A 2 に、その全体が形成された第 2 の縦型 MOS トランジスタ 2 0 と、半導体層 4 0 の第 3 の領域 A 3 に、その全体が形成された第 3 の縦型 MOS トランジスタ 3 0 と、半導体層 4 0 の裏面側に接触して形成された金属層 4 1 と、を備え、半導体基板 4 2 は、第 1 の縦型 MOS トランジスタ 1 0 と第 2 の縦型 MOS トランジスタ 2 0 と第 3 の縦型 MOS トランジスタ 3 0 の共通ドレイン領域であり、平面視において、第 1 の領域 A 1 に内包される位置に、第 1 の縦型 MOS トランジスタ 1 0 の第 1 のソースパッド 1 1 1 と第 1 のゲートパッド 1 1 9 および第 1 のゲートパッド 1 1 9 と接続する第 1 のゲート配線 1 1 8 が形成され、平面視において、第 2 の領域 A 2 に内包される位置に、第 2 の縦型 MOS トランジスタ 2 0 の第 2 のソースパッド 1 2 1 と第 2 のゲートパッド 1 2 9 および第 2 のゲートパッド 1 2 9 と接続する第 2 のゲート配線 1 2 8 が形成され、平面視において、第 3 の領域 A 3 に内包される位置に、第 3 の縦型 MOS トランジスタ 3 0 の第 3 のソースパッド 1 3 1 および第 3 のゲート配線 1 3 8 が形成され、第 1 のゲート配線 1 1 8 と第 3 のゲート配線 1 3 8 とは、電氣的に、第 1 のゲート配線 1 1 8 から第 3 のゲート配線 1 3 8 に向かう方向を順方向とする第 1 のダイオード 1 1 3 を介して直列に接続され、第 2 のゲート配線 1 2 8 と第 3 のゲート配線 1 3 8 とは、電氣的に、第 2 のゲート配線 1 2 8 から第 3 のゲート配線 1 3 8 に向かう方向を順方向とする第 2 のダイオード 1 2 3 を介して直列に接続された半導体装置 1 であることを特徴とする。

[0133] 実施の形態に係る半導体装置 1 は、第 1 のダイオード 1 1 3 が備わることで、トランジスタ 1 0 を ON 制御すると自ずとトランジスタ 3 0 も ON 制御される構造であり、第 1 の導通経路が導通する。このとき第 3 のゲート配線

138から見て、電氣的に第2のダイオード123が逆方向に形成されることで、トランジスタ20はON制御されることがない。

[0134] 同様に、第2のダイオード123が備わることで、トランジスタ20をON制御すると自ずとトランジスタ30もON制御される構造であり、第2の導通経路が導通する。このとき第3のゲート配線138から見て、電氣的に第1のダイオード113が逆方向に形成されることで、トランジスタ10はON制御されることがない。

[0135] 第1のダイオード113は一方の端部が第1のゲート配線118と接続し、他方の端部が第3のゲート配線138と接続する。同様に、第2のダイオード123は一方の端部が第2のゲート配線128と接続し、他方の端部が第3のゲート配線138と接続する。

[0136] したがって実施の形態に係る半導体装置1では、平面視において、第1のダイオード113は、第1のダイオード113の一方の端部が第1の領域A1にあり、第1のダイオード113の他方の端部が第3の領域A3にあるように形成され、平面視において、第2のダイオード123は、第2のダイオード123の一方の端部が第2の領域A2にあり、第2のダイオード123の他方の端部が第3の領域A3にあるように形成されることを特徴とする。

[0137] 上記のように第1のダイオード113および第2のダイオード123が形成されると、第1の導通経路あるいは第2の導通経路の導通面積が不要に削減されることを防ぐ効果も得られる。

[0138] 図2Bに示すように、第1のダイオード113は典型的に、平面視で第1の領域A1と第3の領域A3との境界線90（P1からP2までの点線）をまたいで設置される。第1の領域A1に第1のEQR116が、第3の領域A3に第3のEQR136が、それぞれ設置される場合は、平面視で、第1のEQR116と第3のEQR136とが共通化されるところが第1の領域A1と第3の領域A3との境界線90となるが、第1のダイオード113を設置するためには共通化されたEQRを一部で分断せねばならないことがある。

[0139] したがって実施の形態に係る半導体装置 1 では、平面視において、第 1 の領域 A 1 の外周の少なくとも一部には第 1 の E Q R 1 1 6 が形成され、平面視において、第 3 の領域 A 3 の外周の少なくとも一部には第 3 の E Q R 1 3 6 が形成され、平面視で、第 1 の領域 A 1 と第 3 の領域 A 3 とが対向する部分において、第 1 の E Q R 1 1 6 と第 3 の E Q R 1 3 6 とは共通化されており、平面視において、第 1 のダイオード 1 1 3 は、第 1 の E Q R と第 3 の E Q R とが共通化されていない部分に設置されていてもよい。すなわち平面視で、第 1 のダイオード 1 1 3 は、第 1 の領域 A 1 と第 3 の領域 A 3 との境界線 9 0 となる、共通化された E Q R が途切れる箇所に設置されていてもよい。

[0140] ところで図 6 に示す給電回路において、第 1 のゲートパッド 1 1 9 へも、第 2 のゲートパッド 1 2 9 へも、共に電圧印加がない場合がある。このとき半導体装置 1 について、直前の使用状態によっては、第 1 のゲート配線 1 1 8 および第 3 のゲート配線 1 3 8、あるいは第 2 のゲート配線 1 2 8 および第 3 のゲート配線 1 3 8 に電位が残ることがある。

[0141] 第 1 の抵抗素子 1 1 4 を介して第 1 のゲート配線 1 1 8 と第 3 のゲート配線 1 3 8 が接続されていると、第 1 の抵抗素子 1 1 4 の抵抗値が高くとも、第 1 のゲート配線 1 1 8 および第 3 のゲート配線 1 3 8 の残電位を、第 1 のゲートパッド 1 1 9 へ逃がす経路が形成されるので都合がよい。同様に第 2 の抵抗素子 1 2 4 を介して第 2 のゲート配線 1 2 8 と第 3 のゲート配線 1 3 8 が接続されていると、第 2 の抵抗素子 1 2 4 の抵抗値が高くとも、第 2 のゲート配線 1 2 8 および第 3 のゲート配線 1 3 8 の残電位を、第 2 のゲートパッド 1 2 9 へ逃がす経路が形成されるので都合がよい。

[0142] したがって実施の形態に係る半導体装置 1 では、第 1 のゲート配線 1 1 8 と第 3 のゲート配線 1 3 8 とは、第 1 の抵抗素子 1 1 4 を介して直列に接続され、第 1 のダイオード 1 1 3 と第 1 の抵抗素子 1 1 4 とは、第 1 のゲート配線 1 1 8 と第 3 のゲート配線 1 3 8 との間で並列に接続され、第 2 のゲート配線 1 2 8 と第 3 のゲート配線 1 3 8 とは、第 2 の抵抗素子 1 2 4 を介し

て直列に接続され、第2のダイオード123と第2の抵抗素子124とは、第2のゲート配線128と第3のゲート配線138との間で並列に接続されていてよい。

[0143] 第1の抵抗素子114は一方の端部が第1のゲート配線118と接続し、他方の端部が第3のゲート配線138と接続する。同様に、第2の抵抗素子124は一方の端部が第2のゲート配線128と接続し、他方の端部が第3のゲート配線138と接続する。

[0144] したがって実施の形態に係る半導体装置1では、平面視において、第1の抵抗素子114は、第1の抵抗素子114の一方の端部が第1の領域A1にあり、第1の抵抗素子114の他方の端部が第3の領域A3にあるように形成され、平面視において、第2の抵抗素子124は、第2の抵抗素子124の一方の端部が第2の領域A2にあり、第2の抵抗素子124の他方の端部が第3の領域A3にあるように形成されることが望ましい。

[0145] 上記のように第1の抵抗素子114および第2の抵抗素子124が形成されると、第1の導通経路あるいは第2の導通経路の導通面積が不要に削減されることを防ぐ効果も得られる。

[0146] 実施の形態に係る半導体装置1において、第1の導通経路は、第1の領域A1の第1のソースパッド111を流入口とし、第3の領域A3の第3のソースパッド131を流出口とする。このため第1の領域A1と第3の領域A3とは平面視で隣接していると、第1の導通経路は短縮されて導通抵抗を低減できるので都合がよい。同様に、第2の導通経路は、第2の領域A2の第2のソースパッド121を流入口とし、第3の領域A3の第3のソースパッド131を流出口とする。このため第2の領域A2と第3の領域A3とは平面視で隣接していると、第2の導通経路は短縮されて導通抵抗を低減できるので都合がよい。

[0147] したがって、平面視において第1の領域A1および第2の領域A2は、第3の領域A3を挟んで配置され、第3の領域A3は、第1の領域A1および第2の領域A2に隣接していることが望ましい。

[0148] 実施の形態に係る半導体装置 1 では、第 1 の導通経路の導通抵抗を低くすることを重視する。このため図 2 A または図 2 B に示すように、平面視において、第 1 の領域 A 1 と第 3 の領域 A 3 との対向長（P 1 から P 2 までの点線の長さ）は、第 2 の領域 A 2 と第 3 の領域 A 3 との対向長（P 3 から P 5 を経て P 4 までの点線の長さ）よりも長くなるように配置されることが好ましい。半導体装置 1 の平面視での配置を上記のようにすると第 1 の導通経路で最も電流密度が高まるところを拡大できる（対向長を長くする）ので、導通抵抗を低めることができる。

[0149] 実施の形態に係る半導体装置 1 では、相対的に大きい電流を導通させる第 1 の導通経路において、流入口と流出口の平面視での面積が同程度であることが望ましい。流入口もしくは流出口のいずれか一方が相対的に小さいと、そこがボトルネックとなって導通抵抗が高まるからである。

[0150] したがって実施の形態に係る半導体装置 1 では、平面視において、第 1 の領域 A 1 に内包される位置に、第 1 の縦型 MOS トランジスタ 1 0 の第 1 のソース電極が形成され、平面視において、第 3 の領域 A 3 に内包される位置に、第 3 の縦型 MOS トランジスタ 3 0 の第 3 のソース電極が形成され、平面視において、第 1 のソース電極の面積は、第 3 のソース電極の面積と略同等であることが望ましい。ここでいう第 1 のソース電極および第 3 のソース電極とは、第 1 のソース電極 1 1 および第 3 のソース電極 3 1 のうち、半導体層 4 0 と直接に接触する、部分 1 3 および部分 3 3 のことである。

[0151] また実施の形態に係る半導体装置 1 では、平面視で第 3 の領域 A 3 にはゲートパッドおよびゲート電極が存在しないため、第 1 のソース電極 1 1 の部分 1 3 と第 3 のソース電極 3 1 の部分 3 3 の平面視での面積が同じであっても、第 3 の領域 A 3 の面積 a_3 を第 1 の領域 A 1 の面積 a_1 と比べて縮小することができる。

[0152] なお、第 2 の導通経路は仕様の電流が小さいため、これを加味して導通の面積を小さくすることができる。このとき流出口（第 3 のソース電極 3 1 の部分 3 3）の平面視での面積が流入口（第 2 のソース電極 2 1 の部分 2 3）

の面積よりも大きいことは問題にならない。

[0153] したがって実施の形態に係る半導体装置 1 では、平面視において、第 1 の領域 A 1 の面積 a_1 は第 3 の領域 A 3 の面積 a_3 よりも大きく、第 3 の領域 A 3 の面積 a_3 は第 2 の領域 A 2 の面積 a_2 よりも大きいことが望ましい。なお第 1 の領域 A 1 の平面視での面積 a_1 と第 3 の領域 A 3 の平面視での面積 a_3 との差は、およそ第 1 のゲートパッド 119 の 1 個分程度である。

[0154] 図 10A、図 10B に、実施の形態に係る半導体装置 1 の構造の変形例を示す平面模式図を示す。図 10B は図 2B と同様で、半導体層 40 の表面側に第 1 のソース電極 11 の部分 13、第 1 のゲート電極 19、第 1 のゲート配線 118、第 2 のソース電極 21 の部分 23、第 2 のゲート電極 29、第 2 のゲート配線 128、そして第 3 のソース電極 31 の部分 33、第 3 のゲート配線 138、が形成された直後の様子を示したものである。この時点では見えないはずのパッドは点線で示している。

[0155] 図 10A、図 10B に示す変形例では、図 2A、図 2B と比べると、第 3 の領域 A 3 が第 1 の領域 A 1 と第 2 の領域 A 2 とに挟まれて配置されておらず、第 1 の領域 A 1 と第 2 の領域 A 2 とが隣接する個所がある。また平面視において、第 1 のゲートパッド 119 が第 1 の領域 A 1 において、第 3 の領域 A 3 と近接する位置に設置されている。

[0156] 第 1 のゲートパッド 119 が第 1 の領域 A 1 において、第 3 の領域 A 3 と近接する位置に設置されるとは、第 1 の領域 A 1 において、第 1 のゲートパッド 119 と、第 1 のゲートパッド 119 と最近接する第 3 の領域 A 3 との間に、第 1 のソースパッド 111 が一部でも挟まれて配置されないことをいう。

[0157] このような配置であると、第 1 のゲートパッド 119 と第 3 のゲート配線 138 との接続距離を短くすることができる。したがって第 1 のゲートパッド 119 に印加された電圧を、素早く第 3 のゲート配線 138 へ伝達することができるので、半導体装置 1 の応答速度を向上させることができる。この効果は、平面視における、第 2 のゲートパッド 129 と第 3 の領域 A 3 との

配置についても同様である。

[0158] したがって、平面視において、第1のゲートパッド119は、第3の領域A3と近接する位置に設置され、平面視において、第2のゲートパッド129は、第3の領域A3と近接する位置に設置されてもよい。

[0159] ところで、図2Bおよび図10Bのいずれに示す例においても、半導体装置1に第1のツエナーダイオード115および／または第2のツエナーダイオード125が形成される場合は、第1のダイオード113および／または第2のダイオード123も同時に形成することが望ましい。同時に形成することで、半導体装置1の製造を容易にすることができる。

[0160] そもそも第1のツエナーダイオード115および／または第2のツエナーダイオード125と、第1のダイオード113および／または第2のダイオード123とは、共にダイオードであり、PNジャンクションの形成位置や個数、あるいは電氣的なPNジャンクションの方向を適切に制御するだけで、それぞれの機能を果たすことができる。第1のツエナーダイオード115および／または第2のツエナーダイオード125と、第1のダイオード113および／または第2のダイオード123とは、図2Bに示すように、半導体装置1の平面視で、面内の設置位置が異なるだけである。このため、応じて不純物の注入位置を面内で変えるだけで、同時に形成することが可能である。

[0161] このとき、平面視で、第1のダイオード113と第1のツエナーダイオード115とに備わる、同じ導電型を示す領域同士を比べると、当該導電型の不純物の濃度は、それぞれに同じとなる。不純物の濃度が同じというのは、ある領域とある領域とを、深さ方向で対比したときの、当該不純物の濃度プロファイルが概ね一致するということである。

[0162] したがって、平面視において、第1の領域A1に内包される位置に、第1の縦型MOSトランジスタ10の第1のソース電極11（の部分13）と第1のゲート電極19とが形成され、平面視において、第1のソース電極11（の部分13）と第1のゲート電極19との間には、第1のツエナーダイオ

ード115が形成され、第1のダイオード113と第1のツエナーダイオード115とに含まれる、同じ導電型の領域における、同じ導電型の不純物は同じ濃度であってよい。

[0163] 同様に、半導体装置1に第1のゲート抵抗素子117および／または第2のゲート抵抗素子127が形成される場合は、第1の抵抗素子114および／または第2の抵抗素子124も同時に形成することが望ましい。同時に形成することで、半導体装置1の製造を容易にすることができる。

[0164] したがって、平面視において第1の領域A1には、第1の縦型MOSトランジスタ10の第1のゲート電極19が形成され、平面視で、第1のゲート電極19と第1のゲート配線118との間には、第1のゲート抵抗素子117が形成され、第1の抵抗素子114と第1のゲート抵抗素子117とに含まれる、同じ導電型の領域における、当該同じ導電型の不純物は同じ濃度であってよい。

[0165] [5. 追加の考察]

実施の形態に係る半導体装置1を使用した図6に示す例に戻る。ON状態におけるトランジスタでは、一般的にトランジスタの平面視での面積が大きいと総ゲート幅が増大するため、導通抵抗が低くなる。つまりトランジスタの平面視での面積と導通抵抗とは概ね逆比例の関係にある。

[0166] 半導体装置1において、第1の導通経路を成すトランジスタ10の平面視での面積 a_1 は、第2の導通経路を成すトランジスタ20の平面視での面積 a_2 よりも大きい。このため第1の導通経路の方が導通抵抗が低く、相対的に大きい電流を流すことに適する経路となっている。

[0167] 第1の導通経路の導通抵抗 R_1 [Ω] は、第1の電源51からの給電によって流れる電流の最大値 I_1 [A] を加味して定めればよい。同様に、第2の導通経路の導通抵抗 R_2 [Ω] は、第2の電源52からの給電によって流れる電流の最大値 I_2 [A] を加味して定めればよい。したがって実施の形態に係る半導体装置1では、第1の導通経路と第2の導通経路とにそれぞれ適した導通抵抗が実現するように、トランジスタ10とトランジスタ20の

それぞれの面積を決めることが望ましい。

[0168] しかし上記のように求めた、各トランジスタの平面視での面積が過度に小さいと、ESD耐性が低下するおそれがある。これは、トランジスタにおいて平面視での面積が小さいと、ゲート電極に印加された過剰な電圧やサージ電流が、そのトランジスタのセル（ゲート導体）では十分な分散に至らないことに起因している。

[0169] 半導体装置1のESD保証値（静電耐性保証値）を以降、 ESD_t [V]と表すと、実施の形態に係る半導体装置1では、最も面積の小さいトランジスタ20で、 ESD_t 以上の耐性を実現することが求められる。図6で示したような給電回路で用いる場合、典型的に半導体装置1で求められる ESD_t は1000 [V]～2000 [V]程度である。

[0170] 所望の ESD_t を実現する目的で、トランジスタ20でいえば、第2のツエナーダイオード125または／および第2のゲート抵抗素子127を設置することを説明した。しかし第2のツエナーダイオード125を設置することは、図6におけるトランジスタ20の部分に示すように、第2のゲートパッド129（第2のゲート電極29）と第2のソースパッド121（第2のソース電極21の部分23）とを接続する経路を設けることになるので、ゲートーソース間のリーク電流を生じさせてしまう副作用がある。

[0171] 図11に、本発明者らが実験で確認した、トランジスタの平面視での面積 a [mm²]と、ゲートパッドに印加したときにそのトランジスタが破壊されないことが確認できた最大の電圧値 ESD_t [V]との関係を示す。横軸は a であり、縦軸は ESD_t である。なおトランジスタの平面視での面積 a とは、実施の形態に係る半導体装置1の例でいえば、それぞれ第1の領域A1の平面視での面積 a_1 や、第2の領域A2の平面視での面積 a_2 のことである。すなわち導通に寄与しない領域も含めたものである。

[0172] 丸のマーカでプロットしたデータは、ツエナーダイオードも、ゲート抵抗素子も、共に設置されないトランジスタを用いておこなったものである。三角のマーカでプロットしたデータは、ツエナーダイオードだけが設置され、

ゲート抵抗素子は設置されないトランジスタを用いておこなったものである。ひし形のマーカでプロットしたデータは、ツエナーダイオードも、ゲート抵抗素子も、共に設置されたトランジスタを用いておこなったものである。

[0173] 図11より、ゲート抵抗素子が設置されない場合、トランジスタの面積 a を大きくするほどESDtが高まる傾向があることが分かる。またトランジスタの面積 a を拡大せずとも、ツエナーダイオードを設置することでESDtが向上することも分かる。ツエナーダイオードに加えてゲート抵抗素子を設置すると、トランジスタの面積に依らず、ほぼ一定のESDtが得られる。

[0174] 実施の形態に係る半導体装置1のESD保証値を、例えば2000[V]としたい場合、最も平面視での面積が小さいトランジスタ20について2000[V]が保証できればよい。図11によれば、トランジスタ20の平面視での面積 a_2 が、約2.0[mm²]を下回るのであれば、第2のツエナーダイオード125や第2のゲート抵抗素子127を設置することが望ましいといえる。一方、第2のツエナーダイオード125の設置によって、ゲートソース間にリーク電流が増加することを回避したい場合は、第2のツエナーダイオード125は設置しない方がよい。必要なESD保証値が2000[V]であるならば、トランジスタ20の平面視での面積 a_2 が約2.0[mm²]以上あればよいことになる。

[0175] したがって、図11の丸のマーカのデータによれば、半導体装置1の製品データシートに記載の静電耐性保証値をESDt[V]とし、平面視での第2の領域A2の面積を a_2 [mm²]とすると、 $a_2 > (ESDt - 93) / 990$ の関係が成り立てばよい。

[0176] さらにこのとき、平面視において第2の領域A2に内包される位置に、第2の縦型MOSトランジスタ20の第2のソース電極21の部分23と第2のゲート電極29とが形成され、第2のソース電極21の部分23と第2のゲート電極29との間を電氣的に接続する経路は存在せず、第2のゲート電極29と第2のゲート配線128とは、抵抗体を介することなく接続されて

いてもよい。

[0177] 上記のような構造にすることで、トランジスタ 20 おいて、ゲートーソース間にリーク電流が増加することを回避しつつ、半導体装置 1 に所望の ESD 保証値 (ESD_t [V]) を得ることができる。

[0178] このとき、半導体装置 1 において平面視での面積がさらに大きいトランジスタ 10 では、既に十分な ESD_t を実現できているはずである。したがって、平面視において第 1 の領域 A1 に内包される位置に、第 1 の縦型 MOS トランジスタ 10 の第 1 のソース電極 11 の部分 13 と第 1 のゲート電極 19 とが形成され、第 1 のソース電極 11 の部分 13 と第 1 のゲート電極 19 との間を電氣的に接続する経路は存在せず、第 1 のゲート電極 19 と第 1 のゲート配線 118 とは、抵抗体を介することなく接続されていてもよい。

[0179] このような構造であると、トランジスタ 10 おいて、ゲートーソース間のリーク電流が不要に増加することを回避することができる。

[0180] なお、平面視での第 2 の領域 A2 の面積 a2 について、 $a2 < (ESD_t - 93) / 990$ の関係であっても、第 2 のツエナーダイオード 125 や第 2 のゲート抵抗素子 127 を設置することで所望の ESD 保証値を実現できることがある。

[0181] したがって、平面視において第 1 の領域 A1 に内包される位置に、第 1 の縦型 MOS トランジスタ 10 の第 1 のソース電極 11 の部分 13 と第 1 のゲート電極 19 とが形成され、第 1 のソース電極 11 の部分 13 と第 1 のゲート電極 19 との間を電氣的に接続する経路は存在せず、第 1 のゲート電極 19 と第 1 のゲート配線 118 とは、抵抗体を介することなく接続されており、平面視において第 2 の領域 A2 に内包される位置に、第 2 の縦型 MOS トランジスタ 20 の第 2 のソース電極 21 の部分 23 と第 2 のゲート電極 29 とが形成され、第 2 のソース電極 21 の部分 23 と第 2 のゲート電極 29 とは、第 2 のツエナーダイオード 125 を介して接続されており、第 2 のゲート電極 29 と第 2 のゲート配線 128 とは、間に第 2 のゲート抵抗素子 127 を介して直列に接続されていてもよい。

[0182] 上記のような構造にすることで、トランジスタ10において、不要にゲートソース間のリーク電流が増加することを回避しつつ、半導体装置1の所望のESD保証値(ESDt[V])を得ることができる。

[0183] 以上、開示の一態様に係る半導体装置について、実施の形態および変形例に基づいて説明したが、本開示は実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれら実施の形態に施したものや、異なる実施の形態および変形例における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0184] 本願発明に係る縦型MOSトランジスタを備える半導体装置は、電流経路の導通状態を制御する装置として広く利用できる。

符号の説明

- [0185]
- 1 半導体装置
 - 4 制御IC
 - 6 負荷
 - 8 スイッチング素子
 - 10 トランジスタ(第1の縦型MOSトランジスタ)
 - 10B、20B、30B トランジスタ(シングル構成の縦型MOSトランジスタ)
 - 11 第1のソース電極
 - 12、13、13B、22、23、23B、32、33、33B 部分
 - 14 第1のソース領域
 - 15 第1のゲート導体
 - 16 第1のゲート絶縁膜
 - 17 第1のゲートトレンチ
 - 18 第1のボディ領域
 - 18a 第1の接続部

- 19 第1のゲート電極
- 19B、29B、39B ゲート電極
- 20 トランジスタ（第2の縦型MOSトランジスタ）
- 21 第2のソース電極
- 24 第2のソース領域
- 25 第2のゲート導体
- 26 第2のゲート絶縁膜
- 27 第2のゲートトレンチ
- 28 第2のボディ領域
- 28a 第2の接続部
- 29 第2のゲート電極
- 30 トランジスタ（第3の縦型MOSトランジスタ）
- 31 第3のソース電極
- 34 第3のソース領域
- 35 第3のゲート導体
- 36 第3のゲート絶縁膜
- 37 第3のゲートトレンチ
- 38 第3のボディ領域
- 38a 第3の接続部
- 40 半導体層
- 41 金属層（裏面ドレイン電極）
- 42 半導体基板
- 43 低濃度不純物層
- 44 層間絶縁層
- 45 パッシベーション層
- 90 境界線
- 111 第1のソースパッド
- 111B、121B、131B ソースパッド

- 1 1 3 第1のダイオード
- 1 1 4 第1の抵抗素子
- 1 1 5 第1のツエナーダイオード
- 1 1 6 第1のE Q R
- 1 1 7 第1のゲート抵抗素子
- 1 1 8 第1のゲート配線
- 1 1 8 B、1 2 8 B、1 3 8 B ゲート配線
- 1 1 9 第1のゲートパッド
- 1 1 9 B、1 2 9 B、1 3 9 B ゲートパッド
- 1 2 1 第2のソースパッド
- 1 2 3 第2のダイオード
- 1 2 4 第2の抵抗素子
- 1 2 5 第2のツエナーダイオード
- 1 2 6 第2のE Q R
- 1 2 7 第2のゲート抵抗素子
- 1 2 8 第2のゲート配線
- 1 2 9 第2のゲートパッド
- 1 3 1 第3のソースパッド
- 1 3 6 第3のE Q R
- 1 3 8 第3のゲート配線
- 1 5 1 B、1 5 2 B、1 5 3 B ドレインパッド
- A 1 第1の領域
- A 2 第2の領域
- A 3 第3の領域

請求の範囲

- [請求項1] フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、
- 裏面側に半導体基板を有し、前記半導体装置の平面視において、互いに重複しない第1の領域、第2の領域、第3の領域、のそれぞれ分散して配置されない3つの領域に分けられた半導体層と、
- 前記半導体層の前記第1の領域に、その全体が形成された第1の縦型MOSトランジスタと、
- 前記半導体層の前記第2の領域に、その全体が形成された第2の縦型MOSトランジスタと、
- 前記半導体層の前記第3の領域に、その全体が形成された第3の縦型MOSトランジスタと、
- 前記半導体層の裏面側に接触して形成された金属層と、を備え、
- 前記半導体基板は、前記第1の縦型MOSトランジスタと前記第2の縦型MOSトランジスタと前記第3の縦型MOSトランジスタの共通ドレイン領域であり、
- 前記平面視において、前記第1の領域に内包される位置に、前記第1の縦型MOSトランジスタの第1のソースパッドと第1のゲートパッドおよび前記第1のゲートパッドと接続する第1のゲート配線が形成され、
- 前記平面視において、前記第2の領域に内包される位置に、前記第2の縦型MOSトランジスタの第2のソースパッドと第2のゲートパッドおよび前記第2のゲートパッドと接続する第2のゲート配線が形成され、
- 前記平面視において、前記第3の領域に内包される位置に、前記第3の縦型MOSトランジスタの第3のソースパッドおよび第3のゲート配線が形成され、
- 前記第1のゲート配線と前記第3のゲート配線とは、電氣的に、前

記第 1 のゲート配線から前記第 3 のゲート配線に向かう方向を順方向とする第 1 のダイオードを介して直列に接続され、

前記第 2 のゲート配線と前記第 3 のゲート配線とは、電氣的に、前記第 2 のゲート配線から前記第 3 のゲート配線に向かう方向を順方向とする第 2 のダイオードを介して直列に接続された半導体装置。

[請求項2] 前記第 1 のダイオードは、前記第 1 のダイオードの一方の端部が前記第 1 の領域にあり、前記第 1 のダイオードの他方の端部が前記第 3 の領域にあるように形成され、

前記第 2 のダイオードは、前記第 2 のダイオードの一方の端部が前記第 2 の領域にあり、前記第 2 のダイオードの他方の端部が前記第 3 の領域にあるように形成された

請求項 1 に記載の半導体装置。

[請求項3] 前記第 1 のゲート配線と前記第 3 のゲート配線とは、さらに、第 1 の抵抗素子を介して直列に接続され、

前記第 1 のダイオードと前記第 1 の抵抗素子とは、前記第 1 のゲート配線と前記第 3 のゲート配線との間で並列に接続され、

前記第 2 のゲート配線と前記第 3 のゲート配線とは、さらに、第 2 の抵抗素子を介して直列に接続され、

前記第 2 のダイオードと前記第 2 の抵抗素子とは、前記第 2 のゲート配線と前記第 3 のゲート配線との間で並列に接続された

請求項 1 に記載の半導体装置。

[請求項4] 前記第 1 の抵抗素子は、前記第 1 の抵抗素子の一方の端部が前記第 1 の領域にあり、前記第 1 の抵抗素子の他方の端部が前記第 3 の領域にあるように形成され、

前記第 2 の抵抗素子は、前記第 2 の抵抗素子の一方の端部が前記第 2 の領域にあり、前記第 2 の抵抗素子の他方の端部が前記第 3 の領域にあるように形成された

請求項 3 に記載の半導体装置。

[請求項5] 前記平面視において、前記第 1 の領域と前記第 3 の領域とは隣接し、前記第 2 の領域と前記第 3 の領域とは隣接する

請求項 1 に記載の半導体装置。

[請求項6] 前記平面視において、前記第 1 の領域の面積は前記第 3 の領域の面積よりも大きく、

前記第 3 の領域の面積は前記第 2 の領域の面積よりも大きい

請求項 1 に記載の半導体装置。

[請求項7] 前記平面視において、前記第 1 の領域に内包される位置に、前記第 1 の縦型 MOS トランジスタの第 1 のソース電極が形成され、

前記平面視において、前記第 3 の領域に内包される位置に、前記第 3 の縦型 MOS トランジスタの第 3 のソース電極が形成され、

前記平面視において、前記第 1 のソース電極の面積は前記第 3 のソース電極の面積と略同等である

請求項 6 に記載の半導体装置。

[請求項8] 前記平面視において、前記第 1 の領域の外周の少なくとも一部には第 1 の E Q R (E Q u i p o t e n t i a l R i n g) が形成され、

前記平面視において、前記第 3 の領域の外周の少なくとも一部には第 3 の E Q R が形成され、

前記平面視において、前記第 1 の領域と前記第 3 の領域とが対向する部分において、前記第 1 の E Q R と前記第 3 の E Q R とは共通化され、

前記平面視で、前記第 1 のダイオードは、前記第 1 の E Q R と前記第 3 の E Q R とが共通化されていない部分に設置されている

請求項 1 に記載の半導体装置。

[請求項9] 前記平面視において、前記第 1 のゲートパッドは、前記第 3 の領域と近接する位置に設置され、

前記平面視において、前記第2のゲートパッドは、前記第3の領域と近接する位置に設置された

請求項1に記載の半導体装置。

[請求項10] 前記平面視において、前記第1の領域に内包される位置に、前記第1の縦型MOSトランジスタの第1のソース電極と第1のゲート電極とが形成され、

前記平面視において、前記第1のソース電極と前記第1のゲート電極との間には、第1のツエナーダイオードが形成され、

前記第1のダイオードと前記第1のツエナーダイオードとに含まれる、同じ導電型の領域における、当該同じ導電型の不純物は同じ濃度である

請求項1に記載の半導体装置。

[請求項11] 前記平面視において、前記第1の領域に内包される位置に、前記第1の縦型MOSトランジスタの第1のソース電極と第1のゲート電極とが形成され、

前記平面視において、前記第1のゲート電極と前記第1のゲート配線との間には、第1のゲート抵抗素子が形成され、

前記第1の抵抗素子と前記第1のゲート抵抗素子とに含まれる、同じ導電型の領域における、当該同じ導電型の不純物は同じ濃度である

請求項3に記載の半導体装置。

[請求項12] 前記平面視において、前記第3の領域に内包される位置に、前記第3のゲート配線と接続するゲート電極およびゲートパッドが形成されない

請求項1に記載の半導体装置。

[請求項13] 前記半導体装置の製品データシートに記載の静電耐性保証値をESDt [V]とし、

前記平面視での前記第2の領域の面積を a_2 [mm²]とすると、

$a_2 > (ESDt - 93) / 990$ の関係が成り立つ

請求項 6 に記載の半導体装置。

[請求項14]

前記平面視において、前記第 2 の領域に内包される位置に、前記第 2 の縦型 MOS トランジスタの第 2 のソース電極と第 2 のゲート電極とが形成され、

前記第 2 のソース電極と前記第 2 のゲート電極との間を電氣的に接続する経路は存在せず、

前記第 2 のゲート電極と前記第 2 のゲート配線とは、抵抗体を介することなく接続されている

請求項 1 3 に記載の半導体装置。

[請求項15]

前記平面視において、前記第 1 の領域に内包される位置に、前記第 1 の縦型 MOS トランジスタの第 1 のソース電極と第 1 のゲート電極とが形成され、

前記第 1 のソース電極と前記第 1 のゲート電極との間を電氣的に接続する経路は存在せず、

前記第 1 のゲート電極と前記第 1 のゲート配線とは、抵抗体を介することなく接続されている

請求項 1 4 に記載の半導体装置。

[請求項16]

前記平面視において、前記第 1 の領域に内包される位置に、前記第 1 の縦型 MOS トランジスタの第 1 のソース電極と第 1 のゲート電極とが形成され、

前記第 1 のソース電極と前記第 1 のゲート電極との間を電氣的に接続する経路は存在せず、

前記第 1 のゲート電極と前記第 1 のゲート配線とは、抵抗体を介することなく接続されており、

前記平面視において、前記第 2 の領域に内包される位置に、前記第 2 の縦型 MOS トランジスタの第 2 のソース電極と第 2 のゲート電極とが形成され、

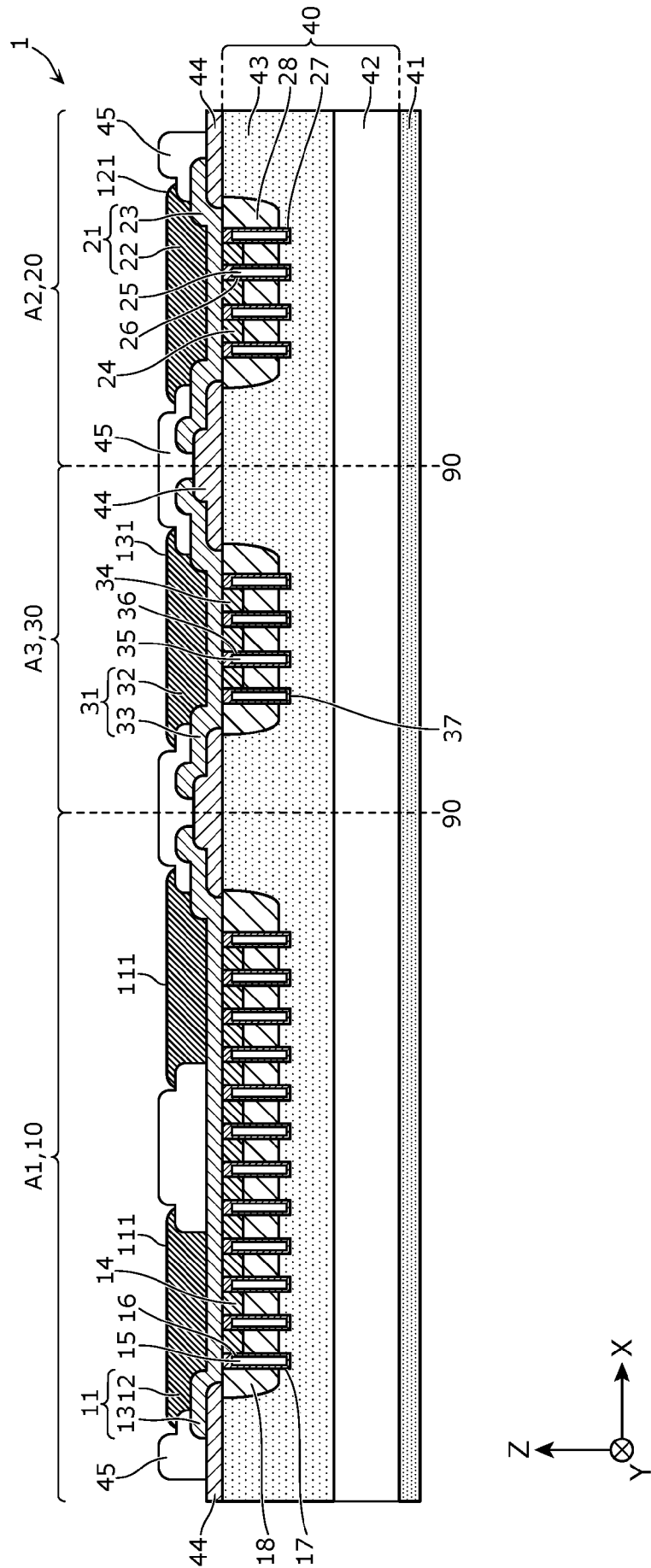
前記第 2 のソース電極と前記第 2 のゲート電極とは、第 2 のツエナ

ーダイオードを介して接続されており、

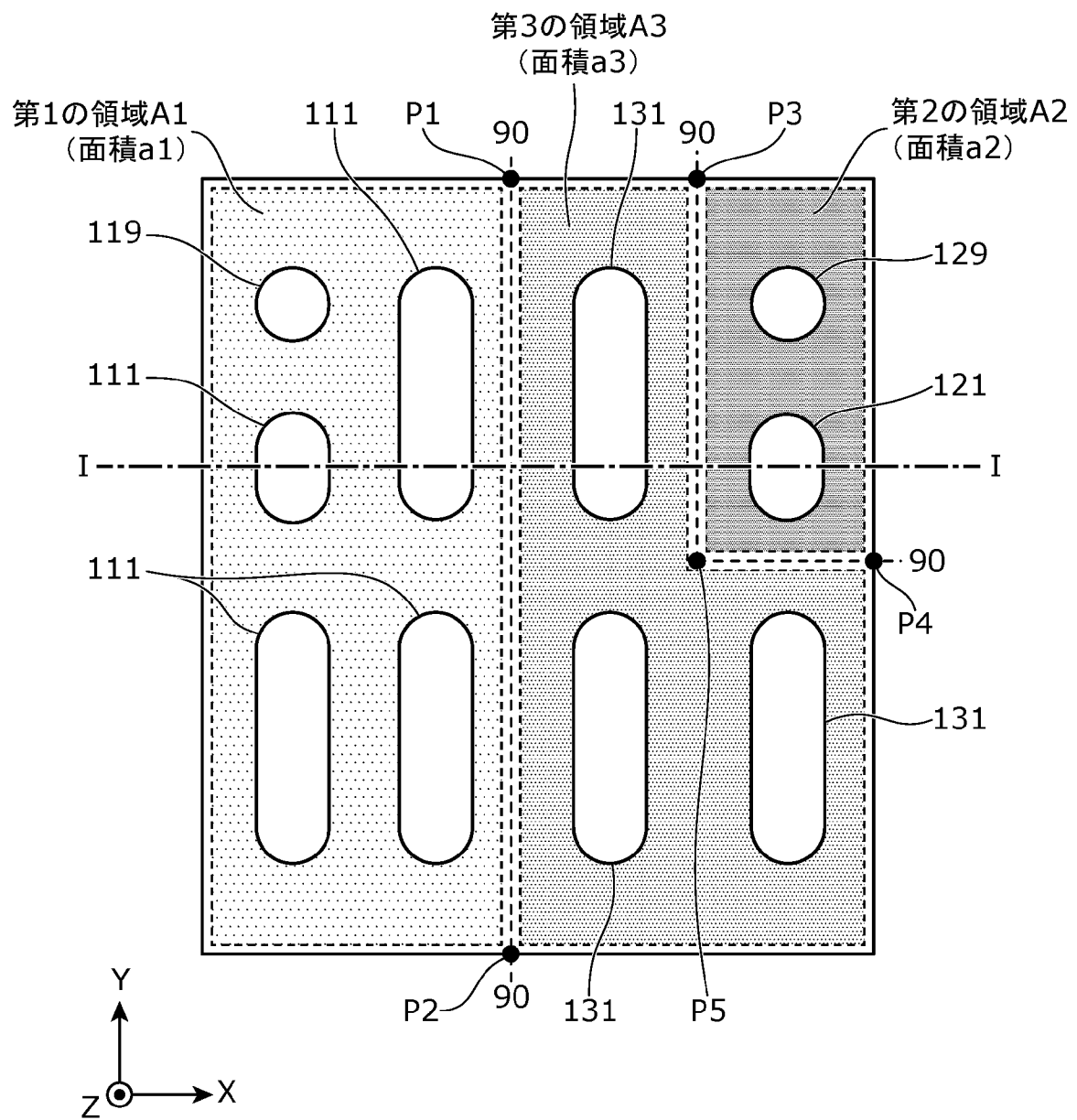
前記第2のゲート電極と前記第2のゲート配線とは、間に第2のゲート抵抗素子を介して直列に接続されている

請求項6に記載の半導体装置。

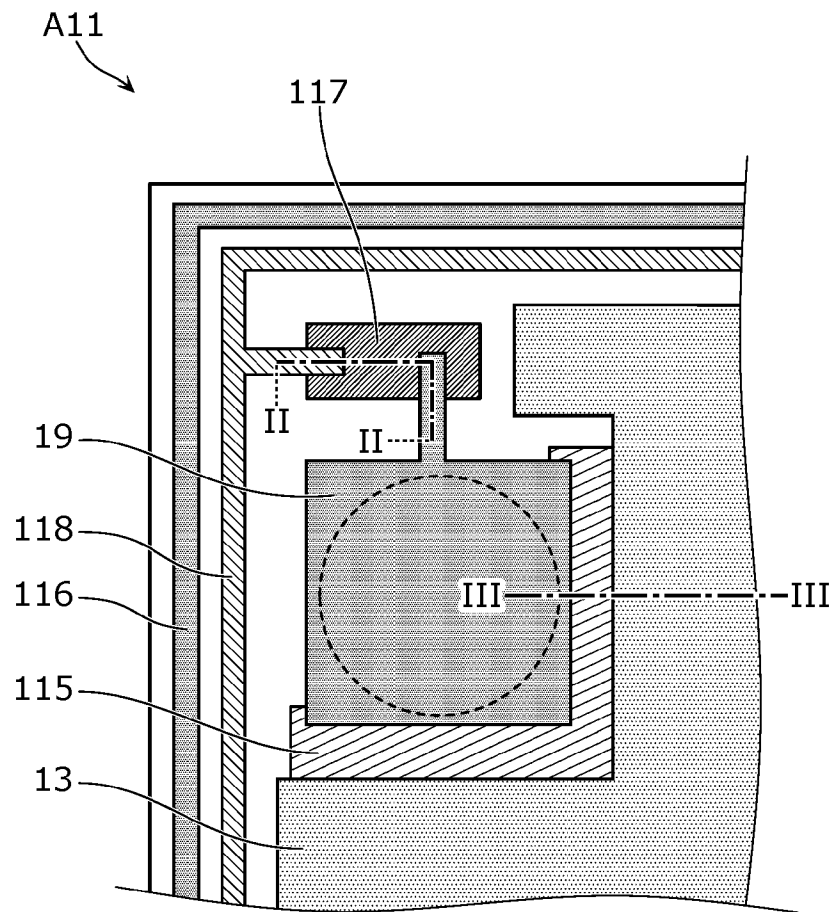
[図1]



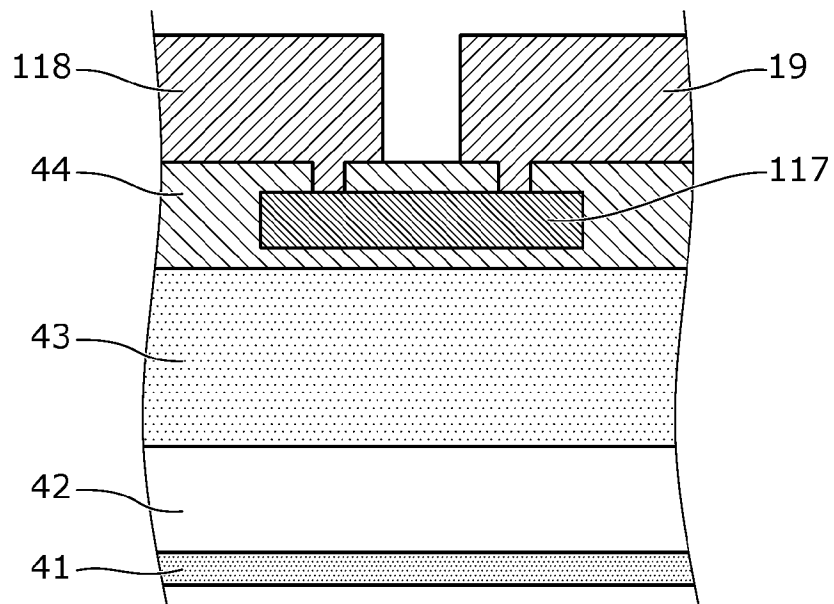
[図2A]



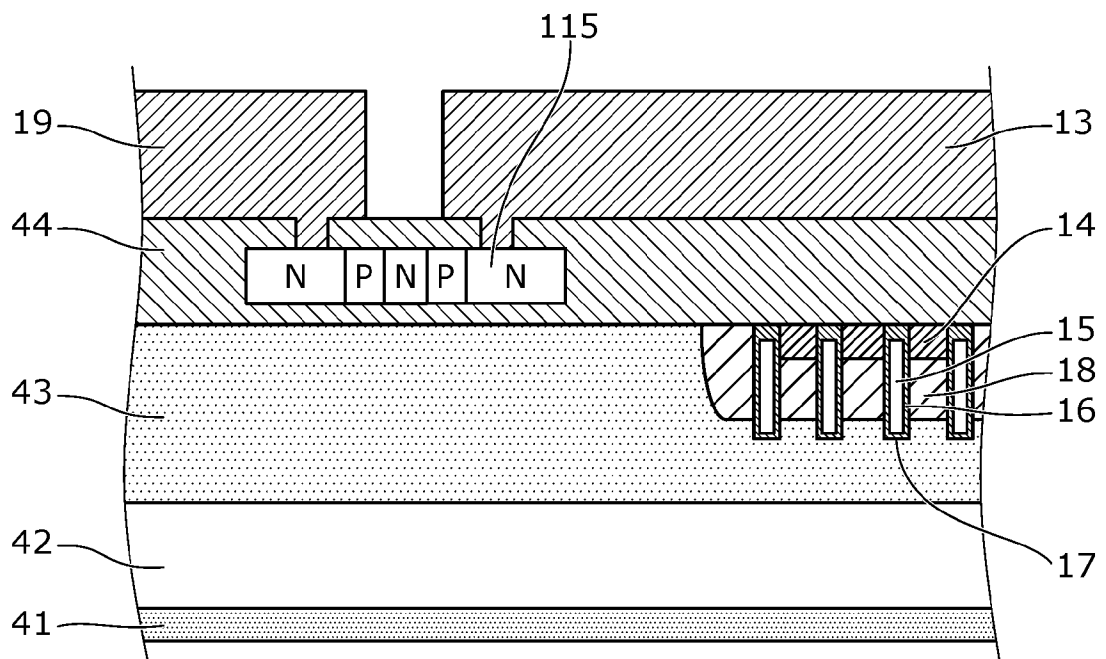
[図3A]



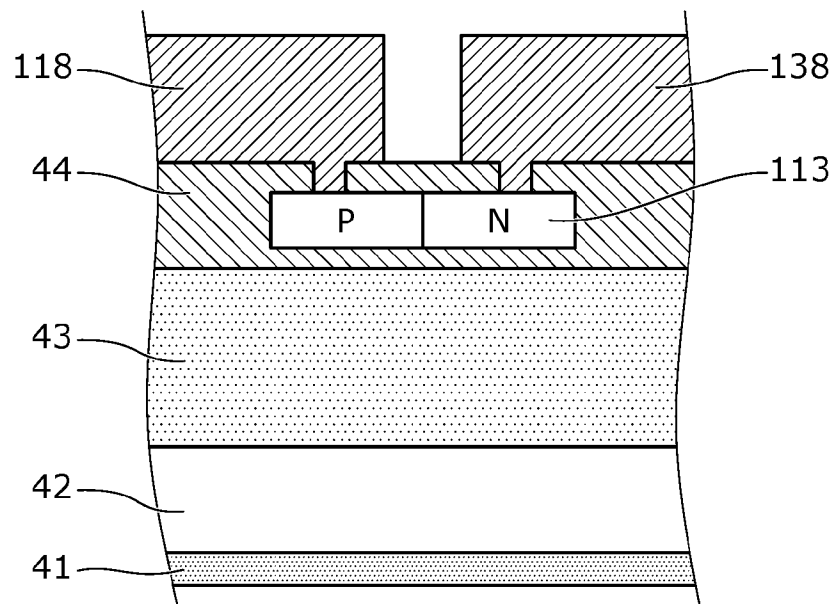
[図3B]



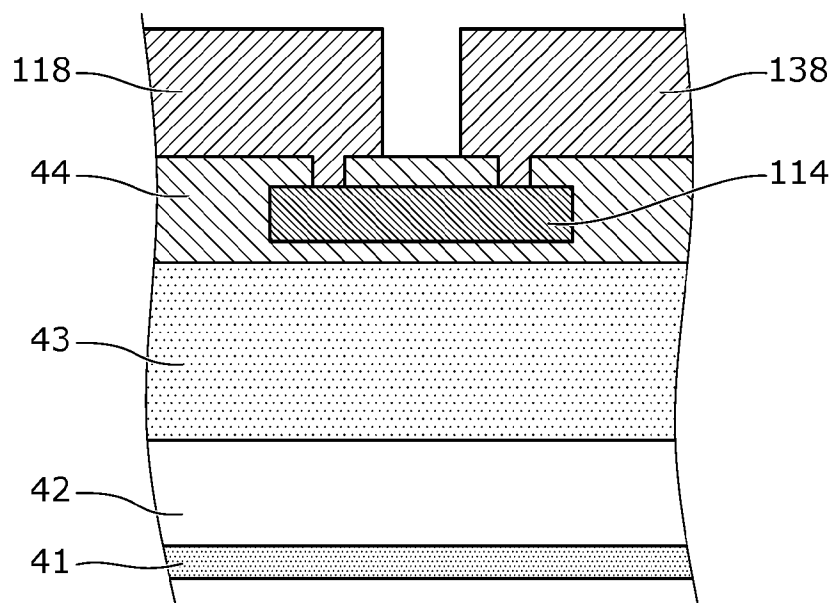
[図3C]



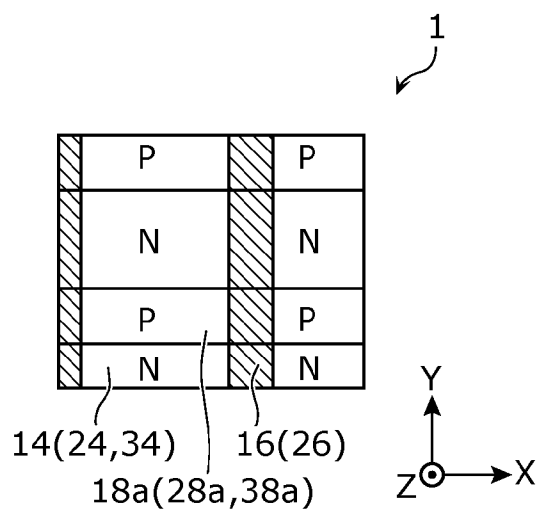
[図4B]



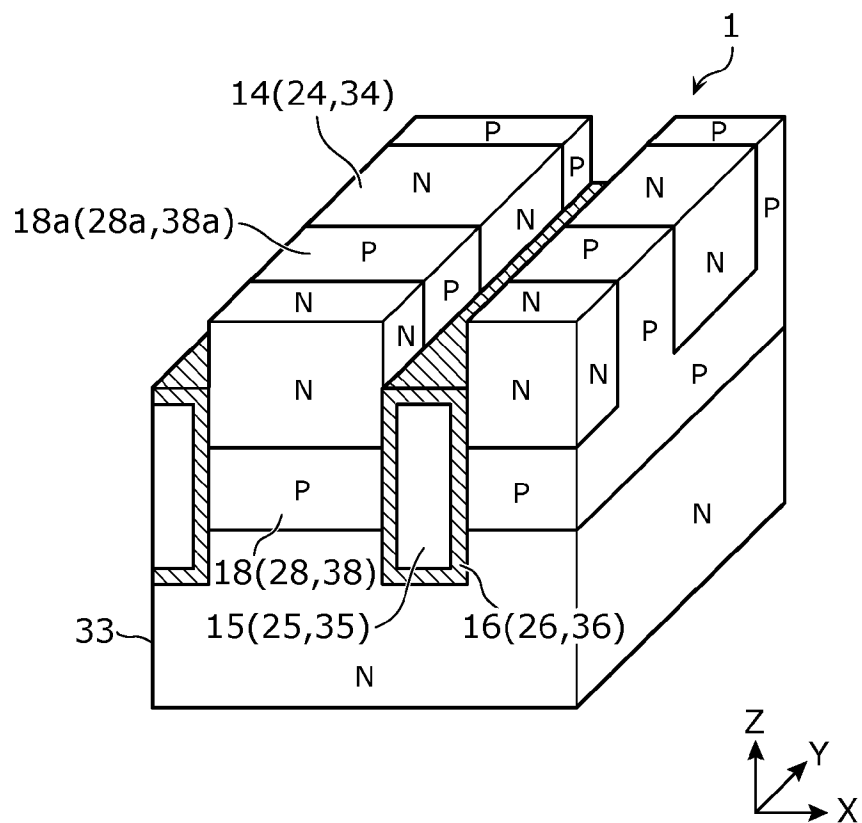
[図4C]



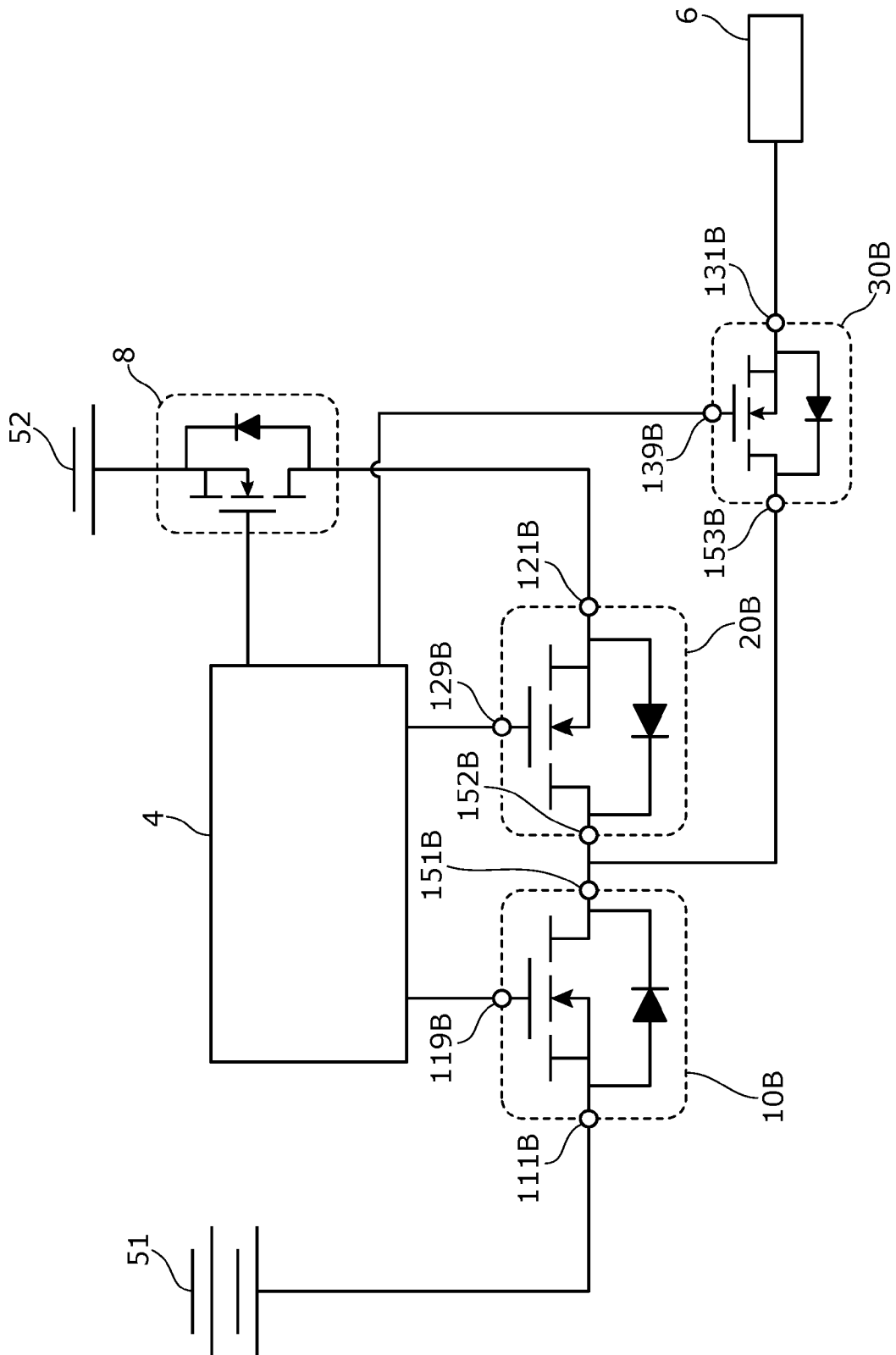
[図5A]



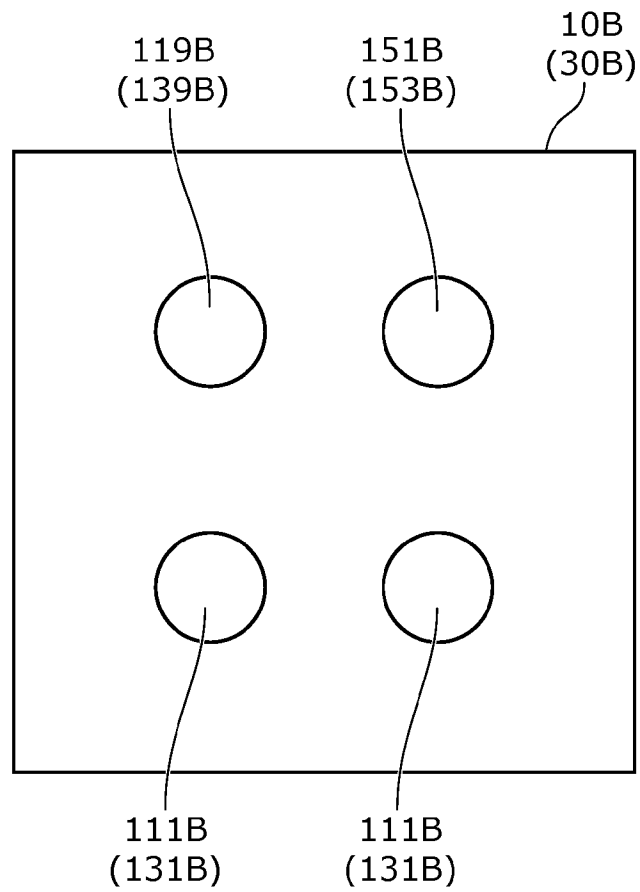
[図5B]



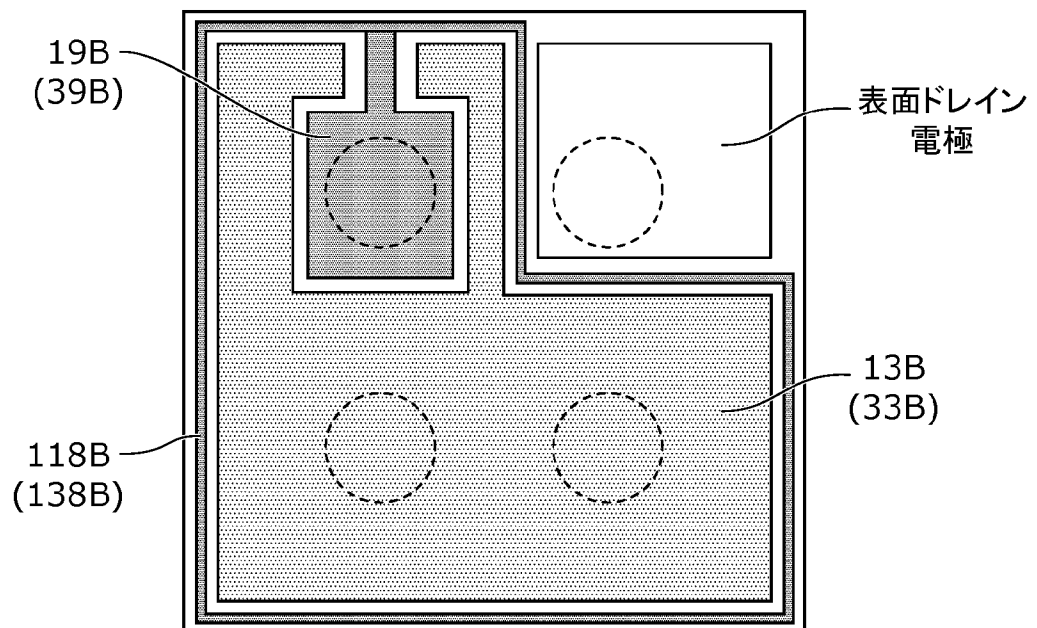
[図7]



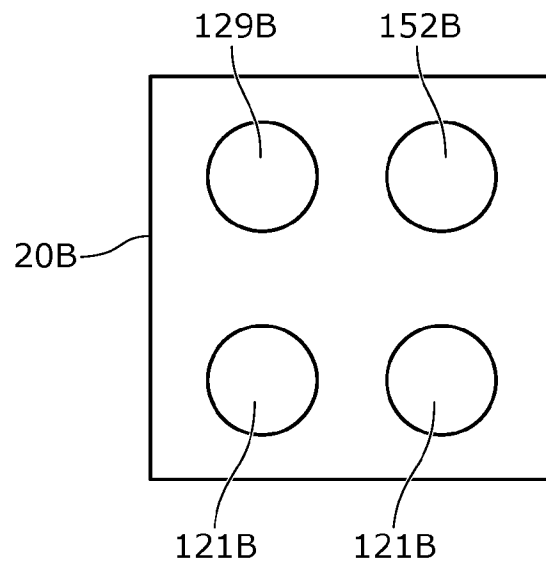
[図8A]



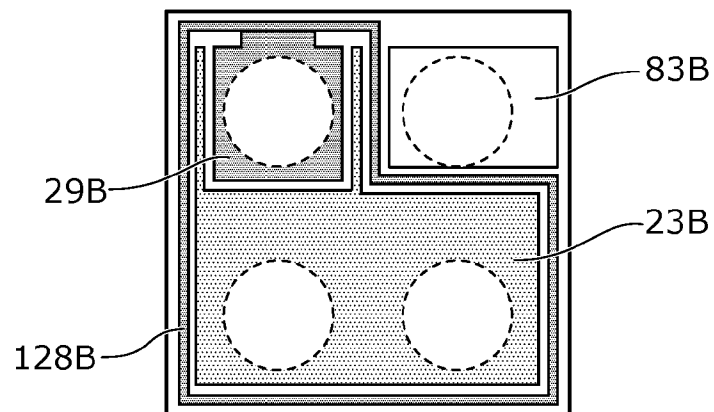
[図8B]



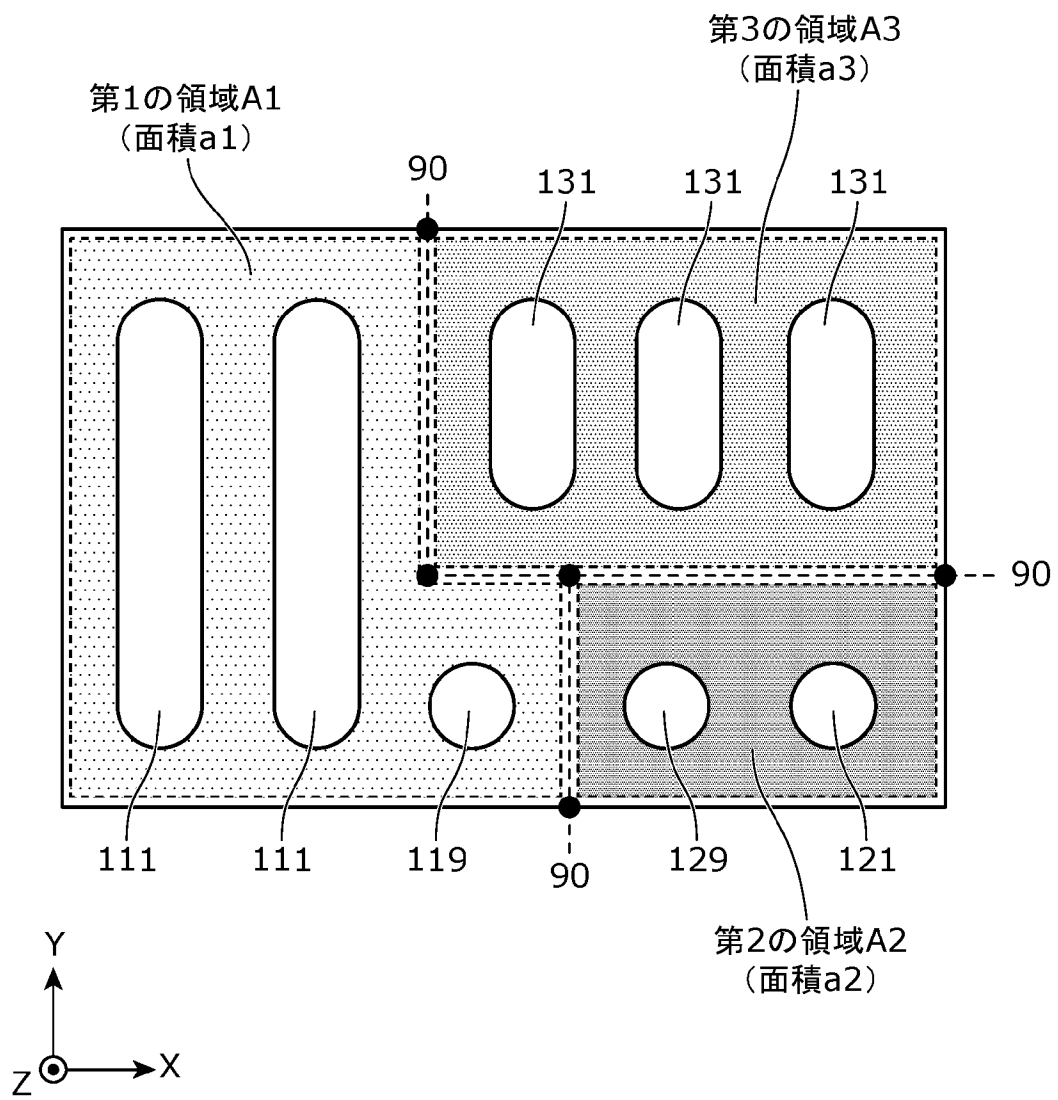
[図9A]



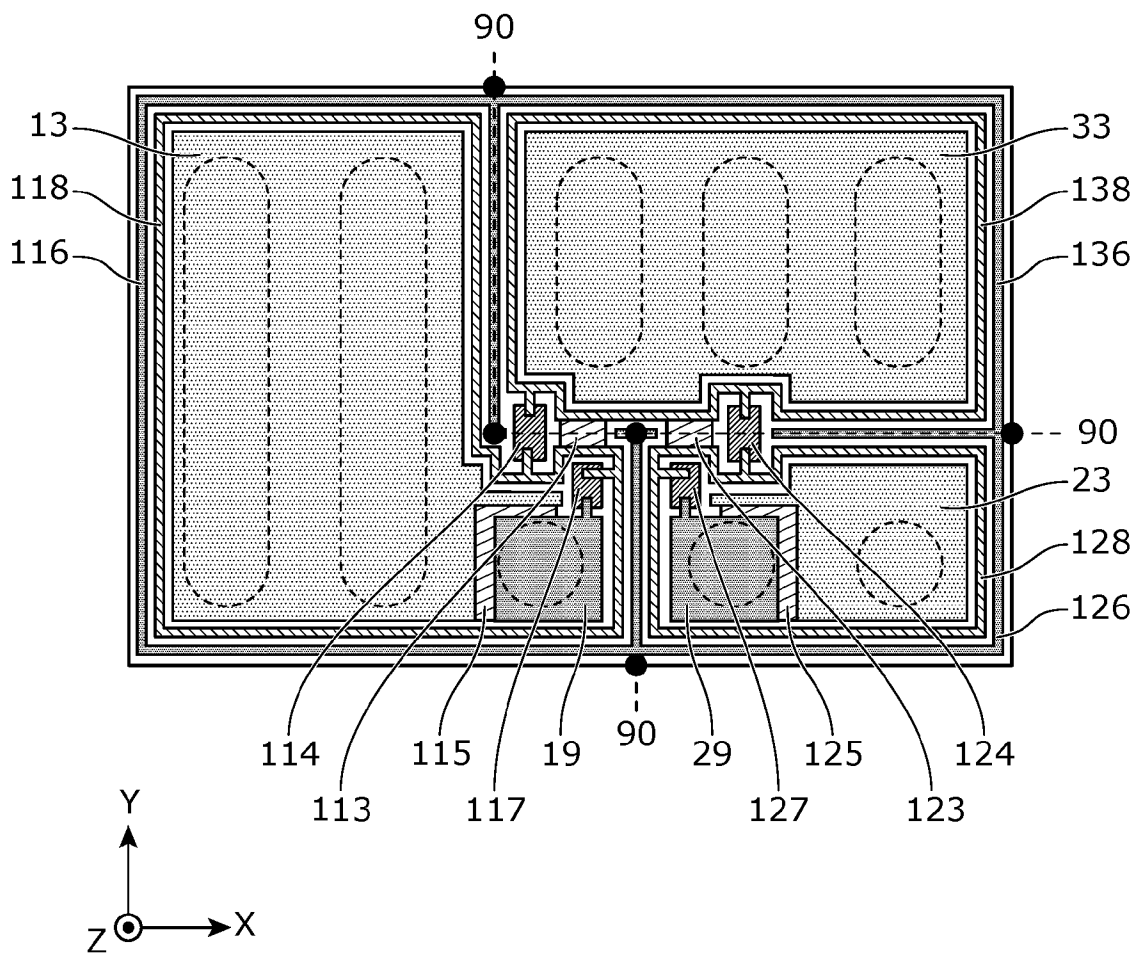
[図9B]



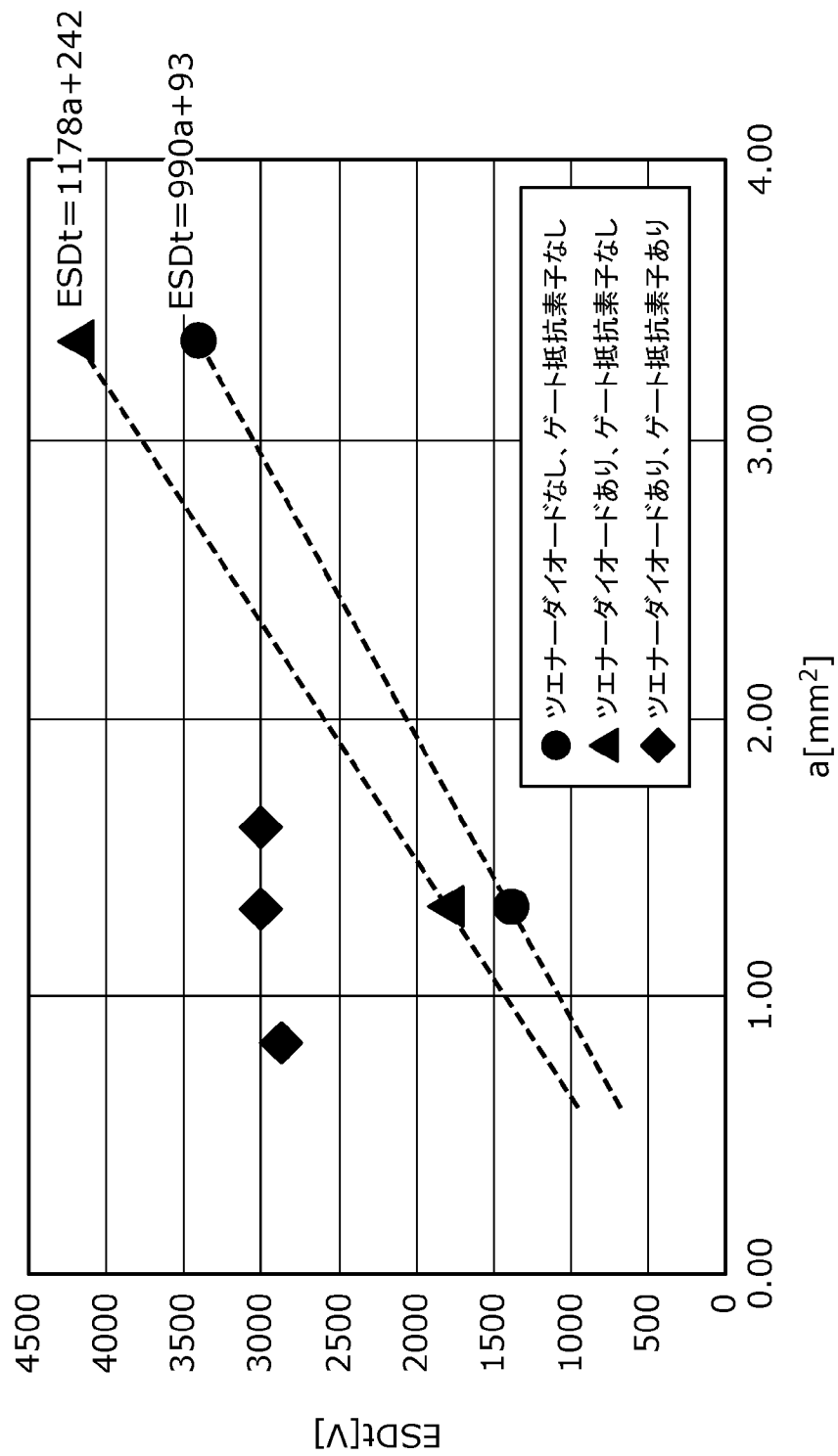
[図10A]



[図10B]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017779

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/78 (2006.01)i; H01L 25/07 (2006.01)i; H01L 25/18 (2023.01)i FI: H01L29/78 652Q; H01L25/04 C According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L25/07; H01L25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-247309 A (RENESAS ELECTRONICS CORPORATION) 09 December 2013 (2013-12-09) paragraphs [0052]-[0073], fig. 5-9	1-16
A	JP 7253674 B2 (NUVOTON TECHNOLOGY CORPORATION JAPAN) 06 April 2023 (2023-04-06) paragraphs [0061]-[0236], fig. 1-23	1-16
A	WO 2019/156215 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 15 August 2019 (2019-08-15) paragraphs [0014]-[0075], fig. 1-10	1-16
A	JP 2020-047674 A (KABUSHIKI KAISHA TOSHIBA) 26 March 2020 (2020-03-26) paragraphs [0078]-[0109], fig. 9-17	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 04 July 2024		Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017779

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-247309	A	09 December 2013	US 2013/0320454 A1	paragraphs [0073]-[0092], fig. 5-9
				KR 10-2013-0133689 A	
				CN 103456690 A	
				TW 201413918 A	
JP	7253674	B2	06 April 2023	US 2023/0215940 A1	paragraphs [0148]-[0324], fig. 1-23
				WO 2022/210367 A1	
				KR 10-2023-0044021 A	
				CN 116250076 A	
WO	2019/156215	A1	15 August 2019	US 2020/0035669 A1	paragraphs [0036]-[0097], fig. 1-10
				CN 111684609 A	
JP	2020-047674	A	26 March 2020	US 2020/0091910 A1	paragraphs [0099]-[0131], fig. 9-17
				DE 102019121459 A1	
				CN 110911389 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i

FI: H01L29/78 652Q; H01L25/04 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922 - 1996年
日本国公開実用新案公報	1971 - 2024年
日本国実用新案登録公報	1996 - 2024年
日本国登録実用新案公報	1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-247309 A（ルネサスエレクトロニクス株式会社）09.12.2013（2013 - 12 - 09） 段落[0052]-[0073], 図5-9	1-16
A	JP 7253674 B2（ヌヴォトンテクノロジージャパン株式会社）06.04.2023（2023 - 04 - 06） 段落[0061]-[0236], 図1-23	1-16
A	WO 2019/156215 A1（パナソニックIPマネジメント株式会社）15.08.2019（2019 - 08 - 15） 段落[0014]-[0075], 図1-10	1-16
A	JP 2020-047674 A（株式会社東芝）26.03.2020（2020 - 03 - 26） 段落[0078]-[0109], 図9-17	1-16

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
04.07.2024

国際調査報告の発送日
16.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

杉山 芳弘 5F 6311

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017779

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-247309	A	09.12.2013	US	2013/0320454	A1	
				段落[0073]-[0092], 図5-9			
				KR	10-2013-0133689	A	
				CN	103456690	A	
				TW	201413918	A	

JP	7253674	B2	06.04.2023	US	2023/0215940	A1	
				段落[0148]-[0324], 図1-23			
				WO	2022/210367	A1	
				KR	10-2023-0044021	A	
				CN	116250076	A	
				TW	202303924	A	

WO	2019/156215	A1	15.08.2019	US	2020/0035669	A1	
				段落[0036]-[0097], 図1-10			
				CN	111684609	A	

JP	2020-047674	A	26.03.2020	US	2020/0091910	A1	
				段落[0099]-[0131], 図9-17			
				DE	102019121459	A1	
				CN	110911389	A	
