

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】令和3年10月14日(2021.10.14)

【公開番号】特開2020-156170(P2020-156170A)

【公開日】令和2年9月24日(2020.9.24)

【年通号数】公開・登録公報2020-039

【出願番号】特願2019-50973(P2019-50973)

【国際特許分類】

H 02 M 3/155 (2006.01)

【F I】

H 02 M	3/155	C
H 02 M	3/155	H

【手続補正書】

【提出日】令和3年9月2日(2021.9.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

負荷に出力端子から電圧もしくは電流を供給する電源回路において、
一端が第1ノードに接続され、他端が前記出力端子側に接続される第1スイッチング素子と、一端が前記第1ノードに接続され、他端が低電圧側端子に接続される第2スイッチング素子と、前記第1スイッチング素子に並列に接続され、前記負荷側の方向に電流を流すダイオードとを有する第1回路と、
一端が前記低電圧側端子よりも高電位の電源と接続され、他端が第2ノードに接続される第3スイッチング素子と、一端が前記第2ノードに接続され、他端が前記低電圧側端子に接続される第4スイッチング素子とを有する第2回路と、

前記第1ノードと前記第2ノードとの間に接続されるインダクタと、

前記第1スイッチング素子の他端と前記出力端子との間に接続される第5スイッチング素子と、

前記出力端子を介して接続される前記負荷への出力に応じて、前記第1乃至第4スイッチング素子の内の少なくとも2つのスイッチング素子におけるスイッチング制御を行う際、前記第5スイッチング素子を導通し、

前記第1乃至第4スイッチング素子のすべてを非導通にする際、前記第1乃至第4スイッチング素子を非導通にした時点から所定の遅延時間が経過した後に、前記第5スイッチング素子を非導通にする制御回路と、

を備える、電源回路。

【請求項2】

前記制御回路は、前記第1、第2スイッチング素子を交互にスイッチングすることによる昇圧制御を行う場合に、前記第3、第5スイッチング素子を導通にし、且つ前記第4スイッチング素子を非導通にし、

前記第1乃至第3スイッチング素子を非導通にする場合に、前記第1乃至第3スイッチング素子を非導通にした時点から前記所定の遅延時間が経過した後に、前記第5スイッチング素子を非導通にする、請求項1に記載の電源回路。

【請求項3】

前記制御回路は、前記第3、第4スイッチング素子を交互にスイッチングすることによ

る降圧制御を行う場合に、前記第1、第5スイッチング素子を導通にし、且つ前記第2スイッチング素子を非導通にし、

前記第1、第3、第4スイッチング素子を非導通にする場合に、前記第1、第3、第4スイッチング素子を非導通にした時点から所定の遅延時間が経過した後に、前記第5スイッチング素子を非導通にする、請求項1に記載の電源回路。

【請求項4】

前記制御回路は、前記第1乃至第4スイッチング素子をスイッチングすることによる昇降圧制御を行う場合に、前記第5スイッチング素子を導通にし、

前記第1乃至第4スイッチング素子を非導通にする場合に、前記前記第1乃至第4スイッチング素子を非導通にした時点から所定の遅延時間が経過した後に、前記第3スイッチング素子を非導通にする、請求項1に記載の電源回路。

【請求項5】

前記第5スイッチング素子に並列に接続され、負荷側の向きと反対方向に電流を流すダイオードを更に備える、請求項1に記載の電源回路。

【請求項6】

前記制御回路は、前記所定の遅延時間を、前記第5スイッチング素子を介した放電により、前記インダクタに蓄積されるエネルギーが所定レベル以下になる時間に設定する、請求項1に記載の電源回路。

【請求項7】

前記制御回路は、前記所定の遅延時間を前記インダクタに流れる電流の定数倍に比例する時間に設定する、請求項1に記載の電源回路。

【請求項8】

前記制御回路は、前記負荷に供給される電圧が所定の範囲を超えた場合に、前記第1乃至第4スイッチング素子を非導通にする、請求項1に記載の電源回路。

【請求項9】

負荷に出力端子から電圧もしくは電流を供給する電源回路において、
一端が第1ノードに接続される第1スイッチング素子と、一端が前記第1ノードに接続され、他端が低電圧側端子に接続される第2スイッチング素子と、前記第1スイッチング素子に並列に接続され、負荷側の方向に電流を流すダイオードとを有する第1回路と、

前記低電圧側端子よりも高電位の電源と前記第1ノードの間に接続されるインダクタと、

前記第1スイッチング素子の他端と出力端子との間に接続される第5スイッチング素子と、

前記出力端子を介して接続される前記負荷への出力に応じて、前記第1、第2スイッチング素子を交互にスイッチングすることによる昇圧制御を行う際、前記第5スイッチング素子を導通にし、

前記第1、第2スイッチング素子を非導通にする際、前記第1、第2スイッチング素子を非導通にした時点から所定の遅延時間が経過した後に、前記第5スイッチング素子を非導通にする、電源回路。