

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/121756 A1

PCT

(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

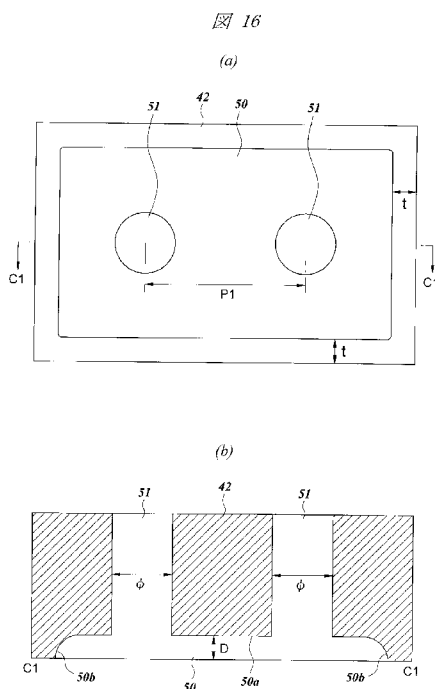
- (51) 国際特許分類:
H01L 21/52 (2006.01)
- (21) 国際出願番号: PCT/JP2010/055847
- (22) 国際出願日: 2010 年 3 月 31 日(31.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 谷藤 雄一 (YATO, Yuichi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 岡 浩偉 (OKA, Hiroi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿 2 丁目 3 番 1 0 号 新宿御苑ビル 3 階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図16]



(57) Abstract: The lower surface of a stamping nozzle (42) is provided with an engraved portion (50) to be filled with a die bonding material, said stamping nozzle being used in a step wherein the die bonding material is applied to the chip mounting portion of a wiring board. The planar dimension of the engraved portion (50) is smaller than the outside dimension of the chip to be mounted on the chip mounting portion. Furthermore, the depth of the engraved portion (50) is smaller than the thickness of the chip. When the thickness of the chip is 100μm or less, a trouble of having the die bonding material over the upper surface of the chip is eliminated by applying the die bonding material to the chip mounting portion using the stamping nozzle (42).

(57) 要約: 配線板のチップ搭載部上にダイボンド材を塗布する工程で使用するスタンピングノズル (42) の下面には、ダイボンド材が充填される掘り込み部 (50) が設けられている。掘り込み部 (50) の平面寸法は、チップ搭載部上に搭載されるチップの外形寸法よりも小さい。また、掘り込み部 (50) の深さは、上記チップの厚さよりも小さい。上記チップの厚さが 100 μm 以下である場合に、上記スタンピングノズル (42) を使ってチップ搭載部上にダイボンド材を塗布することにより、上記チップの上面にダイボンド材が這い上がる不具合が回避される。

WO 2011/121756 A1

WO 2011/121756 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造技術に関し、特に、ペースト状のダイボンド材を使って半導体チップを配線板上に搭載する半導体装置およびその製造に適用して有効な技術に関するものである。

背景技術

[0002] 特許文献1（特開2007-149784号公報）は、密閉容器構造のルツボの下部にノズル部を設け、ルツボ内に收容した液体状のダイボンディング用半田をスタンピング方式でリードフレーム上に吐出する半田供給装置を開示している。上記ルツボは、固体半田を加熱して液体半田にする半田加熱手段と、ルツボの内圧を陽圧と負圧とに切り替え制御する吐出制御手段と、液体半田の容積を検出する液面センサと、液面センサの検出信号に基づいてルツボ内に固体半田を補充する半田補給手段とを備えている。

[0003] 特許文献2（特開2004-281646号公報）は、半田などの接合材を用いてチップ素子を回路基板に固着する方法および装置を開示している。固着装置は、高温の回路基板に接合材を所定量送る送り機構と、熔融した接合材を所定の大きさと所定の厚さに成形するための凹部を有する箱型たたき治具と、成形された接合材上にチップ素子を配置する配置機構と、回路基板を所定のピッチで移動させる移動手段とを備えている。高温の回路基板上で熔融した接合材は、箱型たたき治具によって四角形状に成形され、続いて、成形された熔融接合材上にチップ素子が配置された後、熔融接合材が凝固することによって、チップ素子が回路基板に固着される。

[0004] 特許文献3（特開2002-273567号公報）は、リードフレームなどのワーク上に滴下された半田などの接合材を所定の形状に整えるスパンカツールを開示している。このスパンカツールは、接合材を所定の形状に整える凹部を備えており、凹部の底面には、接合材の表面に複数の線状または点

状の突出部を形成するための窪みが設けられている。この突出部が形成された接合材の上に半導体チップを配置すると、半導体チップは、その複数箇所が接合材の突出部に線接触または点接触した状態で支持されるので、半導体チップがワークに対して傾いた状態で搭載される不具合を防止することができる。

[0005] 特許文献4（特開2000-232114号公報）は、半導体チップをリードフレーム上に半田接着するためのダイボンディング方法および装置を開示している。このダイボンディング装置の半田塗布部にリードフレームが位置決めされると、リードフレーム上に溶融半田が供給される。次に、このリードフレームが半田押し広げ部に送られると、リードフレーム上の溶融半田が押し広げツールによって押し広げられると共に四角形状に成形される。次に、リードフレームが接着部に送られると、押し広げられた半田上に半導体チップが押し付けられる。

[0006] 但し、上記4つの特許文献には、薄型化された半導体チップをリードフレームや配線基板などに搭載する際に、半導体チップの下面から外側にはみ出したダイボンド材の一部が半導体チップの上面に這い上がるという問題を解決するための技術について記載されていない。

[0007] また、上記4つの特許文献は、いずれも溶融半田上に半導体チップを搭載するものである。半導体チップの側面はSi（シリコン）からなり、シリコンは溶融した半田には濡れない（金属結合を成さない、シリコンは溶融した半田をはじく）ので、そもそも半導体チップの側面から上面に半田が這い上がる現象が発生しない。またAgペースト、絶縁性ペースト、および半田ペーストといったペースト状のダイボンド材の上に薄層化されたチップを載せたときに、それらダイボンド材がチップの上面に這い上がる（乗り上がる）現象についても、気付いていない。

先行技術文献

特許文献

[0008] 特許文献1：特開2007-149784号公報

特許文献2：特開2004-281646号公報

特許文献3：特開2002-273567号公報

特許文献4：特開2000-232114号公報

発明の概要

発明が解決しようとする課題

- [0009] 電子機器・モバイル機器の小型・薄型化に伴い、それらの機器に搭載される半導体パッケージにも小型化・薄型化が求められている。
- [0010] 半導体パッケージの小型・薄型化を図るためには、例えばワイヤボンディング構造のBGA(Ball Grid Array)などの場合、その半導体パッケージ内に組み込まれる半導体チップ（以下、単にチップという）を小型化し、チップと電氣的に接続される配線基板表面のボンディングリードをチップ側に近づけて配置するといった対策が有効である。
- [0011] しかし、実際のダイボンディング工程では、ダイボンド材（Agペースト、半田ペースト、絶縁性ペーストなど）を使ってチップを配線基板上に搭載する際、配線基板上に塗布したダイボンド材がチップの外側にはみ出すことが多い。その際、はみ出したダイボンド材がチップ近傍のボンディングリードに付着すると、このボンディングリードにワイヤを接続することができなくなってしまう。
- [0012] その対策として、配線基板を設計する際、あらかじめ上記したダイボンド材のはみ出しを考慮してチップとボンディングリードの間隔を拡げたり、チップとボンディングリードとの間に溶ダレジストからなるダムを設けたりすると、その分、配線基板の面積が大きくなるので、半導体パッケージの小型化が妨げられる。
- [0013] 一方、半導体パッケージ内に組み込まれるチップの薄型化は、半導体パッケージ全体の厚さ（実装高さ）を抑える上において有効である。また、数W程度の大電力で動作するパワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの電力用トランジスタが形成されたチップの薄型化は、半導体パッケージの薄型化だけでなく、トランジスタのON抵抗を

低減させる上でも有効である。これは、パワーMOSFETの場合、チップの裏面がドレイン電極となるため、チップが薄くなる程、チップ内部の電流経路が短縮されるためである。

[0014] しかし、チップを薄型化すると、ダイボンド材を使ってチップを配線板（以下、リードフレーム、プリント配線基板、およびセラミック配線基板などのチップが搭載される部材を配線板と総称する）の上面に搭載する際、前述したダイボンド材のはみ出しが生じるだけでなく、はみ出したダイボンド材の一部が薄いチップの上面に這い上がるという現象が発生する。

[0015] 例えば、複数のノズル（多点ノズル）を用いてダイボンド材を配線板上に塗布する場合、ノズル内のダイボンド材は、ノズルの先端から垂れない程度の粘性を有している。そのため、各ノズルの先端から配線板上に吐出されたダイボンド材は、若干盛り上がった状態になっており、さらに各ダイボンド材の間にはノズル同士の間隔に対応する隙間が存在する。

[0016] そこで、ダイボンド材同士の隙間を埋め、チップの外側にダイボンド材のはみ出したことが確認できる程度にダイボンド材を濡れ拡がらせる必要がある。これは、配線板と搭載されたチップの裏面との間にダイボンド材で充たされない空間（ボイド）が生じると、次のワイヤボンディング工程で超音波振動を印加して、キャピラリ先端に形成したワイヤの金属ボール（イニシャルボール）をチップ表面の電極パッドに接合させようとしても、ボイドがあるために超音波振動が確実に伝わらず、金属ボールが電極パッドから剥がれたり、完成後の半導体パッケージを実装基板に半田実装する工程（半田リフロー工程）で加わる熱などによって上記ボイド内の空気が体積膨張し、その力でチップが配線板から剥がれたり（チップ剥離）することを防止するためである。

[0017] チップの裏面全体にダイボンド材を濡れ拡がらせるためには、ダイボンド材が塗布された配線板上にチップを搭載する際に上方からチップに荷重を印加する場合が多い。ところが、チップが薄型化されていると、荷重を印加している間にチップの外側にはみ出したダイボンド材の一部がチップの上面に

這い上がり易くなる。

- [0018] 図58は、多点ノズルを使用して配線板上に塗布したダイボンド材がチップの上面に這い上がる頻度とチップ厚との関係を示すグラフである。ここでは、配線板としてリードフレームを使用し、ダイボンド材としてAgペーストを使用した。このグラフから、チップの厚さが100 μ m以下になると、ダイボンド材の這い上がりが顕著に発生するようになることが分かる。
- [0019] MOSFETなどの素子が形成されたチップの上面にはAl（アルミニウム）などの導電材からなる複数の電極パッド（ボンディングパッド）が表面保護膜から露出している。また、表面保護膜の下層には素子間や素子と電極パッドを接続する複数の金属配線が形成されている。そのため、チップの上面に這い上がったダイボンド材が電極パッドの表面や、金属配線を覆う表面保護膜の表面に付着すると、次のような問題が発生することが判明した。
- [0020] 例えばダイボンド材が電極パッドの表面に厚く乗り上がった場合には、次のワイヤボンディング工程で、電極パッド上にボンディングワイヤを接続させることができなくなる。また、ダイボンド材が電極パッドの表面に薄く付着した場合、ダイボンド材がボンディングワイヤ（イニシャルボール）と電極パッドとの金属結合を妨げるので、不圧着や接続強度不足が発生する。
- [0021] さらに、ダイボンド材がAgペーストや半田ペーストのような導電性材料で構成されている場合には、隣接する電極パッド間がダイボンド材を介して電氣的ショート（短絡）を引き起こす。特に、Agペーストからなるダイボンド材が表面保護膜上に付着した場合には、Agペーストを硬化させるベーク工程や、チップを樹脂封止するモールド工程などで発生する熱応力によって、Agペースト内のAgフィラーが表面保護膜（例えば厚さ約2 μ m前後のポリイミド樹脂膜）を突き破り、表面保護膜の下層の金属配線と短絡する恐れがあることも、本発明者らの検討によって判明した。
- [0022] 図59は、Agペースト内のAgフィラーが表面保護膜を突き破って金属配線と短絡する様子を模式的に示したものである。ここでは、金属製のリードフレームLF上にAgペースト7を介してチップ1を搭載する場合を例示

する。

[0023] チップ 1 の最上層には A 1 などの導電材からなる金属配線 3 6 が形成されており、その上部には金属配線 3 6 を保護する表面保護膜 1 9 が形成されている。表面保護膜 1 9 は、例えば厚さ $2\ \mu\text{m}$ 程度のポリイミド樹脂膜からなる。一方、A g ペースト 7 は、エポキシ樹脂などからなる基材中に直径 $2\sim 15\ \mu\text{m}$ 程度の A g フィラー 1 1 を分散させた導電性ダイボンド材である。

[0024] ここで、チップ 1 の上面に這い上がった A g ペースト 7 が金属配線 3 6 を覆う表面保護膜 1 9 上に付着すると、その後の熱処理工程（A g ペースト 7 を硬化させるベーク工程やチップ 1 を樹脂封止するモールド工程など）で A g ペースト 7 に熱応力が加わった際、A g ペースト 7 中に含まれる A g フィラー 1 1 のうち、表面保護膜 1 9 の膜厚よりも径の大きい A g フィラー 1 1 が表面保護膜 1 9 を突き破って金属配線 3 6 と接触する。その結果、金属配線 3 6 とリードフレーム L F とが A g ペースト 7 を介して短絡してしまうことになる。

[0025] また、チップ 1 にパワー M O S F E T が形成されている場合は、パワー M O S F E T のゲート電極に接続されたゲート電極パッドと、ソースに接続されたソース電極パッドとがチップ 1 の上面に形成されている。また、チップ 1 の裏面にドレイン電極が形成されている。そのため、A g ペースト 7 がこのチップ 1 の上面に這い上がると、チップ 1 の裏面のドレイン電極と、チップ 1 の主面のゲート電極パッドまたはソース電極パッドとが A g ペースト 7 を介して短絡する場合もある。

[0026] また、ダイボンド材がチップの上面に這い上がると、半導体パッケージの完成後に行われる P C T (Pressure Cooker Test) や H A S T (Highly Accelerated Stress Test) といった高温・高湿バイアス試験時にリーク不良が発生することもある。例えば A g ペーストや絶縁性ペーストの基材は主にエポキシ系樹脂で構成されている場合が多く、この樹脂が電極パッドの付近に存在すると、バイアス試験中にペースト中のイオン成分 (Na^+ 、 Cl^- など) が移動して μA オーダのリーク不良を引き起こし易くなる。

- [0027] また、ダイボンディング時にチップを吸着・保持するコレット（ボンディングノズル）の下面にダイボンド材が付着し、次に吸着・保持する他のチップの上面を汚染する場合もある。コレット下面へのダイボンド材の付着を防ぐ対策として、チップの外径寸法よりも径の小さいコレットでチップの中央部のみを吸着・保持し、チップの上面の周辺部に這い上がったダイボンド材がコレットの下面に付着しないようにする方法もある。しかし、この場合は、チップの上面の周辺部がコレットの下面と接触しないので、特に薄型化されたチップをコレットで吸着・保持しながらダイボンド材に荷重を印加したとき、チップの周辺部が上方に反り上がり易くなる（チップの周辺部が上方に反り上がるのは、ベースのシリコンよりも表面保護膜の収縮率の方が大きいため）。その結果、チップの周辺部とダイボンド材とが非接触となり、チップとダイボンド材との接触面積が小さくなるので、その後の熱処理工程で加わる熱応力などによって、チップが配線板から剥がれ易くなる。また、パワーMOSFETが形成されたチップの場合は、ON抵抗の増加を引き起こす。
- [0028] ダイボンド材を配線板の表面に塗布する方法として、上記した多点ノズルを用いる方法以外にも、例えば半導体ウエハ（以下、単にウエハという）をチップに個片化する工程（ダイシング工程）に先立って、ウエハの裏面にダイボンド材を薄くスクリーン印刷して固着しておく方法や、配線板の表面に転写ピンを使ってダイボンド材を転写する方法などがある。しかし、これらの方法にも、それぞれ次のような問題点がある。
- [0029] まず、ウエハの裏面にダイボンド材を印刷する方法の場合、印刷用のマスク（メタルマスクなど）を用いて所定の量（厚さ）のダイボンド材を供給する。しかし、近年の大口径ウエハ（例えばφ300mmウエハ等）にこの方法を適用すると、印刷範囲が広くなり、ウエハの中央部と端部におけるダイボンド材の厚さバラツキが大きくなるため、製造上の管理面も含めて、安定して印刷することが困難となる。
- [0030] 次に、転写ピンを使って配線板上にダイボンド材を転写する方法の場合は

、以下の理由により安定した転写性を確保することができなくなる。例えば A_g ペーストは、溶剤を添加して適度の粘度を持たせている場合が多い。このような溶剤タイプの A_g ペーストをベークすると、溶剤が揮発して基材（エポキシ系樹脂）の体積が収縮し、ペースト中の A_g フィラー同士がより密着する（機械的に絡む）ようになるので、電気抵抗値が下がるという特徴を有している。このような特徴を有する溶剤タイプの A_g ペーストは、パワー MOSFET などの電力用トランジスタが形成されたチップの場合、ON 抵抗を低減する上において非常に有効である。しかし、転写ピンを浸漬させる転写皿に溶剤タイプの A_g ペーストを入れて攪拌すると、溶剤が揮発してペーストが乾燥し、転写性が徐々に低下してしまう。このことは、すなわち半導体装置の製造において、転写開始時と終了時とで、製品の転写量が異なり、安定した生産ができなくなることを意味する。

[0031] 本発明の目的は、ペースト状のダイボンド材を使ってチップを配線板上に搭載する工程を有する半導体装置の製造において、薄型化されたチップに対応可能なダイボンド材塗布技術を提供することにある。

[0032] 本発明の他の目的は、ペースト状のダイボンド材を使ってチップを配線板上に搭載する工程を有する半導体装置の製造において、過度の濡れ拡がりを抑制することのできるダイボンド材塗布技術を提供することにある。

[0033] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0034] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0035] 本願発明の一態様である半導体装置の製造方法は、

（a）チップ搭載部および前記チップ搭載部に隣接して配置された複数のリード端子を有する配線板と、主面に複数の電極パッドおよび配線が形成された半導体チップとを準備する工程と、

（b）前記配線板の前記チップ搭載部の上面上にダイボンド材を塗布する工

程と、

(c) 前記チップ搭載部の上面と前記半導体チップの主面とが同一方向を向くように、前記チップ搭載部の上面上に前記ダイボンド材を介して前記半導体チップを搭載する工程と、

(d) 前記半導体チップの前記複数の電極パッドと前記配線板の前記複数のリード端子のそれぞれとを導電材により電氣的に接続する工程と、

(e) 前記半導体チップと前記導電材とを封止する封止体を形成する工程と、を有しており、前記半導体チップの厚さは、前記チップ搭載部の厚さの $1/2$ より薄く、前記 (b) 工程は、掘り込み部を有するノズルの前記掘り込み部に前記ダイボンド材を充填し、前記掘り込み部に充填された前記ダイボンド材を前記配線板の前記チップ搭載部の上面上に、その塗布厚さが前記半導体チップの厚さよりも薄くなるように転写するものである。

図面の簡単な説明

[0036] [図1] 本発明の実施の形態 1 である半導体装置の平面図である。

[図2] 本発明の実施の形態 1 である半導体装置の側面図である。

[図3] 本発明の実施の形態 1 である半導体装置の裏面（基板実装面）を示す平面図である。

[図4] 本発明の実施の形態 1 である半導体装置の内部構造を示す平面図である。

[図5] 図 4 の A-A 線に沿った断面図である。

[図6] 図 4 の B-B 線に沿った断面図である。

[図7] チップ 1 の裏面とダイパッド部との間に介在する Ag ペーストの断面構造を模式的に示した図である。

[図8] チップに形成されたトレンチゲート型 n チャネルパワー MOSFET の構造を示す要部断面図である。

[図9] (a) は、チップの主面に形成されたゲートパッドおよびソースパッドのレイアウトを示す平面図、(b) は、チップの主面に形成されたゲートパッドおよびソースパッドのレイアウトの別例を示す平面図である。

[図10]本発明の実施の形態1である半導体装置の内部構造の別例を示す平面図である。

[図11]チップの主面に形成されたゲートパッドおよびソースパッドのレイアウトの別例を示す平面図である。

[図12]本発明の実施の形態1である半導体装置の製造方法を示す全体フロー図である。

[図13]パワーMOSFETが形成された半導体ウエハの平面図である。

[図14]本発明の実施の形態1である半導体装置の製造に用いるリードフレームの平面図である。

[図15]本発明の実施の形態1である半導体装置の製造に用いるペースト塗布装置の主要部を示す概略図である。

[図16] (a) は、ペースト塗布装置のシリンジの先端部に装着されたスタンピングノズルを下面側から見た平面図、(b) は、(a) のC1-C1線に沿った断面図である。

[図17] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC2-C2線に沿った断面図である。

[図18] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC3-C3線に沿った断面図である。

[図19] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC4-C4線に沿った断面図である。

[図20] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC5-C5線に沿った断面図である。

[図21] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC6-C6線に沿った断面図である。

[図22]チップの平面形状の別例を示す平面図である。

[図23] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC7-C7線に沿った断面図である。

[図24] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a)

）のC8－C8線に沿った断面図である。

[図25] (a) は、スタンピングノズルの別例を示す平面図、(b) は、(a) のC9－C9線に沿った断面図である。

[図26] リードフレームのダイパッド部上にA g ペーストを塗布する方法を示す断面図である。

[図27] 図26に続くA g ペーストの塗布方法を示す断面図である。

[図28] リードフレームのダイパッド部上にA g ペーストを塗布する方法の別例を示す断面図である。

[図29] 図28に続くA g ペーストの塗布方法を示す断面図である。

[図30] ダイパッド部上にA g ペーストが塗布されたリードフレームの平面図である。

[図31] 図30のD－D線に沿った断面図である。

[図32] チップの主面をダイボンディングコレットで吸着・保持した状態を示す断面図である。

[図33] ダイボンディングコレットを使ってチップの裏面をA g ペーストに押し付けた状態を示す断面図である。

[図34] ダイボンディングコレットをチップから離れた直後のリードフレームを示す平面図である。

[図35] 図34の一部（符号Eで示す矩形の領域）を拡大して示す平面図である。

[図36] 従来の多点ノズル法を使ってダイパッド部上に塗布したA g ペーストにチップを押し付けたときのA g ペーストのはみだし量を示す平面図である。

[図37] チップのゲートパッドとリードフレームのゲートポストをAuワイヤで電氣的に接続し、チップのソースパッドとリードフレームのソースポストをAlリボンで電氣的に接続した状態を示す平面図である。

[図38] チップのソースパッドとリードフレームのソースポストをAuワイヤで電氣的に接続した状態を示す平面図である。

[図39] チップをモールド樹脂で封止した状態を示す平面図である。

[図40] リードフレームのダイパッド部上に半田ペーストを塗布する方法を示す断面図である。

[図41] 図40に続く半田ペーストの塗布方法を示す断面図である。

[図42] 図41に続く半田ペーストの塗布方法を示す断面図である。

[図43] 図42に続く半田ペーストの塗布方法を示す断面図である。

[図44] チップの主面をダイボンディングコレットで吸着・保持した状態を示す断面図である。

[図45] リードフレームのダイパッド部上へのチップの搭載が完了した状態を示す断面図である。

[図46] 本発明の実施の形態1である半導体装置の別例を示す平面図である。

[図47] 本発明の実施の形態1である半導体装置の別例を示す側面図である。

[図48] 本発明の実施の形態1である半導体装置の別例の内部構造を示す平面図である。

[図49] 図48のF-F線に沿った断面図である。

[図50] 図48のG-G線に沿った断面図である。

[図51] 本発明の実施の形態2である半導体装置の内部構造を示す平面図である。

[図52] 本発明の実施の形態2である半導体装置の内部等価回路図である。

[図53] 本発明の実施の形態2である半導体装置の別例の内部構造を示す平面図である。

[図54] 図53に示すダイパッド部とその上面に搭載されたチップの拡大断面図である。

[図55] (a) は、従来のBGA型半導体装置の一例を示す平面図および断面図、(b) は、本発明方法によって製造されたBGA型半導体装置の一例を示す平面図および断面図である。

[図56] 図55(a)に示す従来のBGA型半導体装置の一部を拡大して示す断面図である。

[図57] (a) は本発明方法によって製造されたチップ積層型半導体装置の一例を示す平面図、(b) はこのチップ積層型半導体装置の断面図である。

[図58] 多点ノズルを使用して配線板上に塗布したダイボンド材がチップの上面に這い上がる頻度とチップ厚との関係を示すグラフである。

[図59] A_gペースト内のA_gフィラーが表面保護膜を突き破って金属配線と短絡する様子を模式的に示す断面図である。

発明を実施するための形態

[0037] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態では、特に必要なときを除き、同一または同様な部分の説明を原則として繰り返さない。さらに、実施の形態を説明する図面においては、構成を分かり易くするために、平面図であってもハッチングを付す場合や、断面図であってもハッチングを省略する場合がある。

[0038] (実施の形態1)

図1～図5は、本実施の形態の半導体装置を示す図であり、図1は平面図、図2は側面図、図3は裏面（基板実装面）を示す平面図、図4は内部構造を示す平面図、図5は図4のA-A線に沿った断面図、図6は図4のB-B線に沿った断面図である。

[0039] 本実施の形態の半導体装置は、リードフレームのダイパッド部（チップ搭載部）3D上に搭載したチップ1をモールド樹脂2で封止した小型面実装パッケージ（いわゆるFLP：Flat Lead Package）であり、モールド樹脂2の2つの側面および裏面（基板実装面）には、この半導体装置の外部接続端子を構成する8本のリード3（＃1～＃8）が露出している。また、モールド樹脂2の裏面には、チップ1で発生した熱の拡散およびパッケージの熱抵抗低減のために、8本のリード3と共にダイパッド部3Dが露出している。モールド樹脂2は、例えば熱硬化性樹脂の一種であるエポキシ樹脂中にシリコンフィラーを分散させた絶縁材料からなる。

- [0040] 上記した8本のリード3（＃1～＃8）のうち、1番リード（＃1）から3番リード（＃3）はソースリード、4番リード（＃4）はゲートリード、5番リード（＃5）から8番リード（＃8）はドレインリードである。これらのリード3（＃1～＃8）のうち、3本のソースリード（＃1～＃3）は、モールド樹脂2の内部で互いに連結されている。また、4本のドレインリード（＃5～＃8）は、モールド樹脂2の内部でダイパッド部3Dと一体に構成されている。以下では、3本のソースリード（＃1～＃3）のうち、モールド樹脂2の内部に位置する部分（互いに連結された部分）をソースポスト3Sと称し、ゲートリード（＃5）のうち、モールド樹脂2の内部に位置する部分をゲートポスト3Gと称する。
- [0041] 上記リード3（＃1～＃8）およびダイパッド部3Dは、Cu（銅）、Cu合金、Fe（鉄）-Ni（ニッケル）合金などの金属板からなり、それらの厚さは例えば200 μ mである。また、リード3（＃1～＃8）の表面には、Ni（ニッケル）膜、Pd（パラジウム）膜およびAu（金）膜を積層した3層構造のメッキが施されている。
- [0042] 上記ダイパッド部3D上に搭載されたチップ1は、単結晶シリコンからなり、その主面には、例えば携帯情報機器の電力制御スイッチや充放電保護回路スイッチなどに使用される複数個のパワーMOSFET（後述）が形成されている。そして、チップ1の裏面は、上記複数個のパワーMOSFETに共通のドレインを構成している。本発明の対象となるチップ1は、その厚さが100 μ m以下となるように薄型化されたチップであり、リードフレームの厚さとの関係で規定すると、ダイパッド部3Dの2分の1以下の厚さを有する薄型チップである。特に限定はされないが、以下では、チップ1の厚さが50 μ mであり、ダイパッド部3Dの厚さが200 μ mである場合について説明する。
- [0043] 上記チップ1の主面には、パワーMOSFETのゲート電極に電氣的に接続された1個のゲートパッド4、およびパワーMOSFETのソースに電氣的に接続された2個のソースパッド5が形成されている。ゲートパッド4は

、Auワイヤ8を介してゲートポスト3Gに電氣的に接続されている。一方、2個のソースパッド5は、パワーMOSFETのON抵抗を低減するために、それぞれゲートパッド5よりも広い面積で構成されており、かつAuワイヤ8よりも広い面積を有するAl（アルミニウム）リボン9を介してソースポスト3Sに電氣的に接続されている。後述するように、ゲートパッド4およびソースパッド5は、チップ1の主面の最上層に形成されたAl合金などの金属膜によって構成されている。

[0044] パワーMOSFETのドレインを構成するチップ1の裏面にはドレイン電極6が形成されている。ドレイン電極6は、例えば厚さ100nmのTi（チタン）膜と厚さ50nmのAu膜とを積層した2層の金属膜からなる。また、ドレイン電極6は、厚さ100nmのTi膜、厚さ200nmのNi膜および厚さ100nmのAu膜を積層した3層の金属膜や、厚さ50nmのNi膜、厚さ100nmのTi膜、厚さ200nmのNi膜および厚さ100nmのAu膜を積層した4層の金属膜などで構成することもできる。導電性のダイボンド材がAgペーストであった場合、これらの金属膜はいずれも対応可能である。また、Ni膜を有する金属膜は半田（半田ペーストが溶融）中のSnと良好な合金を形成することができるので、導電性のダイボンド材が半田ペーストの場合にも対応可能である。

[0045] 上記ドレイン電極6が形成されたチップ1の裏面とダイパッド部3Dとの間には、導電性ダイボンド材の一種であるAgペースト7が介在している。すなわち、チップ1の裏面（ドレイン電極6）は、Agペースト7を介してダイパッド部3Dの上面に接合されている。Agペースト7は、例えば熱硬化性樹脂の一種であるエポキシ樹脂中にAgフィラーを分散させた導電性ダイボンド材であり、放熱性および導電性が極めて高いという特長を有している。従って、Agペースト7は、高放熱性および低ON抵抗が要求されるパワーMOSFETに好適な導電性ダイボンド材である。なお、ここでは、Agペースト7にはAgフィラーと共にスペースフィラーも分散されている。

[0046] 図7は、チップ1の裏面（ドレイン電極6）とダイパッド部3Dとの間に

介在するA g ペースト7の断面構造を模式的に示した図であり、図中の符号11はA g フィラー、符号12はスペーサビーズをそれぞれ示している。

[0047] 上記A g ペースト7は、溶剤を添加して適度の粘度を持たせた、いわゆる溶剤タイプのダイボンド材である。溶剤タイプのA g ペースト7は、ベーク時に溶剤が揮発して基材（エポキシ樹脂）の体積が収縮し、基材中に分散させたA g フィラー11同士がより高密度に凝集するので、無溶剤タイプのA g ペーストに比べて低い電気抵抗値が得られるという特徴がある。従って、パワーMOSFETが形成されたチップ1をダイパッド部3Dに接合するダイボンド材として、溶剤タイプのA g ペースト7を使用することにより、無溶剤タイプのA g ペーストを使用した場合に比べてパワーMOSFETのON抵抗を低減することができる。なお、本実施の形態で使用するA g ペースト7中のA g フィラー11の含有量は、例えば硬化前が85%程度、硬化後（溶剤揮発後）が95%程度である。また、A g フィラー11の大きさは、例えば2～15 μ m程度である。

[0048] 上記A g ペースト7に含まれるスペーサビーズ12は、例えば低弾性エポキシ樹脂からなる直径15 μ m程度の球体であり、A g ペースト7中の含有量は、例えば15個/mm²程度である。スペーサビーズ12は、チップ1とダイパッド部3Dとの間に介在するA g ペースト7の膜厚を制御するために添加される。すなわち、A g ペースト7中にスペーサビーズ12を分散させることにより、硬化後のA g ペースト7は、溶剤の揮発によってその膜厚が減少したとしても、少なくともスペーサビーズ12の直径とほぼ同程度以上の膜厚が確保される。

[0049] また、低弾性材料からなるスペーサビーズ12は、チップ1とダイパッド部3Dとの間に生じる熱的および機械的応力を緩和する機能も備えている。特に、大電力で動作するパワーMOSFETは発熱量が大きいため、チップ1とダイパッド部3Dの間には両者の熱膨張係数差に起因する大きな熱応力が加わる。また、Auワイヤ8よりも広い面積を有するAlリボン9を使ってソースパッド5とソースポスト3Sを電氣的に接続する場合は、リボン

ボンディング時にチップ 1 とダイパッド部 3 D との間に大きな超音波振動エネルギーが加わる。従って、A g ペースト 7 中に低弾性材料であるスペーサビーズ 1 2 を添加することにより、上記した熱的および機械的応力がスペーサビーズ 1 2 によって吸収・緩和され、チップ 1 とダイパッド部 3 D の剥離が抑制される。

[0050] 図 8 は、上記チップ 1 に形成されたトレンチゲート型 n チャネルパワー MOS F E T の構造を示す要部断面図である。n⁺型単結晶シリコン基板 2 0 の主面には、n⁻型単結晶シリコン層 2 1 がエピタキシャル成長法によって形成されている。n⁺型単結晶シリコン基板 2 0 および n⁻型単結晶シリコン層 2 1 は、パワー MOS F E T のドレインを構成している。

[0051] n⁻型単結晶シリコン層 2 1 の一部には、p 型ウエル 2 2 が形成されている。また、n⁻型単結晶シリコン層 2 1 の表面の一部には、酸化シリコン膜 2 3 が形成されており、他の一部には複数の溝 2 4 が形成されている。n⁻型単結晶シリコン層 2 1 の表面のうち、酸化シリコン膜 2 3 で覆われた領域は、素子分離領域を構成し、溝 2 4 が形成された領域は、素子形成領域（アクティブ領域）を構成している。図示はしないが、溝 2 4 の平面形状は、四角形、六角形、八角形などの多角形または一方向に延在するストライプである。

[0052] 溝 2 4 の底部および側壁には、パワー MOS F E T のゲート酸化膜を構成する酸化シリコン膜 2 5 が形成されている。また、溝 2 4 の内部には、パワー MOS F E T のゲート電極を構成する多結晶シリコン膜 2 6 A が埋め込まれている。一方、酸化シリコン膜 2 3 の上部には、上記ゲート電極を構成する多結晶シリコン膜 2 6 A と同一工程で堆積した多結晶シリコン膜からなるゲート引き出し電極 2 6 B が形成されている。ゲート電極（多結晶シリコン膜 2 6 A）とゲート引き出し電極 2 6 B は、図示しない領域で電氣的に接続されている。

[0053] 素子形成領域の n⁻型単結晶シリコン層 2 1 には、溝 2 4 よりも浅い p⁻型半導体領域 2 7 が形成されている。この p⁻型半導体領域 2 7 は、パワー MOS F E T のチャネル層を構成している。p⁻型半導体領域 2 7 の上部には、p

p型半導体領域27より不純物濃度の高いp型半導体領域28が形成されており、さらにp型半導体領域28の上部には、n⁺型半導体領域29が形成されている。p型半導体領域28は、パワーMOSFETのパンチスルーストッパ層を構成し、n⁺型半導体領域29は、ソースを構成している。

[0054] 上記パワーMOSFETが形成された素子形成領域の上部、およびゲート引き出し電極26Bが形成された素子分離領域の上部には、2層の酸化シリコン膜30、31が形成されている。素子形成領域には、酸化シリコン膜31、30、p型半導体領域28およびn⁺型半導体領域29を貫通してp型半導体領域27に達する接続孔32が形成されている。また、素子分離領域には、酸化シリコン膜31、30を貫通してゲート引き出し電極26Bに達する接続孔33が形成されている。

[0055] 接続孔32、33の内部を含む酸化シリコン膜31の上部には、前述したゲートパッド4およびソースパッド5が形成されている。ゲートパッド4およびソースパッド5は、例えば薄いTiW（チタンタングステン）膜と厚いAl合金膜との積層金属膜からなる。素子形成領域に形成されたソースパッド5は、接続孔32を通じてパワーMOSFETのソース（n⁺型半導体領域29）に電氣的に接続されている。この接続孔32の底部には、ソースパッド7とp型半導体領域27とをオーミック接触させるためのp⁺型半導体領域34が形成されている。また、素子分離領域に形成されたゲートパッド4は、接続孔33の下部のゲート引き出し電極26Bを介してパワーMOSFETのゲート電極（多結晶シリコン膜26A）に接続されている。

[0056] チップ1の最表面は、ゲートパッド4およびソースパッド5が形成された領域を除き、表面保護膜19で覆われている。表面保護膜19は、例えば厚さ2μm程度のポリイミド樹脂膜からなる。また、チップ1の裏面、すなわちn⁺型単結晶シリコン基板20の裏面には、前述したドレイン電極6が形成されている。

[0057] 図9（a）は、上記チップ1の主面に形成されたゲートパッド4およびソースパッド5のレイアウトを示す平面図である。

[0058] チップ1の主面の周辺部と中央部には、ゲート引出し電極10が形成されている。そして、チップ1の主面の中央部に形成されたゲート引出し電極10の一端はゲートパッド4を構成している。また、チップ1の主面の中央部に形成されたゲート引出し電極10の両側には一対のソースパッド5が形成されている。ゲート引出し電極10、ゲートパッド4およびソースパッド5は、チップ1の主面の最上層に形成されたA1合金などの金属膜によって構成されている。前述したように、チップ1の最表面は、ゲートパッド4およびソースパッド5が形成された領域を除き、表面保護膜19で覆われているので、ゲート引出し電極10は表面保護膜19で覆われている。

[0059] チップ1の主面において、ゲートパッド4およびゲート引出し電極10を上記のように配置した場合は、図8に示したパワーMOSFETのそれぞれのゲート電極（多結晶シリコン膜26A）の一端がゲート引出し電極10に向かって直線状に延在し、ゲート引出し電極10と電氣的に接続される。これにより、チップ1の主面の全域でゲート電極（多結晶シリコン膜26A）の長さをほぼ均一にすることができるので、パワーMOSFETのスイッチング特性が向上する。

[0060] なお、ゲートパッド4は、図9（b）に示すように、チップ1の主面のコーナー部に配置してもよい。このようにすると、図9（a）に示したレイアウトに比べて、ゲートパッド4とゲートポスト3Gを接続するAuワイヤ8の長さを短くすることができる（図4および図10参照）。

[0061] また、ソースパッド5も図9に示したレイアウトに限定されない。例えば図11に示すように、ゲート引出し電極10をチップ1の主面の外周部のみに配置し、中央部に1個のソースパッド5を配置してもよい。このようにすると、ソースパッド5の面積をより大きくすることができるので、パワーMOSFETのON抵抗をより低減することができる。

[0062] 次に、上記のように構成された小型面実装パッケージの製造方法を説明する。図12は、本実施の形態の小型面実装パッケージの製造方法を示す全体フロー図である。

[0063] 小型面実装パッケージを製造するには、図 13 に示す半導体ウエハ 1 A の主面に前述したパワー MOS FET を半導体ウエハ製造プロセスを用いて形成した後、半導体ウエハ 1 A の裏面を研削することによって、半導体ウエハ 1 A の厚さを、ここでは $50\text{ }\mu\text{m}$ まで薄くする。次に、この半導体ウエハ 1 A の裏面に前述したドレイン電極 6 を形成した後、半導体ウエハ 1 A をダイシングすることによって、複数個のチップ 1 を得る。

[0064] また、上記作業と並行して、図 14 に示すリードフレーム L F を用意する。リードフレーム L F は、前述したリード 3 (# 1 ~ # 8) およびダイパッド部 3 D が矩形のフレーム 13 によって支持された構造になっており、その厚さは、ここでは $200\text{ }\mu\text{m}$ である。また、ゲートリードを構成する 4 番リード (# 4) 、およびソースリードを構成する 1 番リード (# 1) ~ 3 番リード (# 3) は、所定の形状に折り曲げられている (図 5 、 図 6 参照) 。なお、実際のリードフレームは、フレーム 13 の内側に多数個のダイパッド部 3 D がマトリクス状に配置された構造になっているが、ここでは図面を見易くするために、2 個のダイパッド部 3 D を備えたリードフレーム L F を例に説明する。

[0065] 次に、上記リードフレーム L F のダイパッド部 3 D 上に前述した A g ペースト 7 を塗布する。本実施の形態では、ダイパッド部 3 D 上に A g ペースト 7 を塗布する方法として、以下に詳述するスタンピング方式を採用する。

[0066] 図 15 は、ペースト塗布装置 40 の主要部を示す概略図である。ペースト塗布装置 40 は、未硬化状態の A g ペースト 7 が充填されたシリンジ 41 と、このシリンジ 41 の先端部 (下端部) に装着されたスタンピングノズル 42 とを備えている。シリンジ 41 は、駆動部 43 に取り付けられたアーム 44 によって支持されており、駆動部 43 に内蔵されたモータによって水平方向 (X Y 方向) および上下方向 (Z 方向) に移動されるようになっている。

[0067] 上記シリンジ 41 には、その上端部に接続された配管 45 を通じて図示しないエア供給源から所定量のエアが供給される。また、シリンジ 41 の内部にはピストン 46 が挿入されており、シリンジ 41 の内部に供給された

エアーの圧力によってピストン４６が下降することにより、エアーの供給量に応じた所定量のＡｇペースト７がシリンジ４１からスタンピングノズル４２に移送される。

[0068] 図１６（ａ）は、上記シリンジ４１の先端部に装着されたスタンピングノズル４２を下面側から見た平面図であり、図１６（ｂ）は、図１６（ａ）のＣ１－Ｃ１線に沿った断面図である。

[0069] スタンピングノズル４２は、ステンレス鋼などの耐食性金属からなり、その下面の平面形状は矩形である。スタンピングノズル４２の下面には、Ａｇペースト７が充填される空間となる掘り込み部（保持部、溜め部、空間部）５０が設けられている。スタンピングノズル４２は、掘り込み部５０の中心がシリンジ４１の先端部（Ａｇペースト吐出部）の中心と一致するように、シリンジ４１に装着されている。

[0070] 上記掘り込み部５０の平面形状は長方形であり、その長辺の長さと短辺の長さの比は、チップ１の長辺の長さと短辺の長さの比とほぼ同一である。また、掘り込み部５０の平面寸法は、チップ１の外形寸法よりも片側で１００～５００μｍ程度小さく形成されている。さらに、掘り込み部５０の外縁からスタンピングノズル４２の側面までの肉厚（ t ）は、２００～５００μｍとするのが好ましい。肉厚（ t ）をこの程度に確保しておけば、スタンピングノズル４２の寿命に影響が出ることは少ない。さらに、スタンピングノズル４２の下面の外形寸法をチップ１の外形寸法＋片側１００μｍ程度とすることで、作業時にスタンピングノズル４２がその周囲と干渉する恐れを少なくすることができる。

[0071] 上記掘り込み部５０の深さ（ D ）は、チップ１の厚さ（＝５０μｍ）よりも小さい。但し、掘り込み部５０に充填されたＡｇペースト７をリードフレームＬＦのダイパッド部３Ｄ上に転写する際に、Ａｇペースト７中のスペーサビーズ１２が潰れるのを防ぐため、掘り込み部５０の深さ（ D ）は、スペーサビーズ１２の直径よりも大きくすることが望ましい。前述したように、スペーサビーズ１２の直径は１５μｍ程度であるため、ここでは $D=20\mu$

mを採用している。

[0072] 上記掘り込み部50は、スタンピングノズル42の下面よりも上方に位置する掘り込み面50aと、この掘り込み面50aを囲む4つの側壁50bと有している。そして、この掘り込み面50aおよび側壁50bは、凹凸のない平滑な鏡面仕上げとなっている。また、図16(b)に示すように、掘り込み面50aと側壁50bとが交差する領域は、R形状となっている。これにより、Agペースト7の掘り込み部50の内壁（掘り込み面50aおよび側壁50b）に対する離型性が向上し、Agペースト7が掘り込み部50の内壁に密着したり、Agペースト7中のAgフィラー11やスペーサビーズ12が掘り込み部50内に残留したりする不具合が改善されるので、ダイパッド部3D上に転写されるAgペースト7の塗布量のばらつきを低減することができる。

[0073] 上記掘り込み部50の上方には、シリンジ41内のAgペースト7を掘り込み部50に送るための一对の流路51が設けられている。これらの流路51のそれぞれの下端部は、掘り込み面50aに位置している。従って、スタンピングノズル42の下面側から掘り込み面51aを平面視したとき、上記流路51は開口部として見える。

[0074] スタンピングノズル42に設けられた上記2個の流路（開口部）51は、掘り込み部50の中心から長辺方向に沿って等距離の位置、かつ2つの短辺の中心同士を結ぶ線上に配置されている。また、2個の流路51のピッチ（P1）は、掘り込み部50の長辺の長さの3分の1から2分の1程度とするのが好ましい。

[0075] 上記流路51の平面形状は、円形でも矩形でも構わないが、Agペースト7中のAgフィラー11やスペーサビーズ12が流路51内に引っ掛かることによって発生する吐出量のばらつきを抑えるためには、図16(a)に示したような円形とするのが好ましい。また、流路51の開口径（ ϕ ）は、待機時にAgペースト7が垂れない程度、かつAgフィラー11やスペーサビーズ12による目詰まりが発生しない程度とするのが好ましい。具体的には

、 $\phi = 300 \sim 400 \mu\text{m}$ 程度とするのが好ましく、ここでは $\phi = 350 \mu\text{m}$ を採用している。

[0076] スタンピングノズル42に設ける流路51の数は2個に限定されるものではなく、チップ1の外形寸法や、長辺の長さや短辺の長さの比などに応じて適宜最適化することが望ましい。チップ1の外形寸法が小さい場合には、流路51は1個でも構わない。特に、チップ1の外形寸法が大きい場合には、スタンピングノズル42に3個以上の流路51を設けることにより、掘り込み部50のコーナー部近傍においてAgペースト7の充填量が不足する不具合を改善することができる。

[0077] 図17は、スタンピングノズル42に5個の流路51を設けた例である。ここで、5個の流路51は、掘り込み部50のコーナー部同士を結ぶ対角線上に配置されており、それらの中心は、掘り込み部50の中心（＝シリンジ41の先端部の中心）と一致している。掘り込み部50の中心には1個の流路51aが配置されており、残り4個の流路51bは、流路51aを囲むように配置され、かつ掘り込み部50のコーナー部近傍に配置されている。掘り込み部50の中心に配置された流路51aとその周囲に配置された流路51bとのピッチ（P2）は、上記対角線の長さの3分の1から2分の1程度とするのが好ましい。

[0078] このように、図17に示すスタンピングノズル42は、掘り込み部50のコーナー部近傍に流路51bが配置されているので、コーナー部のAgペースト7の充填量を安定化させることができる。

[0079] 図18は、スタンピングノズル42に6個の流路51を設けた例である。ここで、掘り込み部50の中心付近に配置された2個の流路51cは、掘り込み部50の中心から長辺方向に沿って等距離の位置に配置されており、かつ掘り込み部50の短辺の中心線上に配置されている。また、2個の流路51cピッチ（P3）は、掘り込み部50の長辺の長さの4分の1以下とするのが好ましい。一方、4個の流路51dは、掘り込み部50のコーナー部同士を結ぶ対角線上に配置されており、掘り込み部50の中心から各流路51

dまでの距離は同一である。また、掘り込み部50の中心から各流路51cまでの距離は、上記対角線の長さの4分の1以上とするのが好ましい。

[0080] 図18に示すスタンピングノズル42は、例えばチップ1の形状が長細い形状になって、それに対応して掘り込み部50が長細い形状になって、掘り込み部50の短辺の中心線上に2個の流路51cが配置されているので、図17に示すスタンピングノズル42に比べて、掘り込み部50にA gペースト7を安定して充填することができる。

[0081] 図19は、スタンピングノズル42に9個の流路51を設けた例である。ここで、9個の流路51の中心は、掘り込み部50の中心と一致しており、そこに1個の流路51eが配置されている。また、2個の流路51fは、掘り込み部50の一方の長辺の中心と他方の長辺の中心とを結ぶ線上に配置されており、2個の流路51gは、掘り込み部50の一方の短辺の中心と他方の短辺の中心とを結ぶ線上に配置されている。さらに、残り4個の流路51hは、掘り込み部50のコーナ一部同士を結ぶ対角線上に配置されている。

[0082] 流路51eと流路51fのピッチ(P4)は、掘り込み部50の短辺の長さの4分の1以下とするのが好ましい。また、流路51eと流路51gのピッチ(P5)は、掘り込み部50の長辺の長さの4分の1以下とするのが好ましい。さらに、流路51eと流路51hのピッチ(P6)は、上記対角線の長さの4分の1以上とするのが好ましい。

[0083] 図19に示すスタンピングノズル42は、例えばチップ1の外形寸法が大きくなっても、掘り込み部50の一方の長辺の中心と他方の長辺の中心とを結ぶ線上に2個の流路51f、一方の短辺の中心と他方の短辺の中心とを結ぶ線上に2個の流路51g、およびコーナ一部同士を結ぶ対角線上に4個の流路51hが配置されているので、図17に示すスタンピングノズル42に比べて、掘り込み部50にA gペースト7を安定して充填することができる。

[0084] 図20は、掘り込み部50の長辺方向に沿って3個の流路51を一行に設けた例であり、図21は、掘り込み部50の長辺方向に沿って4個の流路5

1を一列に設けた例である。これらの例は、チップ1の短辺の長さに対する長辺の長さの比が大きい場合に好適な構造である。

[0085] 図20に示す例において、3個の流路51は、掘り込み部50の一方の短辺の中心と他方の短辺の中心とを結ぶ線上に配置されており、中央の流路51は、掘り込み部50の中心に配置されている。また、隣り合う流路51のピッチ(P7)は、掘り込み部50の長辺の長さの3分の1程度とするのが好ましい。

[0086] 図21に示す例において、4個の流路51は、掘り込み部50の一方の短辺の中心と他方の短辺の中心とを結ぶ線上に配置されており、それらの中心は、掘り込み部50の中心と一致している。また、隣り合う流路51のピッチ(P8)は、掘り込み部50の長辺の長さの4分の1程度とするのが好ましい。

[0087] 図16～図21に示したスタンピングノズル42は、チップ1の平面形状が長方形である場合に使用するものであるが、チップ1の平面形状が図22に示すような正方形である場合には、掘り込み部50の平面形状を正方形にしたスタンピングノズル42を使用することが望ましい。

[0088] 図23は、掘り込み部50の平面形状を正方形にしたスタンピングノズル42に1個の流路51を設けた例である。ここで、流路51は、掘り込み部50の中心(＝シリンジ41の先端部の中心)に配置されている。

[0089] 図24は、掘り込み部50の平面形状を正方形にしたスタンピングノズル42に5個の流路51を設けた例である。図17に示した例と同じく、5個の流路51は、掘り込み部50のコーナ一部同士を結ぶ対角線上に配置されており、それらの中心は、掘り込み部50の中心と一致している。また、掘り込み部50の中心に配置された流路51aとその周囲の流路51bとのピッチ(P2)は、上記対角線の長さの3分の1から2分の1程度とするのが好ましい。

[0090] 図24に示すスタンピングノズル42は、図17に示した例と同様、掘り込み部50のコーナ一部近傍に流路51bが配置されているので、図23に

示すスタンピングノズル42に比べて、コーナー部のA g ペースト7の充填量を安定化させることができる。

[0091] 図25は、掘り込み部50の平面形状を正方形にしたスタンピングノズル42に9個の流路51を設けた例である。ここで、9個の流路51の中心は、掘り込み部50の中心と一致しており、そこに1個の流路51eが配置されている。また、4個の流路51fは、掘り込み部50の中心と一辺の中心とを結ぶ線上に配置されており、残り4個の流路51hは、掘り込み部50のコーナー部同士を結ぶ対角線上に配置されている。流路51eと流路51fのピッチ(P4)は、掘り込み部50の一辺の長さの6分の1から4分の1程度とするのが好ましく、流路51eと流路51hのピッチ(P6)は、上記ピッチ(P4) $\times \sqrt{2}$ 以上とするのが好ましい。

[0092] 図25に示すスタンピングノズル42は、例えばチップ1の外形寸法が大きくなっても掘り込み部50の中心と一辺の中心とを結ぶ線上に4個の流路51f、および掘り込み部50のコーナー部同士を結ぶ対角線上に4個の流路51hが配置されているので、図23に示すスタンピングノズル42に比べて、掘り込み部50にA g ペースト7を安定して充填することができる。

[0093] なお、図17～図25に示した例では、流路51の平面形状を円形としたが、矩形でも構わない。いずれの場合も、流路51の開口径は、待機時にA g ペースト7が垂れない程度、かつA g フィラー11やスペーサビーズ12による目詰まりが発生しない程度とするのが好ましい。また、流路51の数も図17～図25に示した例に限定されない。さらに、掘り込み部50の平面寸法や深さ(D)、掘り込み部50の側壁からスタンピングノズル42の側面までの肉厚(t)などは、図16に示したスタンピングノズル42と同一の仕様にすることが望ましい。

[0094] 図16に示したスタンピングノズル42を使用してリードフレームLFのダイパッド部3D上にA g ペースト7を塗布するには、ペースト塗布装置40のシリンジ41に充填されたA g ペースト7をスタンピングノズル42の掘り込み部50に送り、スタンピングノズル42の下面をダイパッド部3D

の上面に突き当てる。このようにすると、掘り込み部50内に充填されたA_gペースト7が掘り込み部50から脱離してダイパッド部3D上に転写される。すなわち、ダイパッド部3D上には、掘り込み部50の容積に相当する量のA_gペースト7が転写される。また、ダイパッド部3D上に転写されたA_gペースト7の形状は、掘り込み部50の形状とほぼ同一になる。

[0095] 前述したように、掘り込み部50の深さ(D)は、チップ1の厚さよりも小さいので、ダイパッド部3D上に塗布されたA_gペースト7の厚さは、チップ1の厚さよりも小さく(薄く)なる。また、掘り込み部50の平面寸法は、チップ1の外形寸法よりも小さいので、ダイパッド部3D上に塗布されたA_gペースト7の外形寸法は、チップ1の外形寸法よりも小さくなる。

[0096] リードフレームLFのダイパッド部3D上にA_gペースト7を塗布する際は、まず、図26に示すように、スタンピングノズル42の下面をダイパッド部3Dの上面に突き当てた後、図27に示すように、流路51を通じて掘り込み部50内にA_gペースト7を吐出する(第1の方法)。あるいは、まず、図28に示すように、流路51を通じて掘り込み部50内にA_gペースト7を吐出した後、図29に示すように、スタンピングノズル42の下面をダイパッド部3Dの上面に突き当てる(第2の方法)。

[0097] 上記した2つの方法のうち、第2の方法は、第1の方法に比べて掘り込み部50内のエアが排出され易い。すなわち、第2の方法は、図28に示すように、流路51から掘り込み部50内に吐出されたA_gペースト7の下端をスタンピングノズル42の下面よりも下方に突出させることにより、掘り込み部50内の空気(エア)を逃がしながら(押し出しながら)、掘り込み部50内にA_gペースト7を隙間なく充填することができる。その結果、ダイパッド部3D上に塗布されたA_gペースト7中のボイドを少なくすることができる。

[0098] 図30は、上述した方法によってダイパッド部3D上にA_gペースト7が塗布されたリードフレームLFの平面図、図31は、図30のD-D線に沿った断面図である。

- [0099] 次に、図 3 2 に示すように、チップ 1 の主面をダイボンディングコレット 5 4 で吸着・保持しながらダイパッド部 3 D の上方に搬送し、チップ 1 の主面とダイパッド部 3 D の上面とが平行になるように位置決めする。
- [0100] 上記ダイボンディングコレット 5 4 の外形寸法は、チップ 1 の外形寸法よりも大きいものを使用することが望ましい。チップ 1 の外形寸法より大きいダイボンディングコレット 5 4 を使用した場合は、チップ 1 の主面の周辺部全体がダイボンディングコレット 5 4 の下面と接触することになる。これにより、次の工程でチップ 1 の裏面を A g ペースト 7 に押し付けて荷重を印加したとき、チップ 1 の周辺部が反り上がらないので、チップ 1 の裏面全体を A g ペースト 7 で濡らすことができる。その結果、チップ 1 と A g ペースト 7 の密着性が確保されるので、チップ 1 とダイパッド部 3 D との接続信頼性が向上する。また、パワー MOS F E T の ON 抵抗の増加が抑制される。
- [0101] 次に、図 3 3 に示すように、ダイボンディングコレット 5 4 を垂直に下降させ、チップ 1 の裏面をダイパッド部 3 D 上の A g ペースト 7 に軽く押し付ける。このとき、A g ペースト 7 に印加される荷重（実装荷重）は、例えば 6 0 ～ 1 5 0 g / チップ程度である。前述したように、A g ペースト 7 中には低弾性樹脂からなる球状のスペーサビーズ 1 2 が含まれているので、チップ 1 を A g ペースト 7 に押し付けると、A g ペースト 7 が横方向に濡れ拡がり、その膜厚がスペーサビーズ 1 2 の直径とほぼ同程度まで薄くなると共に、A g ペースト 7 の一部がチップ 1 の外側にはみ出す。
- [0102] このとき、A g ペースト 7 は、ダイパッド部 3 D 上にその厚さがチップ 1 の厚さよりも薄く、かつその外形寸法がチップ 1 の外形寸法よりも小さく塗布されているので、チップ 1 の外側に A g ペースト 7 がわずかにはみ出す程度であり、ダイボンディングコレット 5 4 に付着することはない。また、ダイボンディングコレット 5 4 をチップ 1 から離れた後に、A g ペースト 7 がチップ 1 の主面（上面）上に這い上がることもない。
- [0103] また、図 7 に示すように、チップ 1 の周囲に形成された A g ペースト 7 のフィレットの上端部はチップ 1 の主面（上面）と裏面（下面）との間に位置

している。別の表現をすると、A g ペースト 7 のフィレットの上端部は、チップ 1 の主面（上面）とチップ 1 の裏面（下面）に形成された前述の金属膜との間に位置している。このことは、言い換えると、スタンピングノズル 4 2 の掘り込み部 5 0 の体積（すなわち、ダイパッド部 3 D 上に塗布される A g ペースト 7 の体積）は、A g ペースト 7 のフィレットの上端部の位置が前述の位置にくるように設定することが重要であることを意味する。

[0104] このようにすることにより、チップ 1 の裏面に形成されたドレイン電極 6 と、チップ 1 の主面に形成されたゲートパッド 4 またはソースパッド 5 とが A g ペースト 7 を介して短絡する不具合を防止することができる。また、A g ペースト 7 中の A g フィラー 1 1 がチップ 1 の主面を覆う表面保護膜 1 9 を突き破ってゲート引出し電極 1 0 と接触し、ドレイン電極 6 とゲート引出し電極 1 0 とが A g ペースト 7 を介して短絡するような不具合も防止できる。

[0105] 図 3 4 は、ダイボンディングコレット 5 4 を使ってチップ 1 の裏面を A g ペースト 7 に押し付けた後、ダイボンディングコレット 5 4 をチップ 1 から離れた直後のリードフレーム L F を示す平面図、図 3 5 は、図 3 4 の一部（符号 E で示す矩形の領域）を拡大して示す平面図である。

[0106] 図 3 5 に示すように、ダイパッド部 3 D 上に塗布された A g ペースト 7 にチップ 1 の裏面を押し付けたとき、チップ 1 のコーナー部における A g ペースト 7 のはみ出し量（a）と、コーナー部から離れた領域における A g ペースト 7 のはみ出し量（b）との関係は、 $(b/a) < 2$ となる。ここで、はみ出し量（a）は、チップ 1 のコーナー部から斜め 45° 方向へのはみ出し量を意味し、はみ出し量（b）は、チップ 1 の一辺からその辺に直交する方向へのはみ出し量を意味する。このことから、上記した方法でダイパッド部 3 D 上に A g ペースト 7 を塗布した場合、チップ 1 のコーナー部から離れた領域におけるはみ出し量（b）は、最大でもチップ 1 のコーナー部におけるはみ出し量（a）の 2 倍未満となる。そのため、チップ 1 の厚さが $100\mu\text{m}$ 以下となっても、チップ 1 の外側にはみ出した A g ペースト 7 の一部がチ

チップ1の上面（主面）に這い上がることはない。

[0107] 一方、図36は、従来の多点ノズル法を使ってダイパッド部3D上にAgペースト7を塗布した後、チップ1の裏面をAgペースト7に押し付けたときのAgペースト7のはみだし量を示している。この場合、チップ1のコーナ部におけるAgペースト7のはみ出し量（a）と、チップ1のコーナ部から離れた領域におけるAgペースト7のはみ出し量（b）との関係は、 $(b/a) > 2$ となる。すなわち、チップ1のコーナ部から離れた領域におけるAgペースト7のはみ出し量（b）は、チップ1のコーナ部におけるAgペースト7のはみ出し量（a）の2倍よりも大となる。そのため、チップ1の厚さが $100\mu\text{m}$ 以下である場合には、チップ1の外側にはみ出したAgペースト7の一部がチップ1の上面（主面）に這い上がってしまう。

[0108] 次に、ベーク炉内で上記リードフレームLFを 200°C 程度に加熱してAgペースト7を硬化させた後、図37に示すように、チップ1のゲートパッド4とリードフレームLFのゲートポスト3GをAuワイヤ8で電氣的に接続し、チップ1のソースパッド5とリードフレームLFのソースポスト3SをAlリボン9で電氣的に接続する。Auワイヤ8のボンディングには、熱と超音波振動を併用したボールボンディング法を使用し、Alリボン9のボンディングには、超音波振動を利用したウェッジボンディング法を使用する。

[0109] 上記したAuワイヤ8とAlリボン9のボンディング順序は、任意である。ただし、Alリボン9の幅および厚さは、Auワイヤ8の径よりも大きいので、Alリボン9のボンディング時にチップ1に加わる振動エネルギーは、Auワイヤ8のボンディング時にチップ1に加わる振動エネルギーよりも大きい。従って、Auワイヤ8のボンディング後にAlリボン9のボンディングを行うと、Alリボン9のボンディング時の振動エネルギーによって、Auワイヤ8とゲートパッド4の接続強度が低下し、場合によっては、Auワイヤ8がゲートパッド4から剥がれてしまう恐れがある。また、Alリボン9のボンディングに使用するウェッジツールがAuワイヤ8に接触すると

、Auワイヤ8が損傷したり、切断したりする恐れもある。従って、Alリボン9のボンディングを先に行い、その後にAuワイヤ8のボンディングを行うことが望ましい。

[0110] ソースパッド5とソースポスト3Sを接続する導電材は、上記Alリボン9に限定されるものではなく、例えば図38に示すように、複数本のAuワイヤ8を使用してソースパッド5とソースポスト3Sを接続してもよい。このとき、長いAuワイヤ8と短いAuワイヤ8を交互に並べて結線する（千鳥配列にする）ことにより、ソースパッド5とソースポスト3S間との間を複数本のAuワイヤ8で効率的に接続することができる。また、Alリボン9に類似した導電材である金属製のクリップを使用することもできる。クリップとは、ここではCu合金やAlなどからなる薄い金属板をあらかじめ所定のループ形状および所定の長さに成形したもので、その一端をソースパッド5上に、他端をソースポスト3S上に置き、クリップの一端とソースパッド5、およびクリップの他端とソースポスト3Sとを同時に接続するものである。接続の方式としては、半田接合、Agペースト接合、超音波接合などがある。

[0111] 次に、図39に示すように、チップ1をモールド樹脂2で封止する。その後、モールド樹脂2の外部に露出したリードフレームLFのフレーム13を切断・除去することにより、図1～図5に示した本実施の形態の半導体装置（小型面実装パッケージ）が完成する。

[0112] このように、上記した本実施の形態の製造方法によれば、リードフレームLFのダイパッド部3D上に厚さが100μm以下の薄いチップ1を搭載する際に、Agペースト7が薄いチップ1の上面に這い上がる不具合を改善することができる。これにより、ダイパッド部3D上に搭載するチップ1の薄型化を推進することができるので、パワーMOSFETが形成されたチップ1を封止する小型面実装パッケージの薄型化、および高性能化（パワーMOSFETの低ON抵抗化）を推進することができる。

[0113] 本実施の形態では、リードフレームLFのダイパッド部3Dとチップ1と

を接続するダイボンド材としてA gペースト7を使用する場合について説明したが、上記したスタンピングノズル42を使用するダイボンド材の塗布方法は、ダイボンド材として半田ペースト（溶剤ペースト）を使用する場合にも適用することができる。

[0114] 半田ペーストは、ロジンの主成分とするフラックスと半田の微粒子とを混練りした導電性ダイボンド材であり、半田成分としては、S n（錫）－P b（鉛）合金の他、P bを含まないS n－A g－C u合金、S n－Z n（亜鉛）－B i（ビスマス）合金、S n－A g－I n（インジウム）－B i合金などがある。半田ペーストは、A gペースト7に比べて導電性は低いが耐熱性が高いので、例えば車載用パワーM O S F E Tが形成されたチップ1を封止する半導体パッケージのように、高温環境で使用される半導体装置に使用して好適なダイボンド材である。

[0115] リードフレームL Fのダイパッド部3 D上に半田ペーストを塗布するには、まず、図40に示すように、ダイパッド部3 Dの上方にスタンピングノズル42を位置決めする。図示は省略するが、スタンピングノズル42は、前述したペースト塗布装置40（図15参照）のシリンジ41の先端部に装着されており、シリンジ41の内部には半田ペーストが充填されている。

[0116] スタンピングノズル42に設ける流路51の数やレイアウトは、チップ1の外形寸法や、長辺の長さ、短辺の長さの比などに応じて適宜最適化するが、ここでは図16に示したスタンピングノズル42を使用する。また、チップ1の平面形状が長方形である場合には、掘り込み部50の平面形状も長方形であり、その長辺の長さ、短辺の長さの比は、チップ1の長辺の長さ、短辺の長さの比とほぼ同一である。さらに、掘り込み部50の平面寸法および深さは、チップ1の平面寸法および厚さよりも小さい。例えばチップ1の厚さが50 μ mである場合には、掘り込み部50の深さを30～40 μ mとする。

[0117] 次に、図41に示すように、流路51を通じて掘り込み部50内に半田ペースト14を吐出する。このとき、掘り込み部50内に吐出された半田ペー

スト１４の下端をスタンピングノズル４２の下面よりも下方に突出させる。このようにすると、次の工程でスタンピングノズル４２の下面をダイパッド部３Ｄの上面に突き当てたとき、掘り込み部５０内のエアーを逃がしながら、掘り込み部５０内に半田ペースト１４を隙間なく充填することができる。

[0118] 次に、図４２に示すように、スタンピングノズル４２の下面をダイパッド部３Ｄの上面に突き当てて掘り込み部５０内に半田ペースト１４を充填した後、図４３に示すように、スタンピングノズル４２を引き上げることにより、掘り込み部５０内の半田ペースト１４がダイパッド部３Ｄ上に転写される。この場合も、掘り込み部５０の内壁を鏡面仕上げしておくことにより、ダイパッド部３Ｄ上に転写される半田ペースト１４の塗布量のばらつきを低減することができる。

[0119] 次に、図４４に示すように、チップ１の主面をダイボンディングコレット５４で吸着・保持しながらダイパッド部３Ｄの上方に搬送し、チップ１の主面とダイパッド部３Ｄの上面とが平行になるように、チップ１の裏面をダイパッド部３Ｄ上の半田ペースト１４に軽く押し付けて半田ペースト１４に荷重を印加する。

[0120] このとき、半田ペースト１４が横方向に濡れ拡がり、その一部がチップ１の周辺部から外側にはみ出す。しかし、ダイパッド部３Ｄ上に塗布された半田ペースト１４は、その厚さがチップ１の厚さよりも薄く、かつその外形寸法がチップ１の外形寸法よりも小さいので、チップ１の外側にはみ出した半田ペースト１４がダイボンディングコレット５４に付着することはない。また、ダイボンディングコレット５４をチップ１から離れた後に、半田ペースト１４がチップ１の主面（上面）上に這い上がることもない。

[0121] さらに、このとき、チップ１は半田ペースト１４内にわずかに埋まった格好になっている。すなわち、チップ１の周辺部から外側にはみ出した半田ペースト１４の上面は、チップ１の裏面よりもチップの厚さ方向（高さ方向）で高い位置になっている。別の表現をすると、チップ１の周辺部から外側にはみ出した半田ペースト１４の上面は、チップ１の主面（上面）と裏面（下

面)との間に位置している。もしくは、チップ1の周辺部から外側にはみ出した半田ペースト14の上面は、チップ1の主面(上面)とチップ1の裏面(下面)に形成された前述の金属膜との間に位置している。

[0122] 次に、ダイボンディングコレット54をチップ1から離した後、リフロー炉内で半田ペースト14をリフローさせた後、フラックス洗浄剤を使ってリードフレームLFの表面を洗浄することにより、チップ1の搭載が完了する(図45)。

[0123] このとき、図45に示すように、半田ペースト14が溶融して凝固した半田は、チップ1の裏面の金属膜と接合(金属結合)しており、凝固した半田のフィレットの上端部は、金属膜を超えてはいない。これは、チップ1がシリコンで構成されており、半田ペースト14が溶融した半田は、シリコンに濡れない(金属結合を成さない)性質を有するからである。そのため、チップ搭載時にチップ1の主面に半田ペースト14が這い上がらない範囲であれば、ダイパッド部3D上に塗布する半田ペースト14の膜厚をAgペースト7よりも厚くし、リフロー後の半田膜厚を厚く形成することにより、チップ1とダイパッド部3Dとの接合信頼性をより向上させることができる。

[0124] なお、その後の工程(Auワイヤ8およびAlリボン9のボンディング、チップ1の樹脂封止など)は、前述した工程と同じなので、その説明は省略する。

[0125] このように、本実施の形態の製造方法によれば、リードフレームLFのダイパッド部3D上に厚さが100 μ m以下の薄いチップ1を搭載する際に、半田ペースト14が薄いチップ1の上面に這い上がる不具合を改善することができる。これにより、ダイボンド材として半田ペースト14を使用する場合であっても、ダイパッド部3D上に搭載するチップ1の薄型化を推進することができる。

[0126] また、上記チップ1を封止する小型面実装パッケージは、上記FLPに限定されるものではなく、種々の面実装パッケージが採用可能であり、例えば図46～図50に示すようなSOP8などを採用することもできる。図46

はSOP8の平面図、図47はSOP8の側面図、図48はSOP8の内部構造を示す平面図、図49は図48のF-F線に沿った断面図、図50は図48のG-G線に沿った断面図である。図に示すように、SOP8は、モールド樹脂2の2つの側面から突出させたリード3（＃1～＃8）をガルウィング状に成形した面実装パッケージである。

[0127] この場合も、上記したスタンピングノズル42を使用してダイパッド部3D上にAgペースト7（または半田ペースト14）を塗布することにより、Agペースト7（または半田ペースト14）が薄いチップ1の上面に這い上がる不具合を改善することができるので、ダイパッド部3D上に搭載するチップ1の薄型化を推進することができる。

[0128] また、本実施の形態では、パワーMOSFETが形成されたチップ1をダイパッド部3D上に搭載する場合について説明したが、チップ1に形成される素子はIGBT（Insulated Gate Bipolar Transistor）であってもよい。IGBTが形成されたチップ1は、その裏面にコレクタ電極が形成されるので、このチップ1をダイパッド部3D上に搭載する場合は、ダイボンド材としてAgペースト7または半田ペースト14が使用される。従って、この場合も、上記したスタンピングノズル42を使用してダイボンド材を塗布することにより、ダイボンド材がチップ1の上面に這い上がる不具合を改善することができる。

[0129] （実施の形態2）

前述したスタンピングノズル42を使用してリードフレームのダイパッド部上にダイボンド材を塗布する方法は、ダイパッド部上に複数個のチップを搭載する小型面実装パッケージの製造に適用することもできる。

[0130] 図51は、本実施の形態の半導体装置の内部構造を示す平面図であり、図52は、この半導体装置の内部等価回路図である。本実施の形態の半導体装置は、2個のチップ1H、1Lをモールド樹脂2で封止した小型面実装型パッケージである。パッケージ形状は、前述したFLP、SOP8など、種々の形状が採用可能である。

- [0131] 上記2個のチップ1H、1Lのうち、外径寸法の小さいチップ1Hの主面には、ハイサイドMOSFETが形成されており、外径寸法の大きいチップ1Lの主面には、ロウサイドMOSFETが形成されている。2個のチップ1H、1Lの厚さは、いずれも100 μ m以下である。ハイサイドMOSFETのソースとロウサイドMOSFETのドレインとは電氣的に接続され、これによって、例えばDC-DCコンバータが構成されている。ハイサイドMOSFETおよびロウサイドMOSFETの具体的な構造は、前記実施の形態1のパワーMOSFETとほぼ同一であるため、それらの図示は省略する。
- [0132] 上記2個のチップ1H、1Lのうち、外径寸法の小さいチップ1Hは、3本のドレインリード3D1と一体に形成されたダイパッド部3P1の上に、その主面を上に向けた状態で搭載されている。このチップ1Hの主面には、1個のゲートパッド4hと、ゲートパッド4hよりも面積の大きい2個のソースパッド5hが形成されている。チップ1Hの裏面は、ハイサイドMOSFETのドレインを構成しており、前記実施の形態1で用いたものと同じのAgペースト7を介してダイパッド部3P1の上面に接合されている。
- [0133] 一方、外径寸法の大きいチップ1Lは、上記ダイパッド部3P1よりも面積の大きいダイパッド部3P2の上に、その主面を上に向けた状態で搭載されている。このチップ1Lの主面には、1個のゲートパッド4lと、ゲートパッド4lよりも面積の大きい2個のソースパッド5lが形成されている。チップ1Lの裏面は、ロウサイドMOSFETのドレインを構成しており、前記実施の形態1で用いたものと同じのAgペースト7を介してダイパッド部3P2の上面に接合されている。
- [0134] モールド樹脂2の一辺には、上記3本のドレインリード3D1と共に1本のゲートリード3G1が配置されている。そして、チップ1Hのゲートパッド4hとゲートリード3G1とがAuワイヤ8を介して電氣的に接続され、チップ1Hのソースパッド5hとダイパッド部3P2とがAlリボン9を介して電氣的に接続されている。

[0135] また、モールド樹脂 2 の他の一辺には、3 本のソースリード 3 S 2 と 1 本のゲートリード 3 G 2 が配置されている。3 本のソースリード 3 S 2 は、モールド樹脂 2 の内部で互いに連結されており、この連結された部分（ソースポスト 3 S）とチップ 1 L のソースパッド 5 I とが A I リボン 9 を介して電氣的に接続されている。また、ゲートリード 3 G 2 は、A u ワイヤ 8 を介してチップ 1 L のゲートパッド 4 I に電氣的に接続されている。

[0136] 上記のように構成された本実施の形態の半導体装置においても、前述したスタンピングノズル 4 2 を使用して 2 個のダイパッド部 3 P 1、3 P 2 のそれぞれの上面に A g ペースト 7 を塗布する。これにより、薄いチップ 1 H、1 L の上面に A g ペースト 7 が這い上がる不具合を改善することができるので、チップ 1 H、1 L の薄型化を推進することができる。

[0137] なお、2 個のチップ 1 H、1 L は外径寸法が異なるので、ダイパッド部 3 P 1 上に A g ペースト 7 を塗布するスタンピングノズル 4 2 と、ダイパッド部 3 P 2 上に A g ペースト 7 を塗布するスタンピングノズル 4 2 は、堀り込み部 5 O の平面寸法が異なるものを使用する。また、A g ペースト 7 に代えて半田ペースト 1 4 を使用することもできる。

[0138] 図 5 3 は、上記 2 個のチップ 1 H、1 L と、ドライバ I C（またはコントロール I C）が形成された第 3 のチップ 1 D をモールド樹脂 2 で封止したシステム・イン・パッケージ（S I P : System In Package）の内部構造を示す平面図である。

[0139] ハイサイド MOS F E T が形成されたチップ 1 H は、A g ペースト 7 を介してダイパッド部 3 P 1 の上面に接合され、ロウサイド MOS F E T が形成されたチップ 1 L は、A g ペースト 7 を介してダイパッド部 3 P 2 の上面に接合されている。2 個のチップ 1 H、1 L の厚さは、いずれも 1 0 0 μ m 以下である。従って、これらのチップ 1 H、1 L をダイパッド部 3 P 1、3 P 2 上に搭載する場合も、前述したスタンピングノズル 4 2 を使用したスタンピング方式によってダイパッド部 3 P 1、3 P 2 上に A g ペースト 7 を塗布することにより、チップ 1 H、1 L の上面に A g ペースト 7 が這い上がる不

具合を改善することができる。

- [0140] 一方、ドライバICが形成されたチップ1Dは、絶縁ペースト15を介してダイパッド部3P3の上面に接合されている。絶縁ペースト15は、エポキシ樹脂などの熱硬化性樹脂中にシリカを分散させた絶縁性ダイボンド材である。
- [0141] チップ1Dの主面の周辺部には、ドライバICを構成する素子に電氣的に接続された複数個の電極パッド（ボンディングパッド）16が形成されている。これらの電極パッド16は、Auワイヤ8を介してチップ1H、1Lのゲートパッド4h、4lまたはリード3に電氣的に接続されている。このように、ドライバICが形成されたチップ1Dは、その裏面とダイパッド部3P3との間で電氣的導通をとる必要がないので、絶縁性のダイボンド材である絶縁ペースト15を介してダイパッド部3P3上に搭載されている。
- [0142] 図54は、上記ダイパッド部3P3とその上面に搭載されたチップ1Dの拡大断面図である。チップ1Dをダイパッド部3P3上に搭載するには、まず、ダイパッド部3P3上に絶縁ペースト15を塗布し、次に、この絶縁ペースト15に上方からチップ1Dを押し付けることによって、チップ1Dの裏面全体を絶縁ペースト15で濡らした後、絶縁ペースト15を熱硬化させる。
- [0143] この場合も、チップ1Dの厚さが100 μ m以下になると、多点ノズルなどを使用してダイパッド部3P3上に絶縁ペースト15を塗布した後、絶縁ペースト15にチップ1Dを押し付けた際に、チップ1Dの外側にはみ出した絶縁ペースト15の一部がチップ1Dの上面（主面）に這い上がる現象が発生する。このチップ1Dの主面の周辺部には、複数個の電極パッド16が形成されているので、絶縁ペースト15がチップ1Dの主面上に這い上がると、電極パッド16の表面が絶縁ペースト15で覆われることになる。その結果、電極パッド16の表面にAuワイヤ8の一端をボンディングした際に、電極パッド16とAuワイヤ8とが非接触になったり、両者の密着力が大幅に低下したりする。

- [0144] そこで、チップ1Dの厚さが100 μ m以下である場合には、前述したスタンピングノズル42を使用したスタンピング方式によってダイパッド部3P3上に絶縁ペースト15を塗布することにより、チップ1Dの上面に絶縁ペースト15が這い上がる不具合を改善することができる。
- [0145] また、図54に示すように、チップ1Dの周囲に形成された絶縁ペースト15のフィレットの上端部は、Agペースト7のときと同様、チップ1Dの主面（上面）と裏面（下面）との間に位置している。このことは、言い換えると、スタンピングノズル42の掘り込み部50の体積（すなわち、ダイパッド部3D上に塗布される絶縁ペースト15の体積）は、絶縁ペースト15のフィレットの上端部の位置が前述の位置にくるように設定することが重要であることを意味する。
- [0146] なお、ここでは、ドライバICが形成されたチップ1Dは、絶縁ペースト15を介してダイパッド部3P3の上面に接合する例について説明したが、絶縁ペースト15の代わりに、Agペースト7を用いてもよい。ドライバICが形成されたチップ1Dの裏面には電極が形成されていないので、導電性材料であるAgペースト7を用いても電氣的な不具合が発生することはない。
- [0147] チップ1H、1Lのダイボンダ材とチップ1Dのダイボンダ材をAgペースト7に共通化することにより、ベーク炉とベーク条件が統一され、1回で熱硬化処理することができるようになる。このことは、チップ1Dのダイボンダ材に絶縁ペースト15を用いて2回に分けて熱硬化処理する場合に比べて、組立工数を簡略化することができる。
- [0148] （実施の形態3）
- 前記実施の形態1、2では、リードフレームのチップ搭載部（ダイパッド部）にチップを搭載する半導体装置について説明したが、本発明は、配線基板のチップ搭載部にチップを搭載する半導体装置にも適用することができる。
- [0149] 図55は、マイコンのような多ピンの集積回路が形成されたチップ1Mを

配線基板 17 上に搭載した BGA 型半導体装置を示している。

[0150] チップ 1C を電子部品のマザーボードに接続するための中継基板（インターポーザ）となる配線基板 17 の上面には、前述した絶縁ペースト 15 を介してチップ 1C が搭載されている。チップ 1C の主面の周辺部には、複数の電極パッド（ボンディングパッド）16 が形成されており、配線基板 17 の上面の周辺部には、複数のボンディングリード 18 が形成されている。そして、チップ 1C の電極パッド 16 と配線基板 17 のボンディングリード 18 は、Auワイヤ 8 を介して電氣的に接続されている。配線基板 17 の下面には、配線基板 17 内の配線やビアホールを介して上記ボンディングリード 18 に電氣的に接続された複数の半田ボール 19 が接続されている。BGA は、これらの半田ボール 19 を介して前記マザーボードに電氣的に接続される。

[0151] チップ 1C の電極パッド 16 と配線基板 17 のボンディングリード 18 を Auワイヤ 8 で接続する上記のような BGA の製造工程では、配線基板 17 の上面のチップ搭載部に絶縁ペースト 15 を塗布した後、この絶縁ペースト 15 に上方からチップ 1C を押し付けて荷重を印加した際、絶縁ペースト 15 の外側にはみ出した絶縁ペースト 15 がチップ搭載部の外側に濡れ拡がってボンディングリード 18 の表面に付着する結果、ボンディングリード 18 に Auワイヤ 8 を接続することができなくなる場合がある。

[0152] このような絶縁ペースト 15 の濡れ拡がりを防ぐためには、例えば配線基板 17 のチップ搭載部からボンディングリード 18 までの間隔を広げたり、図 55（a）に示すように、チップ搭載部の周囲をダム 35 で囲むなどの対策が必要となる。しかし、このような対策を施すと、配線基板 17 の平面寸法が大きくなるので、BGA の小型化が阻害される。図 56 に示すように、チップ搭載部の周囲をダム 35 で囲んだ場合、例えばダム 35 の幅を $150\ \mu\text{m}$ とすると、ダム 35 の内側と外側にそれぞれダム 35 の幅と同程度のスペースが必要となるので、合計で $450\ \mu\text{m}$ 程度のスペースが必要となる。

[0153] そこで、前述したスタンピングノズル 42 を使用したスタンピング方式で

配線基板 17 のチップ搭載部に絶縁ペースト 15 を塗布することにより、絶縁ペースト 15 の過度の濡れ拡がりを抑制することができる。これにより、多点ノズルを使用する従来方式で絶縁ペースト 15 を塗布する方法に比べて、チップ搭載部からボンディングリード 18 までの間隔を縮小することができる、図 55 (b) に示すように、BGA の平面寸法を小さくすることができる。

[0154] なお、上記した効果は、配線基板 17 上に搭載するチップ 1C の厚さには依存しない。すなわち、チップ 1C の厚さが $100\text{ }\mu\text{m}$ を超える場合でも同様の効果が得られる。また、チップ 1C の厚さが $100\text{ }\mu\text{m}$ 以下の場合には、チップ 1C の上面への絶縁ペースト 15 の這い上がりも抑制できるので、多点ノズルを使用して絶縁ペースト 15 を塗布する従来方法に比べて、BGA の薄型化を推進することができる。

[0155] 図 57 は、上記配線基板 17 上に搭載されたチップ 1C の上部に、メモリ回路などが形成された第 2 のチップ 1M を積層した積層型パッケージを示しており、(a) は平面図、(b) は断面図である。

[0156] このような積層型パッケージの製造工程では、多点ノズルを使用してチップ 1C の上面に絶縁ペースト 15 を塗布した後、チップ 1C の上にチップ 1M を重ねたとき、濡れ広がった絶縁ペースト 15 がチップ 1C のボンディングリード 18 に付着する恐れがある。そこで、従来は、チップの上に他のチップを積層するためのダイボンド材として、DAF (Die Attach Film) と呼ばれる接着テープが使われている。これは、ウエハをダイシングする際に、あらかじめウエハの裏面に貼り付けておく接着テープである。そして、この DAF を貼り付けたウエハをダイシングすると、個片化されたチップの裏面にチップと同一外径寸法の DAF が残る。そこで、裏面に DAF が接着されたチップ 1M をチップ 1C の上に重ねることにより、上記したような絶縁ペースト 15 の過度の濡れ拡がりによる問題を引き起こすことなく、チップ 1C の上にチップ 1M を接着することができる。

[0157] しかし、DAF は、絶縁ペースト 15 のような液状ダイボンド材に比べて

材料コストが高いという問題がある。また、ウエハの裏面にDAFを貼り付ける装置が必要となったり、すでに個片化されたチップの裏面にDAFを貼り付けることは困難であるといった問題もある。

[0158] そこで、チップ1Cの上にチップ1Mを積層する際、前述したスタンピングノズル42を使用してチップ1Cの上面に絶縁ペースト15を塗布することにより、絶縁ペースト15の過度の濡れ拡がりや抑制されるので、DAFよりも安価な絶縁ペースト15を使用して積層型パッケージを安価に製造することができる。

[0159] なお、上記した効果は、チップ1Mの厚さが100 μ m以下の場合に限定されず、厚さが100 μ mを超えるチップを使用する場合でも同様の効果が得られる。また、チップ1Mの厚さが100 μ m以下の場合には、チップ1Mの上面への絶縁ペースト15の這い上がりも抑制できるので、多点ノズルを使用して絶縁ペースト15を塗布する従来方法に比べて、積層型パッケージの薄型化を推進することができる。

[0160] なお、ここではチップ1Cの上にチップ1Mを積層した場合について説明したが、上記チップ1Mの上にさらに他のチップを積層する場合にも適用することができる。

[0161] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0162] なお、配線板は、上記で説明したリードフレームLFやBGAに用いている配線基板17のようなリジット基板に限定されない。フレキシブル基板やリジットフレキシブル基板も含む。

[0163] また、ダイボンド材に関しても、Agペースト7、半田ペースト14、および絶縁ペースト15に限定されるものではなく、それら以外についても類似の性質を有する液状ペースト材であれば、上記で説明した主な特徴は適用可能である。

産業上の利用可能性

[0164] 本発明は、ペースト状のダイボンド材を使って半導体チップを配線板上に搭載する半導体装置およびその製造に適用することができる。

請求の範囲

[請求項1]

(a) チップ搭載部および前記チップ搭載部に隣接して配置された複数のリード端子を有する配線板と、主面に複数の電極パッドおよび配線が形成された半導体チップとを準備する工程と、

(b) 前記配線板の前記チップ搭載部の上面上にダイボンド材を塗布する工程と、

(c) 前記チップ搭載部の上面と前記半導体チップの主面とが同一方向を向くように、前記チップ搭載部の上面上に前記ダイボンド材を介して前記半導体チップを搭載する工程と、

(d) 前記半導体チップの前記複数の電極パッドと前記配線板の前記複数のリード端子のそれぞれとを導電材により電氣的に接続する工程と、

(e) 前記半導体チップと前記導電材とを封止する封止体を形成する工程と、
を有し、

前記半導体チップの厚さは、前記チップ搭載部の厚さの $1/2$ より薄く、

前記 (b) 工程は、掘り込み部を有するノズルの前記掘り込み部に前記ダイボンド材を充填し、前記掘り込み部に充填された前記ダイボンド材を前記配線板の前記チップ搭載部の上面上に、その塗布厚さが前記半導体チップの厚さよりも薄くなるように転写することを特徴とする半導体装置の製造方法。

[請求項2]

請求項 1 記載の半導体装置の製造方法において、

前記ノズルの前記掘り込み部は、前記ノズルの下面よりも上方にある掘り込み面を有し、

前記掘り込み面には、第 1 開口部が形成されており、

前記 (b) 工程は、前記第 1 開口部から前記ダイボンド材を吐出し、前記ノズルを前記チップ搭載部に押し付けることにより、前記掘り

込み部に前記ダイボンド材を充填することを特徴とする半導体装置の製造方法。

[請求項3] 請求項2記載の半導体装置の製造方法において、
前記第1開口部からの前記ダイボンド材の吐出は、前記ダイボンド材の下端が前記ノズルの下面よりも下方に位置するように行うことを特徴とする半導体装置の製造方法。

[請求項4] 請求項1記載の半導体装置の製造方法において、
前記チップ搭載部上に転写された前記ダイボンド材の塗布形状は矩形形状であり、
前記チップ搭載部上に転写された前記ダイボンド材の外形寸法は、前記半導体チップの外形寸法よりも小さいことを特徴とする半導体装置の製造方法。

[請求項5] 請求項4記載の半導体装置の製造方法において、
前記(c)工程は、前記半導体チップの裏面全面が前記ダイボンド材で濡れるように行うことを特徴とする半導体装置の製造方法。

[請求項6] 請求項4記載の半導体装置の製造方法において、
前記(c)工程は、前記ダイボンド材が前記半導体チップの周囲からはみ出すように行うことを特徴とする半導体装置の製造方法。

[請求項7] 請求項1記載の半導体装置の製造方法において、
前記ズルの前記掘り込み部の掘り込み厚は、前記半導体チップの厚さよりも薄いことを特徴とする半導体装置の製造方法。

[請求項8] 請求項1記載の半導体装置の製造方法において、
前記ノズルの前記掘り込み部は、前記ノズルの下面よりも上方に位置する掘り込み面を有し、
前記掘り込み面には、複数の開口部が形成されており、
前記複数の開口部のうちの第1開口部は、その他の開口部に囲まれるように配置されていることを特徴とする半導体装置の製造方法。

[請求項9] 請求項8記載の半導体装置の製造方法において、

前記掘り込み部の平面形状は矩形状であり、

前記第 1 開口部を囲む第 2、第 3、第 4、および第 5 開口部が、それぞれ前記掘り込み面のコーナ一部近傍に配置されていることを特徴とする半導体装置の製造方法。

[請求項10]

請求項 1 記載の半導体装置の製造方法において、

前記ノズルの前記掘り込み部は、前記ノズルの下面よりも上方に位置する掘り込み面を有し、

前記ノズルの下面と前記掘り込み面との間には、前記掘り込み面を囲む複数の側壁が形成され、

前記掘り込み面と、前記複数の側壁のそれぞれのうち前記掘り込み面に近い側の面とには、鏡面仕上げが施されていることを特徴とする半導体装置の製造方法。

[請求項11]

請求項 1 記載の半導体装置の製造方法において、

前記ノズルの前記掘り込み部は、前記ノズルの下面よりも上方に位置する掘り込み面を有し、

前記ノズルの下面と前記掘り込み面との間には、前記掘り込み面を囲む複数の側壁が形成され、

前記掘り込み面と前記複数の側壁とがそれぞれ交差する領域は、R 形状となっていることを特徴とする半導体装置の製造方法。

[請求項12]

請求項 1 記載の半導体装置の製造方法において、

前記 (c) 工程は、前記半導体チップの外形寸法よりも大きい外形寸法を有するボンディングコレットを用いて行うことを特徴とする半導体装置の製造方法。

[請求項13]

請求項 1 記載の半導体装置の製造方法において、

前記配線板は、リードフレームであることを特徴とする半導体装置の製造方法。

[請求項14]

請求項 1 3 記載の半導体装置の製造方法において、

前記半導体チップには、パワー MOS FET が形成されていること

を特徴とする半導体装置の製造方法。

[請求項15]

請求項14記載の半導体装置の製造方法において、

前記半導体チップの前記複数の電極パッドは、前記パワーMOSFETのソースに電氣的に接続されたソース電極パッド、および前記パワーMOSFETのゲート電極に電氣的に接続されたゲート電極パッドを含むことを特徴とする半導体装置の製造方法。

[請求項16]

請求項14記載の半導体装置の製造方法において、

前記半導体チップの裏面には、前記パワーMOSFETのドレインに電氣的に接続されたドレイン電極が形成され、

前記ダイボンド材は、Agペーストまたは半田ペーストであることを特徴とする半導体装置の製造方法。

[請求項17]

請求項15記載の半導体装置の製造方法において、

前記(d)工程は、前記ソース電極パッドと、前記複数のリード端子のうちのソースリード端子とをAlリボンによって電氣的に接続することを特徴とする半導体装置の製造方法。

[請求項18]

請求項1記載の半導体装置の製造方法において、

前記ダイボンド材は、スペーサビーズを含有するAgペーストであり、

前記ノズルに形成された前記掘り込み部の掘り込み厚は、前記スペーサビーズの径よりも大きいことを特徴とする半導体装置の製造方法。

[請求項19]

請求項18記載の半導体装置の製造方法において、

前記(c)工程は、前記スペーサビーズが前記半導体チップの裏面と前記チップ搭載部の上面との間に挟まれるように行うことを特徴とする半導体装置の製造方法。

[請求項20]

(a) チップ搭載部および前記チップ搭載部に隣接して配置された複数のリード端子を有する配線板と、主面に複数の電極パッドおよび配線が形成された半導体チップとを準備する工程と、

(b) 前記配線板の前記チップ搭載部の上面上にダイボンド材を塗布する工程と、

(c) 前記チップ搭載部の上面と前記半導体チップの主面とが同一方向を向くように、前記チップ搭載部の上面上に前記ダイボンド材を介して前記半導体チップを搭載する工程と、

(d) 前記半導体チップの前記複数の電極パッドと前記配線板の前記複数のリード端子のそれぞれとを導電材により電氣的に接続する工程と、

(e) 前記半導体チップと前記導電材とを封止する封止体を形成する工程と、

を有し、

前記半導体チップの厚さは、 $100\mu\text{m}$ より薄く、

前記(b)工程は、掘り込み部を有するノズルの前記掘り込み部に前記ダイボンド材を充填し、前記掘り込み部に充填された前記ダイボンド材を前記配線板の前記チップ搭載部の上面上に、その塗布厚さが前記半導体チップの厚さよりも薄くなるように転写することを特徴とする半導体装置の製造方法。

[請求項21]

(a) チップ搭載部および前記チップ搭載部に隣接して配置された複数のリード端子を有するリードフレームと、主面にソース電極パッド、ゲート電極パッドおよび配線が形成され、裏面にドレイン電極が形成されたパワーMOSFETを有する半導体チップとを準備する工程と、

(b) 前記リードフレームの前記チップ搭載部の上面上にAgペーストを塗布する工程と、

(c) 前記チップ搭載部の上面と前記半導体チップの主面とが同一方向を向くように、前記チップ搭載部の上面上に前記Agペーストを介して前記半導体チップを搭載し、前記半導体チップの前記ドレイン電極と前記リードフレームの前記チップ搭載部とを電氣的に接続する工

程と、

(d) 前記半導体チップの前記ソース電極パッドと前記リードフレームの前記複数のリード端子のうちのソースリード端子とを導電材により電氣的に接続し、前記半導体チップの前記ゲート電極パッドと前記リードフレームの前記複数のリード端子のうちのゲートリード端子とを導電材により電氣的に接続する工程と、

(e) 前記半導体チップと前記導電材とを封止する封止体を形成する工程と、

を有し、

前記半導体チップの厚さは、前記チップ搭載部の厚さの $1/2$ より薄く、

前記 (b) 工程は、掘り込み部を有するノズルの前記掘り込み部に前記 A g ペーストを充填し、前記掘り込み部に充填された前記 A g ペーストを前記リードフレームの前記チップ搭載部の上面上に、その塗布厚さが前記半導体チップの厚さよりも薄くなるように転写することを特徴とする半導体装置の製造方法。

[請求項22]

主面に複数の電極パッドおよび配線が形成された半導体チップと、
前記半導体チップがダイボンド材を介して搭載された上面を有するチップ搭載部と、

前記チップ搭載部に隣接して配置された複数のリード端子と、

前記半導体チップの前記複数の電極パッドと前記複数のリード端子とをそれぞれ電氣的に接続する導電材と、

前記半導体チップおよび前記導電材を封止する封止体と、
を有し、

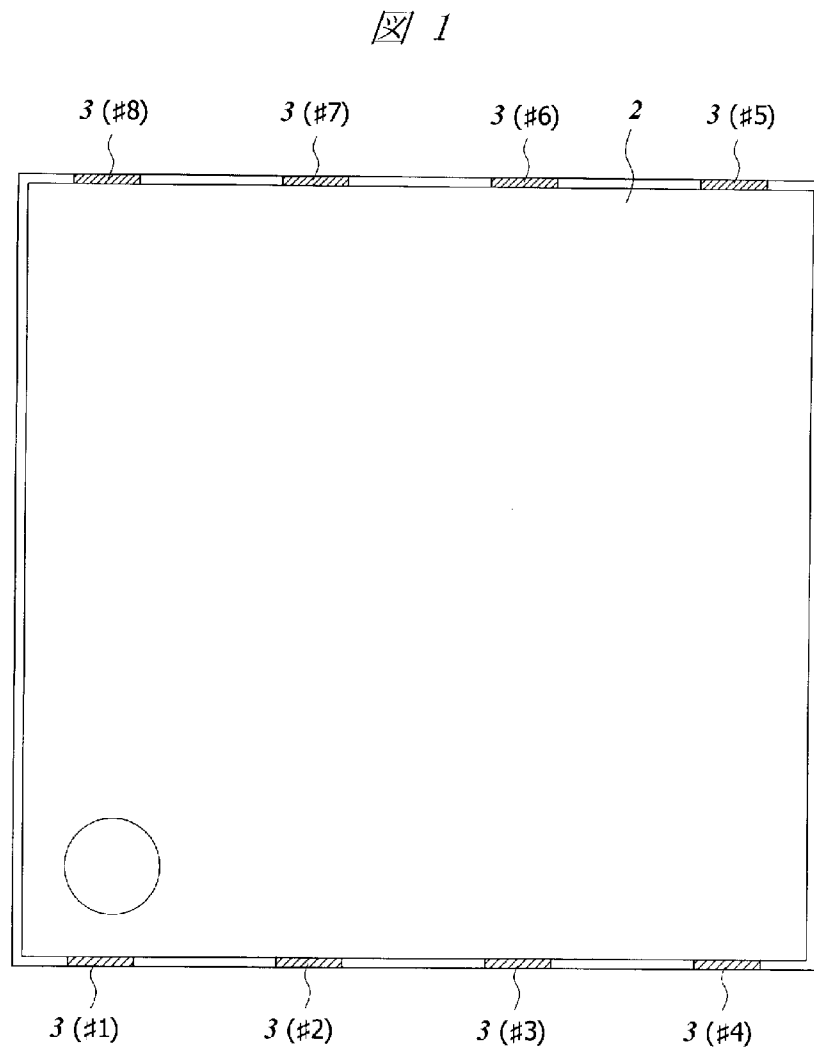
前記半導体チップの厚さは、前記チップ搭載部の厚さの $1/2$ より薄く、

前記半導体チップの裏面は、その全面が前記ダイボンド材によって濡れていることを特徴とする半導体装置。

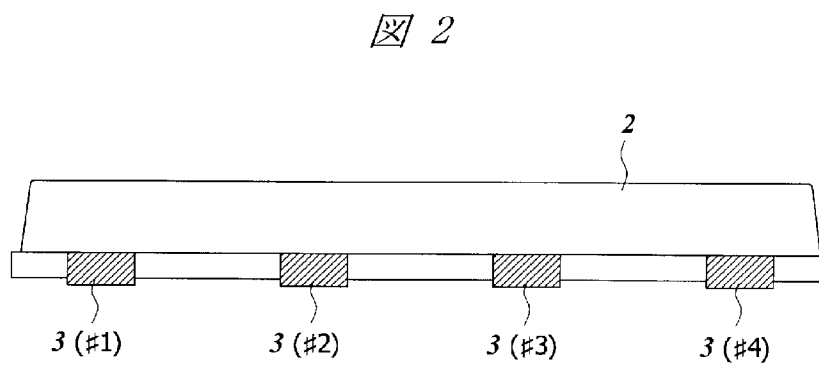
- [請求項23] 請求項22記載の半導体装置において、
前記ダイボンド材は、前記半導体チップの周囲から外側にはみ出しており、
前記半導体チップの第1角部から斜め 45° 方向にはみ出した前記ダイボンド材の外周縁までの距離を a 、前記半導体チップの第1辺に直交する方向にはみ出した前記ダイボンド材の外周縁までの距離を b としたときに、 $b/a < 2$ であることを特徴とする半導体装置。
- [請求項24] 請求項22記載の半導体装置において、
前記ダイボンド材は、スペーサビーズを含有する Ag ペーストであり、
前記半導体チップの裏面と前記チップ搭載部の上面との間に前記スペーサビーズが挟まれていることを特徴とする半導体装置。
- [請求項25] 請求項22記載の半導体装置において、
前記半導体チップには、パワーMOSFETが形成され、
前記複数の電極パッドは、前記パワーMOSFETのソースに電氣的に接続されたソース電極パッドを含み、
前記複数のリード端子は、ソースリード端子を含み、
前記ソース電極パッドと前記ソースリード端子は、 Al リボンによって電氣的に接続されていることを特徴とする半導体装置。
- [請求項26] 主面に複数の電極パッドおよび配線が形成された半導体チップと、
前記半導体チップがダイボンド材を介して搭載された上面を有するチップ搭載部と、
前記チップ搭載部に隣接して配置された複数のリード端子と、
前記半導体チップの前記複数の電極パッドと前記複数のリード端子とをそれぞれ電氣的に接続する導電材と、
前記半導体チップおよび前記導電材を封止する封止体と、
を有し、
前記半導体チップの厚さは、 $100\mu m$ より薄く、

前記半導体チップの裏面は、その全面が前記ダイボンド材によって濡れていることを特徴とする半導体装置。

[図1]

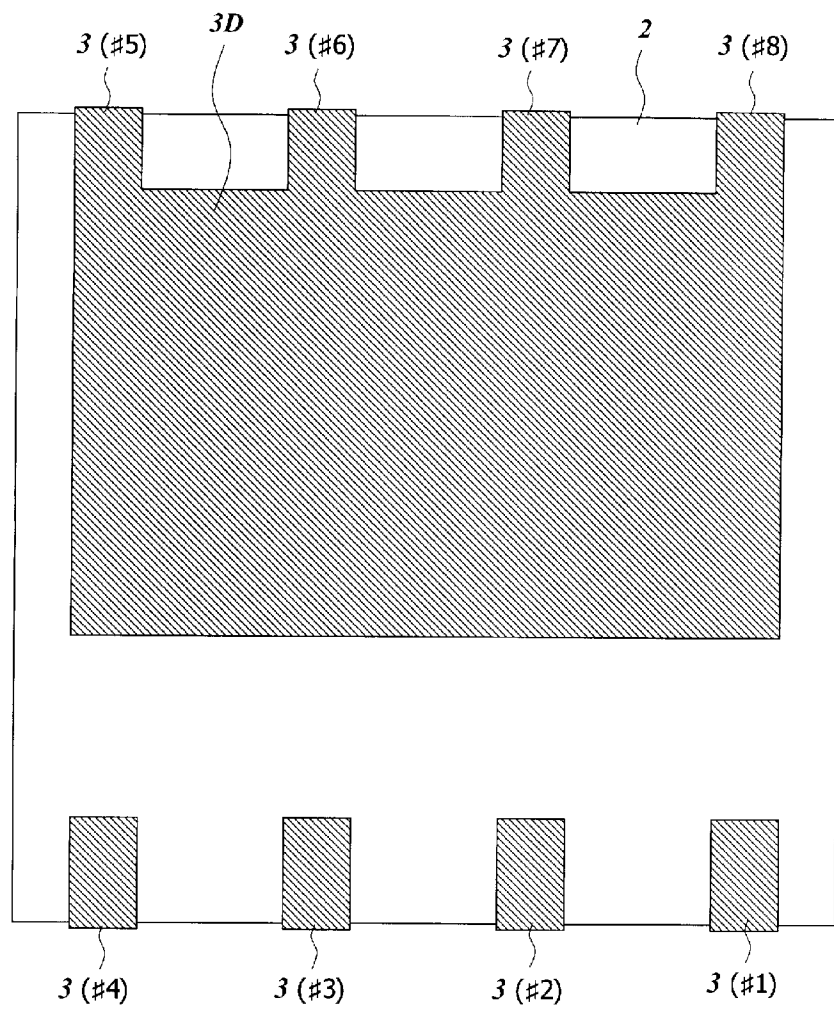


[図2]



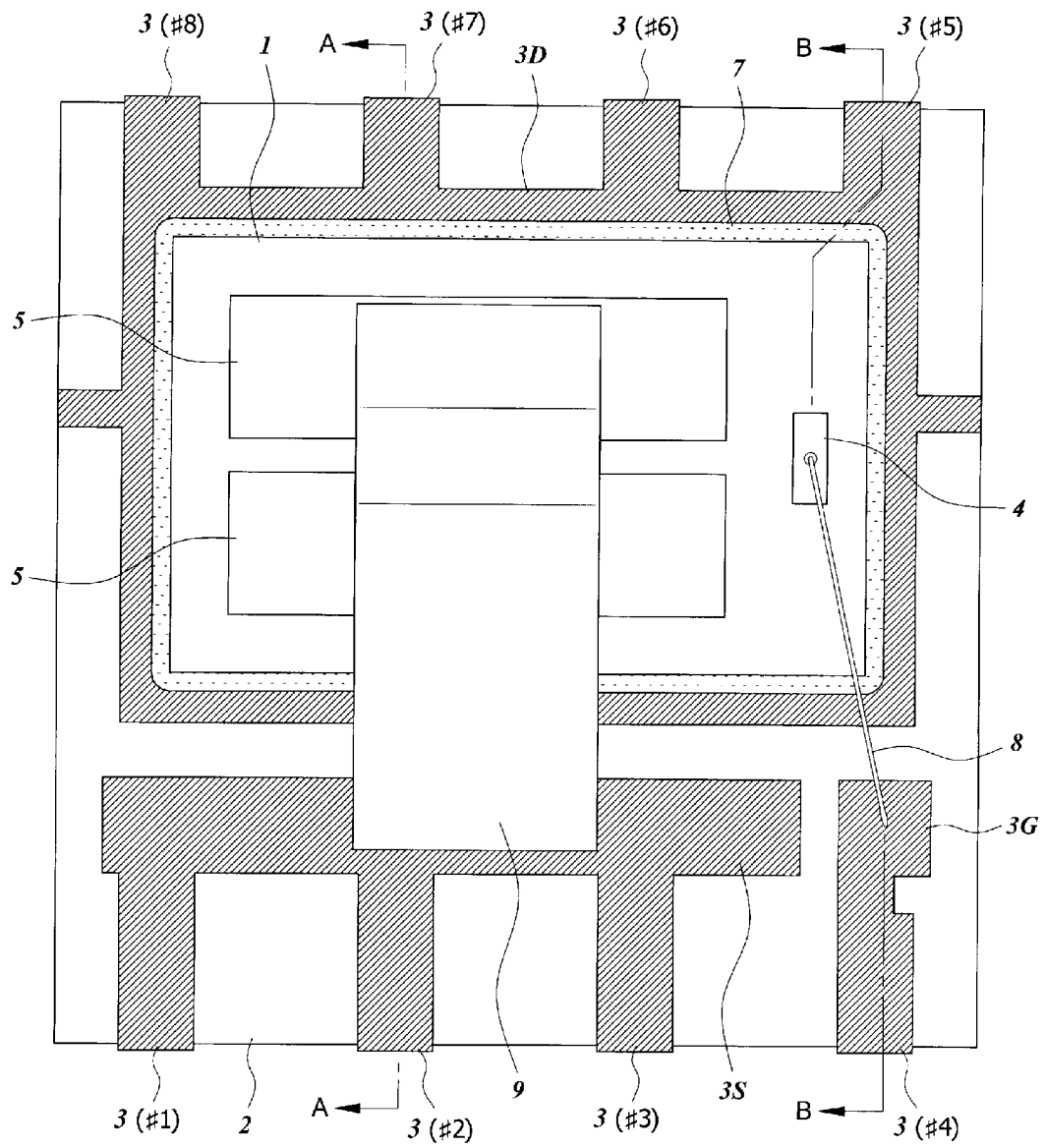
[図3]

図 3



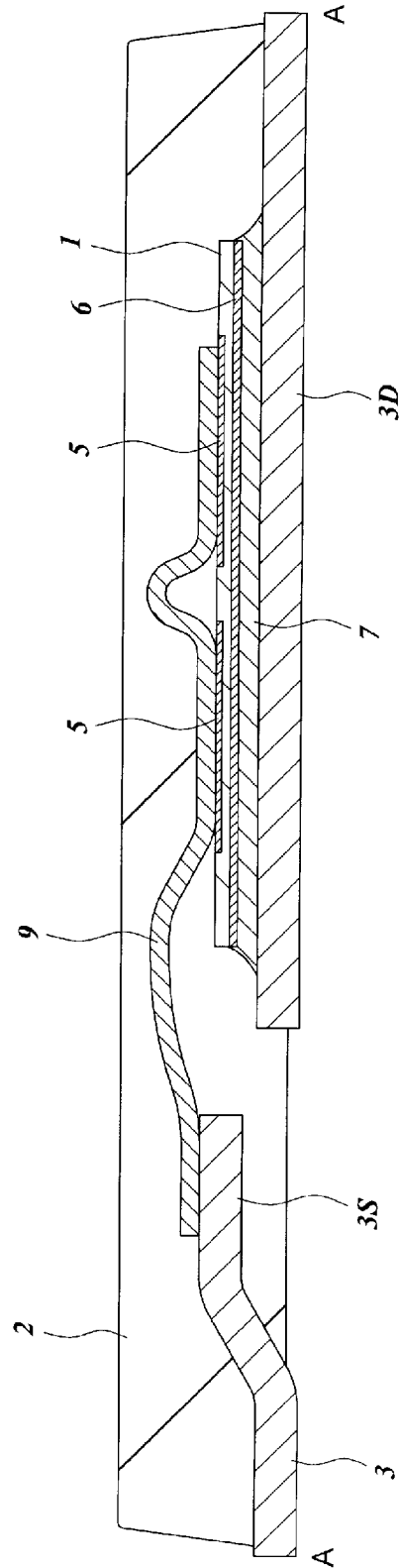
[図4]

図 4



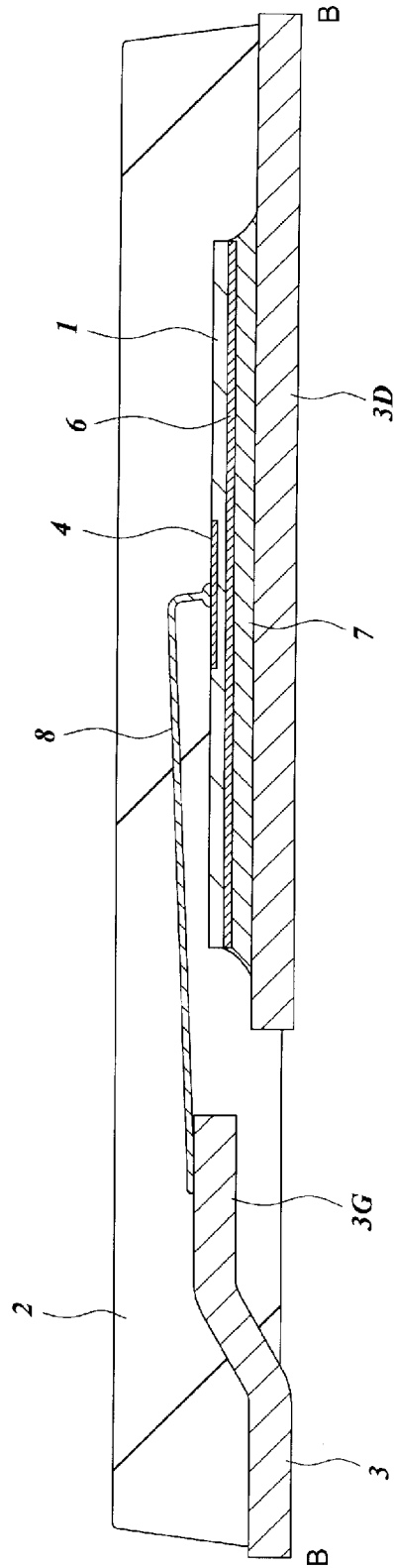
[図5]

図 5



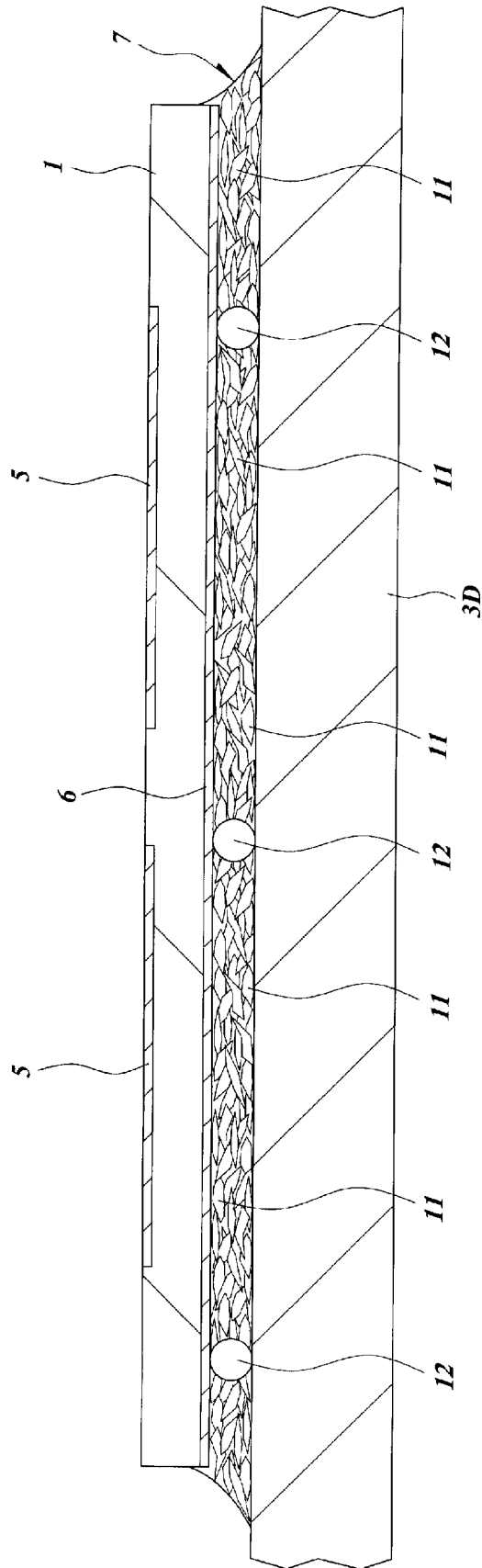
[図6]

図 6



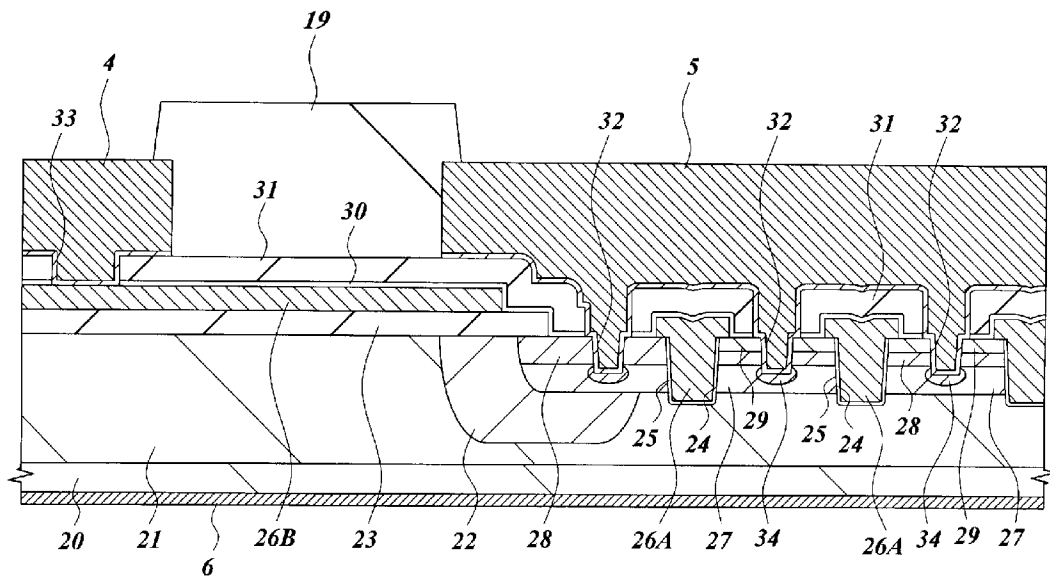
[図7]

図 7

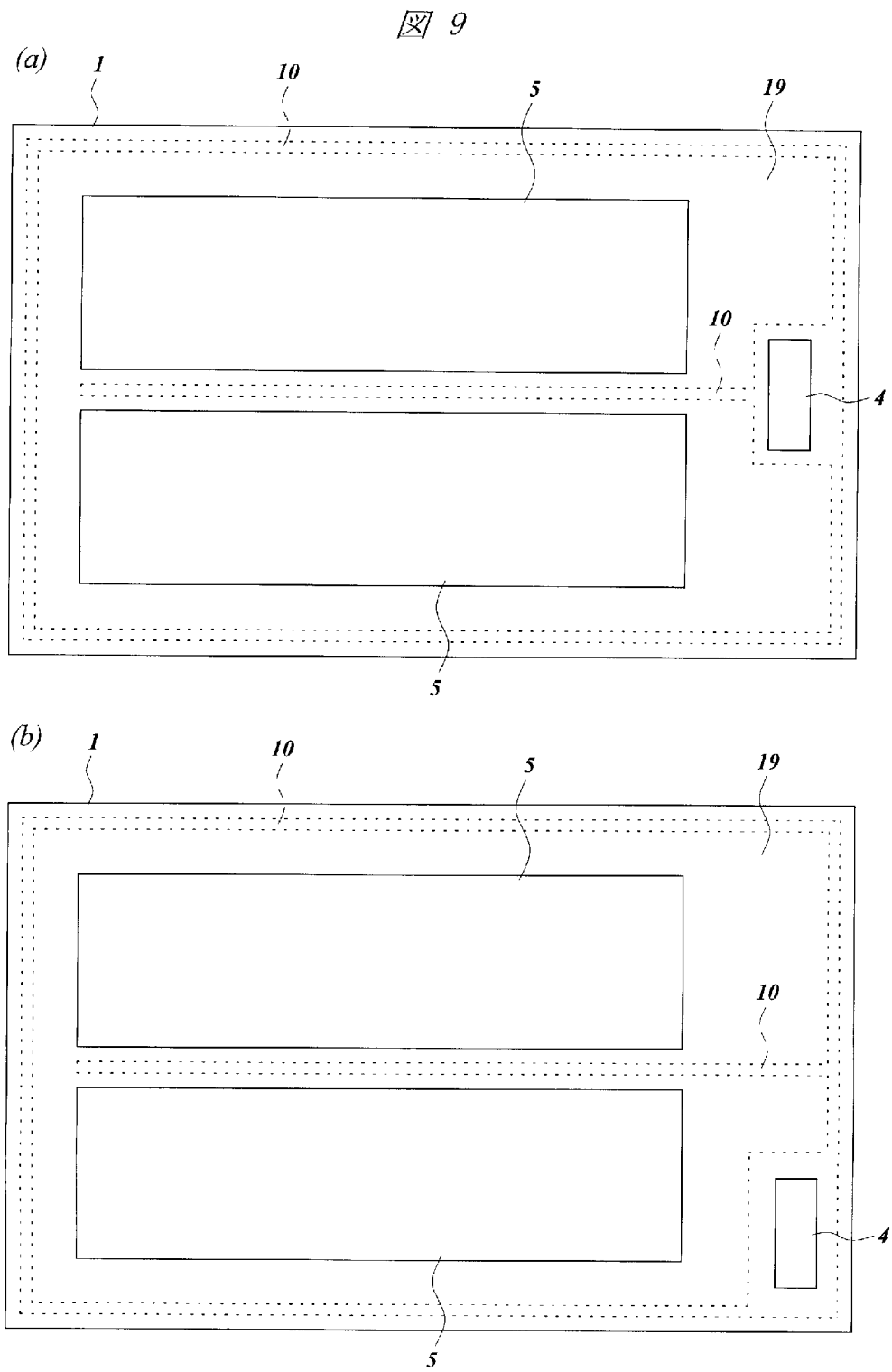


[図8]

図 8

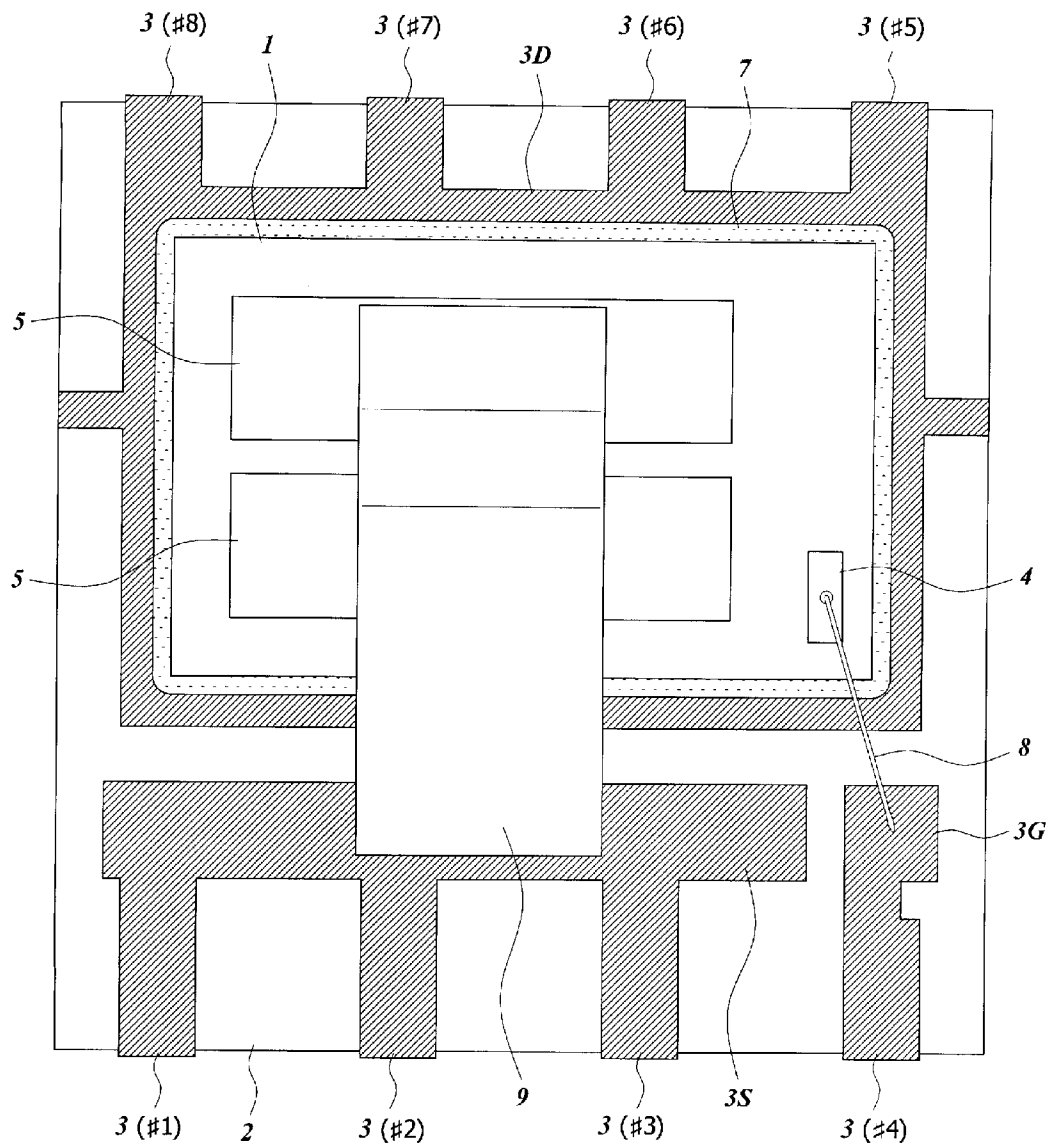


[図9]



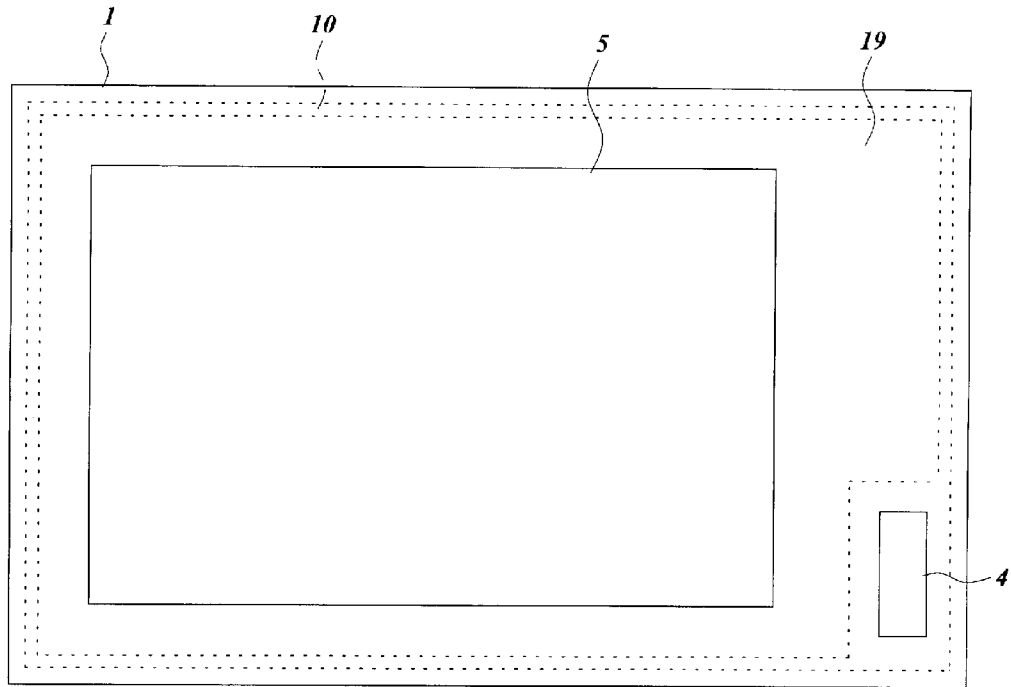
[図10]

図 10



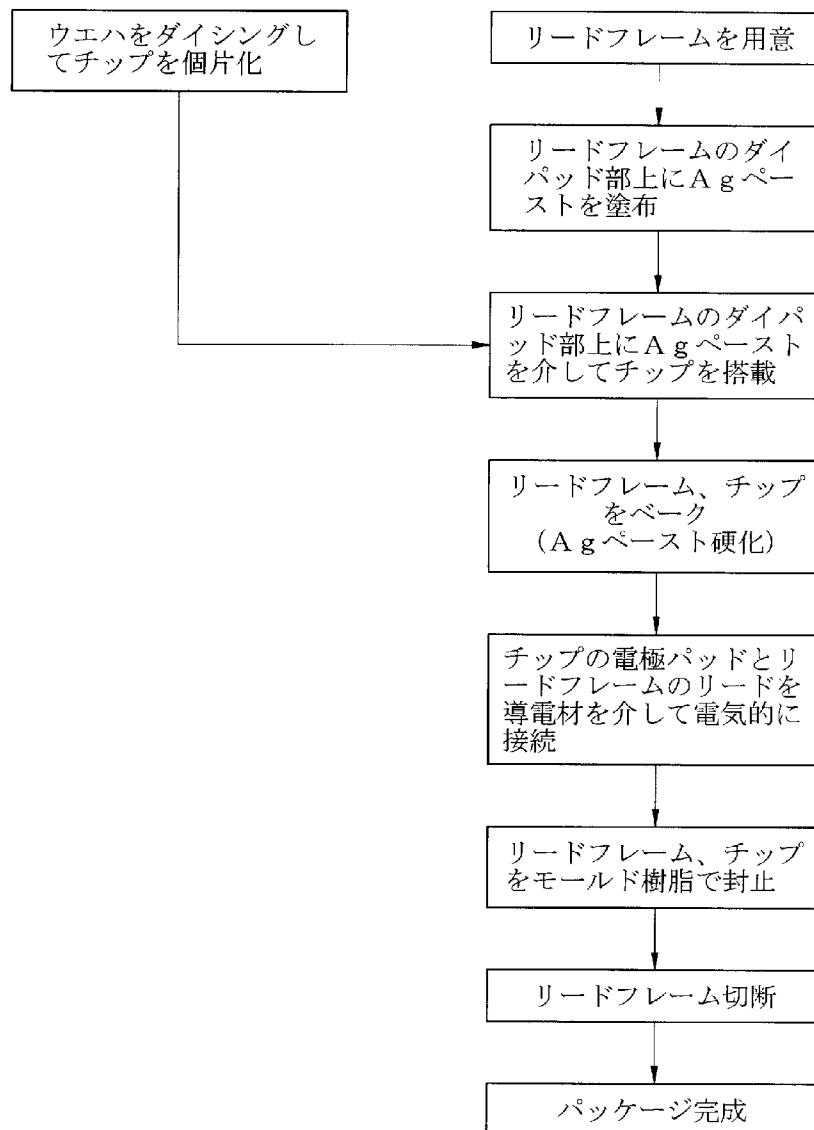
[図11]

図 11



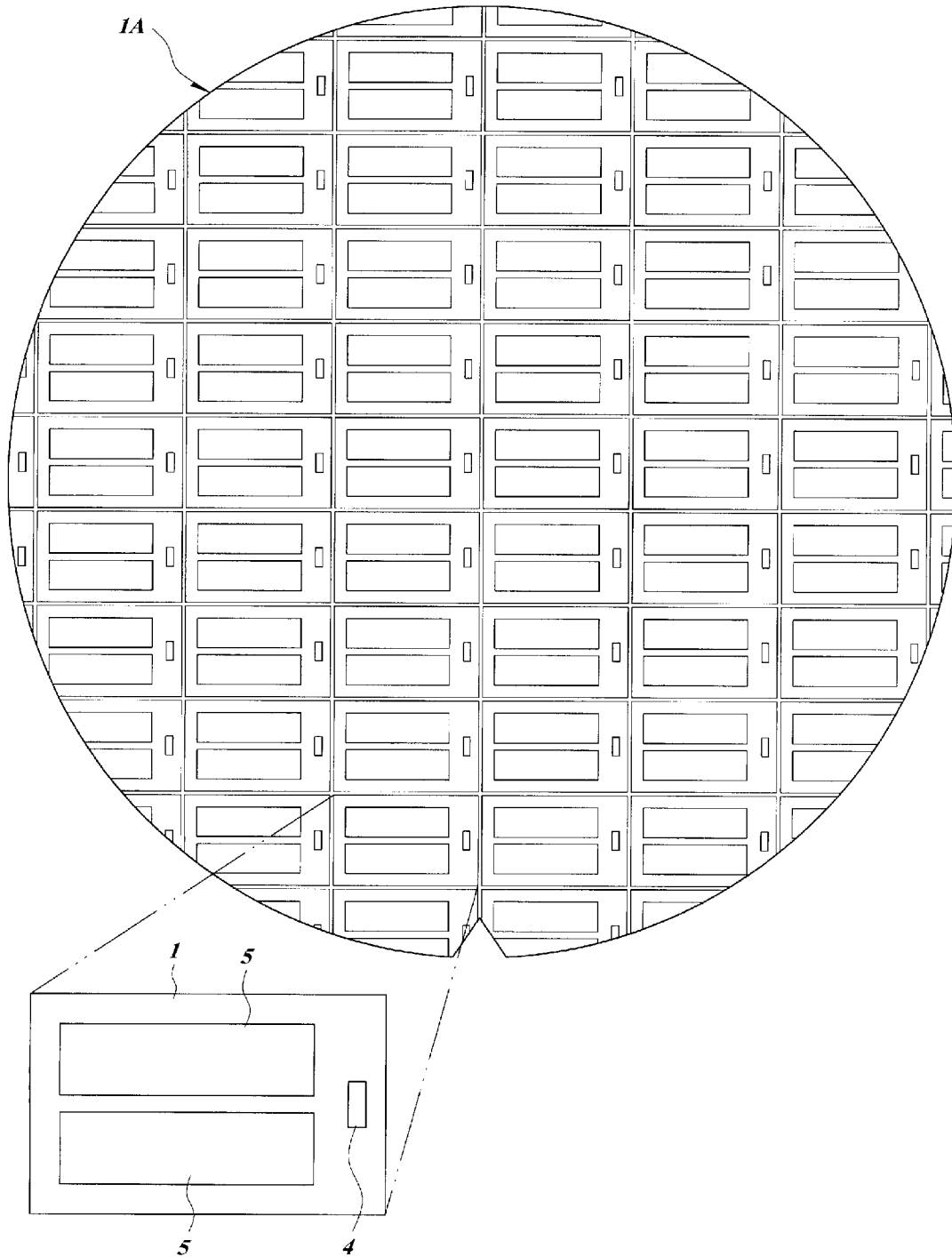
[図12]

図 12

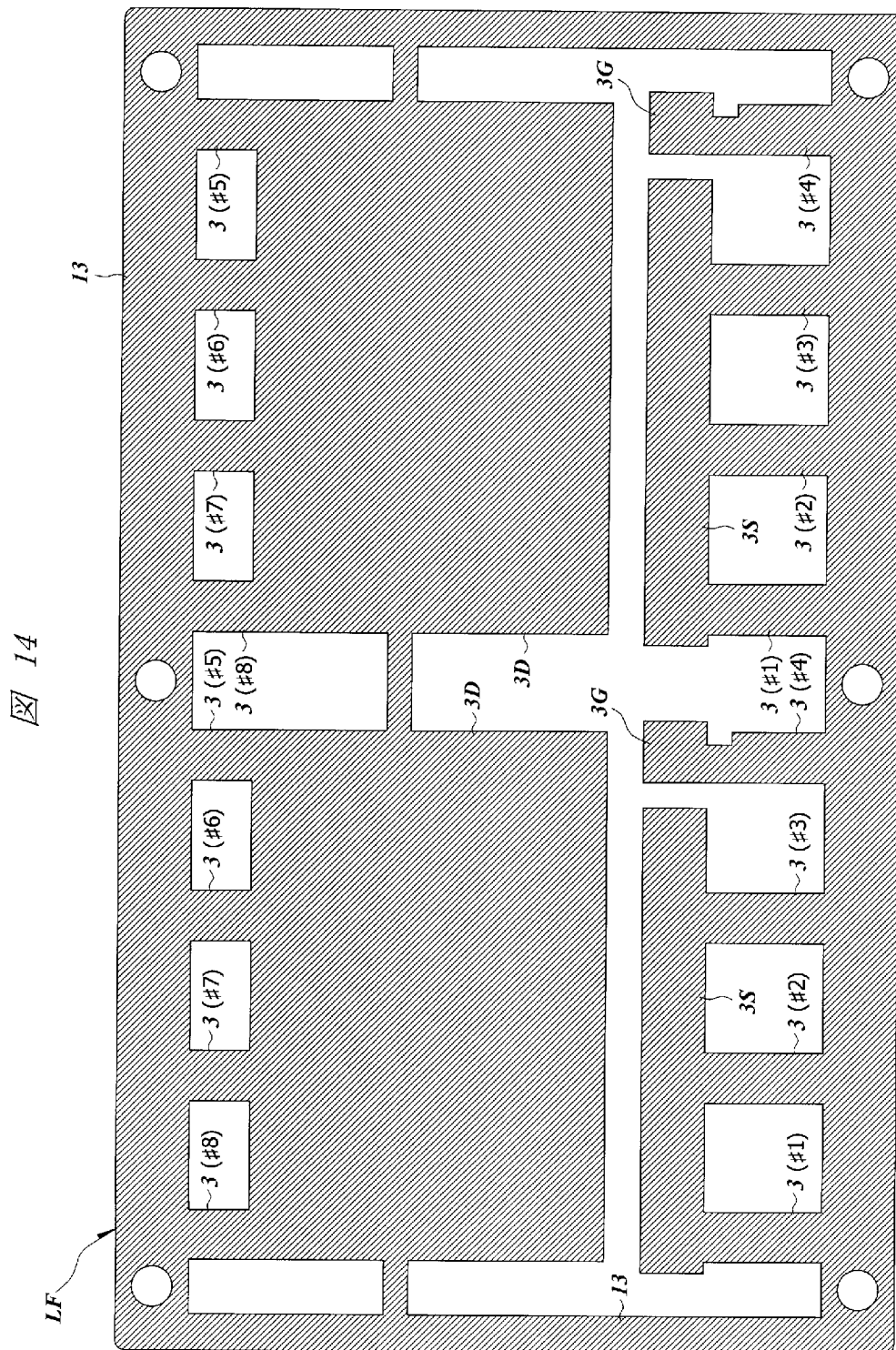


[図13]

図 13

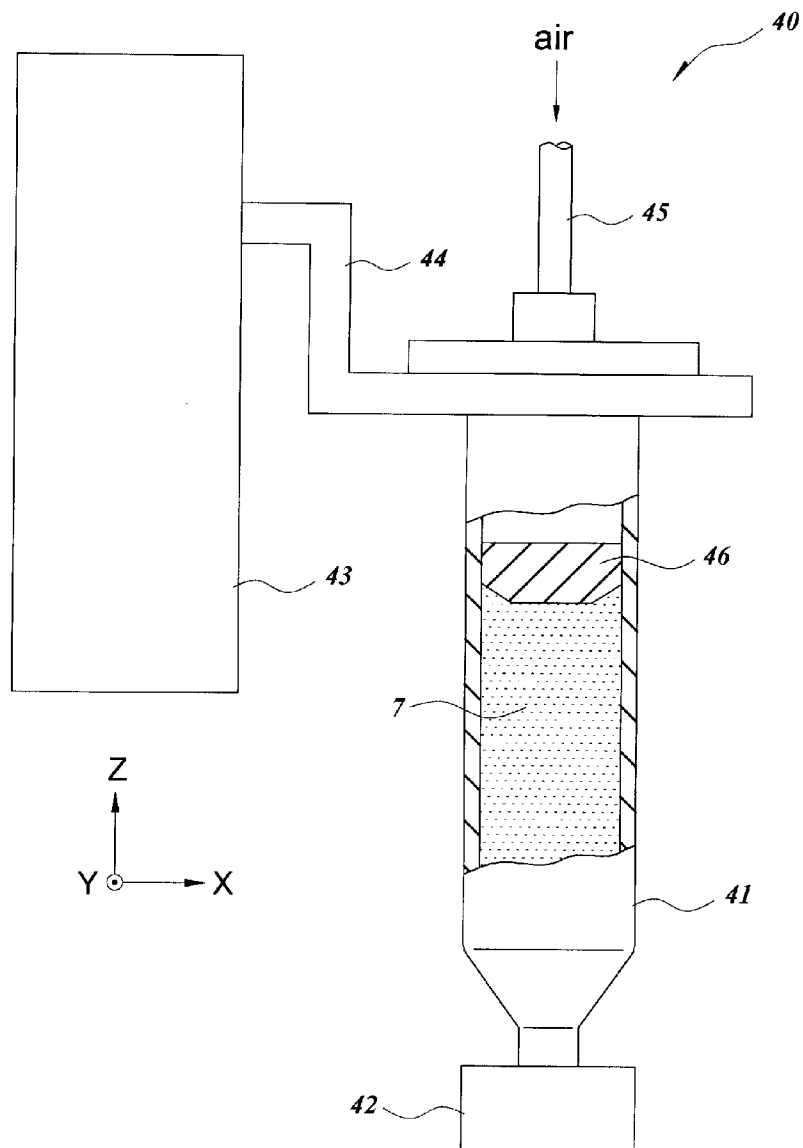


[図14]



[図15]

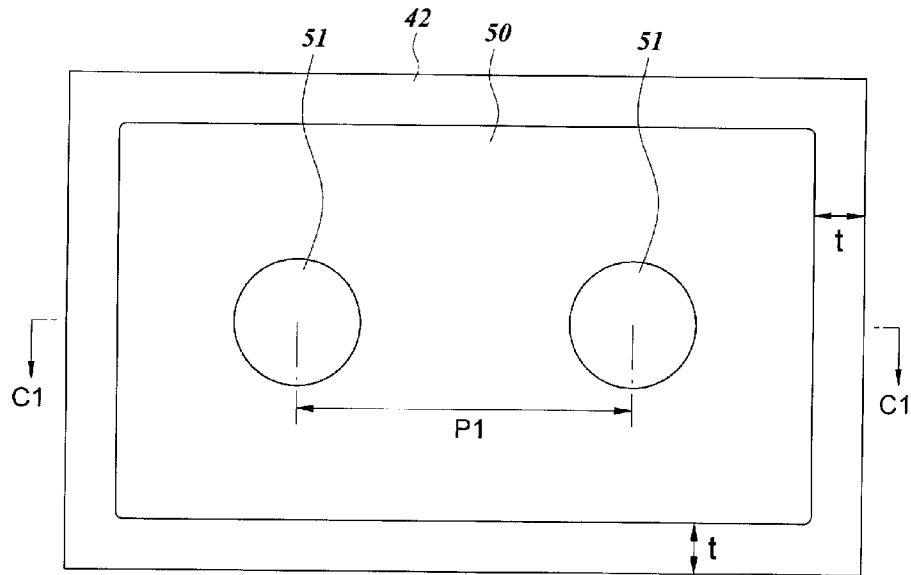
図 15



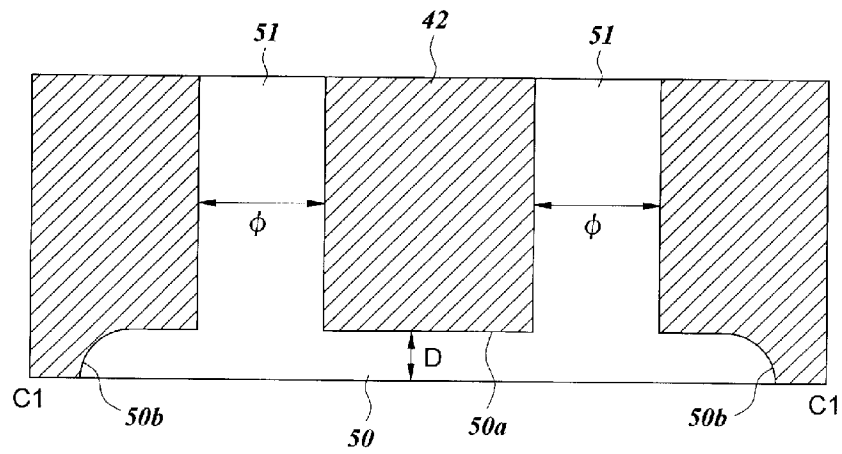
[図16]

図 16

(a)



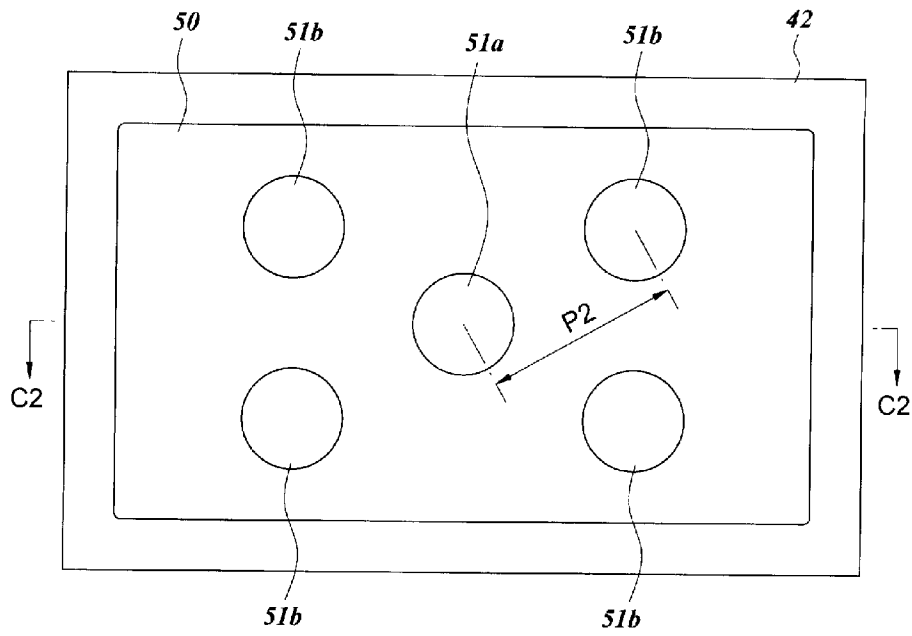
(b)



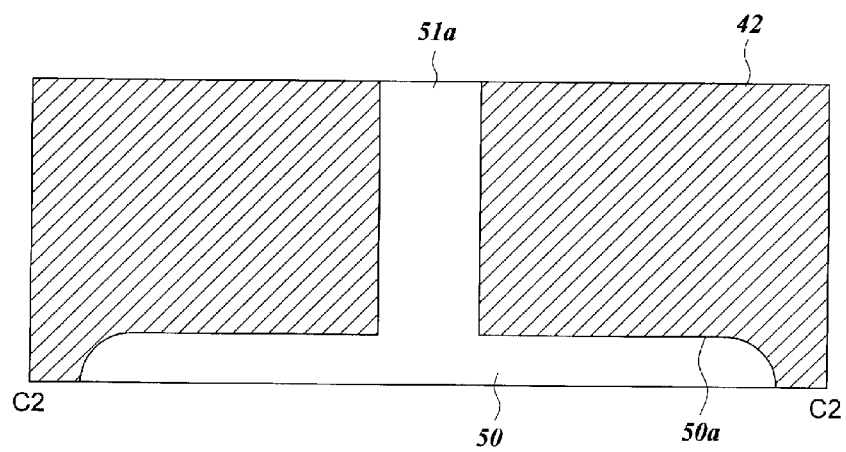
[図17]

図 17

(a)



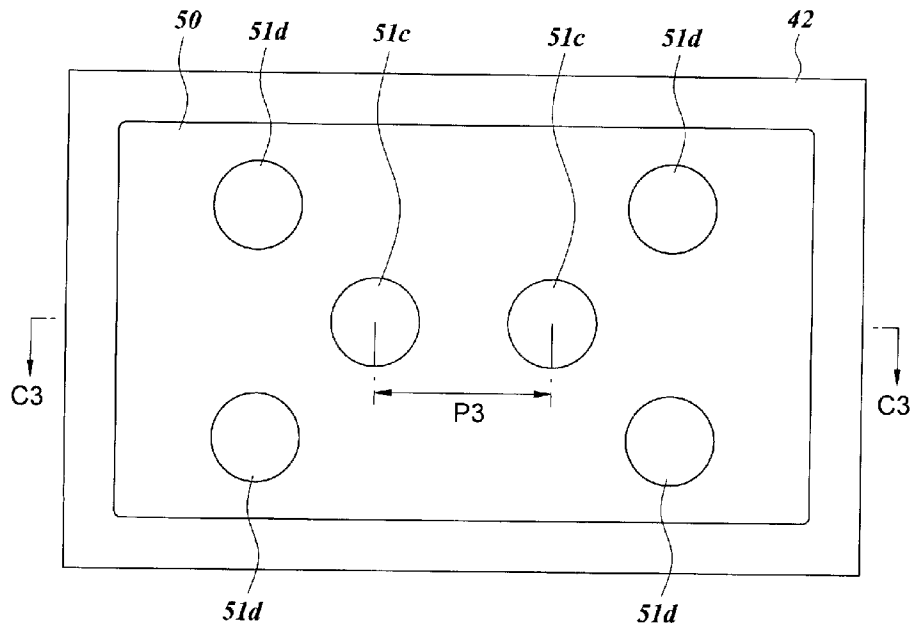
(b)



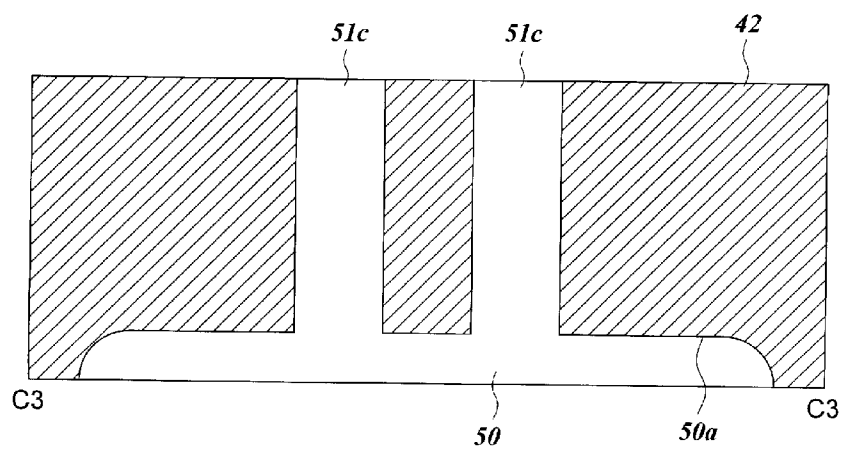
[図18]

図 18

(a)



(b)



19

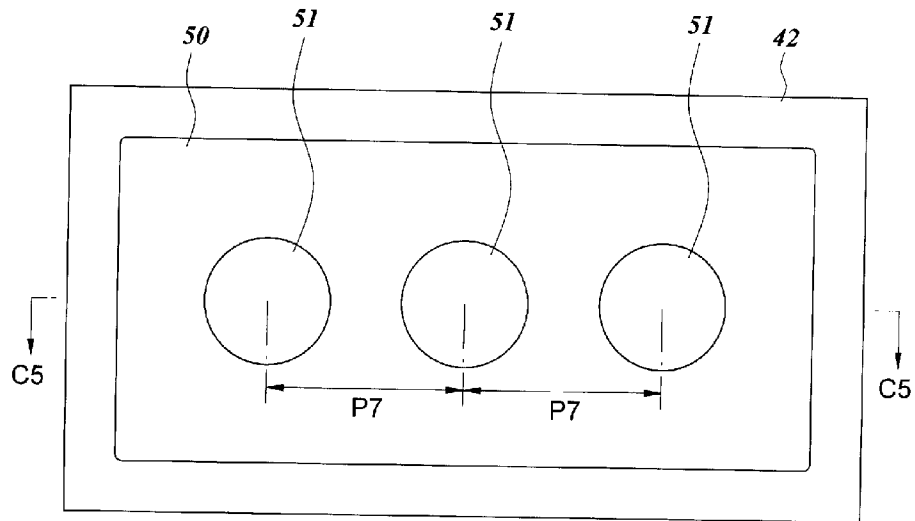
Figure 1 is a plan view of a semiconductor device 42. The device includes a central region 50 containing a grid of circular elements. The elements are labeled 51f, 51g, 51h, and 51e. Dimensions P4, P5, and P6 are indicated, representing the pitch or spacing between the elements. P4 is the vertical pitch, P5 is the horizontal pitch, and P6 is the diagonal pitch. The device is bounded by a frame 42, and the central region is defined by a boundary 50. The elements are arranged in a regular grid pattern.

Diagram illustrating a cross-sectional view of a semiconductor device 42. The device consists of a substrate 50 with a top layer 51. The top layer 51 is divided into regions 51g and 51e. The substrate 50 is divided into regions 50a and 50b. The device is labeled C4 at both ends.

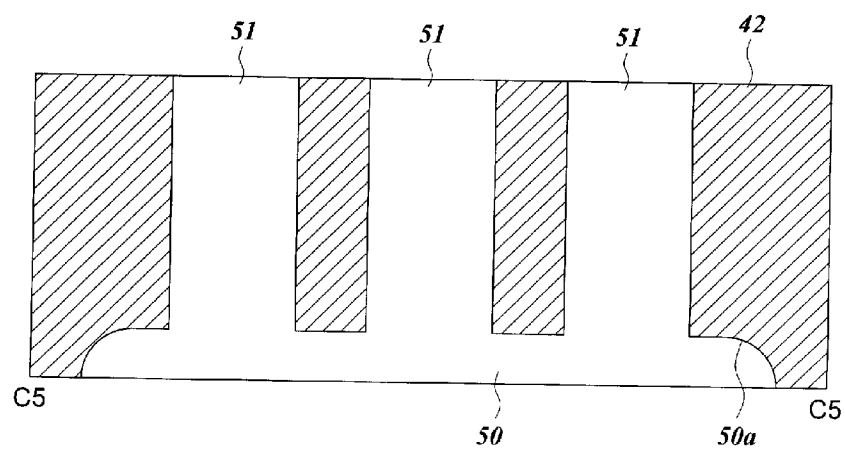
[図20]

図 20

(a)



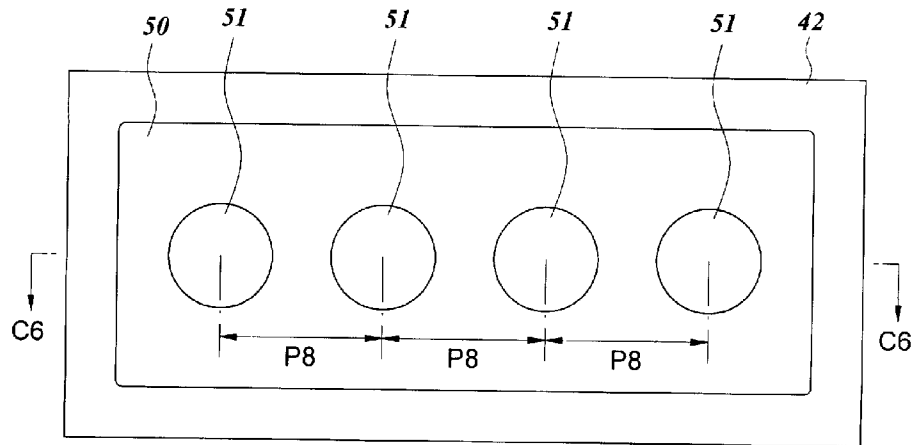
(b)



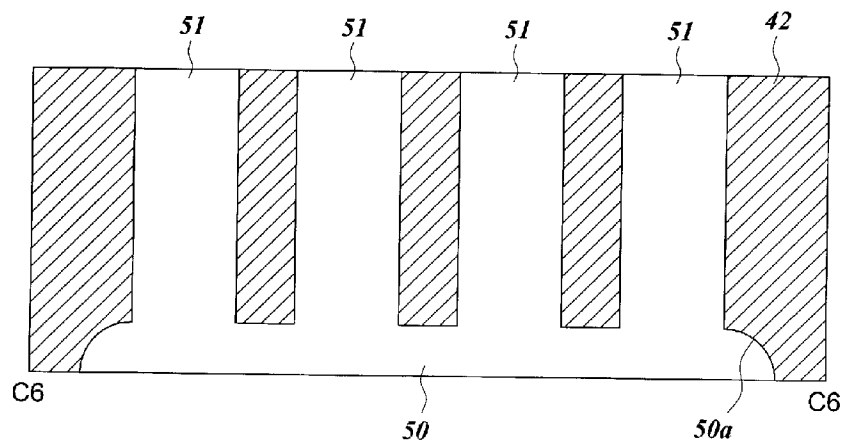
[図21]

図 21

(a)

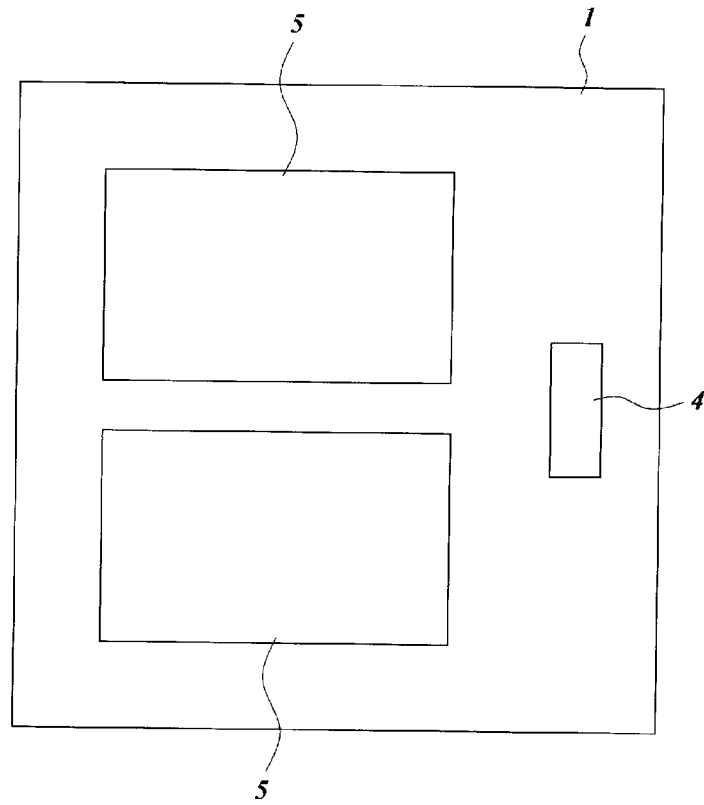


(b)



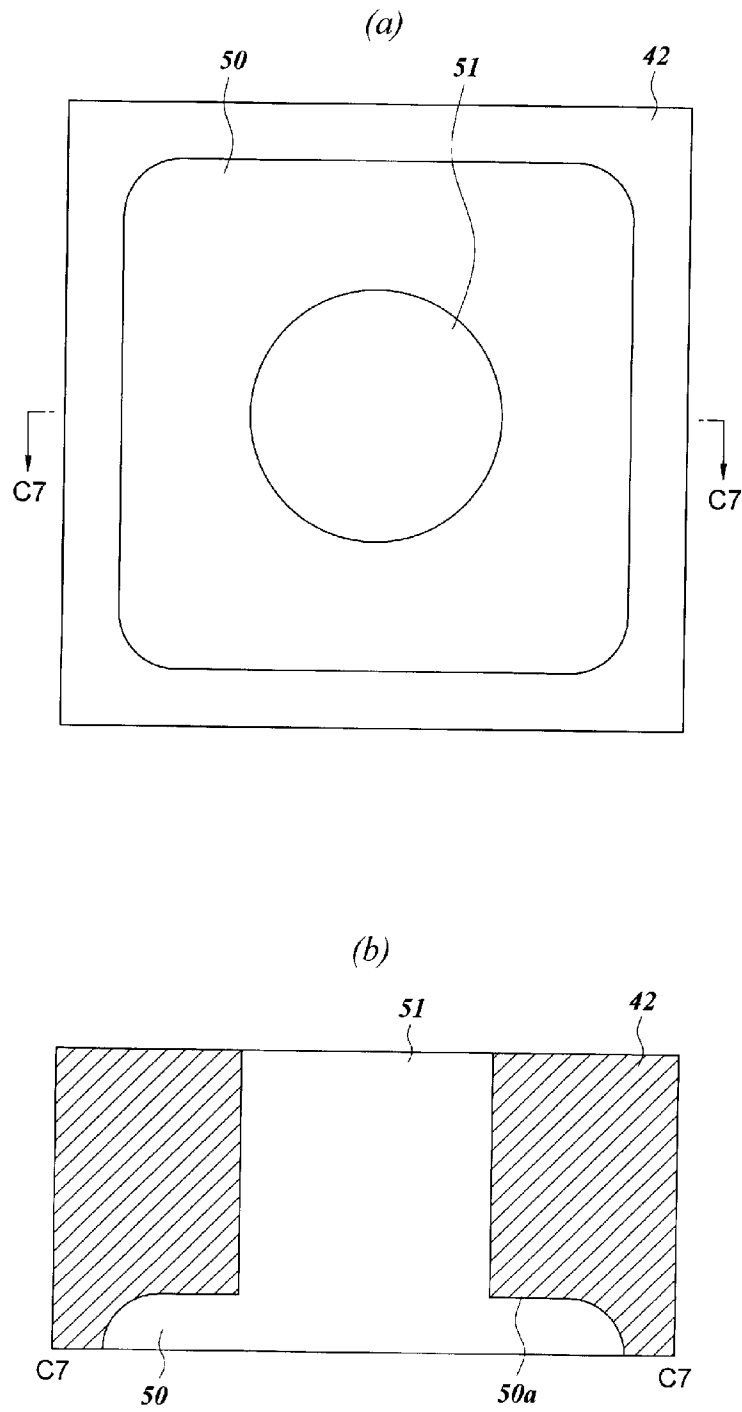
[図22]

図 22



[図23]

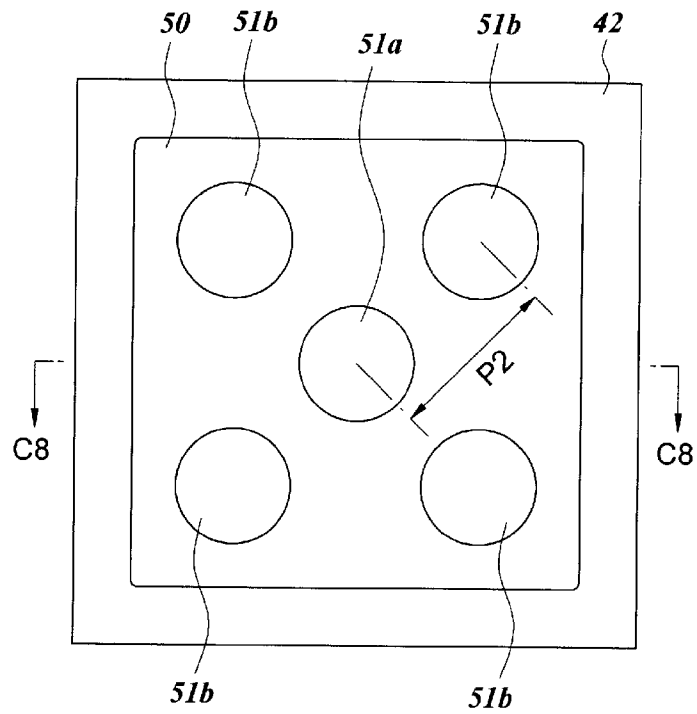
図 23



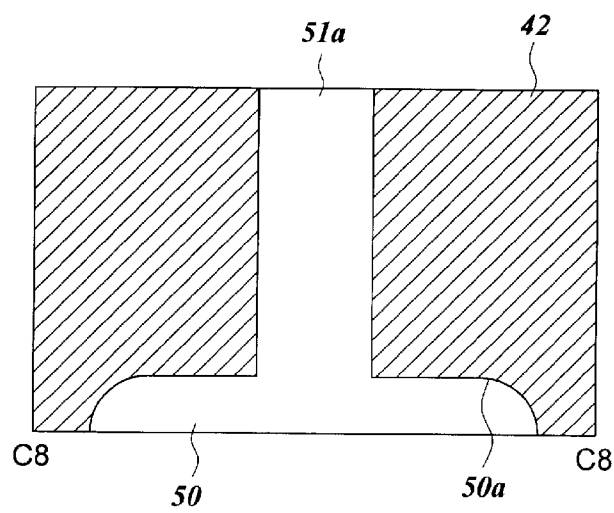
[図24]

図 24

(a)



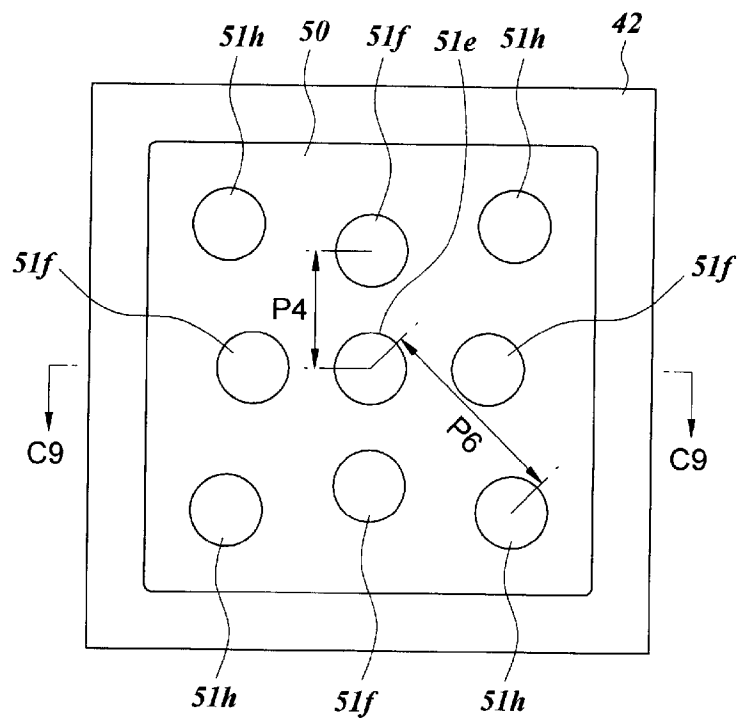
(b)



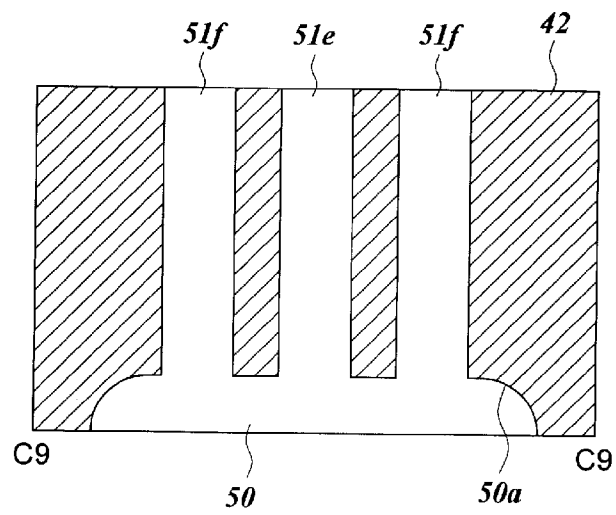
[図25]

図 25

(a)

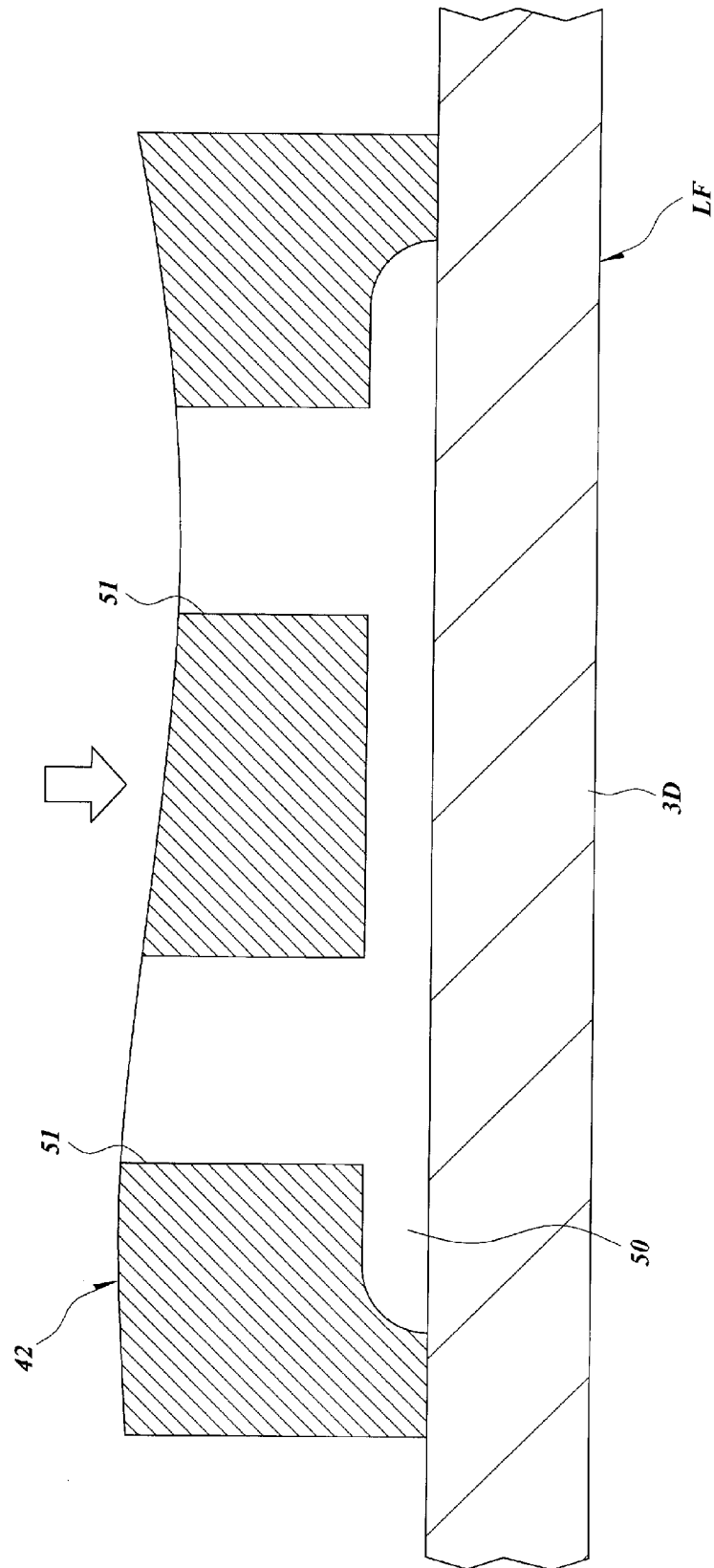


(b)



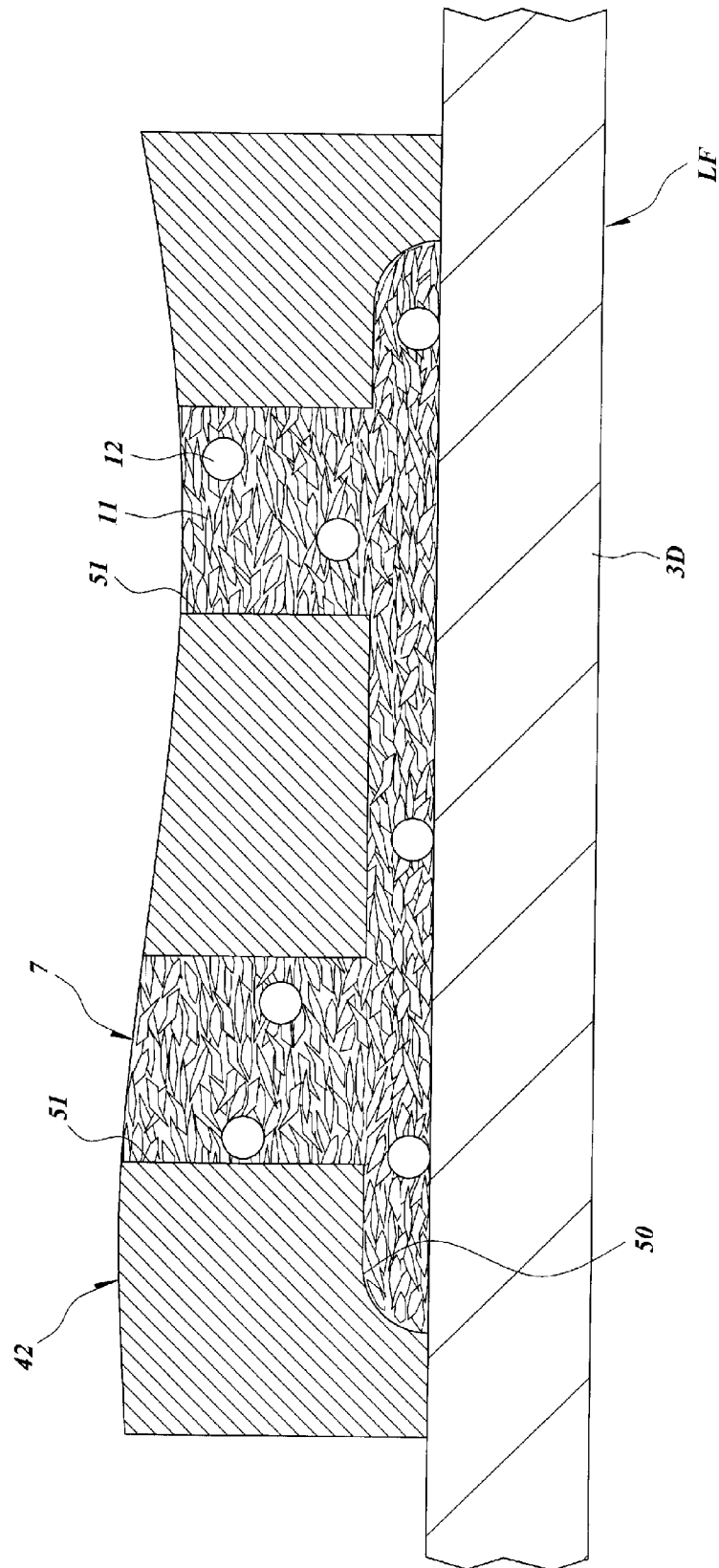
[図26]

図 26

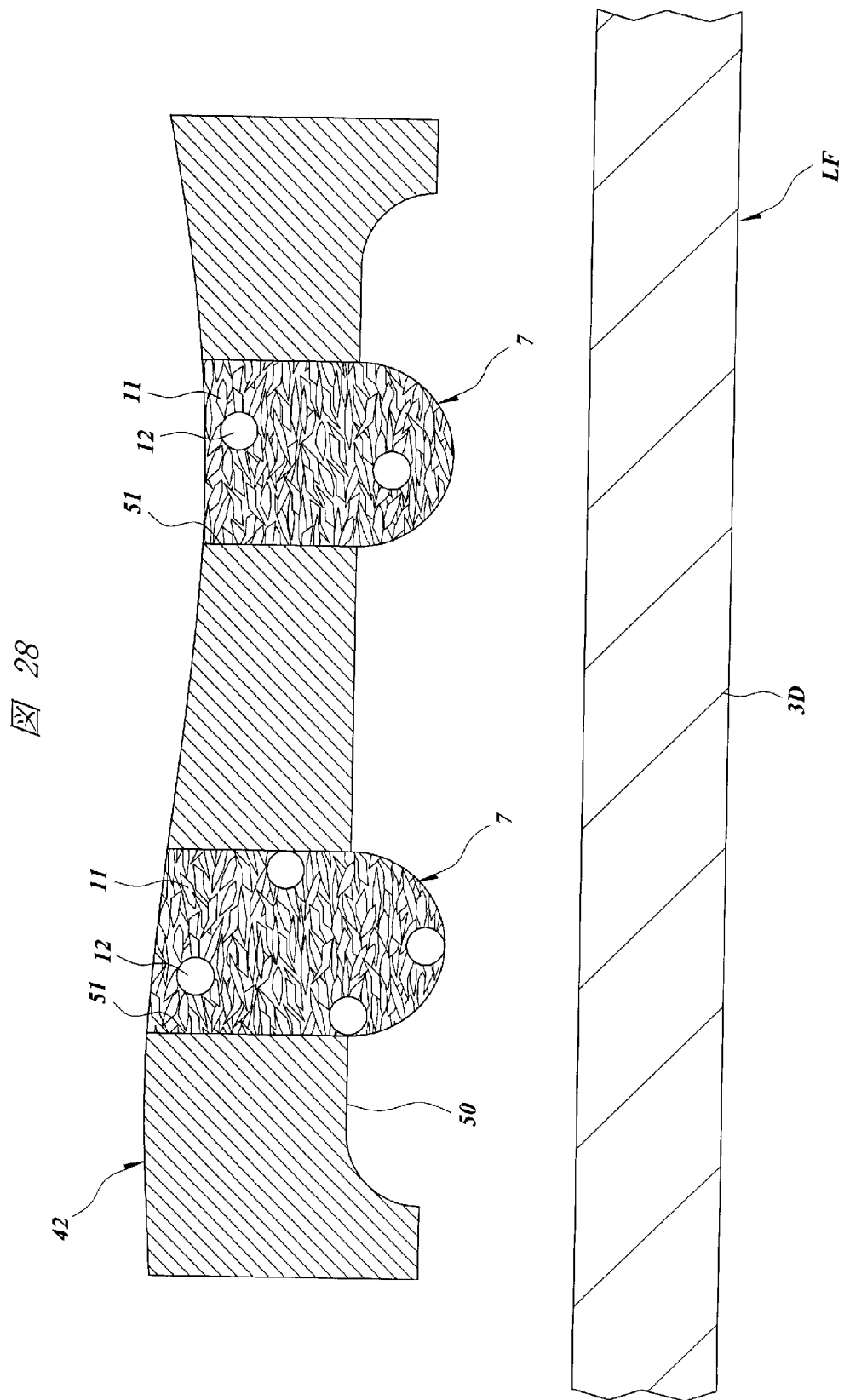


[図27]

図 27

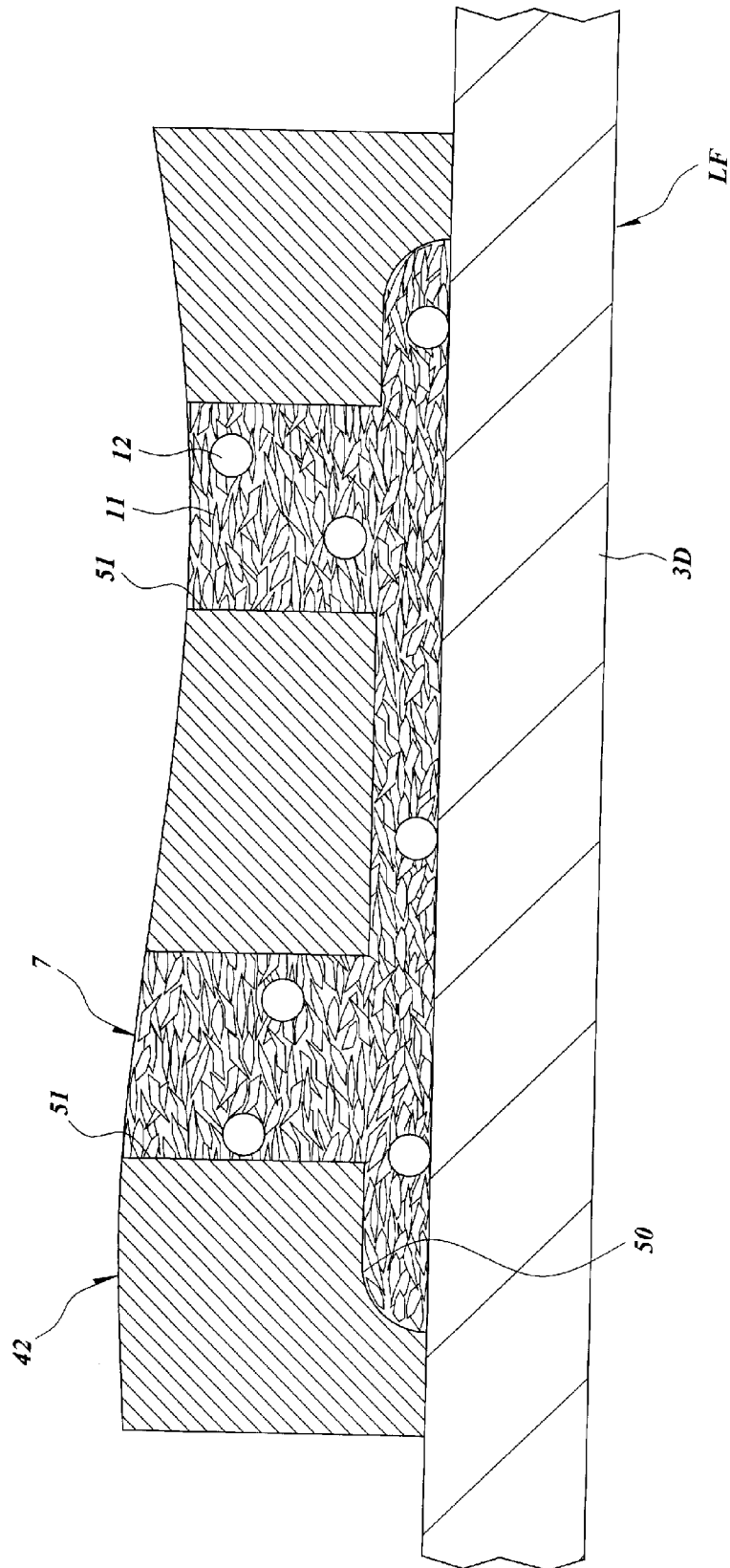


[図28]



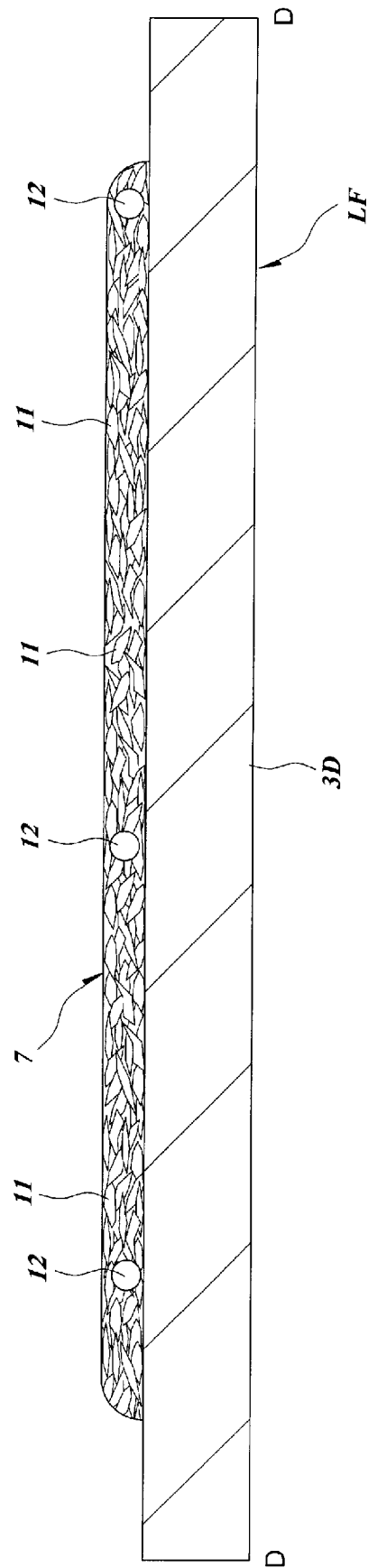
[図29]

図 29

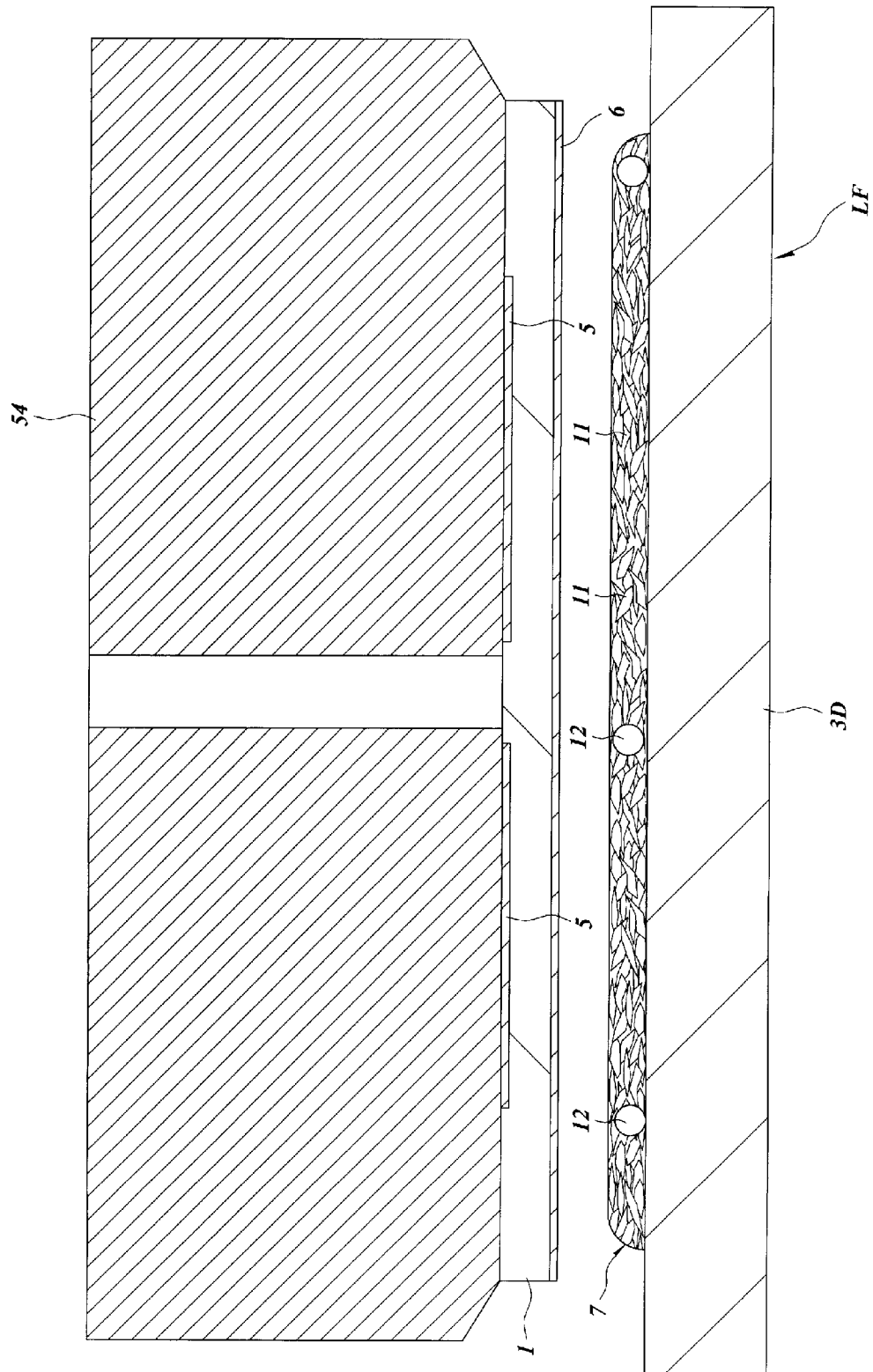


[図31]

[図] 31

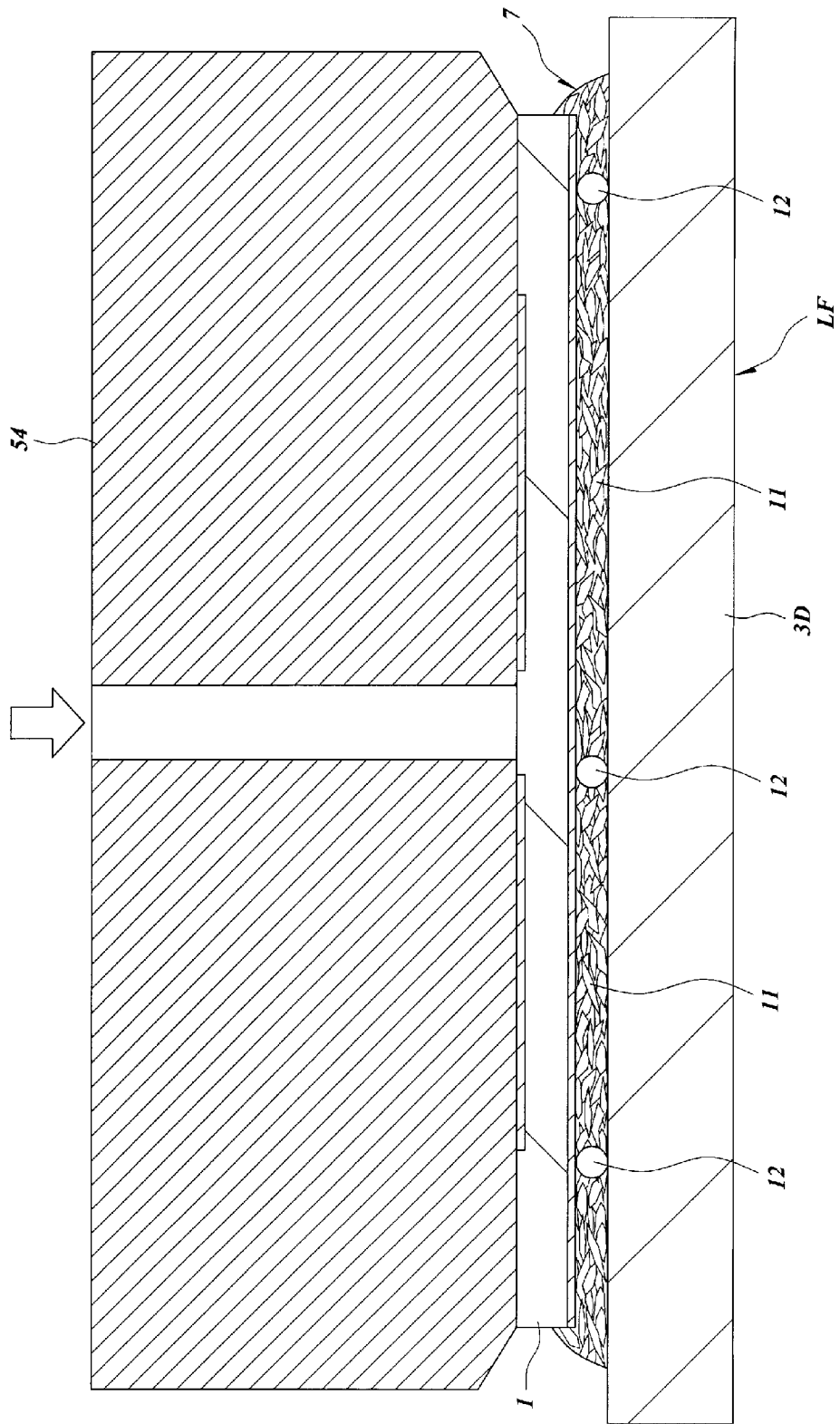


32

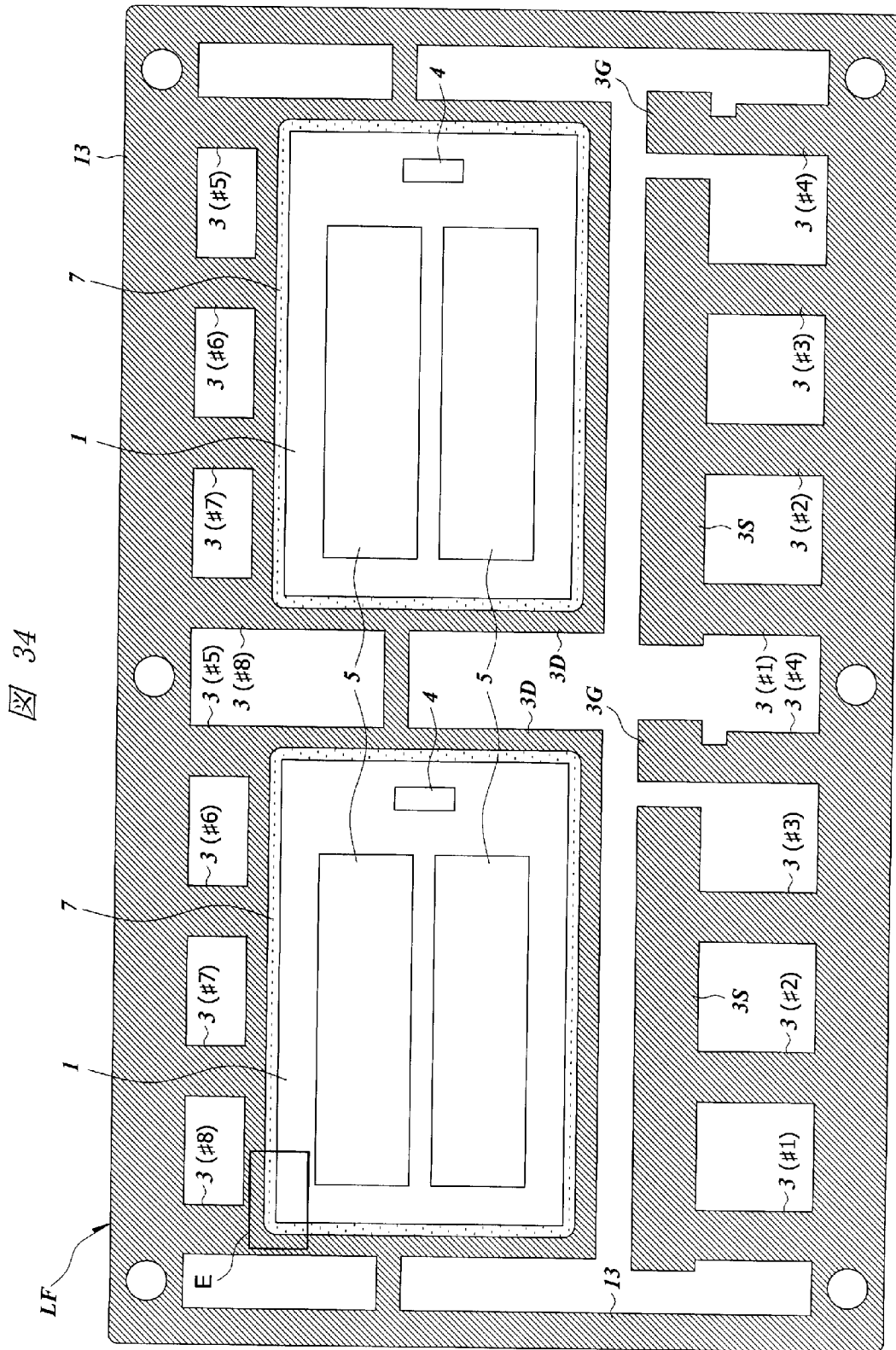


[図33]

図 33

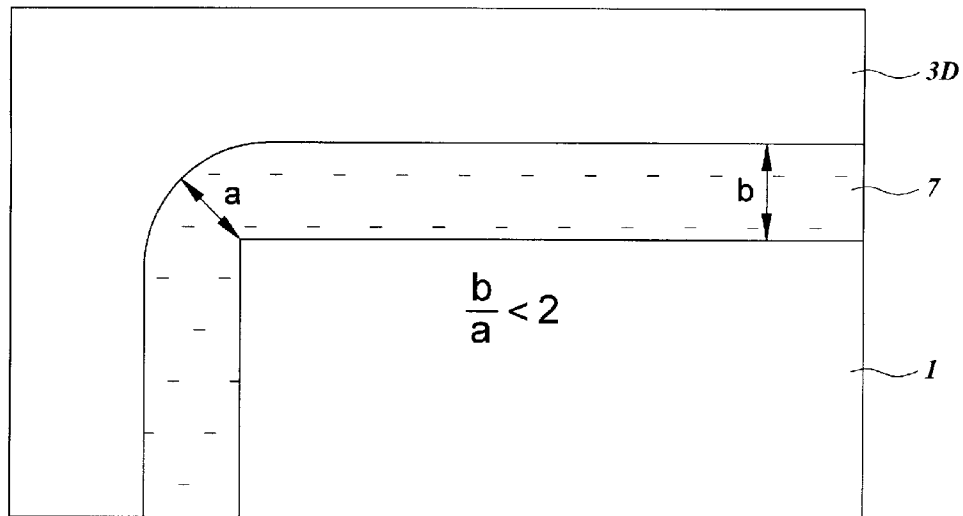


[図34]



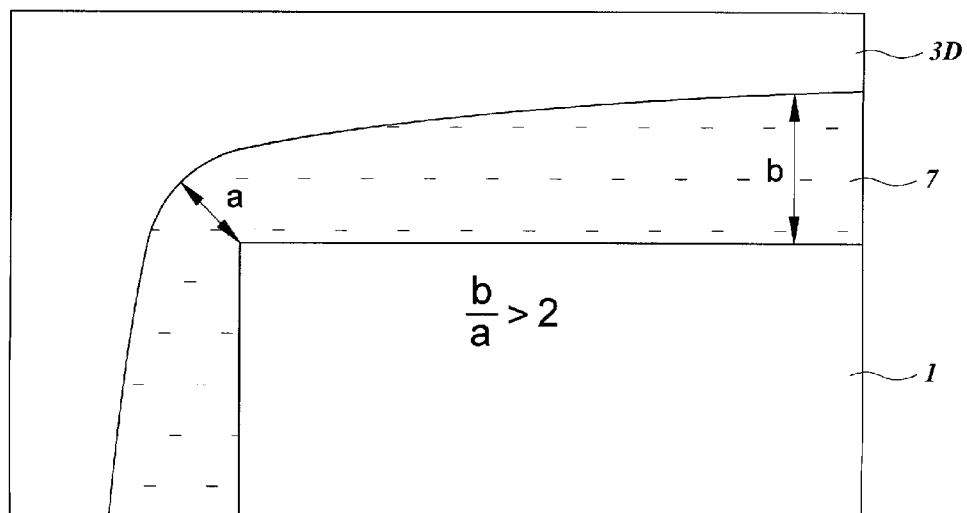
[図35]

図 35

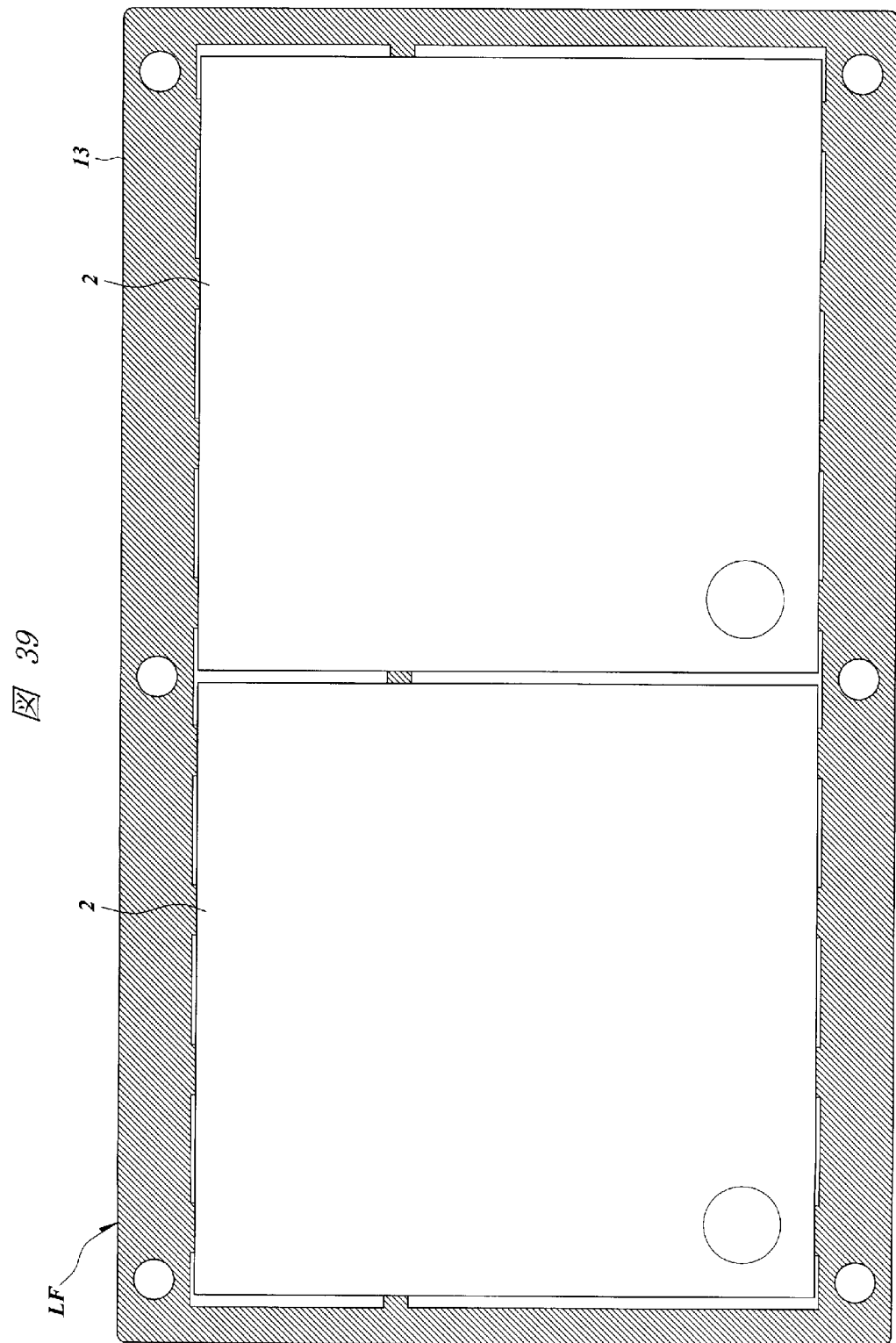


[図36]

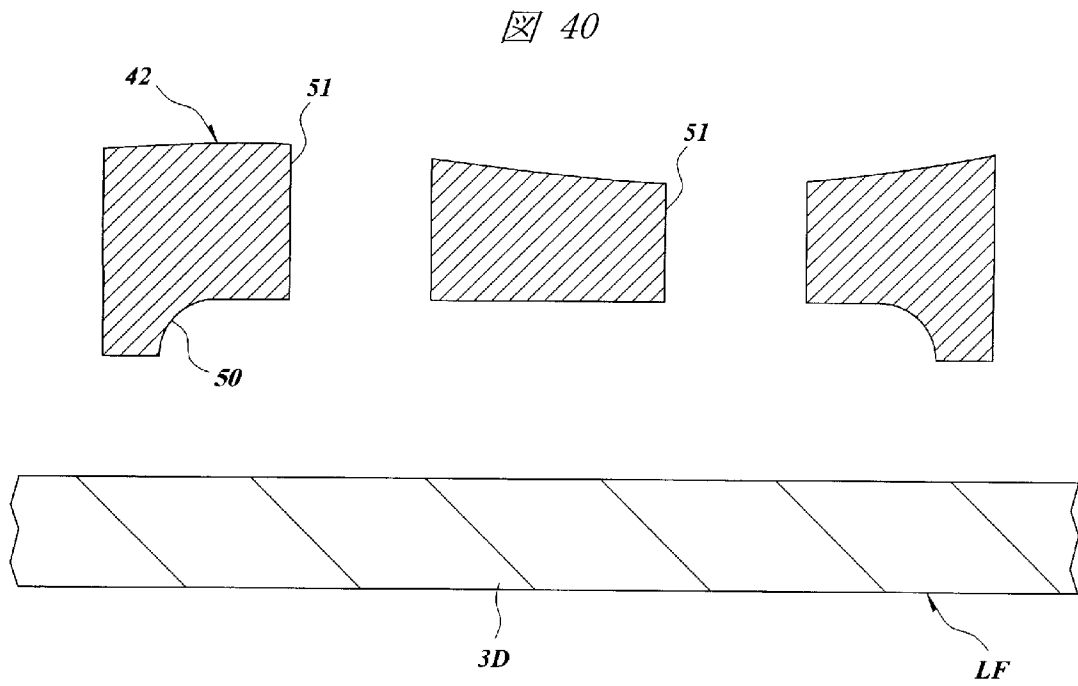
図 36



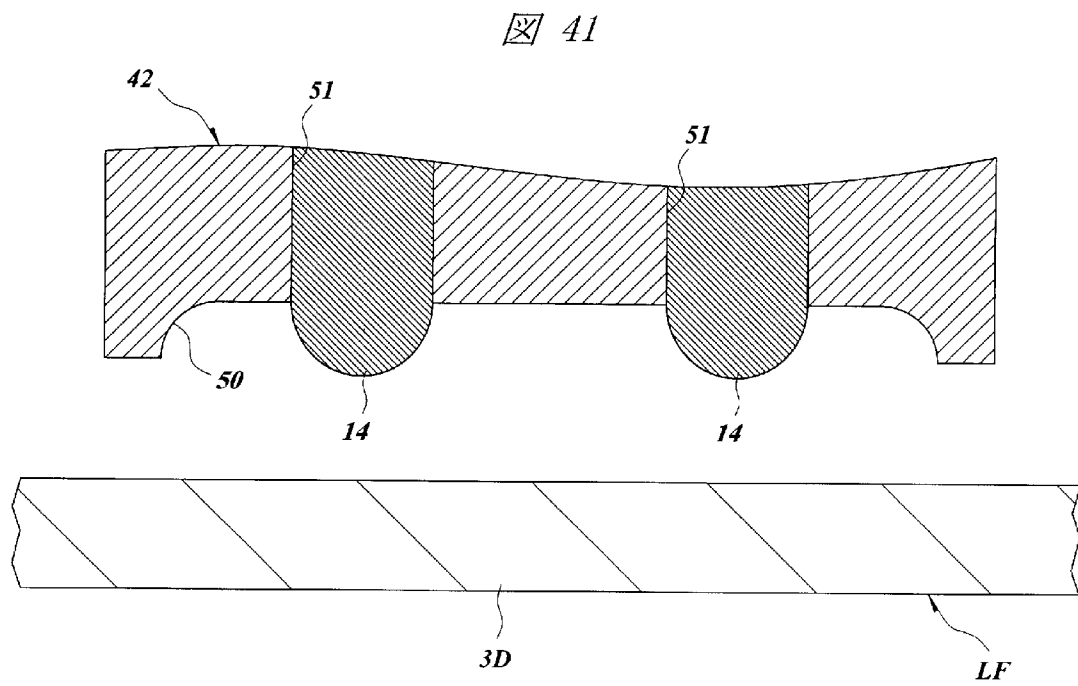
[図39]



[図40]

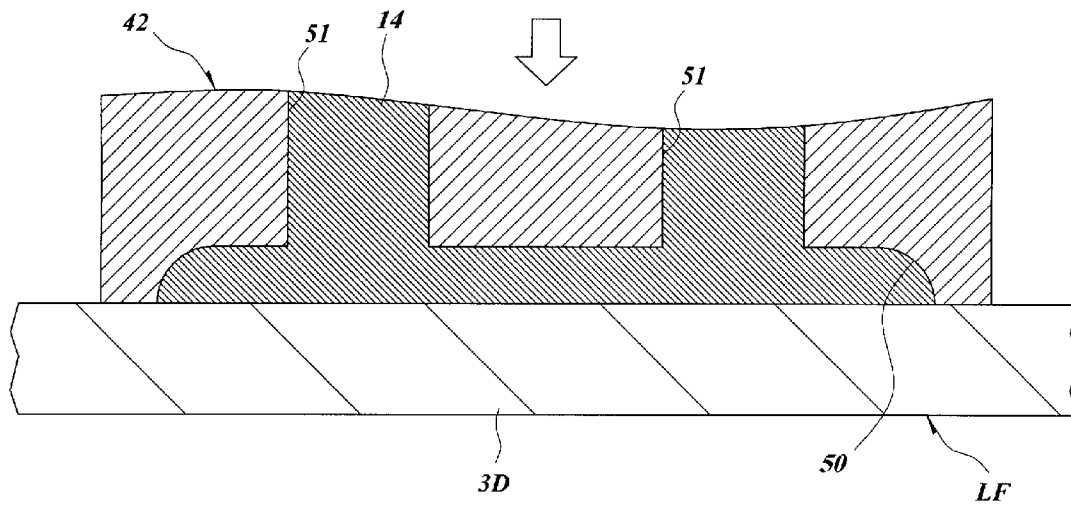


[図41]



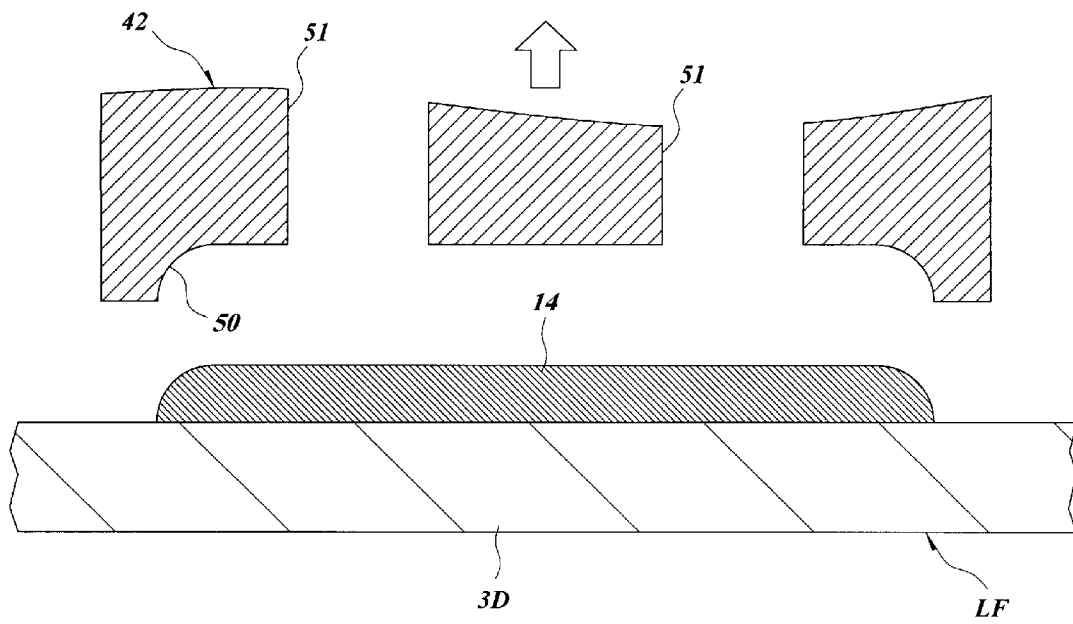
[図42]

図 42



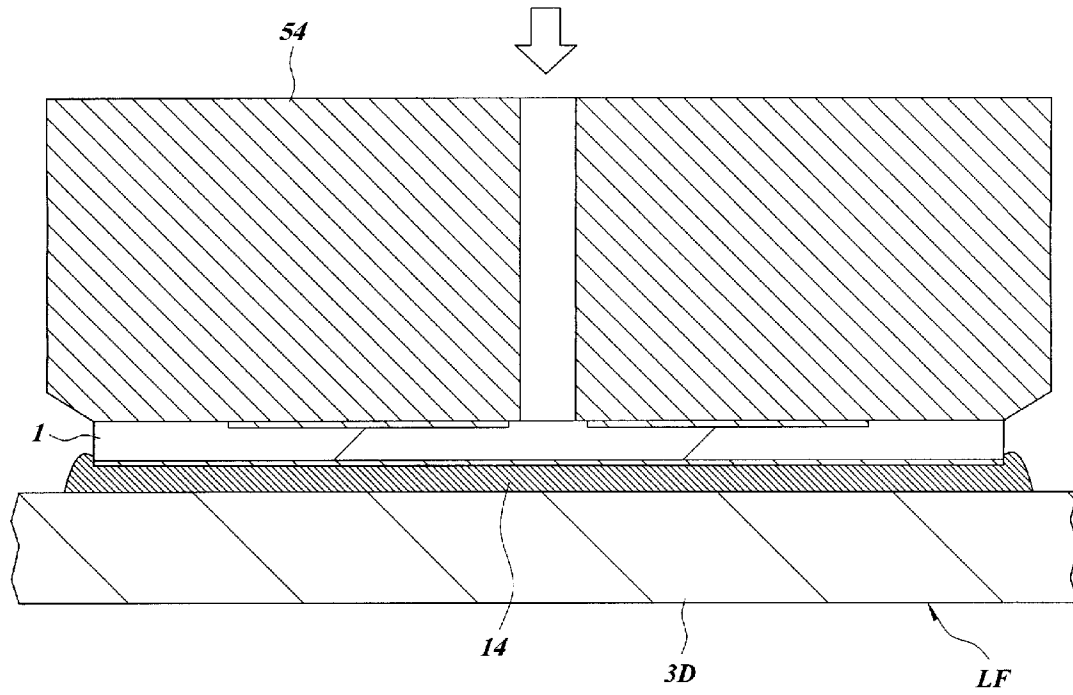
[図43]

図 43



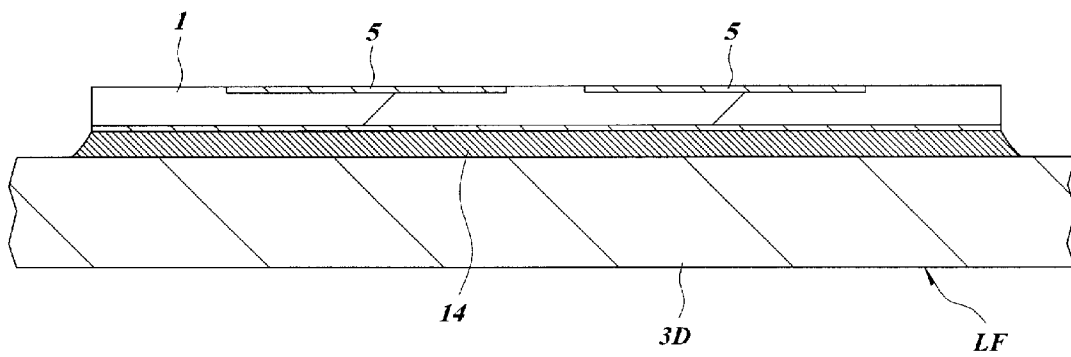
[図44]

図 44



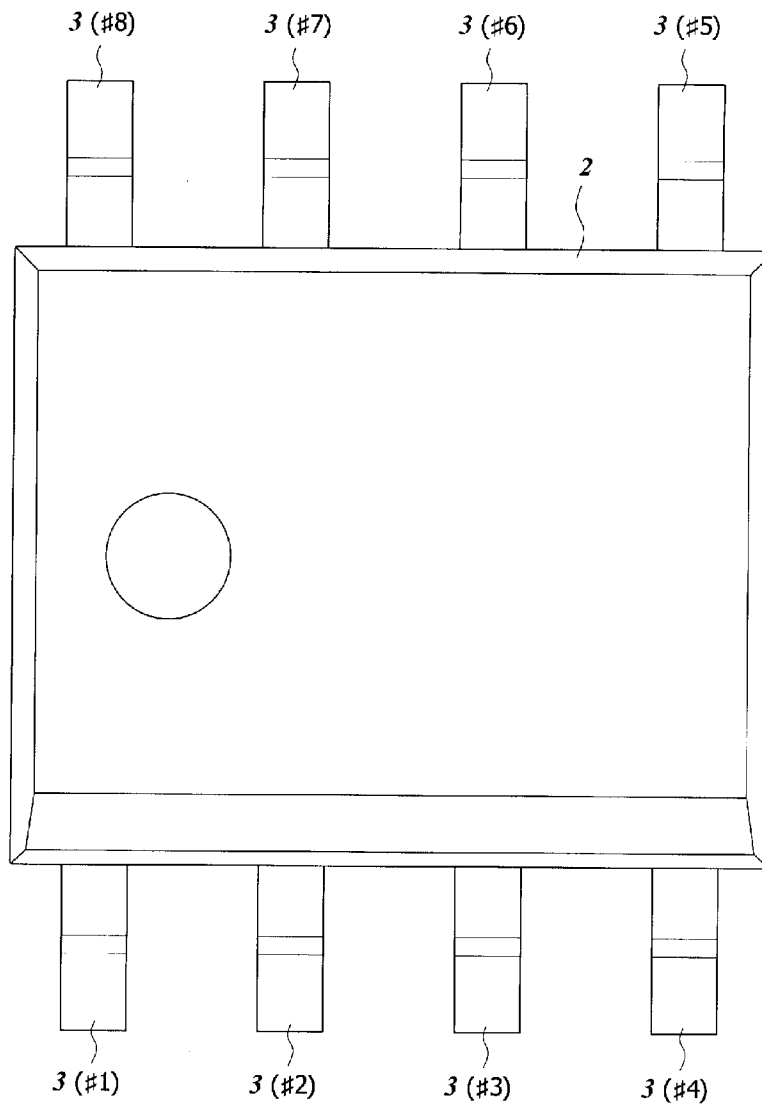
[図45]

図 45



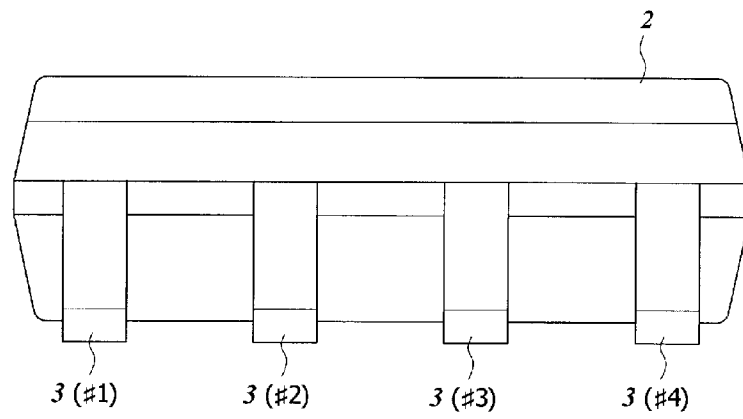
[図46]

図 46



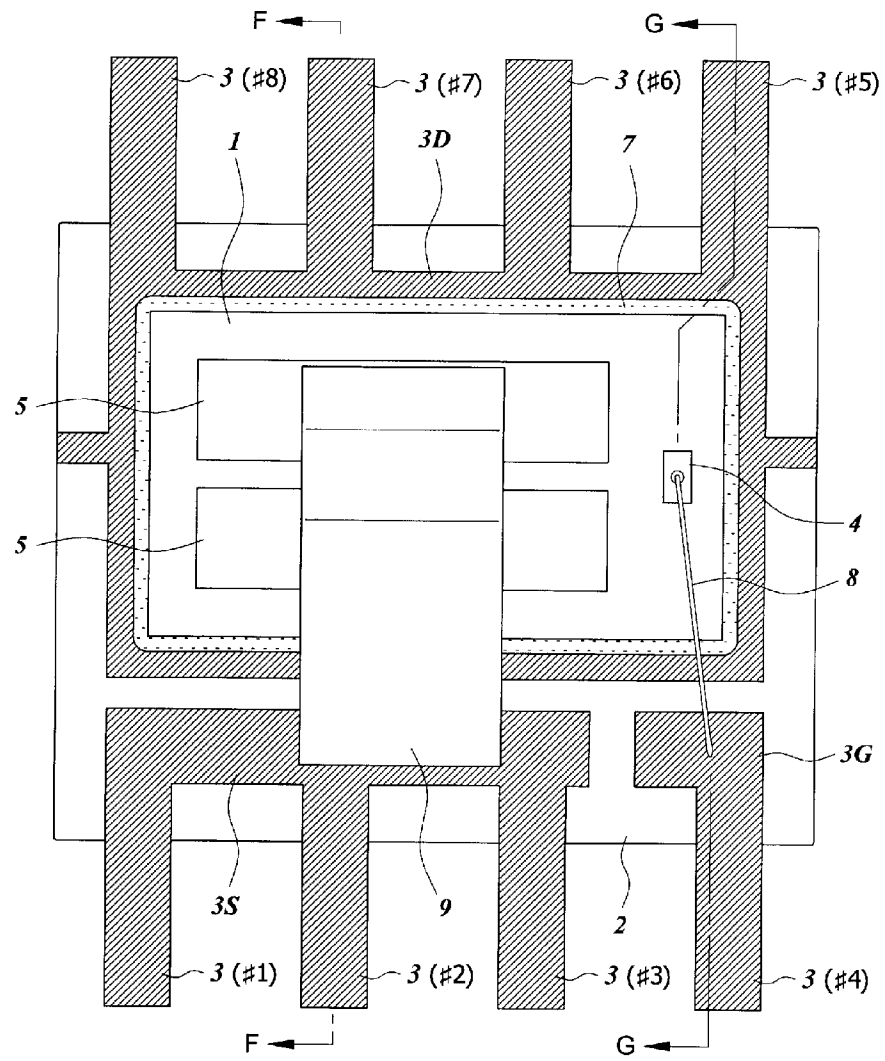
[図47]

図 47



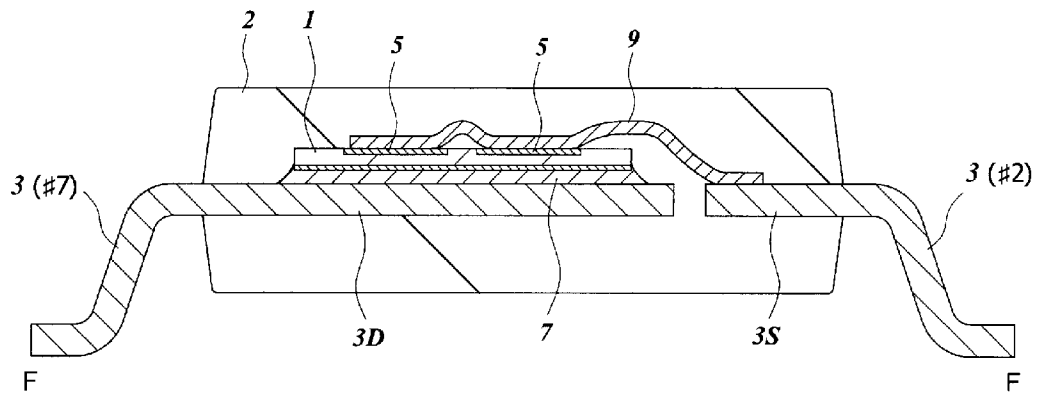
[図48]

図 48



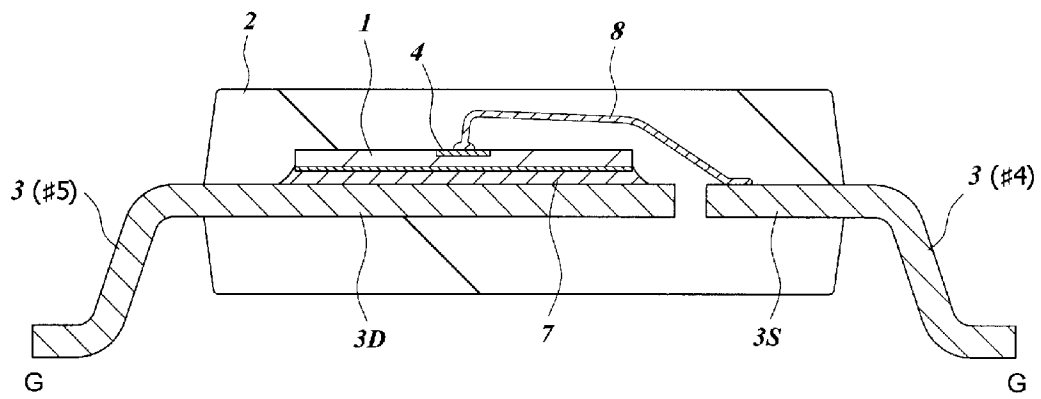
[図49]

図 49



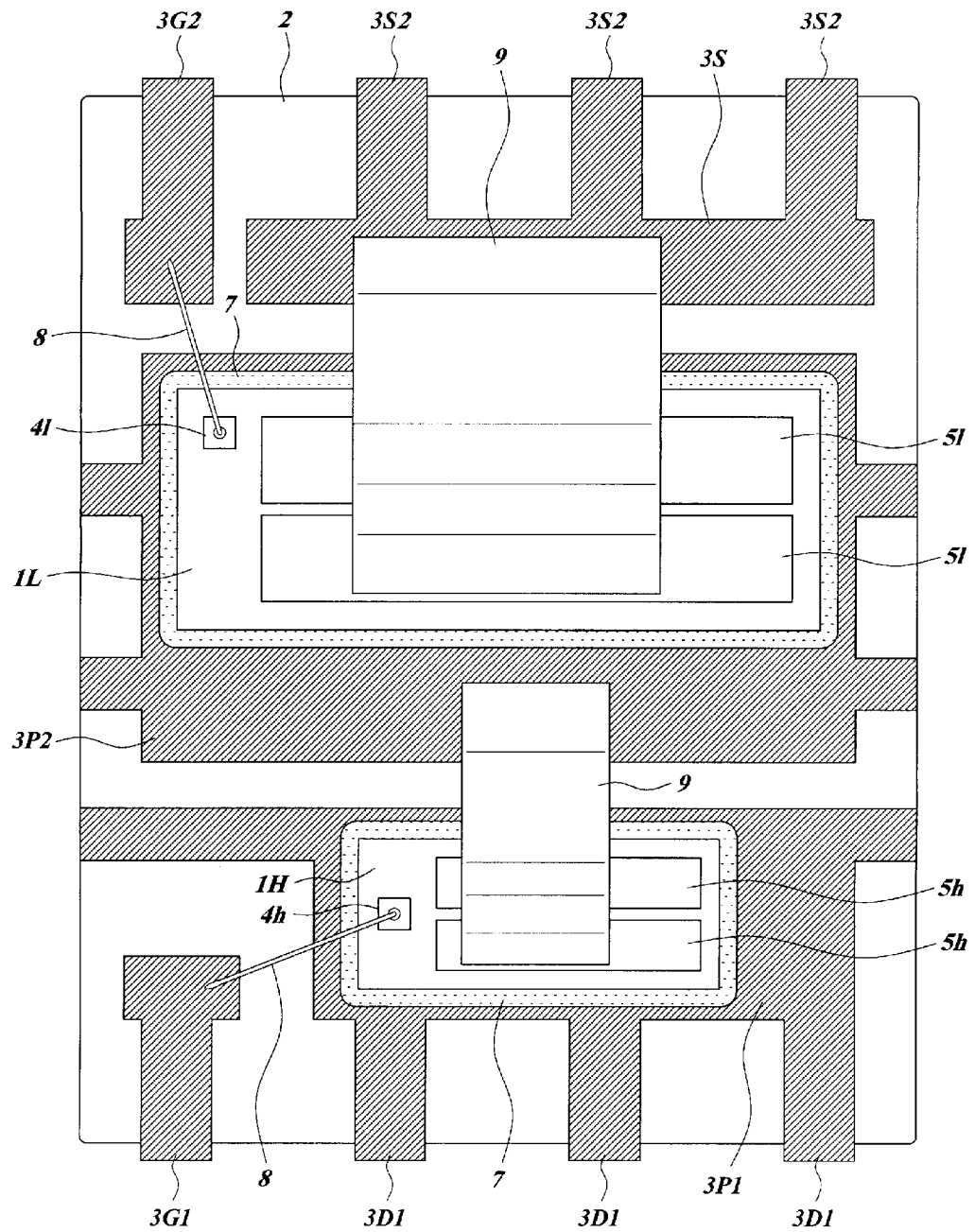
[図50]

図 50



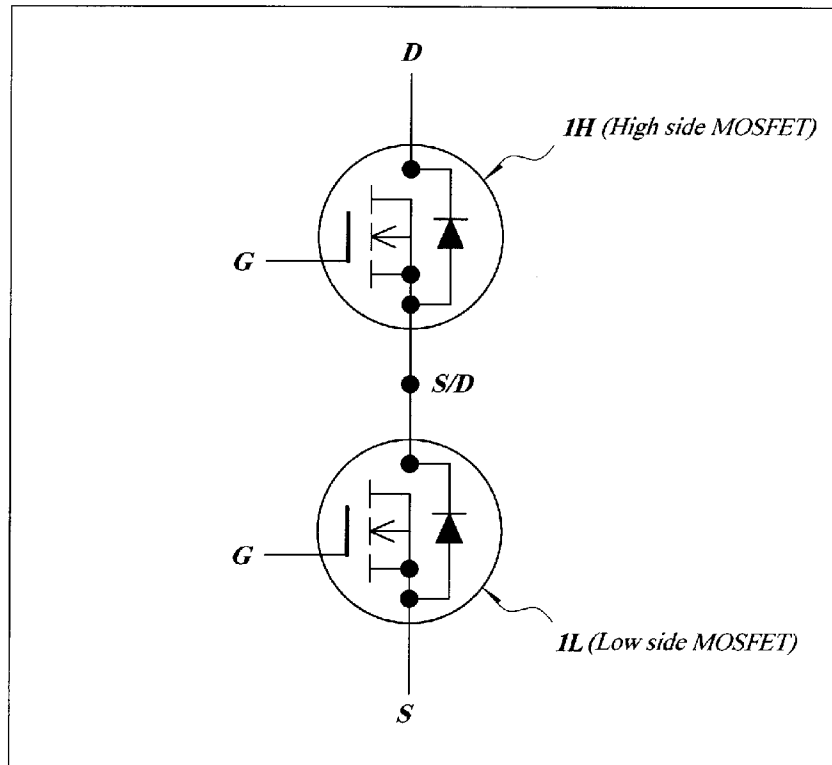
[図51]

図 51



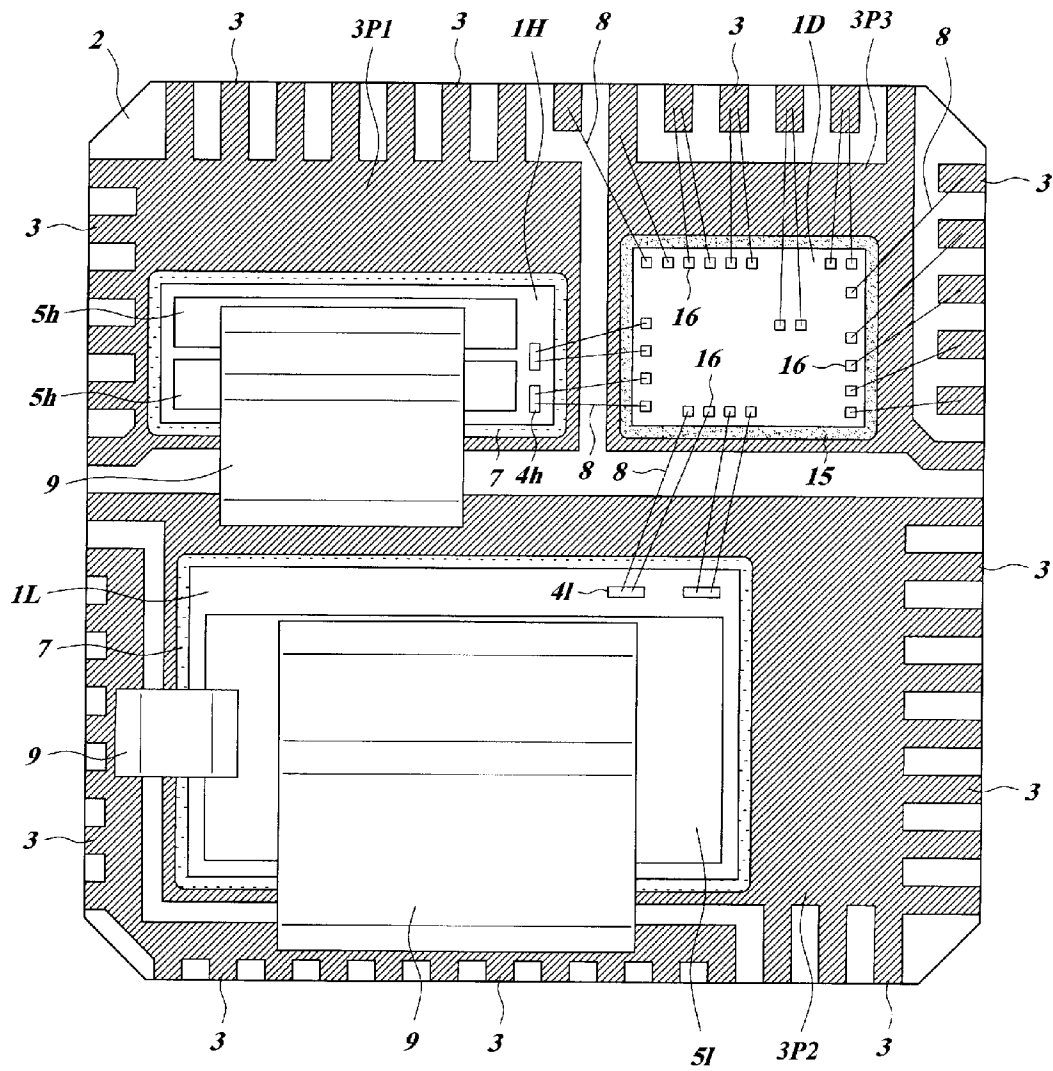
[図52]

図 52



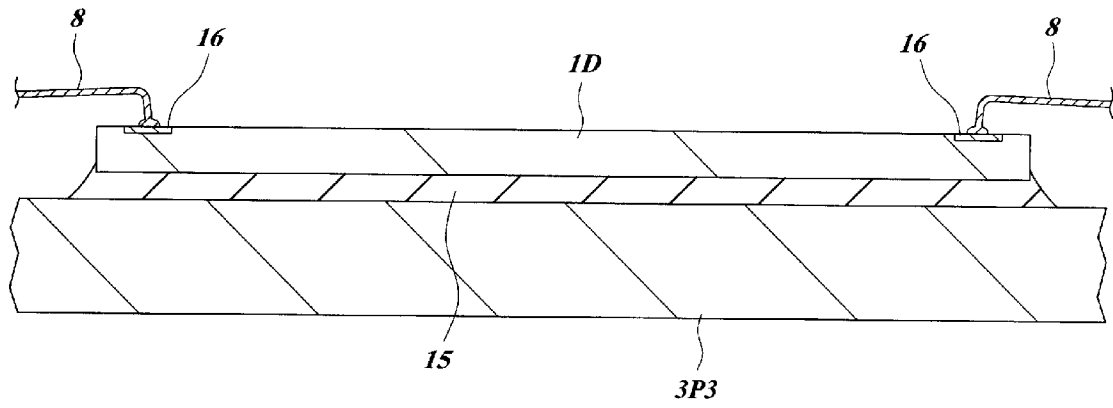
[図53]

図 53

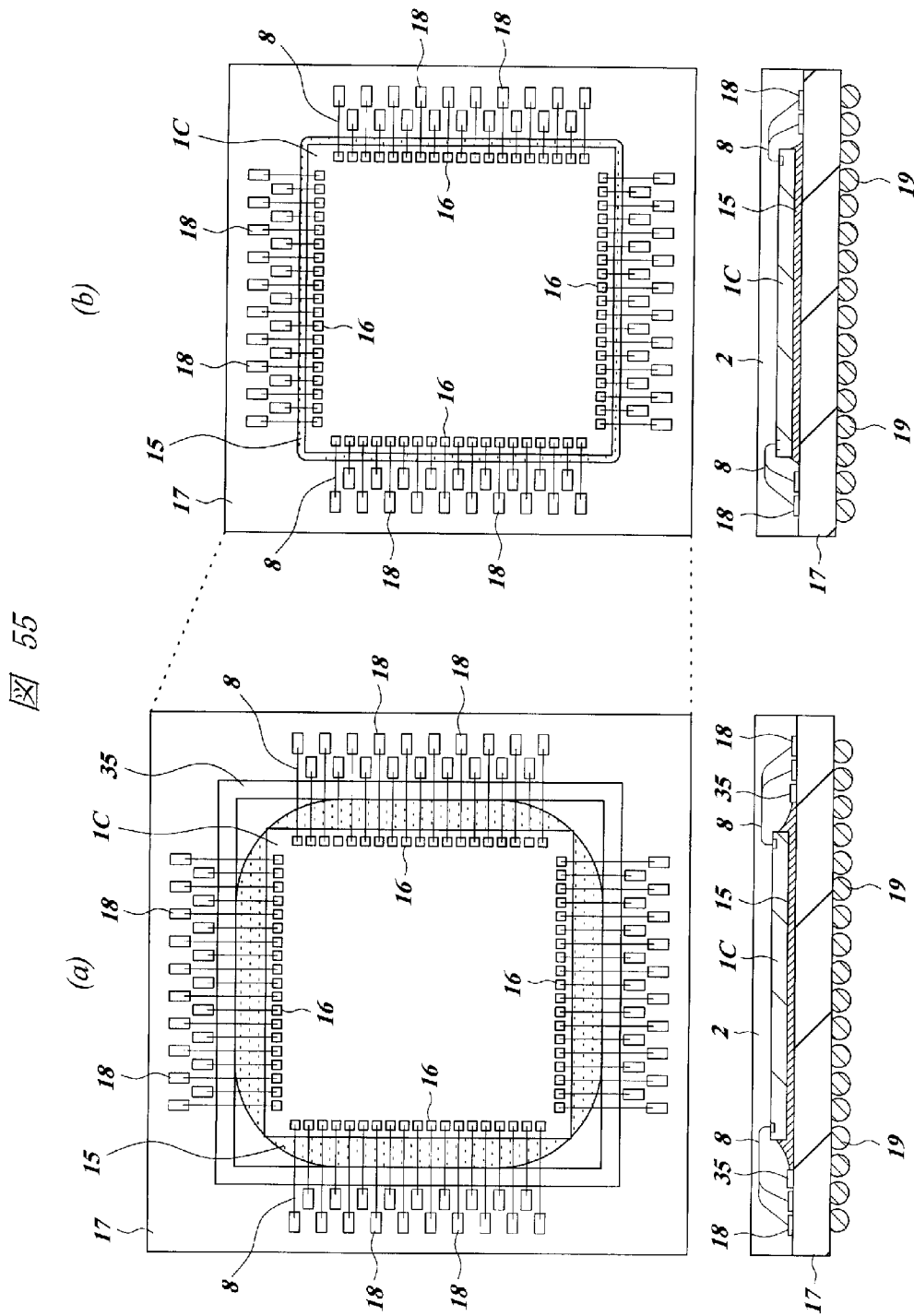


[図54]

図 54

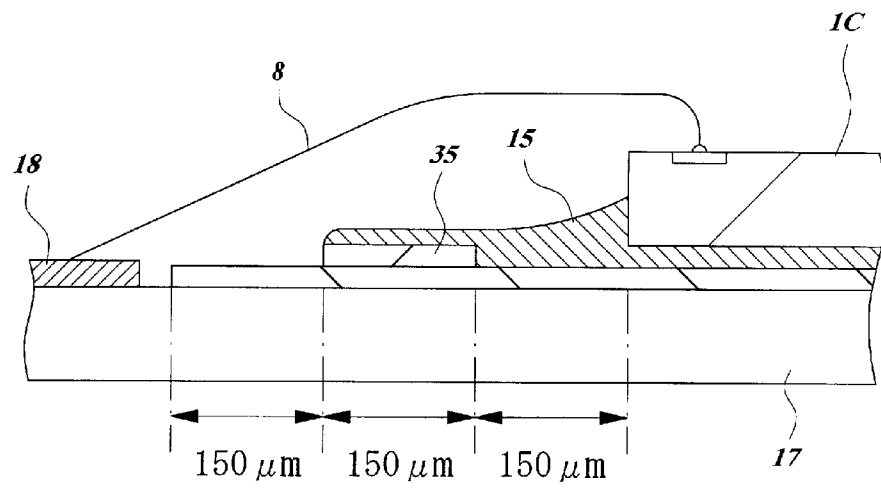


[図55]



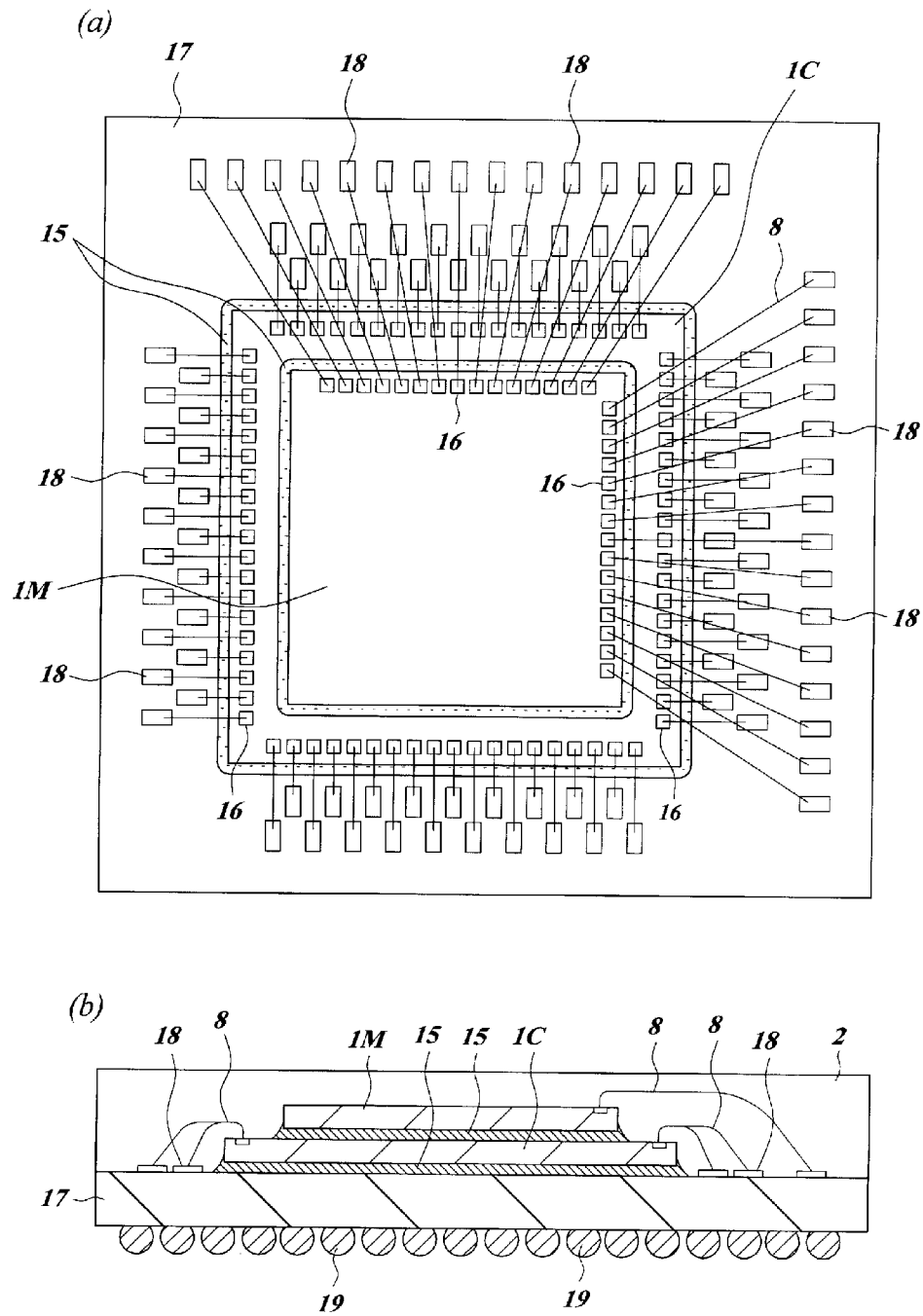
[図56]

図 56

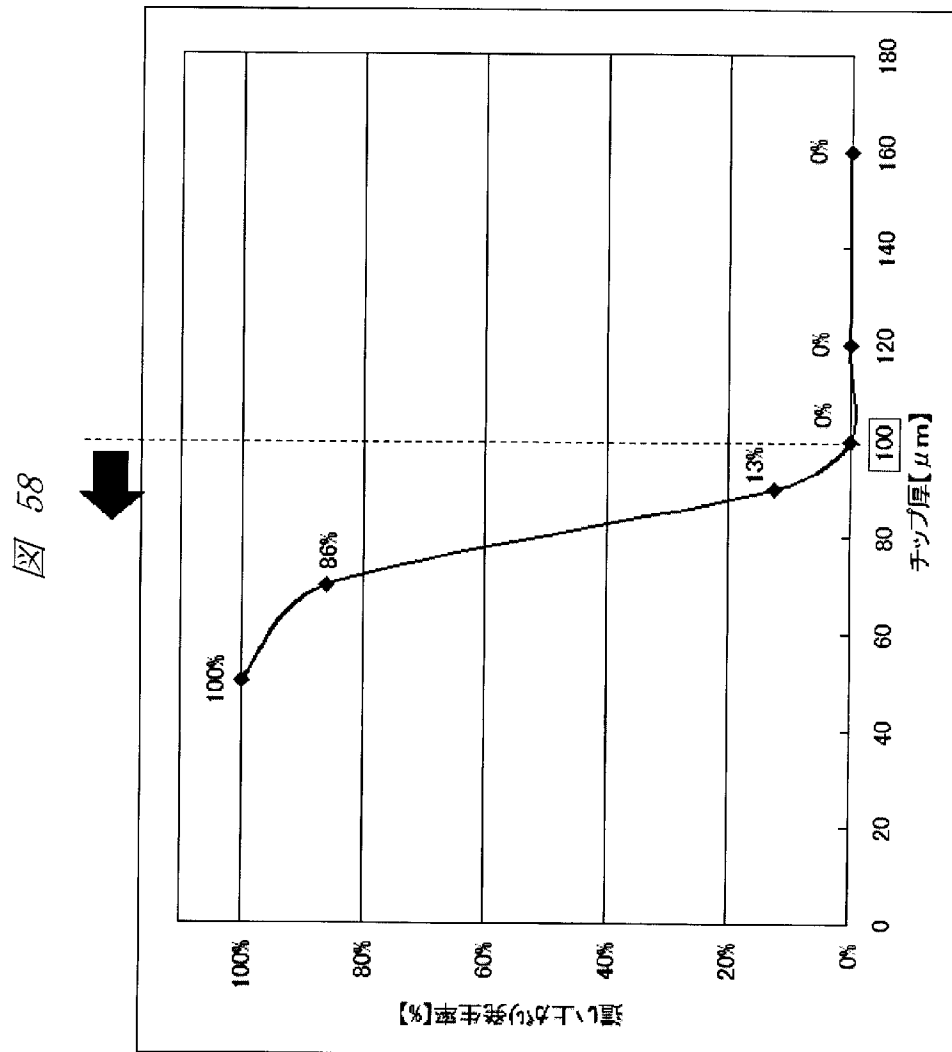


[図57]

図 57

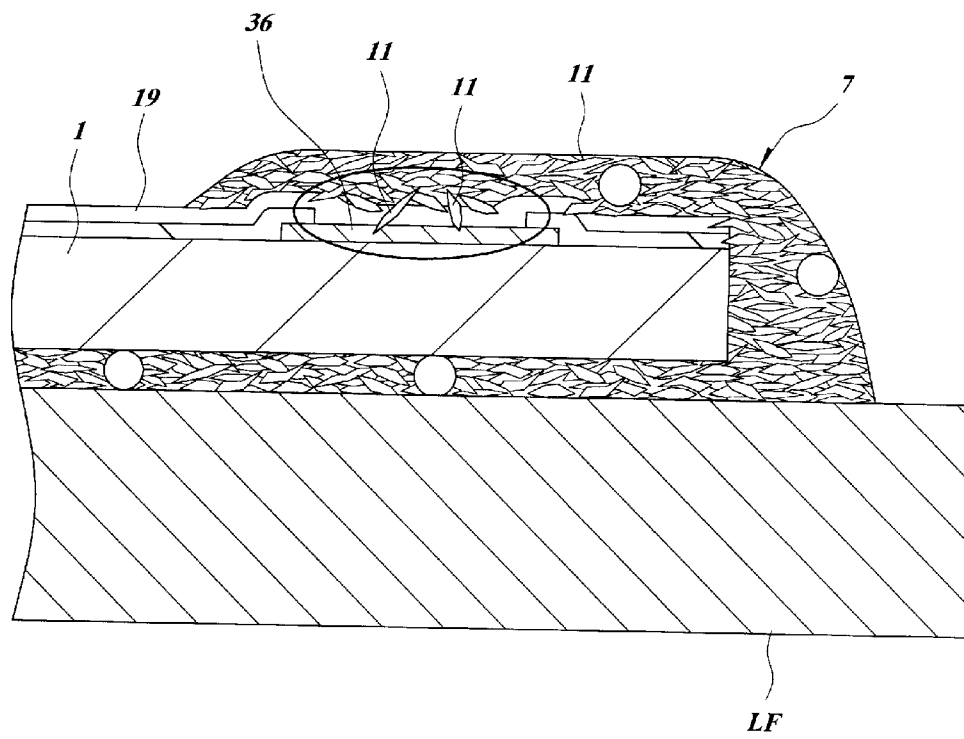


[図58]



[図59]

図 59



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055847

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/52 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u> A	JP 11-233533 A (New Japan Radio Co., Ltd.), 27 August 1999 (27.08.1999), paragraphs [0005] to [0031]; fig. 1 to 4 (Family: none)	1-2, 4-7, 10-11, 20, 22-23, 26 <u>8-9, 12-19,</u> <u>21, 24-25</u> 3
Y A	JP 2005-313087 A (NEC Compound Semiconductor Devices, Ltd.), 10 November 2005 (10.11.2005), entire text; all drawings (Family: none)	8-9 3
Y A	JP 11-312696 A (Fujitsu Ltd.), 09 November 1999 (09.11.1999), paragraphs [0002] to [0007]; fig. 1 (Family: none)	12 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 June, 2010 (22.06.10)

Date of mailing of the international search report

29 June, 2010 (29.06.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055847

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-147103 A (Renesas Technology Corp.), 02 July 2009 (02.07.2009), paragraphs [0033] to [0061]; fig. 3 to 17 & US 2009/0152697 A1	13-17, 21, 25
Y	JP 11-158448 A (Sony Corp.), 15 June 1999 (15.06.1999), entire text; all drawings (Family: none)	18, 19, 24

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/52 (2006. 01) i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/52			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 0 年 1 9 9 6 - 2 0 1 0 年 1 9 9 4 - 2 0 1 0 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 11-233533 A（新日本無線株式会社）1999. 08. 27, 段落 0005-0031, 図 1-4（ファミリーなし）	1-2, 4-7, 10-11, 20, 22- 23, 26	
Y		<u>8-9, 12-19,</u>	
A		<u>21, 24-25</u>	
		3	
Y	JP 2005-313087 A（NEC化合物デバイス株式会社）2005. 11. 10, 全文, 全図（ファミリーなし）	8-9	
A		3	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 2 . 0 6 . 2 0 1 0		国際調査報告の発送日 2 9 . 0 6 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 石野 忠志 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1	4 R 3 5 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-312696 A (富士通株式会社) 1999. 11. 09, 段落 0002-0007, 図 1 (ファミリーなし)	12 3
Y	JP 2009-147103 A (株式会社ルネサステクノロジ) 2009. 07. 02, 段落 033-0061, 図 3-17 & US 2009/0152697 A1	13-17, 21, 25
Y	JP 11-158448 A (ソニー株式会社) 1999. 06. 15, 全文, 全図 (ファミリーなし)	18, 19, 24