(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3557019号

(P3557019)

(45)発行日　平成16年8月25日(2004.8.25)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]	F I		
H01L 27/10	H01L	27/10	481
G11C 11/401	G11C	17/00	E
G11C 17/00	G11C	29/00	603J
G11C 29/00	H01L	21/82	R
H01L 21/82	G11C	11/34	371D

請求項の数 29　(全 19 頁)

(21)出願番号　特願平7-299939
(22)出願日　平成7年11月17日(1995.11.17)
(65)公開番号　特開平9-148533
(43)公開日　平成9年6月6日(1997.6.6)
審査請求日　平成11年11月8日(1999.11.8)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　白武　慎一郎
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　高島　大三郎
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　土田　賢二
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

複数本のワード線と複数本のビット線との各交点にメモリセルを逐一又は選択的に配置してなる正規メモリセルアレイと、この正規メモリセルアレイと基本構成を同様とし、該メモリセルアレイのワード線，ビット線，或いはメモリセルの不良を置き換えるための冗長メモリセルアレイと、正規メモリセルアレイの不良部分に対するアクセスを検知し、これを冗長メモリセルアレイに対するアクセスへと置き換える複数の置き換え手段とを備えた半導体記憶装置であって、

前記各置き換え手段は、前記正規メモリセルアレイ中の不良部分を含む単位整数のワード線或いはビット線へのアクセスを、前記冗長メモリセルアレイの同数のワード線或いはビット線へのアクセスへと置き換えるものであり、

前記単位整数の値は２種類以上設定され、かつ前記各置き換え手段のそれぞれについて単位整数の値が固定されていることを特徴とする半導体記憶装置。

【請求項２】

前記各置き換え手段は、前記正規メモリセルアレイにおける不良アドレスの開始アドレスを記憶するヒューズ回路によって構成されていることを特徴とする請求項１記載の半導体記憶装置。

【請求項３】

前記単位整数は、２の乗数（１，２，４，８，…）であることを特徴とする請求項１又は２記載の半導体記憶装置。

【請求項４】
前記冗長メモリセルアレイにおける冗長メモリセルの最小単位は、冗長メモリセルの総数を前記置き換え手段の総数で割った数よりも少ない数のメモリセルによって構成され、
前記単位整数の最小値は１であり、前記単位整数の最大値は、前記冗長メモリセルの最小単位に含まれるメモリセル数の整数倍が、前記冗長メモリセルの総数を前記置き換え手段の総数で割った数よりも多い数となるような値であることを特徴とする請求項３記載の半導体記憶装置。
【請求項５】
前記ヒューズ回路は前記ビット線と同じ配線層によって形成され、チップの加工プロセスの終了後にレーザビーム或いはイオンビームを用いて該ヒューズ回路を切断することによって、冗長メモリセルへと置き換える前記不良アドレスを記憶することを特徴とする請求項２記載の半導体記憶装置。
【請求項６】
前記ヒューズ回路はビット線加工よりも後に形成されるアルミニウム金属配線層によって形成され、チップの加工プロセスの終了後にレーザビーム或いはイオンビームを用いて該ヒューズ回路を切断することによって、冗長メモリセルへと置き換える前記不良アドレスを記憶することを特徴とする請求項２記載の半導体記憶装置。
【請求項７】
前記冗長メモリセルの最小単位は、１本のワード線及びこれにつながるメモリセルからなることを特徴とする請求項４記載の半導体記憶装置。
【請求項８】
前記冗長メモリセルの最小単位は、１本のビット線と１本の参照ビット線の組及びこれらにつながるメモリセルからなることを特徴とする請求項４記載の半導体記憶装置。
【請求項９】
複数本のワード線と複数本のビット線との交点に配置された正規セルを有する正規メモリセルアレイと、
この正規メモリセルアレイと基本構成を同様とし、スペアセルを有する冗長メモリセルアレイと、
不良を救済するために、前記正規セルに繋がっている少なくとも１本のワード線又はビット線を前記スペアセルに繋がっているワード線又はビット線に置き換える複数の置き換え手段とを具備し、
前記置き換え手段の置き換え本数は複数種類設定され、かつ各置き換え手段のそれぞれについて置き換え本数の値が固定されていることを特徴とする半導体記憶装置。
【請求項１０】
前記複数の置き換え手段は、ｎを正の整数として、ｎ本のワード線又はビット線を個別に置き換える複数の第１の置き換え手段と、Ｎ＞ｎとして、Ｎ本のワード線又はビット線を個別に置き換える複数の第２の置き換え手段とを有し、前記第１の置き換え手段は前記第２の置き換え手段より多く設けられていることを特徴とする請求項９記載の半導体記憶装置。
【請求項１１】
前記置き換え手段の置き換え本数はそれぞれ、ｎを整数として、2^n に設定されていることを特徴とする請求項９記載の半導体記憶装置。
【請求項１２】
前記置き換え手段には、２本のワード線又はビット線を個別に置き換える複数の第１の置き換え手段と、４本のワード線又はビット線を個別に置き換える少なくとも１つの第２の置き換え手段とが含まれ、前記第１の置き換え手段は前記第２の置き換え手段より多く設けられていることを特徴とする請求項１１記載の半導体記憶装置。
【請求項１３】
前記置き換え手段には、８本のワード線又はビット線を置き換える少なくとも１つの第３の置き換え手段がさらに含まれていることを特徴とする請求項１２記載の半導体記憶装置

。
【請求項１４】
前記置き換え手段には、１本のワード線又はビット線を置き換える複数の第４の置き換え手段がさらに含まれ、前記第４の置き換え手段は前記第１の置き換え手段より多く設けられていることを特徴とする請求項１３記載の半導体記憶装置。
【請求項１５】
前記置き換え手段のそれぞれは、置き換え対象のワード線又はビット線の中の特定の１本に関するアドレスを記憶する記憶手段と、前記記憶されているアドレスとそれぞれの置き換え本数とに基づいて、アクセス対象のワード線又はビット線を置き換えるか否かを判定する判定手段とを有していることを特徴とする請求項９記載の半導体記憶装置。
【請求項１６】
前記記憶手段は、前記アドレスを記憶するために選択的に切断される複数のヒューズエレメントを有していることを特徴とする請求項１５記載の半導体記憶装置。
【請求項１７】
前記ヒューズエレメントは、前記ビット線と同じ配線層によって形成されていることを特徴とする請求項１６記載の半導体記憶装置。
【請求項１８】
前記ヒューズエレメントは、前記ビット線の上に形成されるアルミニウム金属配線層によって形成されていることを特徴とする請求項１６記載の半導体記憶装置。
【請求項１９】
複数のワード線と複数のビット線との交点に配置された正規セルを有する正規メモリセルアレイと、
この正規メモリセルアレイと基本構成を同様とし、スペアセルを有する冗長メモリセルアレイと、
不良を救済するために、前記正規セルに繋がっている少なくとも１本のワード線又はビット線を前記スペアセルに繋がっているワード線又はビット線に置き換える少なくとも１つの第１の置き換え手段と、
他の不良を救済するために、前記正規セルに繋がっている少なくとも１本のワード線又はビット線を前記スペアセルに繋がっているワード線又はビット線に置き換える少なくとも１つの第２の置き換え手段とを具備し、
前記第１の置き換え手段の置き換え本数と前記第２の置き換え手段の置き換え本数はそれぞれ固定されていて、前記第２の置き換え手段の置き換え本数は前記第１の置き換え手段の置き換え本数より多いことを特徴とする半導体記憶装置。
【請求項２０】
前記第１の置き換え手段は前記第２の置き換え手段より多く設けられることを特徴とする請求項１９記載の半導体記憶装置。
【請求項２１】
前記第１の置き換え手段と前記第２の置き換え手段それぞれは、置き換え対象のワード線又はビット線の中の特定の１本に関するアドレスを記憶する記憶手段と、前記記憶されたアドレスとそれぞれ固定されている置き換え本数とに基づいて、アクセス対象のワード線又はビット線を置き換えるか否かを判定する判定手段とを有していることを特徴とする請求項１９記載の半導体記憶装置。
【請求項２２】
１本のワード線或いはビット線のアドレスを表すために必要なビット数がｋであるとき、置き換え対象のワード線或いはビット線のアドレスはｋと同数かｋよりも少ない特定のｊ１或いはｊ２ビットによって共通に表され、
前記第１の置き換え手段或いは前記第２の置き換え手段それぞれは、ｋと同数かｋよりも少ない特定のｊ１或いはｊ２ビットのアドレスをそれぞれ記憶する記憶手段を有し、
前記記憶された特定のｊ１或いはｊ２ビットのアドレスと、アクセス対象のワード線又はビット線のアドレスの上記特定のｊ１ビット或いはｊ２ビットが一致した場合に、アクセ

ス対象のワード線又はビット線を置き換え、記憶された何れのアドレスにも一致しない場合には置き換えない手段を有していることを特徴とする請求項１９記載の半導体記憶装置。

【請求項２３】

前記第１の置き換え手段の置き換え本数と前記第２の置き換え手段の置き換え本数はそれぞれ、ｎを整数として、2^n に設定されていることを特徴とする請求項１９記載の半導体記憶装置。

【請求項２４】

前記第１の置き換え手段は２本のワード線又はビット線を個別に置き換え、前記第２の置き換え手段は４本のワード線又はビット線を個別に置き換えることを特徴とする請求項２３記載の半導体記憶装置。

【請求項２５】

１本のワード線又はビット線を置き換える複数の第３の置き換え手段をさらに具備したことを特徴とする請求項２４記載の半導体記憶装置。

【請求項２６】

前記第３の置き換え手段の数は、前記第２の置き換え手段と同数かそれ以上の数であることを特徴とする請求項２５記載の半導体記憶装置。

【請求項２７】

８本のワード線又はビット線を置き換える少なくとも１つの第３の置き換え手段をさらに具備したことを特徴とする請求項２４記載の半導体記憶装置。

【請求項２８】

前記第３の置き換え手段の数は、前記第１の置き換え手段と同数かそれ以上の数であることを特徴とする請求項２７記載の半導体記憶装置。

【請求項２９】

前記第１の置き換え手段の置き換え本数と前記第２の置き換え手段の置き換え本数のいずれとも異なる本数のワード線又はビット線を置き換える少なくとも１つの第３の置き換え手段をさらに具備したことを特徴とする請求項１９記載の半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体記憶装置に係わり、特にメモリセルアレイ内の不良救済機能を備えた半導体記憶装置に関する。

【０００２】

【従来の技術】

今日、半導体の微細加工技術により、ダイナミック型半導体記憶装置（ＤＲＡＭ）の集積度は上がり、量産では４Ｍ，１６Ｍビット、研究開発では１ＧビットクラスのＤＲＡＭが製作できるようになってきた。しかしながら、世代が進み集積度が上がるに伴い、チップ内部の配線などの加工ピッチが次第に小さくなり、加工を行うクリーンルーム内部のごみ（ダスト）や、プロセス上の加工ばらつきに起因する配線のショートや、或いはメモリセルの保持特性が悪いといった不良の発生確率が大きくなってきている。さらにまた、１チップ当たりの面積も次第に大きくなる傾向にあるため、このような不良がチップ内部に混入する確率は益々高くなり、不良を置き換える救済回路なしでは動作良品を取得できなくなっている。

【０００３】

一方、このような救済回路は、チップ面積を増大させる要因となる。この面積成分には二つの要素がある。このうちの一つは救済用の冗長アレイ、即ちワード線不良を置き換えるためのワード線を含むアレイなどの面積である。もう一つは冗長アレイを制御するための外部回路の面積であり、これにはアクセスされるアドレスが不良の発生したアドレスであるか否かを判定して、冗長アレイを用いるかどうかを決定する判定回路を含む。

【０００４】

従来より様々な救済回路が提案されてきている。図１０は最も基本的なワード線の救済回路であり、メモリセルアレイ毎に救済用の冗長ワード線（以下では救済ワード線と呼ぶ）と不良ワード線の判定回路が配置されている。

【０００５】

この例では、各メモリセルアレイ（ＭＡ０　，ＭＡ１　，ＭＡ２　，ＭＡ３　）にそれぞれ２本ずつの救済ワード線（ＳＷ００，０１　，ＳＷ１０，１１　，ＳＷ２０，２１　，ＳＷ３０，３１　）が配置され、それぞれに判定回路（ＳＤ０，１　，ＳＤ２，３　，ＳＤ４，５　，ＳＤ６，７　）が接続されている。

【０００６】

各アレイの救済ワード線は、このアレイ内部のワード線に不良が発生した場合にこれを置き換えることができる。例えば、この例ではメモリセルアレイＭＡ０　内部のワード線Ｗ０　が、判定回路ＳＤ０　によってＳＷ００に置き換えられ、Ｗ１　がＳＤ１　によって置き換えられ、ＭＡ１　内部のＷ２　がＳＤ２　によってＳＷ１１に置き換えられ、ＭＡ２　内部のＷ３　がＳＤ４　によってＳＷ２０に置き換えられている。即ち、不良の存在するワード線Ｗ０　に対するアクセスが発生した場合にこれを判定回路ＳＤ０　により検知し、Ｗ０　を活性化する代わりにＳＷ００を活性化するわけである。この例では、最大で１つのアレイに２本の不良ワード線が生じた場合を救済することができる。

【０００７】

これに対し図１１に示した回路では、判定回路を４つのアレイで共有化して判定回路の占める面積を減少している。この方式では、各メモリセルアレイに含まれる救済ワード線は２本で、判定回路は４つ配置されている。この例でも１つのアレイに２本救済ワード線が含まれており、これらは各アレイ内部に生じた不良を置き換えることができる。従ってこの例でも、最大で１つのアレイに２本の不良ワード線が生じた場合を救済することができる。但し、４つのアレイ全体に生じる不良の総数が４を越える場合には救済することができない。

【０００８】

図１２に示す回路では、４つのメモリセルアレイに加えて、１つの冗長アレイを配置し、救済ワード線は全てこの冗長アレイに含まれており、４つのメモリセルアレイには救済ワード線は含まれていない。この例では、判定回路が図１１の例と同様に４つのメモリセルアレイによって共有されており、さらに救済ワード線もこれら４つのメモリセルアレイによって共有されている。

【０００９】

この回路により、４つのメモリセルアレイ内部で発生した任意の４箇所の不良を置き換えることができ、１つのメモリセルアレイ内部に２本よりも多い不良ワード線がある場合には救済できなかった図１１の場合に比べて救済効率が向上している。またこの例においては、救済ワード線の総数は４本であり、図１１の例の場合の救済ワード線総数の８本よりも少なくなっているにも拘わらず、救済効率が向上している。

【００１０】

以上に述べた従来技術の例では、全て不良ワード線の置き換え単位を１本として説明したが、実際の不良は、１本のワード線を置き換えれば救済できるものから、複数の連続したワード線を一度に置き換えなければできないものまで、その大きさが分布している。このような事情により、一般には救済ワード線の単位は１よりも大きい数になっており、例えば４本の連続したワード線を４本の救済ワード線に置き換えるという方法が用いられる。

【００１１】

この例を図１３に示す。４つのアドレス判定回路と、１６本の救済ワード線を含む１つの冗長アレイが４つのメモリセルアレイと共に配置されている。救済ワード線ＳＷは、４本ずつ組となって１つずつの判定回路に接続されおり、メモリセルアレイに発生した不良を含む４本のワード線を４本の救済ワード線によって置き換えている。

【００１２】

この方式では、救済ワード線の総数（１６本）に対して判定回路の総数（４つ）が少ない

ため、救済用の外部回路による面積の増加を小さくできる。しかしながら、以下に示すような問題がある。

【００１３】

図１３の回路例では、救済単位が４本ずつと固定されているために、例えば不良の大きさが小さく、１本のワード線を置き換えれば救済できる不良でも４本まとめて置き換えることになる。一方、チップ内部の加工ピッチが次第に微細化していくと、クリーンルーム内部のごみの分布による不良の大きさは、相対的に大きくなっていくので、４本以上の連続したワード線を一度に置き換えなければ救済できない不良が発生する確率も高まってくる。

【００１４】

ここで、例えば１本のワード線を置き換えれば済む不良が２箇所、１０本の連続したワード線を置き換えなければ救済できない不良が１箇所発生した場合を考える。この場合、置き換えればすむワード線の総数は１２本で、図１３で配置されている１６本の救済ワード線の数よりも少なく、不良している箇所の総数も３箇所で、アドレス判定回路の総数の４よりも少ないにも拘わらず、救済不可能である。

【００１５】

これは、１０本の連続したワード線を置き換えるためには、４本単位の置き換えが少なくとも３箇所以上必要であり、さらに１本単位の置き換えが２箇所必要であるため、合計５個のアドレス判定回路を必要としてしまうためである。この様子を、図１４に示した。

【００１６】

このように不良箇所の数がアドレス判定回路の総数よりも少ない場合、或いは置き換える必要のあるワード線の総数が救済アレイに含まれるワード線の総数よりも少ない場合、或いはこれらが同時に満たされる場合においても、結果として救済できないということがありうる。

【００１７】

一方、この問題を回避するためには、不良ワード線の置き換えを、全て１本のワード線単位で行えば良い。即ち、例えば１０本のワード線が連続して不良しているような場合には、１本単位で１０箇所の不良を救済すれば良い。これを説明するのが図１５である。

【００１８】

この例では、１６本の救済ワード線ＳＷのそれぞれに、アドレス判定回路ＳＤ０，ＳＤ２，…，ＳＤ１５が対応している。しかしながらこの方法では、アドレスの判定回路を救済ワード線の数だけ用意しなければならず、従ってこの回路面積の増加によってチップ面積が大きくなってしまう。

【００１９】

【発明が解決しようとする課題】

このように従来、ワード線の救済単位を１本単位で行う場合は、不良したワード線の数が救済ワード線の総数よりも少ない場合には必ず不良の置き換えができるが、一方不良ワード線のアドレス判定回路の数が増え、チップ面積が増加するという問題がある。

【００２０】

これに対して、救済単位を１よりも大きくした場合には、判定回路の数は少なくなるものの、不良したワード線の数が救済用の余剰ワード線の総数よりも少ない場合にも救済できないことがあり、救済効率が低下してしまうという問題があった。

【００２１】

本発明は、上記事情を考慮して成されたもので、その目的とするところは、冗長アレイや不良アドレス判定回路などの救済回路のチップ面積に占める割合を大きくすることなく、救済効率を効果的に向上させることのできる半導体記憶装置を提供することにある。

【００２２】

【課題を解決するための手段】

（構成）

本発明の骨子は、メモリセルアレイにおける不良部分の置き換えのための救済単位を可変

とすることにある。
【００２３】
即ち本発明は、複数本のワード線と複数本のビット線との各交点にメモリセルを逐一又は選択的に配置してなる正規メモリセルアレイと、この正規メモリセルアレイと基本構成を同様とし、該メモリセルアレイのワード線，ビット線，或いはメモリセルの不良を置き換えるための冗長メモリセルアレイと、正規メモリセルアレイの不良部分に対するアクセスを検知し、これを冗長メモリセルアレイに対するアクセスへと置き換える複数の置き換え手段とを備えた半導体記憶装置であって、前記各置き換え手段は、前記正規メモリセルアレイ中の不良部分を含む単位整数のワード線或いはビット線へのアクセスを、前記冗長メモリセルアレイの同数のワード線或いはビット線へのアクセスへと置き換えるものであり、かつ単位整数の値が２種類以上設定されることを特徴とする。
（作用）
本発明によれば、不良部分の置き換えのための単位整数の値を２種類以上設定し、救済単位を可変としているので、不良部分の大きさに応じて最適な救済単位を設定することができる。従って、冗長アレイや不良アドレス判定回路などの救済回路チップ面積に占める割合を大きくすることなく、救済単位を一律に固定した従来の方式に比べて救済効率が大幅に向上する。
【００２４】
【発明の実施の形態】
以下、本発明の詳細を図示の実施形態によって説明する。
（第１の実施形態）
図１は、本発明の第１の実施形態に係わる半導体記憶装置のアレイ構成を示す図である。
【００２５】
本実施形態では、ワード線の不良救済のため、メモリセルアレイ（正規メモリセルアレイ）ＭＡ０　，ＭＡ１　，ＭＡ２　，ＭＡ３　とは別に、１６本の救済ワード線ＳＷ０　，ＳＷ１　，ＳＷ２　，…，ＳＷ１５を含む冗長アレイ（冗長メモリセルアレイ）ＳＡを用意し、不良が発生したワード線Ｗを救済ワード線ＳＷで置き換えている。
【００２６】
メモリセルアレイは、１トランジスタ／１キャパシタのＤＲＡＭセルをマトリックス状に配列したものである。オープンＢＬ方式では、ワード線とビット線の各交点にメモリセルが配置され、フォールデッドＢＬ方式では上記交点に選択的にメモリセルが配置される。冗長アレイは、基本的構成はメモリセルアレイと同様であるが、冗長ワード線の数が少ないものである。
【００２７】
ワード線の不良とは、ワード線材料の電気的な切断によりワード線全体につながるメモリセルのデータが読み出せないといったものから、１ビットのメモリセルのキャパシタにリークがあるために起こるなどの単ビット不良、或いはメモリセルの特定の領域が連続して不良する場合も含まれる。ワード線全体ではない、メモリセルの不良に起因した不良は、必ずしもワード線の置き換えによって救済されなくてはならないわけではなく、例えばビット線の不良救済回路によって置き換えを行っても良いし、ワード線の救済回路とビット線の救済回路を組み合わせて救済することも可能である。
【００２８】
但し、以下では不良は全てワード線の置き換えによって置き換えることを前提とし、不良の大きさも隣り合った何本のワード線を連続して置き換えれば救済できるかという数によって表わすことにする。
【００２９】
本実施形態における冗長メモリセルの最小単位は１本のワード線であり、不良の置き換えはこの最小単位の整数倍で行われる。即ち、最小単位の１倍の１本の救済ワード線によって、１本のワード線不良であるＷ０　が置き換えられている。また、最小単位の１０倍の１０本の救済ワード線ＳＷ１　，ＳＷ２　，ＳＷ３　，…，ＳＷ１０によって、１０本の

連続したワード線の不良Ｗ１０，Ｗ１１，Ｗ１２，…，Ｗ１９が置き換えられている。さらに、最小単位の１倍の１本の救済ワード線によって、１本のワード線不良であるＷ２が置き換えられている。

【００３０】

なお、本実施形態では救済回路は具体的に示していないが、後述する各実施形態と同様に同様に不良の救済単位を可変にできるようになっている。また、図中のＸはロウデコーダ、Ｙはカラムデコーダ、ＳＸは冗長ロウデコーダを示している。

（第２の実施形態）

図２は、本発明の第２の実施形態を示す図である。本実施形態は、第１の実施形態で説明したようなメモリセルの冗長セルによる置き換えを実現するための救済回路を具体的に示したものであり、メモリセルアレイ及び冗長アレイの構成は第１の実施形態と同様である。

【００３１】

ワード線の不良アドレスの判別は、４つの判定回路ＳＤ０，ＳＤ１，ＳＤ２，ＳＤ３によって行う。これらの判定回路には、ヒューズ回路Ｆ０，Ｆ１，Ｆ２，Ｆ３がそれぞれ接続されており、これらのヒューズ回路には不良の発生したワード線のアドレスが記憶できるようになっている。複数のワード線が連続して不良している場合には、ヒューズ回路にはその不良の始まるアドレスと、何本のワード線を置き換えればよいかという数（以下では「不良の大きさ」と呼ぶ）が記憶されている。

【００３２】

ヒューズ回路に不良の情報を記憶させるためには、一般には加工後にチップの動作試験を行い、不良が発生している場合には、外部からの操作によってヒューズ回路に対する書き込みを行う。一般に用いられている方法としては、レーザビームを用いて特定の配線（ヒューズ）を切断し、この配線が断線しているか否かによってヒューズ回路に情報が記憶されているかどうかを判定する回路が用いられる。

【００３３】

それぞれの判定回路は、ヒューズ回路に記憶されている不良ワード線の情報と、アクセスされるワード線のアドレスを比べて、不良しているワード線に対するアクセスが発生したときに冗長アレイ内部の救済ワード線を活性化し、メモリセルアレイ内部のワード線の活性化を停止する。

【００３４】

本実施形態では、ワード線Ｗ０が１本だけ不良しており、互いにとなり合うワード線Ｗ１０，Ｗ１１，Ｗ１２，…，Ｗ１９が連続して不良している。また、ワード線Ｗ２が１本だけ不良している。これを救済するために、ヒューズ回路Ｆ０には、Ｗ０のアドレスと不良の大きさ即ち１が記憶されている。また、ヒューズ回路Ｆ１には、Ｗ１０～Ｗ１９の連続１０本のワード線不良の開始アドレス、即ちＷ１０のアドレスと、不良の大きさ１０が記憶されている。さらに、ヒューズ回路Ｆ２には、Ｗ２のアドレスと不良の大きさ１が記憶されている。

【００３５】

Ｗ０，Ｗ１０～Ｗ１９及びＷ２の、合計１２本の不良ワード線が、冗長アレイ内部のどの救済ワード線によって置き換えられるかは、ヒューズ回路の出力結果を基に演算回路Ａが決定する。演算回路Ａは、大きさの異なる救済単位を冗長アレイの内部で無駄が生じないように詰めて配置するように、冗長アレイ内部のアドレスを計算するためのものである。この回路によって、不良ワード線の置き換えを、冗長アレイ内部の１６本の救済ワード線ＳＷ０，ＳＷ１，ＳＷ２，…，ＳＷ１５に詰めて行うようにする。

【００３６】

即ち、１本だけ不良しているＷ０をＳＷ０に対応させ、Ｗ０に対応するアクセスが発生した場合にはＳＷ０を活性化させる。また、１０本連続して不良しているＷ１０～Ｗ１９については、それぞれＳＷ１，ＳＷ２，…，ＳＷ１０に対応させる。即ち、Ｗ１０に対するアクセスはＳＷ１の活性化となり、Ｗ１１に対するアクセスはＳＷ２，

Ｗ１２に対するアクセスはＳＷ３　が活性化され、以下Ｗ１９に対するアクセスがＳＷ１０の活性化となるまで同様である。さらに、１本だけ不良しているＷ２　はＳＷ１１に置き換えられる。このように演算回路Ａは、ヒューズ回路Ｆ０　，Ｆ１　，Ｆ２　，Ｆ３　に記憶されている不良の大きさから、不良しているワード線と救済ワード線ＳＷ０　，ＳＷ１　，ＳＷ２　，…，ＳＷ１５の対応を決定している。

【００３７】

本発明の主旨として、様々な大きさの不良（Ｎ本のワード線の連続不良、Ｎ＞１）に対して、１箇所の不良をできるだけ１組のヒューズ回路によって救済し、かつ不良していないワード線を無駄に置き換える数を減らすことが望ましい。

【００３８】

従って本実施形態では、３箇所の不良のそれぞれを、第１の不良Ｗ０　については救済ワード線ＳＷ０　に割り当て、連続１０本のワード線が不良している第２の不良ＳＷ１０～ＳＷ１９は、第１の不良の数が１であるから、２番目の救済ワード線ＳＷ１　から連続１０本の救済ワード線によって置き換えている。第３の不良Ｗ２　は、第１，第２の不良の総数が１１であるので、１２番目の救済ワード線ＳＷ１１によって置き換えられている。

【００３９】

図３及び図４はヒューズ回路を具体的に説明するための図である。ここでは、レーザビームやイオン収束ビーム（ＦＩＢ）などでチップの加工後に回路を部分的に切断し、この切断が行われたか否かの情報を用いてアドレスの一致を検知する例を示している。

【００４０】

まず、回路構成の例を図３（ａ）に示す。この例では、ｐＭＯＳトランジスタとｎＭＯＳトランジスタが直列に接続され、ｐＭＯＳトランジスタのソースは電源電位Ｖｃｃに接続され、ｎＭＯＳトランジスタのソースと接地電位Ｖｓｓ間にヒューズが挿入されている。そして、共通接続された各トランジスタのドレインが出力ノードＯＵＴとなっている。

【００４１】

ｐＭＯＳトランジスタのゲートにはコントロール信号φが入力され、ｎＭＯＳトランジスタのゲートにはアドレス信号Ａが入力される。コントロール信号φは、待機状態において“Ｌ”（Ｖｓｓ）レベルになっている。また、アドレス信号Ａは“Ｌ”に固定されている。これにより、出力ノードＯＵＴは、“Ｈ”（Ｖｃｃ）にプリチャージされている。

【００４２】

動作時（アドレスの判定時）には、コントロール信号φが“Ｈ”に変化し、アドレス信号Ａが“Ｈ”に変化する。このとき、ヒューズが切断されていないと、出力ノードＯＵＴに蓄えられている電荷は、信号Ａが“Ｈ”となりｎＭＯＳトランジスタが導通するために接地に流れ出し、出力ノードＯＵＴは“Ｌ”に変化する（図３（ｂ））。一方、ヒューズが切断されている場合には、出力ノードＯＵＴの電位は変化しないので、出力ノードＯＵＴの電位は“Ｈ”のままである（図３（ｃ））。

【００４３】

このように、ヒューズが切断されている場合はこの回路の出力ノードＯＵＴの電位が“Ｈ”、切断されていない場合には“Ｌ”となり、ヒューズが切断されているか否かを判定できる。

【００４４】

図４はレーザビーム等によって切断することができるヒューズの断面図（ａ）及び平面図（ｂ）の例である。この図では、参考のためにメモリセルの断面図（ｃ）も合わせて示した。この例では、ヒューズはメモリセル内部のビット線と同じ配線層で形成されている。ヒューズ領域では、ビット線の加工後に形成される層間絶縁材料を削って、外部からヒューズ材料に達するまでの膜の厚さを薄くし、レーザビーム等でヒューズを切断しやすくしている。

【００４５】

一方、ここでは明示していないが、同様にレーザビームなどで切断することができる部分を図中のＡｌ材料によって形成することも可能である。

このように本実施形態によれば、判定回路を４つのメモリセルアレイで共有化して判定回路の占める面積を減少し、さらに救済ワード線の総数（１６本）に対して判定回路の総数（４つ）が少ないため、救済回路による面積の増加を小さくできる。これに加えてワード線の救済単位を可変としているので、不良部分の大きさに応じて最適な救済単位を設定することができ、不良箇所が判定回路の総数４以内で、不良ワード線の総数が救済ワード線の総数１６本以内であれば、確実に救済することができる。つまり、冗長アレイや不良アドレス判定回路などの救済回路のチップ面積に占める割合を大きくすることなく、救済効率を効果的に向上させることができる。

（第３の実施形態）

図５は、本発明の第３の実施形態を示す図である。

【００４６】

本実施形態では、第２の実施形態と同様に、ワード線の不良救済のため、メモリセルアレイとは別に冗長アレイを用意し、不良が発生したワード線を冗長アレイ内部のワード線で置き換えている。また、アドレス判定回路も第２の実施形態と同様である。

【００４７】

但し本実施形態では、アドレス情報，大きさの情報と共に、冗長アレイのアドレスの情報も判定回路内部のヒューズ回路に記憶させている。即ち、ヒューズ回路Ｆ０　には、不良ワード線Ｗ０　のアドレス情報及び不良の大きさの情報に加え、Ｆ０　が使用する冗長アレイ内部の救済ワード線のアドレスＳＷ０　が記憶されている。これにより、Ｗ０　に対するアクセスが発生した場合には、Ｗ０　の代わりにＳＷ０　が活性化する。

【００４８】

またヒューズ回路Ｆ１　には、１０本のアドレスの連続した不良ワード線Ｗ１０～Ｗ１９のうち、最初のワード線Ｗ１０のアドレスと、不良の大きさ即ち１０と、これらを置き換える救済ワード線のうち最初の救済ワード線であるＳＷ１　のアドレスが記憶されている。これにより、Ｗ１０～Ｗ１９のいずれかに対するアクセスが発生した場合には、ＳＷ１　～ＳＷ１０の対応する救済ワード線が活性化する。さらにヒューズ回路Ｆ２　には、不良ワード線Ｗ２　のアドレス、不良の大きさ即ち１と、救済ワード線ＳＷ１１のアドレスが記憶されている。これにより、Ｗ２　に対するアクセスが発生した場合には、救済ワード線ＳＷ１１が活性化する。

【００４９】

本実施形態では、第２の実施形態に説明したような冗長アレイ内部のアドレス演算回路Ａが不必要となる。従って、第２の実施形態と同様の効果が得られるのは勿論のこと、回路面積をより小さくし、かつ冗長アレイを用いるかどうかの判定速度を向上させることができる。

（第４の実施形態）

図６は、本発明の第４の実施形態を示す図である。

【００５０】

本実施形態では、ヒューズ回路とアドレス判定回路の組毎に、救済を行うワード線の数が一定となっている。即ち、第１のヒューズ回路Ｆ０　及びアドレス判定回路ＳＤ０　ではアドレスの連続した２本のワード線を置き換えることができ、第２のヒューズ回路Ｆ１　及びアドレス判定回路ＳＤ１　ではアドレスの連続した２本のワード線を置き換えることができ、第３のヒューズ回路Ｆ２　及びアドレス判定回路ＳＤ２　ではアドレスの連続した４本のワード線を置き換えることができ、第４のヒューズ回路Ｆ３　及びアドレス判定回路ＳＤ３　ではアドレスの連続した８本のワード線を置き換えることができる。

【００５１】

ここで、メモリセルアレイに発生する不良が、ワード線ＷＡ０　（１本ワード線不良）、ＷＢ１　～ＷＢ１０（アドレスの連続した１０本のワード線不良）及びＷＣ１　（１本ワード線不良）の場合とする。

【００５２】

第１のヒューズ回路Ｆ０　には不良ワード線ＷＡ０　を含むように２本単位の置き換えを

行うため、ＷＡ０　のアドレスが記憶される。このため、第１のアドレス判定回路ＳＤ０　によって、ワード線ＷＡ０　に対するアクセスが発生すると救済ワード線ＳＷ０　が、またワード線ＷＡ１　に対するアクセスが発生すると救済ワード線ＳＷ１　がそれぞれ活性化する。

【００５３】

また、第２のヒューズ回路Ｆ１　には、不良ワード線ＷＣ１　を含むように２本単位の置き換えを行うため、ＷＣ０　のアドレスが記憶される。このため、第２のアドレス判定回路ＳＤ１　によって、ワード線ＷＣ０　に対するアクセスが発生すると救済ワード線ＳＷ２　が、またワード線ＷＣ１　に対するアクセスが発生すると救済ワード線ＳＷ３　がそれぞれ活性化する。

【００５４】

アドレスの連続した１０本のワード線の不良ＷＢ１　～ＷＢ１０は、第３及び第４のヒューズ回路Ｆ２　，Ｆ３　及びアドレス判定回路ＳＤ２　，ＳＤ３　を用いて救済される。即ち、まず１０本の不良ワード線のうちＷＢ１　，ＷＢ２　，ＷＢ３　を救済するために、これらを含むように４本単位の置き換えを行うため、第３のヒューズ回路Ｆ２　にアドレスＷＢ０　が記憶され、アドレス判定回路ＳＤ２　によって、メモリセルアレイ内部のワード線ＷＢ０　，ＷＢ１　，ＷＢ２　，ＷＢ３　にアクセスが発生した場合には、それぞれ救済ワード線ＳＷ４　，ＳＷ５　，ＳＷ６　，ＳＷ７　が活性化する。

【００５５】

また、残りの不良ワード線ＷＢ４　～ＷＢ１０を救済するため、これらを含む８本単位の置き換えを行うように、第４のヒューズ回路Ｆ３　にワード線のアドレスＷＢ４　が記憶される。このため、アドレス判定回路ＳＤ３　によって、メモリセルアレイ内部のワード線ＷＢ４　～ＷＢ１１に対するアクセスが発生すると、救済ワード線ＳＷ８　～ＳＷ１５がそれぞれ活性化する。

【００５６】

このように本実施形態では、複数の救済回路すなわちヒューズ回路とアドレス判定回路の組毎に救済ワード線の本数を異なる値に固定することにより、救済効率を効果的に向上させている。本実施形態で示したように救済回路毎に救済ワード線の本数を固定することによって、第２の実施形態で説明したような救済アレイ内部のアドレスを計算する演算回路や、第３の実施形態で説明したような救済アレイ内部のアドレスを記憶するヒューズ回路が不要となる。つまり、救済回路が簡単になり、かつ小さい面積で実現できるようになることが本実施形態の特長である。

（第５の実施形態）

図７は、本発明の第５の実施形態を示す図である。

【００５７】

本実施形態では、２５６本のワード線を含む８つのメモリセルアレイＭＡ０　～ＭＡ７に対して、６４本の救済ワード線を含む１つの冗長アレイＳＡが配置されている。

【００５８】

ワード線の総数は２０４８本であり、これは１１ビットのアドレス（０００　０００００００００　～　１１１　１１１１　１１１１）によって表わすことができる。ヒューズ回路とアドレス判定回路は１６個（Ｆ０　～Ｆ１５、ＳＤ０　～ＳＤ１５）あり、第４の実施形態と同様に、それぞれで置き換えることができるワード線の単位は予め決まっている。即ち、ＦＤ０　，ＳＤ０　～ＦＤ７　，ＳＤ７　のそれぞれは１本単位の置き換えを行うことができ、ＦＤ８　，ＳＤ８　～ＦＤ１１，ＳＤ１１のそれぞれは２本単位の置き換えを行うことができ、ＦＤ１２，ＳＤ１２及びＦＤ１３，ＳＤ１３のそれぞれは４本単位の置き換えを行うことができ、ＦＤ１４，ＳＤ１４は８本単位の置き換えを行うことができ、ＦＤ１５，ＳＤ１５は３２本単位の置き換えを行うことができる。

【００５９】

また、それぞれのアドレス判定回路の使用する救済ワード線は決まっており、１　本単位の置き換えを行うＳＤ０　～ＳＤ７　はそれぞれＳＷ０　～ＳＷ７　を使用し、２本単位

の置き換えを行うＳＤ８　はＳＷ８　とＳＷ９　、ＳＤ９　はＳＷ１０とＳＷ１１、ＳＤ１０はＳＷ１２とＳＷ１３、ＳＤ１１はＳＷ１４とＳＷ１５を使用する。さらに、４本単位の置き換えを行うＳＤ１２はＳＷ１６～ＳＷ１９を、ＳＤ１３はＳＷ２０～ＳＷ２３を使用し、８本単位の置き換えを行うＳＤ１４はＳＷ２４～ＳＷ３１を、１６本単位の置き換えを行うＳＤ１５はＳＷ３２～ＳＷ６３を使用する。

【００６０】

また、ヒューズ回路に記憶されるアドレスは、１本単位の置き換えを行うＦ０　～Ｆ７　のそれぞれは２０４８本のワード線のうちそれぞれ任意の１　本を置き換える可能性があるため１１ビットのアドレスを記憶する。

【００６１】

２本単位の置き換えを行うＦ８　～Ｆ１１のそれぞれは、下位１ビットを除いた上位１０ビットのアドレスを記憶する。これによって、メモリセル内部のワード線のアドレスがＸＸＸ　ＸＸＸＸ　ＸＸＸ０～ＸＸＸ　ＸＸＸＸ　ＸＸＸ１　（Ｘ＝０　ｏｒ　１）である連続した２本のワード線を、ＳＤ８　～ＳＤ１１のいずれかによって置き換えることができる。そして、アクセスされるワード線のアドレスが、ヒューズ回路に記憶された上位１０ビットと一致した場合に救済ワード線を活性化し、メモリセル内部のワード線の選択を中止する。本実施形態ではまた、このときの下位１ビットが、冗長アレイ内部の下位１ビットのアドレスと一致している。

【００６２】

即ち、例えばＳＤ８　による置き換えを行う場合には、ＳＷ８　（冗長アレイ内部のアドレス　００１０００　）及びＳＷ９　（同じく　００１００１　）が、メモリセルアレイ内部のワード線のアドレス　ＸＸＸ　ＸＸＸＸ　ＸＸＸ０及び　ＸＸＸ　ＸＸＸＸ　ＸＸＸ１のそれぞれに対応し、下位１ビットが一致している。

【００６３】

４本単位の置き換えを行うＦ１２，Ｆ１３のそれぞれは、下位２ビットを除いた上位９ビットのアドレスを記憶する。これによって、メモリセル内部のワード線のアドレスが　ＸＸＸ　ＸＸＸＸ　ＸＸ００～ＸＸＸ　ＸＸＸＸ　ＸＸ１１　である連続した４本のワード線をＳＤ１２或いはＳＤ１３によって置き換えることができる。また、下位２ビットのアドレスは、置き換えられるメモリセルアレイ内部のワード線のアドレスのもとの、置き換えた後の救済ワード線のものが一致している。

【００６４】

即ち、ＳＤ１２による置き換えを考えた場合、ワード線のアドレスは　ＸＸＸ　ＸＸＸＸ　ＸＸ００～ＸＸＸ　ＸＸＸＸ　ＸＸ１１　であるがこれに対応する救済ワード線のアドレスは、０１００００（ＳＷ１６）～　０１００１１　（ＳＷ１９）であり下位２ビット（００～１１）が一致している。

【００６５】

８本単位の置き換えを行うＦ１４，ＳＤ１４及び３２本単位の置き換えを行うＦ１５，ＳＤ１５の場合も同様に、それぞれ上位８ビット、上位６ビットを用いてアドレスの判定を行う。また、それぞれ下位３ビット、５ビットのアドレスは、ワード線のアドレスのものと救済ワード線のものが一致している。

【００６６】

本発明の主旨として、冗長アレイ全体をヒューズ回路の各組に対して均等に割り当てた従来の技術に対して、不良の発生確率に即したように救済単位の数が分布していれば、救済効率は向上する。例えばロウの救済に関しては、最低１本のワード線を置き換えれば救済できる不良の発生確率が最も多く、不良の大きさ、即ちその不良を救済するために何本のワード線を置き換えなければならないかという数が大きくなるほど、その発生確率は小さくなる。

【００６７】

本実施形態はこの事情を鑑みたものであり、１本単位の救済回路が８個、２本単位が４個、４本単位が２個、８本単位が１個などという分布になっており、より小さい単位の置き

換え回路を、大きな単位の置き換え回路よりも多く用意している。どのような大きさの救済単位が幾つ必要であるかという分布は、実際の不良の大きさの分布によって決めればよい。

【００６８】

但し、一般には小さい単位の不良が発生する確率は、大きな単位の不良が発生する確率よりも高い。例えば、文献（Ｕ．Ｓ．　Ｆｅｄ．　Ｓｔｄ．　２０９Ｅ　）では、クリーンルーム内部のダストの大きさの分布は、大きさの－２．２乗に比例しているとしている。ダストの大きさが不良の大きさに比例すると仮定すると、不良の分布も－２．２乗に比例し、従って１本単位の救済を行えば救済できる不良が発生する確率が最も大きく、大きさが大きくなるに従って発生確率が指数的に小さくなっていく。従って救済単位の数の分布は、大きさが２倍になると、その数が２の－ｘ乗倍となる（ｘ＞０）ことが望ましい。

【００６９】

また救済の単位は、１本，２本，４本，８本，…のように、２の乗数の大きさとなっている。これは、アドレスが２進数で表わされているため、例えば８（２の３乗）本単位の救済を行う場合には、ヒューズ回路にアドレスの下位３ビットを除いた上位アドレスを書き込めば置き換えの判定が容易に行えるためである。

（第６の実施形態）

図８は本発明の第６の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図であり、図９は図８の一部（破線で囲んだ部分）を拡大して示す図である。本実施形態は、ワード線ではなくビット線毎の救済の例である。

【００７０】

本実施形態では、ビット線をメモリセルアレイ内部で共通データ線に接続してビット線とアレイ外部のＩ／Ｏ回路とのデータのやり取りをするための制御信号であるカラム選択線を基本単位とした救済を行っている。

【００７１】

図に示したように、このカラム選択線の制御によって２組４本のビット線がそれぞれデータ線に接続される。本実施形態におけるメモリセルアレイには、５１２本のカラム選択線が含まれ、従って２０４８本のビット線が含まれている。

【００７２】

カラム選択線の制御はカラムデコーダによって行われる。これに対して、不良が発生した場合の置き換え用の冗長アレイには、１６本のスペアカラム選択線と６４本のスペアビット線が含まれている。

【００７３】

それぞれのカラム選択線或いはスペアカラム選択線によって、４本のビット線或いは４本のスペアビット線のデータ線への接続が制御される。スペアカラム選択線の制御は、４組の判定回路及びヒューズ回路によって制御される冗長カラムデコーダによって行われる。

【００７４】

これまでのワード線の置き換えについての実施形態と同様に、ヒューズ回路には、不良の発生したアドレス及び一度に置き換えられるカラム選択線の数、さらにスペアアレイ内部のカラム選択線のアドレスを記録できるようになっており、これに基づいて外部から入力されるアドレスが不良箇所に一致した場合にスペアに対する置き換えが発生する。

【００７５】

従ってこれまでの実施形態と同様に、不良部分の大きさに応じて最適な救済単位を設定することができ、冗長アレイや不良アドレス判定回路などの救済回路のチップ面積に占める割合を大きくすることなく、救済効率を効果的に向上させることができる。

【００７６】

なお、本発明は上述した各実施形態に限定されるものではない。第１～第５の実施形態では４つのメモリセルアレイに対して１つの冗長アレイを設けたが、メモリセルアレイの数は４個に限らず仕様に応じて適宜変更可能である。救済回路におけるヒューズ回路は、必ずしもヒューズの切断を利用するものに限られず、不良部分に相当するアドレスや不良の

大きさを記憶すると共に長期に保持できるものであればよい。例えば、ＥＥＰＲＯＭ等の不揮発性半導体メモリを用いて不良のアドレス等を記憶することも可能である。また、メモリセルはＤＲＡＭに限るものではなく、ＥＰＲＯＭやＥＥＰＲＯＭに適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【００７７】

【発明の効果】

以上説明したように本発明によれば、不良の大きさに応じて救済アレイによる置き換え単位の大きさを変え、また不良の大きさの分布に従って置き換えを行う単位の大きさを分布させることによって、メモリセルアレイ内部の不良を置き換えるのと同時に、そのまわりの不良していない部分を冗長アレイによって置き換える数が減り、従って冗長アレイによる無駄な置き換えの数が減って効率良く不良を置き換えることができるようになる。

【００７８】

これによって、冗長アレイやヒューズなどの救済回路のチップ面積に占める割合を大きくすることなく、救済効率が救済単位を固定した従来の方式に比べて大幅に向上した半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図１】第１の実施形態に係わる半導体記憶装置のアレイ配置を示す図。

【図２】第２の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図。

【図３】第２の実施形態に用いたヒューズ回路の構成及びタイミングを示す図。

【図４】第２の実施形態に用いたヒューズ回路の断面図と平面図。

【図５】第３の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図。

【図６】第４の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図。

【図７】第５の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図。

【図８】第６の実施形態に係わる半導体記憶装置のアレイ配置と救済回路を示す図。

【図９】図８の一部を拡大して示す図。

【図１０】第１の従来例のアレイ配置と救済回路を示す図。

【図１１】第２の従来例のアレイ配置と救済回路を示す図。

【図１２】第３の従来例のアレイ配置と救済回路を示す図。

【図１３】第４の従来例のアレイ配置と救済回路を示す図。

【図１４】第４の従来例の問題点を説明するための図。

【図１５】第５の従来例のアレイ配置と救済回路を示す図。

【符号の説明】

ＭＡ…メモリセルアレイ（正規メモリセルアレイ）

ＳＡ…冗長アレイ（冗長メモリセルアレイ）

Ｗ…ワード線

ＳＷ…救済ワード線

Ｘ…ロウデコーダ

Ｙ…カラムデコーダ

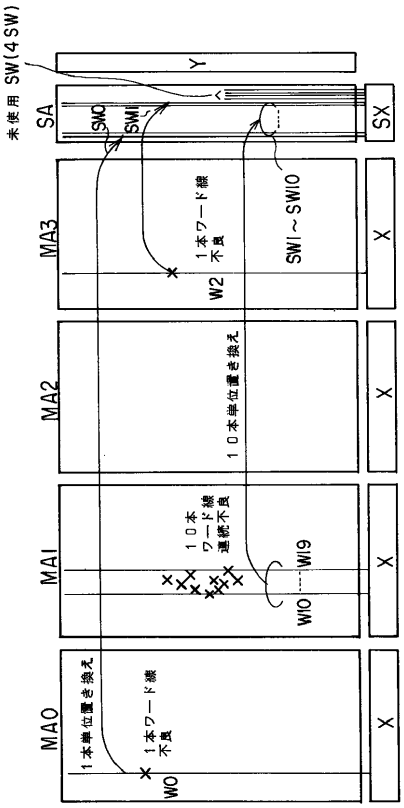
ＳＸ…冗長ロウデコーダ

Ａ…演算回路

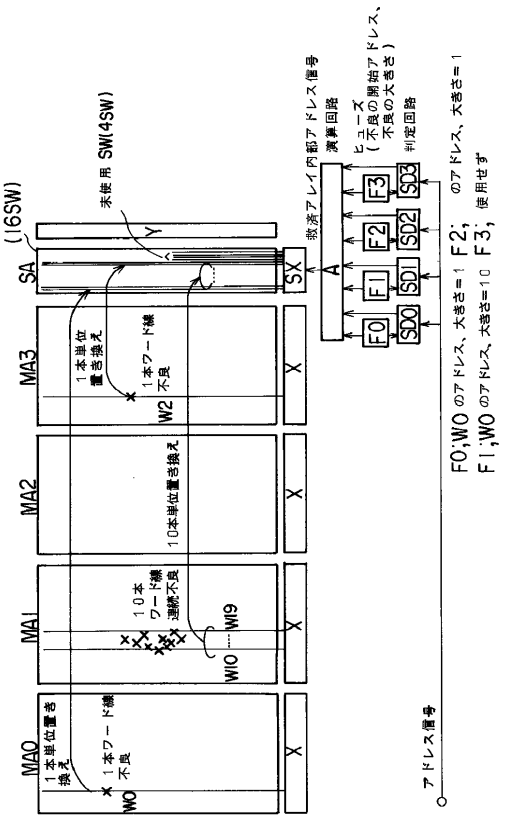
Ｆ…ヒューズ回路

ＳＤ…判定回路

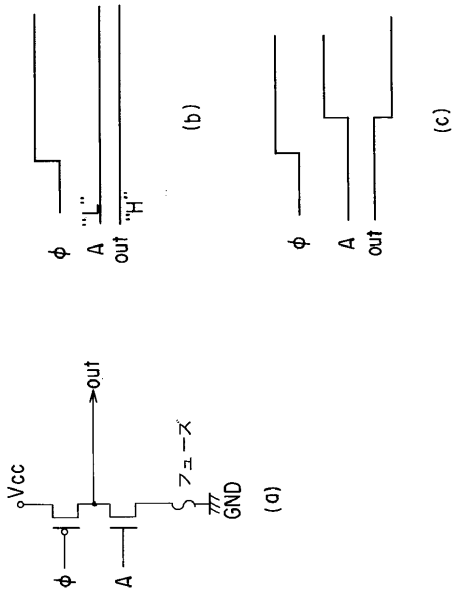
【図１】


未使用 SW(4SW)
SA
SX
Y
SW0
SW1
MA3
MA2
MA1
MA0
1本ワード線 不良
W2
SW1～SW10
10本単位置き換え
10本 ワード線 連続不良
W10
W19
1本単位置き換え
1本ワード線 不良
W0
X

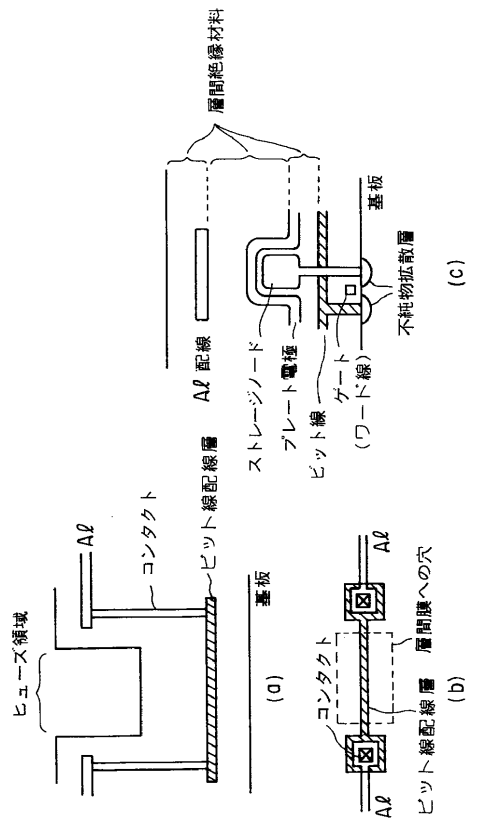
【図２】


(16SW)
未使用 SW(4SW)
SA
SX
Y
MA3
MA2
MA1
MA0
1本単位置き換え
1本ワード線 不良
W2
10本単位置き換え
10本 ワード線 連続不良
W10
W19
W0
X
救済アレイ内部アドレス信号 選択回路
ヒューズ (不良の開始アドレス、不良の大きさ)
判定回路
F0
F1
F2
F3
SD0
SD1
SD2
SD3
アドレス信号
F0;W0 のアドレス、大きさ＝1 F2; のアドレス、大きさ＝1
F1;W0 のアドレス、大きさ＝10 F3; 使用せず

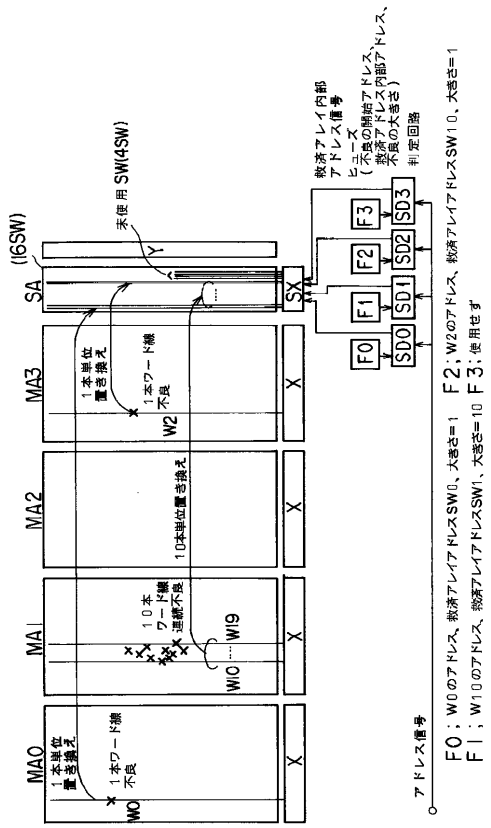
【図３】


Vcc
out
フューズ
GND
φ
A
(a)
"L"
"H"
(b)
(c)

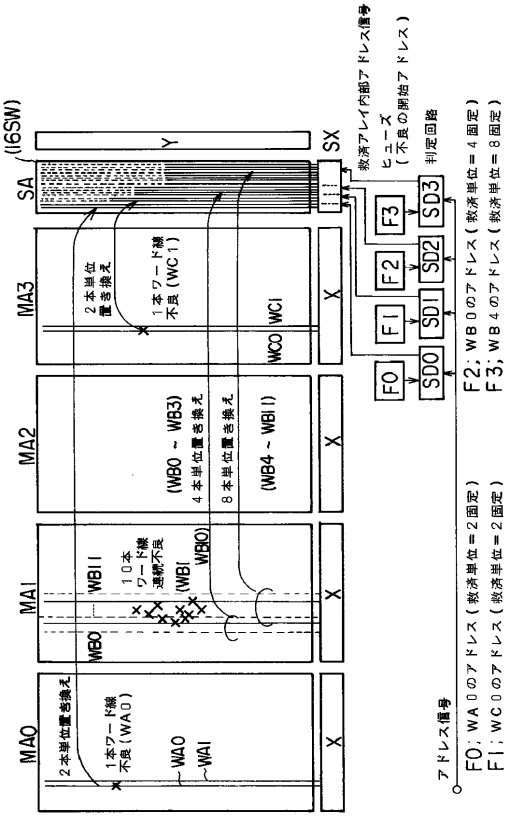
【図４】


層間絶縁材料
Aℓ配線
ストレージノード
プレート電極
ビット線
ゲート (ワード線)
基板
不純物拡散層
ヒューズ領域
Aℓ
コンタクト
ビット線配線層
(a)
ビット線配線層
層間膜への穴
(b)
(c)

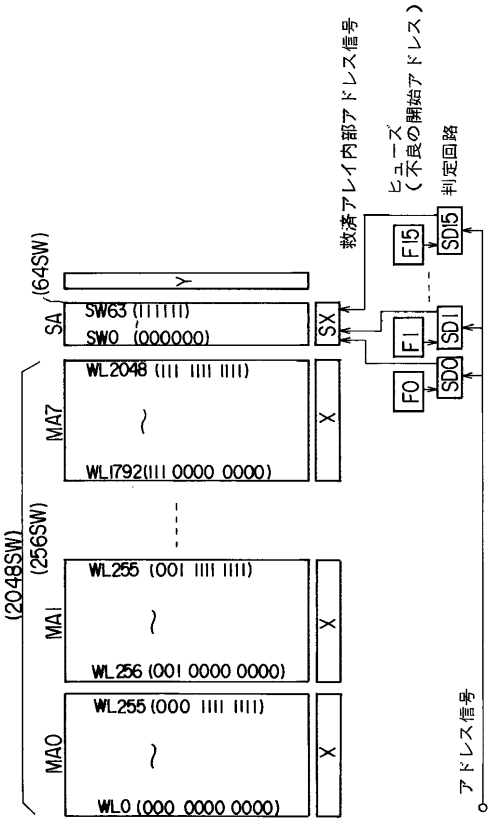
【図５】


(16SW)
SA
未使用 SW(4SW)
Y
SX
MA3
MA2
MA1
MA0
1本単位置き換え
1本ワード線不良
W0
W2
10本単位置き換え
10本ワード線連続不良
W10
W19
救済アレイ内部アドレス信号
ヒューズ（不良の開始アドレス、救済アドレス内部アドレス、不良の大きさ）
判定回路
F0
F1
F2
F3
SD0
SD1
SD2
SD3
アドレス信号
F0；W0のアドレス、救済アレイアドレスSW0、大きさ＝1
F1；W10のアドレス、救済アレイアドレスSW1、大きさ＝10
F2；W2のアドレス、救済アレイアドレスSW10、大きさ＝1
F3；使用せず

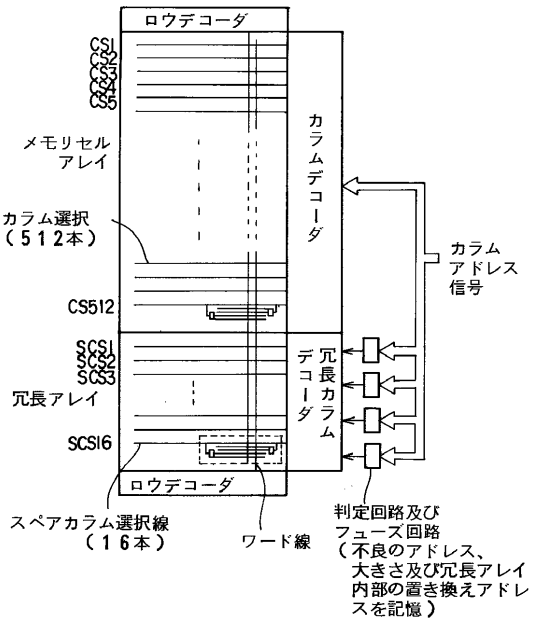
【図６】


(16SW)
SA
Y
SX
MA3
MA2
MA1
MA0
2本単位置き換え
1本ワード線不良（WC1）
WC0
WC1
(WB0 ~ WB3)
4本単位置き換え
(WB4 ~ WB11)
8本単位置き換え
WB11
10本ワード線連続不良
WB(1)
WB(0)
WB0
1本ワード線不良（WA0）
WA0
WA1
救済アレイ内部アドレス信号
ヒューズ（不良の開始アドレス）
判定回路
F0
F1
F2
F3
SD0
SD1
SD2
SD3
アドレス信号
F0；WA0のアドレス（救済単位＝2固定）
F1；WC0のアドレス（救済単位＝2固定）
F2；WB0のアドレス（救済単位＝4固定）
F3；WB4のアドレス（救済単位＝8固定）

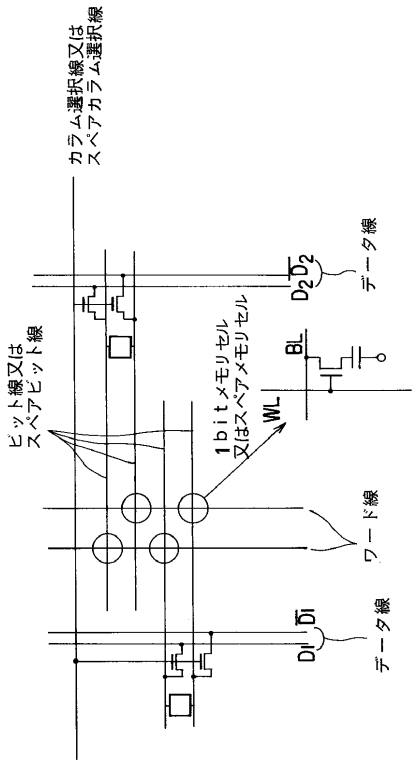
【図７】


(2048SW)
(256SW)
(64SW)
SA
Y
SX
SW63 (111111)
SW0 (000000)
MA7
WL2048 (111 1111 1111)
WL1792(111 0000 0000)
MA1
WL255 (001 1111 1111)
WL256 (001 0000 0000)
MA0
WL255 (000 1111 1111)
WL0 (000 0000 0000)
救済アレイ内部アドレス信号
ヒューズ（不良の開始アドレス）
判定回路
F0
F1
F15
SD0
SD1
SD15
アドレス信号

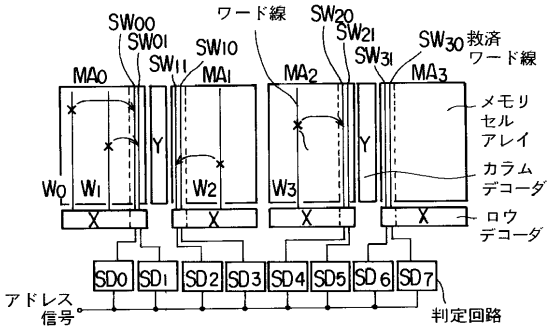
【図８】


ロウデコーダ
メモリセルアレイ
カラムデコーダ
カラム選択（５１２本）
CS512
カラムアドレス信号
冗長アレイ
冗長カラムデコーダ
SCS16
ロウデコーダ
スペアカラム選択線（１６本）
ワード線
判定回路及びフューズ回路（不良のアドレス、大きさ及び冗長アレイ内部の置き換えアドレスを記憶）

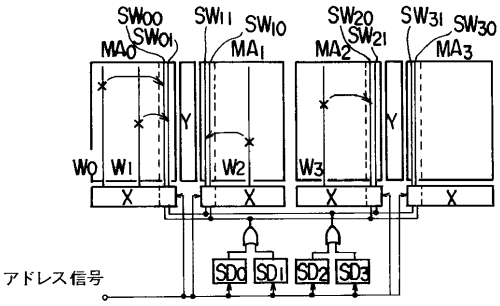
【図９】



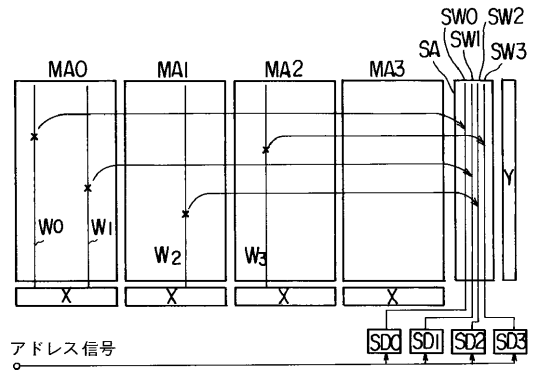
【図１０】



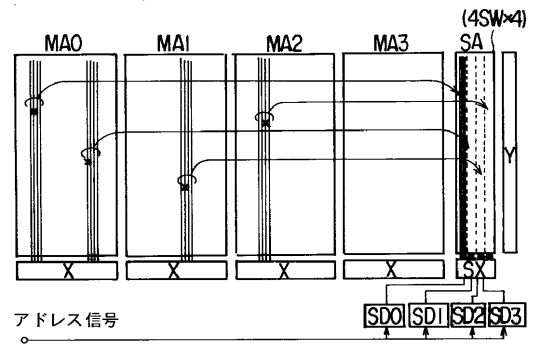
【図１１】



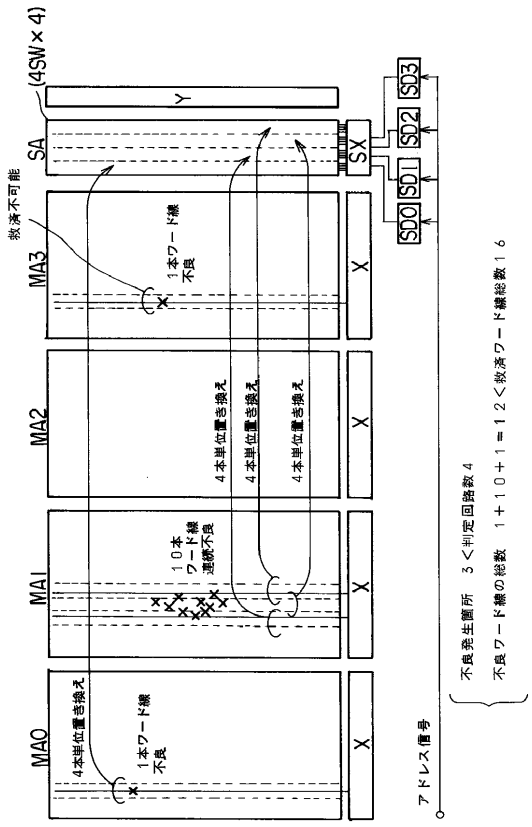
【図１２】



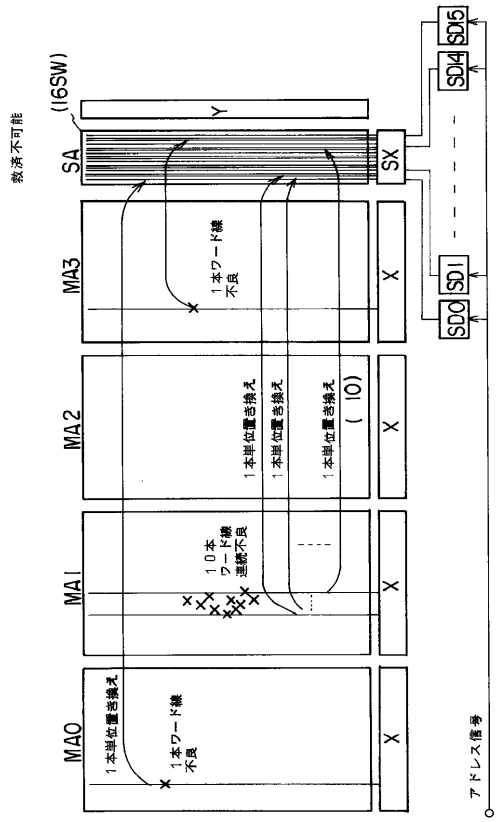
【図１３】



【図１４】



【図１５】


救済不可能
(16SW)
Y
SA
SX
MA3
MA2
MA1
MA0
X
1本ワード線不良
1本単位置き換え
10本ワード線連続不良
1本単位置き換え(10)
SD0
SD1
SD4
SD5
アドレス信号

フロントページの続き

(72)発明者　稲場　恒夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　粟野　正明

(56)参考文献　特開平０２－２１０６９２（ＪＰ，Ａ）
特開平０１－２８５０９７（ＪＰ，Ａ）
特開平０６－２０３５９４（ＪＰ，Ａ）
特開平０３－１２９８５６（ＪＰ，Ａ）
特開平０５－２２５７９６（ＪＰ，Ａ）
特開平０２－０８３８９８（ＪＰ，Ａ）
特開平０６－２９１２７１（ＪＰ，Ａ）
特開平０８－２２１９９８（ＪＰ，Ａ）
米国特許第５３９４３６８（ＵＳ，Ａ）
特開平０２－０８７５５２（ＪＰ，Ａ）
特開平０３－２５０５００（ＪＰ，Ａ）
特開平０４－２０５８００（ＪＰ，Ａ）
特開平０３－０５８３９７（ＪＰ，Ａ）
特開昭６４－０２７１００（ＪＰ，Ａ）
特開平０３－１５０７９８（ＪＰ，Ａ）
特開平０４－１３２４９２（ＪＰ，Ａ）
特開平０７－０９３９９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/10
G11C 11/401
G11C 17/00
G11C 29/00
H01L 21/82
JICSTファイル(JOIS)