

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-528657  
(P2019-528657A)

(43) 公表日 令和1年10月10日(2019.10.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03F 3/195 (2006.01)</b>	H03F 3/195	5J100
<b>H03G 3/10 (2006.01)</b>	H03G 3/10	A 5J500
<b>H03F 1/22 (2006.01)</b>	H03F 1/22	

審査請求 未請求 予備審査請求 未請求 (全 33 頁)

(21) 出願番号 特願2019-531591 (P2019-531591)  
 (86) (22) 出願日 平成29年8月30日 (2017. 8. 30)  
 (85) 翻訳文提出日 平成31年3月14日 (2019. 3. 14)  
 (86) 国際出願番号 PCT/US2017/049363  
 (87) 国際公開番号 W02018/045024  
 (87) 国際公開日 平成30年3月8日 (2018. 3. 8)  
 (31) 優先権主張番号 62/381, 851  
 (32) 優先日 平成28年8月31日 (2016. 8. 31)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(71) 出願人 503031330  
 スカイワークス ソリューションズ, イン  
 コーポレイテッド  
 SKYWORKS SOLUTIONS,  
 INC.  
 アメリカ合衆国、01801 マサチュー  
 セッツ州、ウォバーン、シルバン・ロード  
 、20  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100095500  
 弁理士 伊藤 正和  
 (74) 代理人 100111235  
 弁理士 原 裕子

最終頁に続く

(54) 【発明の名称】 デジェネレーションスイッチングブロック及び低損失バイパス機能を有するマルチ入力増幅器

(57) 【要約】

ここに記載されるのは、可変利得増幅器の利得モードに少なくとも部分的に依存してデジェネレーションブロック及び/又はフィードバックブロックに可変又はあつらえられたインピーダンスを選択的に与える可変利得増幅器である。これにより、有利なことに、一つ以上の利得モードにおいて性能ペナルティが低減又は排除される。可変インピーダンスは、目標とする利得モードにおける増幅プロセスの線形性を改善するように構成することができる。可変利得増幅器は、信号品質を改善するべく、低利得モードにおいて低損失バイパスモードを与えるように構成される。

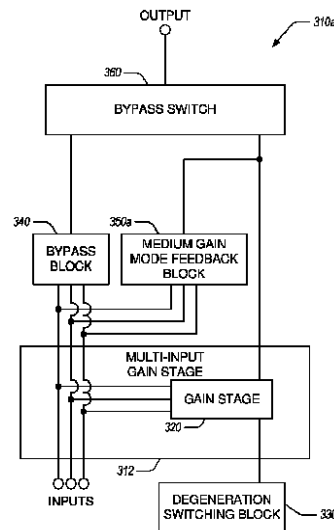


FIG. 3A

**【特許請求の範囲】****【請求項 1】**

可変利得信号増幅器であって、  
入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段と、  
前記可変利得段に結合されて前記可変利得段の複数の利得レベルを与えるべく構成された  
デジェネレーションスイッチングブロックと  
を含む増幅器。

**【請求項 2】**

前記信号は無線周波数信号を含む請求項 1 の増幅器。

**【請求項 3】**

前記増幅器は、  
前記可変利得段をバイパスするバイパス経路と、  
前記可変利得段を通過する増幅経路と  
を選択的に与えるように構成される請求項 1 の増幅器。

**【請求項 4】**

前記デジェネレーションスイッチングブロックはさらに、あつらえられたインピーダンス  
前記可変利得段に与えるように構成される請求項 1 の増幅器。

**【請求項 5】**

前記あつらえられたインピーダンスは、前記あつらえられたインピーダンスを有するデジ  
ェネレーションスイッチングブロックに結合されない可変利得段と比べ、前記増幅された  
出力信号において改善された線形性を与えるように構成される請求項 4 の増幅器。

**【請求項 6】**

前記デジェネレーションスイッチングブロックは、前記複数の利得レベルの第 1 の利得レ  
ベルに対して第 1 のあつらえられたインピーダンスを与え、前記複数の利得レベルの第 2  
の利得レベルに対して第 2 のあつらえられたインピーダンスを与えるように構成される請  
求項 4 の増幅器。

**【請求項 7】**

前記第 1 のあつらえられたインピーダンスは前記第 2 のあつらえられたインピーダンスよ  
りも大きく、  
前記第 1 の利得レベルは前記第 2 の利得レベルよりも低い請求項 6 の増幅器。

**【請求項 8】**

前記可変利得段及び前記デジェネレーションスイッチング回路を制御するべく、増幅制御  
信号を生成するように構成された制御回路をさらに含む請求項 1 の増幅器。

**【請求項 9】**

前記制御回路は、前記複数の利得レベルに対応する複数の増幅制御信号を与えるように構  
成される請求項 8 の増幅器。

**【請求項 10】**

前記可変利得段の入力部に結合された中間利得モードフィードバックブロックをさらに含  
み、

前記中間利得モードは、前記複数の利得レベルの部分集合のためにフィードバックを前記  
可変利得段に与えるように構成される請求項 1 の増幅器。

**【請求項 11】**

前記中間利得モードフィードバックブロック及び前記デジェネレーションスイッチングブ  
ロックは、前記中間利得フィードバックブロック及び前記デジェネレーションスイッチ  
ングブロックが存在しない増幅器と比べ、改善された線形性を前記増幅された出力信号に与  
える請求項 10 の増幅器。

**【請求項 12】**

前記可変利得段の入力部に結合されたバイパスブロックをさらに含み、  
前記バイパスブロックは、前記可変利得段を含まないバイパス経路を与えるべく、前記複  
数の利得レベルの低利得レベルにおいてアクティブにされるように構成される請求項 1 の

10

20

30

40

50

増幅器。

【請求項 1 3】

前記バイパス経路は前記デジェネレーションスイッチングブロックを含まない請求項 1 2 の増幅器。

【請求項 1 4】

前記可変利得段の出力部に結合されたカスコードバッファをさらに含む請求項 1 の増幅器。

【請求項 1 5】

前記可変利得段に結合された複数の入力ノードをさらに含む請求項 1 の増幅器。

【請求項 1 6】

前記増幅器は、前記複数の入力ノードにおいて複数の入力信号を受信するように構成され、

個々の受信した信号が、異なる信号周波数帯域内の周波数を有する請求項 1 5 の増幅器。

【請求項 1 7】

前記増幅器は、個々の入力ポートにおいて受信した信号を、他の受信した信号の増幅から独立して増幅するように構成される請求項 1 6 の増幅器。

【請求項 1 8】

デジェネレーションスイッチング回路であって、

様々な利得レベルを有する信号増幅器に結合されて前記様々な利得レベルに関連付けられた様々なインピーダンス値を与えるように構成された可変インピーダンス段と、

前記可変インピーダンス段に動作可能に関連付けられて前記可変インピーダンス段を選択的に基準電位ノードから分離するべく実装されたスイッチと

を含む回路。

【請求項 1 9】

前記信号増幅器は無線周波数信号を増幅するように構成される請求項 1 8 の回路。

【請求項 2 0】

前記回路に与えられたバイパス経路が前記可変インピーダンス段をバイパスする請求項 1 8 の回路。

【請求項 2 1】

前記様々なインピーダンス値は、前記様々な利得レベルに関連付けられた前記様々なインピーダンス値により、前記デジェネレーションスイッチング回路に結合されない信号増幅器と比べ、前記信号増幅器における改善された線形性を与えるように構成される請求項 1 8 の回路。

【請求項 2 2】

前記可変インピーダンス段は、前記様々な利得レベルの第 1 の利得レベルに対して第 1 のあつらえられたインピーダンス値を与え、

前記様々な利得レベルの第 2 の利得レベルに対して第 2 のあつらえられたインピーダンス値を与えるように構成される請求項 2 1 の回路。

【請求項 2 3】

前記可変インピーダンス段及び前記スイッチを制御する増幅制御信号を生成するべく構成された制御回路をさらに含む請求項 1 8 の回路。

【請求項 2 4】

前記制御回路は、前記様々な利得レベルに対応する複数の増幅制御信号を与えるように構成される請求項 2 3 の回路。

【請求項 2 5】

フロントエンドアーキテクチャであって、

可変利得段及びデジェネレーションスイッチングブロックを含む可変利得信号増幅器と、

フィルタアセンブリと、

制御器と

を含み、

10

20

30

40

50

前記可変利得段は、入力信号を受信して増幅された出力信号を生成するべく構成され、  
 前記デジネレーションスイッチングブロックは前記可変利得段に結合されて前記可変利得段の複数の利得レベルを与えるべく構成され、  
 前記フィルタアセンブリは、前記可変利得信号増幅器の選択入力部に周波数帯域を向けるように前記可変利得信号増幅器に結合され、  
 前記制御器は、複数の利得モードを与えるべく前記可変利得信号増幅器を制御するように実装され、  
 低利得モードにおいて、前記可変利得信号増幅器は信号を、前記可変利得段をバイパスする経路に沿うように向けるアーキテクチャ。

【請求項 26】

前記デジネレーションスイッチングブロックはさらに、あつらえられたインピーダンスを前記可変利得段に与えるように構成される請求項 25 のアーキテクチャ。

【請求項 27】

前記あつらえられたインピーダンスは、前記あつらえられたインピーダンスにより、前記デジネレーションスイッチングブロックに結合されない可変利得段と比べ、前記増幅された出力信号において改善された線形性を与えるように構成される請求項 26 のアーキテクチャ。

【請求項 28】

前記デジネレーションスイッチングブロックは、前記複数の利得レベルの第 1 の利得レベルに対して第 1 のあつらえられたインピーダンスを与え、前記複数の利得レベルの第 2 の利得レベルに対して第 2 のあつらえられたインピーダンスを与えるように構成される請求項 26 のアーキテクチャ。

【請求項 29】

無線デバイスであって、  
 ダイバーシティアンテナと、  
 フィルタアセンブリと、  
 可変利得信号増幅器と、  
 制御器と  
 を含み、

前記フィルタアセンブリは、前記ダイバーシティアンテナに結合されて信号を受信して周波数帯域を選択経路に沿うように向け、

前記可変利得信号増幅器は、

入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段と、

前記可変利得段に結合されて前記可変利得段の複数の利得レベルを与えるべく構成されたデジネレーションスイッチングブロックと

を含み、

前記制御器は、複数の利得モードを与えるべく前記可変利得信号増幅器を制御するように実装され、

低利得モードにおいて、前記可変利得信号増幅器は信号を、前記可変利得段をバイパスする経路に沿うように向けるデバイス。

【請求項 30】

前記デジネレーションスイッチングブロックはさらに、あつらえられたインピーダンスを前記可変利得段に与えるように構成される請求項 29 のデバイス。

【請求項 31】

前記あつらえられたインピーダンスは、前記あつらえられたインピーダンスにより、前記デジネレーションスイッチングブロックに結合されない可変利得段と比べ、前記増幅された出力信号において改善された線形性を与えるように構成される請求項 30 のデバイス。

。

【請求項 32】

前記デジネレーションスイッチングブロックは、前記複数の利得レベルの第 1 の利得レ

10

20

30

40

50

ベルに対して第1のあつらえられたインピーダンスを与え、前記複数の利得レベルの第2の利得レベルに対して第2のあつらえられたインピーダンスを与えるように構成される請求項30のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、無線通信アプリケーション用の増幅器に関する。

【0002】

関連出願の相互参照

本願は、2016年8月31日に出願された「デジェネレーションスイッチングブロック及び低損失バイパス機能を有するマルチ入力増幅器」との名称の米国仮出願第62/381,851号の優先権を主張する。その全体がすべての目的のために、参照として明示的に組み入れられる。

10

【背景技術】

【0003】

無線通信デバイスは典型的に、受信した無線周波数(RF)信号を増幅するべく構成されたフロントエンドモジュールにコンポーネントを含む。フロントエンドモジュールは、異なるレベルの増幅を与える複数の利得モードを含み得る。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許出願公開第2010/0321113(A1)号明細書

【特許文献2】米国特許出願公開第2014/0203872(A1)号明細書

【発明の概要】

【0005】

一定数の実装によれば、本開示は、入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段と、当該可変利得段に結合されて当該可変利得段の複数の利得レベルを与えるべく構成されたデジェネレーションスイッチングブロックとを含む可変利得信号増幅器に関する。

30

【0006】

いくつかの実施形態において、信号は無線周波数信号を含む。いくつかの実施形態において、増幅器は、可変利得段をバイパスするバイパス経路と可変利得段を通過する増幅経路とを選択的に与えるように構成される。

【0007】

いくつかの実施形態において、デジェネレーションスイッチングブロックはさらに、あつらえられたインピーダンスを可変利得段に与えるように構成される。さらなる実施形態において、あつらえられたインピーダンスは、当該あつらえられたインピーダンスを有するデジェネレーションスイッチングブロックに結合されない可変利得段と比べ、増幅された出力信号において改善された線形性を与えるように構成される。さらなる実施形態において、デジェネレーションスイッチングブロックは、複数の利得レベルの第1の利得レベルに対して第1のあつらえられたインピーダンスを与え、複数の利得レベルの第2の利得レベルに対して第2のあつらえられたインピーダンスを与えるように構成される。なおもさらなる実施形態において、第1のあつらえられたインピーダンスは第2のあつらえられたインピーダンスよりも大きく、第1の利得レベルは第2の利得レベルよりも低い。

40

【0008】

いくつかの実施形態において、増幅器はまた、可変利得段及びデジェネレーションスイッチング回路を制御する増幅制御信号を生成するように構成された制御回路も含む。さらなる実施形態において、制御回路は、複数の利得レベルに対応する複数の増幅制御信号を与えるように構成される。

50

## 【 0 0 0 9 】

いくつかの実施形態において、増幅器はさらに、可変利得段の入力部に結合された中間利得モードフィードバックブロックを含む。中間利得モードは、複数の利得レベルの部分集合のためのフィードバックを可変利得段に与えるように構成される。さらなる実施形態において、中間利得モードフィードバックブロック及びデジェネレーションスイッチングブロックは、中間利得フィードバックブロック及びデジェネレーションスイッチングブロックが存在しない増幅器と比べ、増幅された出力信号に改善された線形性を与える。

## 【 0 0 1 0 】

いくつかの実施形態において、増幅器はさらに、可変利得段の入力部に結合されたバイパスブロックを含む。バイパスブロックは、可変利得段を含まないバイパス経路を与えるべく、複数の利得レベルの低利得レベルにおいてアクティブにされるように構成される。さらなる実施形態において、バイパス経路は、デジェネレーションスイッチングブロックを含まない。

10

## 【 0 0 1 1 】

いくつかの実施形態において、増幅器はさらに、可変利得段の出力部に結合されたカスコードバッファを含む。いくつかの実施形態において、増幅器はさらに、可変利得段に結合された複数の入力ノードを含む。さらなる実施形態において、増幅器は、複数の入力ノードにおいて複数の入力信号を受信するように構成され、受信した個々の信号は、異なる信号周波数帯域内の周波数を有する。なおもさらなる実施形態において、増幅器は、個々の入力ポートにおいて受信した信号を、他の受信した信号の増幅から独立して増幅するように構成される。

20

## 【 0 0 1 2 】

一定数の実装によれば、本開示は、様々な利得レベルを有して当該様々な利得レベルに関連付けられた様々なインピーダンス値を与えるように構成された信号増幅器に結合された可変インピーダンス段と、当該可変インピーダンス段に動作可能に関連付けられて当該可変インピーダンス段を基準電位ノードから選択的に分離するべく実装されたスイッチとを含むデジェネレーションスイッチング回路に関する。

## 【 0 0 1 3 】

いくつかの実施形態において、信号増幅器は、無線周波数信号を増幅するように構成される。いくつかの実施形態において、回路に与えられたバイパス経路が、可変インピーダンス段をバイパスする。

30

## 【 0 0 1 4 】

いくつかの実施形態において、様々なインピーダンス値は、当該様々な利得レベルに関連付けられた様々なインピーダンス値を有するデジェネレーションスイッチング回路に結合されない信号増幅器と比べ、信号増幅器の改善された線形性を与えるように構成される。さらなる実施形態において、可変インピーダンス段は、様々な利得レベルの第1の利得レベルに対して第1のあつらえられたインピーダンス値を与え、様々な利得レベルの第2の利得レベルに対して第2のあつらえられたインピーダンス値を与えるように構成される。

## 【 0 0 1 5 】

いくつかの実施形態において、回路はさらに、可変インピーダンス段及びスイッチを制御する増幅制御信号を生成するように構成された制御回路を含む。さらなる実施形態において、制御回路は、様々な利得レベルに対応する複数の増幅制御信号を与えるように構成される。

40

## 【 0 0 1 6 】

一定数の実装によれば、本開示は、可変利得信号増幅器を含むフロントエンドアーキテクチャに関する。可変利得信号増幅器は、入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段と、当該可変利得段に結合されて当該可変利得段の複数の利得レベルを与えるように構成されたデジェネレーションスイッチングブロックとを含む。フロントエンドアーキテクチャはまた、可変利得信号増幅器に結合されて当該可変利得

50

信号増幅器の選択入力に周波数帯域を向けるフィルタアセンブリも含む。フロントエンドアーキテクチャはまた、複数の利得モードを与えるべく可変利得信号増幅器を制御するように実装された制御器も含む。低利得モードでは、可変利得信号増幅器は、可変利得段をバイパスする経路に沿うように信号を向ける。

【0017】

いくつかの実施形態において、デジェネレーションスイッチングブロックはさらに、あつらえられたインピーダンスを可変利得段に与えるように構成される。さらなる実施形態において、あつらえられたインピーダンスは、当該あつらえられたインピーダンスを有するデジェネレーションスイッチングブロックに結合されない可変利得段と比べ、増幅された出力信号において改善された線形性を与えるように構成される。さらなる実施形態において、デジェネレーションスイッチングブロックは、複数の利得レベルの第1の利得レベルに対して第1のあつらえられたインピーダンスを与え、複数の利得レベルの第2の利得レベルに対して第2のあつらえられたインピーダンスを与えるように構成される。

10

【0018】

一定数の実装によれば、本開示は、ダイバーシティアンテナと、信号を受信しかつ選択経路に沿うように周波数帯域を向けるべく当該ダイバーシティアンテナに結合されたフィルタアセンブリとを含む無線デバイスに関する。無線デバイスはまた、入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段と、当該可変利得段に結合されて当該可変利得段の複数の利得レベルを与えるべく構成されたデジェネレーションスイッチングブロックとを含む可変利得信号増幅器も含む。無線デバイスはまた、複数の利得モードを与えるべく可変利得信号増幅器を制御するように実装された制御器も含む。低利得モードでは、可変利得信号増幅器は、可変利得段をバイパスする経路に沿うように信号を向ける。

20

【0019】

いくつかの実施形態において、デジェネレーションスイッチングブロックはさらに、あつらえられたインピーダンスを可変利得段に向けるように構成される。さらなる実施形態において、あつらえられたインピーダンスは、当該あつらえられたインピーダンスを有するデジェネレーションスイッチングブロックに結合されない可変利得段と比べ、増幅された出力信号において改善された線形性を与えるように構成される。さらなる実施形態において、デジェネレーションスイッチングブロックは、複数の利得レベルの第1の利得レベルに対して第1のあつらえられたインピーダンスを与え、複数の利得レベルの第2の利得レベルに対して第2のあつらえられたインピーダンスを与えるように構成される。

30

【0020】

本開示をまとめる目的で所定の側面、利点及び新規な特徴が、ここに記載されてきた。かかる利点の必ずしもすべてが、いずれかの特定の実施形態において達成されるというわけではない。よって、本開示の実施形態は、ここに教示される一つの利点又は一群の利点を、ここに教示又は示唆される他の利点を必ずしも達成することなしに、達成又は最適化する態様で実行することができる。

【図面の簡単な説明】

【0021】

40

【図1】一次アンテナ及びダイバーシティアンテナを有する無線デバイスを例示する。

【図2】DRxフロントエンドモジュール(FEM)を含むダイバーシティ受信器(DRx)構成を例示する。

【図3A】多数入力を受信して受信信号を利得段により選択的に増幅するか又はバイパスブロックを介してバイパス経路を与えるように構成されたマルチ入力利得段を含む可変利得増幅器構成例を例示する。

【図3B】一定の素子の付加とともに図3Aの可変利得増幅器と同じコンポーネントを含む他の可変利得増幅器例を例示する。

【図3C】バイパススイッチが除外された図3Aの可変利得増幅器と同様の他の可変利得増幅器例を例示する。

50

【図 3 D】一定の素子の付加とともに、図 3 C の可変利得増幅器と同じコンポーネントを含む他の可変利得増幅器例を例示する。

【図 4】入力信号を受信して増幅された出力信号を生成するべく構成された可変利得段を含む可変利得信号増幅器を例示する。

【図 5】様々な利得レベルを有する信号増幅器に結合された可変インピーダンス段を含むデジェネレーションスイッチング回路を例示する。

【図 6】図 3 B の可変利得増幅器と同様に構成された可変利得増幅器構成例を例示する。

【図 7 A】図 6 の可変利得信号増幅器構成の動作モードの例を例示する。

【図 7 B】図 6 の可変利得信号増幅器構成の動作モードの例を例示する。

【図 7 C】図 6 の可変利得信号増幅器構成の動作モードの例を例示する。

【図 8】図 6 の可変利得信号増幅器構成と同様であるが、バイパススイッチが除外された可変利得信号増幅器を例示する。

【図 9】図 6 の可変利得信号増幅器構成と同様であるが、中間利得モードフィードバックモジュールの代わりにシャットダウンスイッチブロックを有する可変利得信号増幅器を例示する。

【図 10】図 9 の可変利得信号増幅器構成と同様であるが、バイパススイッチが除外された可変利得信号増幅器 1010 を例示する。

【図 11】いくつかの実施形態において、ダイバーシティ受信器構成のいくつか又はすべてが、モジュール内に全体的に又は部分的に実装され得ることを示す。

【図 12】いくつかの実施形態において、ダイバーシティ受信器構成のいくつか又はすべてが、アーキテクチャ内に全体的に又は部分的に実装され得ることを示す。

【図 13】ここに記載される一つ以上の有利な特徴を有する無線デバイス例を例示する。

【発明を実施するための形態】

【0022】

ここに与えられる見出しは、あったとしても、単なる便宜上であり、特許請求の範囲に係る発明の範囲又は意味に必ずしも影響を与えるわけではない。

【0023】

概要

【0024】

図 1 は、一次アンテナ 160 及びダイバーシティアンテナ 170 を有する無線デバイス 100 を例示する。無線デバイス 100 は、制御器 102 により制御され得る RF モジュール 106 及び送受信器 104 を含む。送受信器 104 は、アナログ信号（例えば無線周波数（RF）信号）とデジタルデータ信号との間の変換を行うように構成される。それを目的として、送受信器 104 は、デジタル・アナログ変換器、アナログ・デジタル変換器、ベース帯域アナログ信号を搬送波周波数に又は搬送波周波数から変調又復調する局所発振器、デジタルサンプルとデータビット（例えば音声又は他のタイプのデータ）との間の変換を行うベース帯域プロセッサ、又は他のコンポーネントを含み得る。

【0025】

RF モジュール 106 は、一次アンテナ 160 と送受信器 104 との間に結合される。ケーブル損失ゆえの減衰を低減するべく RF モジュール 106 が一次アンテナ 160 に物理的に近くなり得るので、RF モジュール 106 はフロントエンドモジュール（FEM）と称することができる。RF モジュール 106 は、送受信器 104 のために一次アンテナ 160 から受信した、又は一次アンテナ 160 を介して送信するべく送受信器 104 から受信したアナログ信号に処理を施すことができる。それを目的として、RF モジュール 106 は、フィルタ、電力増幅器、低雑音増幅器、帯域選択スイッチ、減衰器、整合回路、及び他のコンポーネントを含み得る。

【0026】

信号が無線デバイス 100 に送信されるとき、信号は、一次アンテナ 160 及びダイバーシティアンテナ 170 の双方において受信され得る。一次アンテナ 160 及びダイバーシティアンテナ 170 は物理的に離間されているので、一次アンテナ 160 及びダイバー

10

20

30

40

50



シティアンテナ170における信号は異なる特性を有するように受信される。例えば、一実施形態において、一次アンテナ160及びダイバーシティアンテナ170は、異なる減衰、雑音、周波数応答及び/又は位相シフトの信号を受信することができる。送受信器104は、信号に対応するデータビットを決定するべく異なる特性の信号の双方を使用することができる。いくつかの実装において、送受信器104は、一次アンテナ160とダイバーシティアンテナ170とから当該特性に基づいて選択することができる。例えば、最高の信号対雑音比のアンテナを選択することができる。いくつかの実装において、送受信器104は、一次アンテナ160及びダイバーシティアンテナ170からの信号を組み合わせ、組み合わせられた信号の信号対雑音比を増加させる。いくつかの実装において、送受信器104は、マルチ入力/マルチ出力(MIMO)通信を行うように信号を処理する。

10

#### 【0027】

いくつかの実施形態において、ダイバーシティアンテナ170は、多数のセルラー周波数帯域及び/又は無線ローカルエリアネットワーク(WLAN)周波数帯域の中の信号を受信するように構成される。かかる実施形態において、無線デバイス100は、ダイバーシティ信号を異なる周波数範囲に分割するべく構成されたダイバーシティアンテナ170に結合されたマルチプレクサ、スイッチングネットワーク及び/又はフィルタアセンブリを含み得る。例えば、マルチプレクサは、低帯域セルラー周波数を含む周波数範囲を通過させる低域通過フィルタと、低帯域WLAN信号並びに中間帯域及び高帯域セルラー信号を含む周波数範囲を通過させる帯域通過フィルタと、高帯域WLAN信号を含む周波数範囲を通過させる高域通過フィルタとを含むように構成することができる。本例は、単なる例示目的にすぎない。他例として、マルチプレクサは、高域通過フィルタ及び低域通過フィルタの機能を与えるダイプレクサのような様々な異なる構成を有し得る。

20

#### 【0028】

ダイバーシティアンテナ170が一次アンテナ160から物理的に離間しているので、ダイバーシティアンテナ170は、ケーブル又はプリント回路基板(PCB)トレースのような送信線を介して送受信器104に結合され得る。いくつかの実装において、送信線は損失性であり、ダイバーシティアンテナ170において受信する信号を、送受信器104に到達する前に減衰させる。よって、いくつかの実装において、ダイバーシティアンテナ170において受信する信号には利得が適用される。利得(及びフィルタリングのような他のアナログ処理)は、ダイバーシティ受信器モジュール108によって適用することができる。かかるダイバーシティ受信器モジュール108は、ダイバーシティアンテナ170の物理的に近くに配置されるので、ダイバーシティ受信器フロントエンドモジュールと称することができる。その例がここに詳細に説明される。

30

#### 【0029】

RFモジュール106及びダイバーシティ受信器モジュール108は、一次アンテナ160及びダイバーシティアンテナ170それぞれからの信号を増幅する複数の利得モードを与えるように構成された可変利得増幅器110a、110bを含む。可変利得増幅器110a、110bはそれぞれが、利得段120と、可変利得増幅器110a、110bの一の利得モードに少なくとも部分的に基づいてインダクタンスを変化させるデジェネレーションスイッチングブロック130とを含み得る。可変利得増幅器110a、110bにおいて受信した信号は利得段120を使用して増幅することができ、又は信号には、ここで詳述されるように、利得段120をバイパスすることが許容され得る。デジェネレーションスイッチングブロック130の選択されるインダクタンス、バイパス経路、及び/又は可変利得増幅器110a、110bの利得モードは、制御器102によって制御することができる。デジェネレーションスイッチングブロック130は、インダクタンスを変更するように構成することができるので、可変利得増幅器110a、110bの性能は固定インダクタンスの増幅器と比べて増加し得る。例えば、線形性を増加させることにより、及び/又は増幅中に導入される雑音を低減することにより、性能を増加させることができる。可変利得増幅器110a、110bは、多数の入力信号を受信し、単数の信号又は複数の出力信号を出力することができる。一定の実装において、個々の入力、入力ポート

40

50

間の入力分離性を改善するべく、対応する個々のデジェネレーションスイッチングブロックを有し得る。

【0030】

有利なことに、可変利得増幅器110a、110bのアーキテクチャは、スイッチを使用することなくマルチ入力処理を与えることができる。可変利得増幅器110a、110bは、有利なことに、あつらえられたインダクタンスを有するスイッチング可能デジェネレーションブロックを使用することにより、目標とする又は改善された線形性を達成することができる。可変利得増幅器110a、110bは、バイパス経路にシャントスイッチを使用することにより、目標とする又は改善された入力対出力分離性を与えることができる。可変利得増幅器110a、110bは、低利得モードのような特定の利得モードにおいて低損失ダイレクトバイパスモードを与えることができる。

10

【0031】

制御器102は、制御信号を生成するように、及び/又は無線デバイス100の他のコンポーネントに送信するように、構成することができる。いくつかの実施形態において、制御器102は、モバイル産業プロセッサインタフェイスアライアンス(MIPI(登録商標)アライアンス)が与える仕様に少なくとも部分的に基づく信号を与える。制御器102は、無線デバイス100の他のコンポーネントから信号を受信し、他のコンポーネントに受信される制御信号を決定するべく処理するように構成することができる。いくつかの実施形態において、制御器102は、信号又はデータを分析し、無線デバイス100の他のコンポーネントに送信される制御信号を決定するように構成することができる。制御器102は、無線デバイス100が与える利得モードに基づいて制御信号を生成するように構成することができる。例えば、制御器102は、利得モードを制御する制御信号を可変利得増幅器110a、110bに送信することができる。同様に、制御器102は、デジェネレーションスイッチングブロック130のインダクタンスを選択する制御信号を生成するように構成することができる。制御器は、バイパス経路を与えるべく可変利得増幅器110a、110bを制御する制御信号を生成するように構成することができる。

20

【0032】

いくつかの実装において、制御器102は、入力部において受信した入力信号のサービス品質メトリックに基づいて増幅器制御信号を生成する。いくつかの実装において、制御器102は、通信制御器から受信した信号に基づいて、ひいては当該受信した信号のサービス品質(QoS)メトリックに基づいて、増幅器制御信号を生成する。受信した信号のQoSメトリックは、少なくとも部分的に、ダイバーシティアンテナ170において受信したダイバーシティ信号(例えば入力部において受信した入力信号)に基づき得る。受信した信号のQoSメトリックはさらに、一次アンテナ160において受信した信号に基づき得る。いくつかの実装において、制御器102は、通信制御器から信号を受信することなく、ダイバーシティ信号のQoSメトリックに基づいて増幅器制御信号を生成する。いくつかの実装において、QoSメトリックは信号強度を含む。他例として、QoSメトリックは、ビット誤り率、データスループット、伝送遅延又は他の任意のQoSメトリックを含み得る。いくつかの実装において、制御器102は、可変利得増幅器110a、110bにおける増幅器の利得(及び/又は電流)を制御する。いくつかの実装において、制御器102は、無線デバイスの他のコンポーネントの利得を、増幅器制御信号に基づいて制御する。

30

40

【0033】

いくつかの実装において、可変利得増幅器110a、110bは、受信した信号を、増幅器制御信号が示した複数の設定量の一つの利得によって増幅するように構成されたステップ可変利得増幅器を含み得る。いくつかの実装において、可変利得増幅器110a、110bは、受信した信号を、増幅器制御信号に比例し又は示される利得によって増幅するように構成された連続可変利得増幅器を含み得る。いくつかの実装において、可変利得増幅器110a、110bは、増幅器制御信号が示した複数の設定量の一つの電流を引き込むことにより、受信した信号を増幅するように構成されたステップ可変電流増幅器を含み

50

得る。いくつかの実装において、可変利得増幅器 110 a、110 b は、増幅器制御信号に比例する電流を引き込むことにより、受信した信号を増幅するように構成された連続可変電流増幅器を含み得る。

#### 【0034】

図 2 は、DRx フロントエンドモジュール (FEM) 208 を含むダイバーシティ受信器 (DRx) 構成 200 を例示する。DRx 構成 200 は、ダイバーシティ信号を受信し、フィルタアセンブリ 272 を介して当該ダイバーシティ信号を DRx FEM 150 に与えるように構成されたダイバーシティアンテナ 170 を含む。フィルタアセンブリ 272 は、例えば、目標とする周波数範囲内の信号を、デジネレーションスイッチング回路 230 に結合されたマルチ入力増幅器 220 への各経路に沿うように選択的に向けるべく構成されたマルチプレクサを含み得る。信号は、例えば、セルラー信号 (例えば低、中、高及び / 又は超高帯域のセルラー周波数)、WLAN 信号、BLUETOOTH (登録商標) 信号、GPS 信号等を含むがこれらに限られない無線周波数 (RF) 信号としてよい。

10

#### 【0035】

DRx FEM 208 は、フィルタアセンブリ 272 から受信したダイバーシティ信号に処理を施すように構成される。例えば、DRx FEM 208 は、ダイバーシティ信号を、セルラー及び / 又は WLAN 周波数帯域を含み得る一つ以上のアクティブ周波数帯域へとフィルタリングするように構成することができる。制御器 102 は、目標とするフィルタに信号を選択的に向けてフィルタリングを達成するべく、DRx FEM 208 を制御するように構成することができる。他例として、DRx FEM 208 は、増幅器 220 を使用して、フィルタリングされた信号の一つ以上を増幅するように構成され得る。それを目的として、DRx FEM 208 は、フィルタ、低雑音増幅器、帯域選択スイッチ、整合回路及び他のコンポーネントを含み得る。制御器 102 は、DRx FEM 208 を通るダイバーシティ信号用の経路をインテリジェントに選択するべく、DRx FEM 208 におけるコンポーネントと相互作用をするように構成することができる。

20

#### 【0036】

DRx FEM 208 は、処理されたダイバーシティ信号の少なくとも一部分を送受信器 104 に送信する。送受信器 104 は、制御器 102 によって制御することができる。いくつかの実装において、制御器 102 は、送受信器 104 内に実装することができる。

30

#### 【0037】

DRx FEM 208 は、複数の利得モードを与えるように構成することができる。複数の利得モードに対し、デジネレーションスイッチング回路 230 の可変インピーダンス段 232 により、異なるインダクタンスを与えることができる。一つ以上の利得モードにおいて、可変インピーダンス段 232 のスイッチ 234 を、増幅器 220 に結合されたインピーダンス (例えばインダクタンス) を選択するように構成することができる。これは、例えば、増幅プロセスの線形性を改善するように行うことができる。このような選択可能インピーダンスは、マルチ入力増幅器アーキテクチャに埋め込むことができる。

#### 【0038】

いくつかの実施形態において、増幅段に結合された選択可能インピーダンス、例えば LNA、の利用により、線形性及び / 又は IIP3 を改善することができる。スイッチ 234 を有する可変インピーダンス段 232 により、有益なことに、特定の利得モード及び / 又は信号振幅のために望ましい又は目標とするインピーダンスに、増幅器 220 を結合することが可能となり得る。いくつかの実施形態において、DRx 構成 200 は、低利得モードで動作するときに増幅をバイパスし、他の利得モードで動作するときに増幅器 220 で信号を増幅するように構成される。これにより、有利なことに、DRx 構成 200 が、特定の利得モードにおける線形性を改善することができる。

40

#### 【0039】

いくつかの実施形態において、増幅器 220 は、複数の入力信号を受信して単数の出力信号を与えるように構成される。一定の実施形態において、増幅器 220 は、複数の入力

50

信号を受信して対応する複数の出力信号を与えるように構成することができる。フィルタアセンブリ 272 は、特定の周波数帯域に対応する信号を、増幅器 220 への指定経路に沿うように向けるべく構成することができる。一定の実装において、増幅器 220 は、受信した信号に対し異なる利得モードを与えることができる。可変インピーダンス段 232 は、増幅器 220 に結合されたスイッチ 234 を使用して、異なるインピーダンスを選択することができる。選択されたインピーダンスは、少なくとも部分的に、増幅器 220 の利得モードに基づく。一定の実装において、増幅器 220 は、バイパス構成においては信号がバイパス経路を通過するように動作することができ、増幅構成においては信号が増幅経路を通過するように動作することができる。選択されたインピーダンスは、可変インピーダンス段 232 により与えられる。これにより、有利なことに、DRx FEM 208 は、線形性（例えば IIP3）及び/又は雑音指数（NF）へのマイナスの影響を、バイパス経路及び/又は可変インピーダンスを選択的に与えることがない構成と比べて低減している間に、可変利得及び/又は複数の利得モードを与えることができる。増幅器 220 は、望ましい又は目標とする増幅を与えるように構成された任意の適切な増幅器回路を含み得る。いくつかの実施形態において、増幅器 220 は低雑音増幅器（LNA）回路を含み、これは、複数の入力部又はマルチ入力 LNA において受信された複数の周波数帯域（例えばセルラー周波数帯域及び/又は WLAN 周波数帯域）からの信号を増幅するべく構成される。しかしながら、ここに記載される実施形態が、低雑音増幅器を利用する実装に限られず、任意の様々な増幅器を使用する実装も含むことを理解すべきである。

10

20

30

40

50

#### 【0040】

増幅器 220 は、複数の利得モードに少なくとも部分的に基づいて信号を増幅するように構成することができる。例えば、増幅器 220 は、第 1 利得モードのために第 1 の増幅又は利得を与え、第 2 利得モードのために第 2 の増幅又は利得を与え等のように構成することができる。増幅器 220 は、増幅器 220 に与えられる利得を制御する制御器 102 によって制御することができる。例えば、制御器 102 は、望ましい又は目標とする利得を示す信号を増幅器 220 に与えることができ、増幅器 220 は目標とする利得を与えることができる。制御器 102 は、例えば、無線デバイスにおける他のコンポーネントから、目標とする利得の指標を受信し、当該指標に少なくとも部分的に基づいて増幅器 220 を制御することができる。同様に、デジェネレーションスイッチング回路 230 は、増幅器 220 の利得モード及び/又は目標とする利得に少なくとも部分的に基づいて制御することができる。

#### 【0041】

制御器 102 は、あつらえられたインピーダンスを選択的に与えるべく DRx FEM 208 を制御するように構成することができる。例えば、制御器 102 及び DRx FEM 208 は、利得モードに少なくとも部分的に基づいて目標とするインピーダンスを与えるべく、可変インピーダンス段 232 を制御してスイッチ 234 を構成することができる。他例として、制御器 102 及び DRx FEM 208 は、少なくとも部分的に利得モードに基づいてバイパス経路を与えるべく、増幅器を制御することができる。他例として、制御器 102 及び DRx FEM 208 は、増幅器 220 を使用して複数の利得モードを与えることができる。

#### 【0042】

可変利得増幅器のアーキテクチャ例

#### 【0043】

フロントエンドモジュールは一般に、受信した信号を増幅するべく、低雑音増幅器（LNA）のような増幅器を含む。様々な利得モードを与える無線デバイスにおいて、性能を改善するべく、可変の又はあつらえられたインピーダンスを利得段に選択的に与えることが有利となり得る。同様に、少なくとも一つの利得モードに対し、性能を改善する（例えば線形性を改善する）べく利得段をバイパスすることが有利となり得る。

#### 【0044】

したがって、ここに与えられるのは、可変利得増幅器の利得モードに少なくとも部分的

に依存してデジェネレーションブロック及び/又はフィードバックブロックに可変の又はあつらえられたインピーダンスを選択的に与える可変利得増幅器である。これにより、有利なことに、一つ以上の利得モードにおいて性能ペナルティが低減又は排除される。さらに、可変インピーダンスを、目標とする利得モードにおける増幅プロセスの線形性を改善するように構成することができる。同様に、可変利得増幅器は、信号品質を改善するべく、低利得モードにおいて低損失バイパスモードを与えるように構成することができる。

【0045】

図3Aは、マルチ入力利得段312を含む可変利得増幅器構成例310aを例示する。マルチ入力利得段312は、多数の入力を受信して当該受信した信号を利得段320によって選択的に増幅するか又はバイパスブロック340を通るバイパス経路を与えるように構成される。利得段320は、デジェネレーションスイッチングブロック330に結合される。デジェネレーションスイッチングブロック330は、可変利得増幅器構成310aの利得モードに少なくとも部分的に基づいてあつらえられたインピーダンスを選択的に与えるように構成される。一定の実装において、マルチ入力利得段312は、別個の入力ポートにおいて多数の信号を受信するように構成される。別個の入力ポートはそれぞれが、一つ以上の特定のセルラー周波数帯域にある信号を受信するように構成される。例えば、第1帯域の信号が第1入力ポートで受信され、第2帯域の信号が第2入力ポートで受信され、第3帯域の信号が第3入力ポートで受信される。

10

【0046】

可変利得増幅器310aは、スイッチングネットワークを使用することなくマルチ入力処理を与えるように構成することができる。可変利得増幅器310aは、デジェネレーションスイッチングブロック330の使用を通じて相対的に高い線形性を達成するように構成することができる。一定の実装において、バイパスブロック340はシャントスイッチを含む。シャントスイッチは、かかるスイッチを有する構成と比べて高い入力対出力分離性を与えることができる。可変利得増幅器310aは、入力部からの信号を、バイパスブロック340を通るが利得段320を通らないように向けることによって低損失ダイレクトバイパスモードを与えるように構成することができる。低損失ダイレクトバイパスモードは、例えば低利得モードに実装することができる。

20

【0047】

可変利得増幅器310aは、電圧を電流利得段320に与えるマルチ入力利得段312を含む。マルチ入力利得段312は、入力間の分離性を与えるように構成することができる。いくつかの実施形態において、可変利得増幅器310aは、各入力部に対するデジェネレーションスイッチングブロック330を含んで入力部をさらに分離させることができる。

30

【0048】

デジェネレーションスイッチングブロック330は、インピーダンスを利得段320入力部に与えるように構成される。このようにして、処理チェーンにおける前段と整合する電力及び/又は雑音を与えることにより、性能を改善することができる。デジェネレーションスイッチングブロック330は、フィードバックメカニズムを与えることにより、利得段320の線形性を改善するように構成することができる。いくつかの実施形態において、デジェネレーションスイッチングブロック330は、第1利得モードに対して第1インピーダンスを与え、第2利得モードに対して第2インピーダンスを与えるように構成される。デジェネレーションスイッチングブロック330が与える選択されたインピーダンスはまた、利得段320の線形性も改善するように構成することができる。可変利得増幅器310aは、バイパスモードにおいてデジェネレーションスイッチングブロック330をバイパスするように構成することができる。このようにして、利得段320を通過する漏洩電流を低減又は最小化することにより、線形性能を改善することができる。

40

【0049】

バイパスブロック340は、多数の入力部からの信号を受信するべく、及び利得段320又はデジェネレーションスイッチングブロック330を通過しない出力部への経路を与

50

えるべく、構成される。バイパスブロック 340 は、可変利得増幅器 310 a が与える利得モードの一つ以上において入力部と出力部とを分離する役割を果たすコンポーネントを含み得る。

#### 【0050】

中間利得モードフィードバックブロック 350 a は、可変利得増幅器 310 a が与える利得モードの部分集合に対してアクティブにされるように構成される。中間利得モードフィードバックブロック 350 a は、目標とするインピーダンスを入力信号に与えるように構成される。これは、増幅プロセスの線形性の改善に役立ち得る。中間利得モードフィードバックブロック 350 a は、可変利得増幅器 310 a 内でのフィードバックを制御するように構成することもできる。中間利得モードフィードバックブロック 350 a は、第 2 のデジェネレーションブロックを回路に含むのと同様の機能性を与えるように構成することができる。

10

#### 【0051】

バイパススイッチ 360 は、バイパスブロック 340 を介した入力部から出力部への経路、又は利得段 320 を介した入力部から出力部への経路を選択的に与えるように構成される。バイパススイッチ 360 は、可変利得増幅器 310 a の利得モードに少なくとも部分的に基づいて、望ましい経路を分離及び / 又は選択する一つ以上のスイッチング素子を含み得る。

#### 【0052】

一定の実施形態において、可変利得増幅器 310 a は、複数の利得モード、例えば利得モード G0、G1、...、GN を与えるように構成することができる。G0 は最高利得であり、GN はバイパスモードである。利得モード GN で動作するとき、可変利得増幅器 310 a は、信号を入力部からバイパスブロック 340 へと向けるように構成することができる。利得モード G0 ~ GN - 1 で動作するとき、可変利得増幅器 310 a は、利得段 320 を通るよう信号を向けてデジェネレーションスイッチングブロック 330 をアクティブにするように構成することができる。デジェネレーションスイッチングブロック 330 は、個々の利得モードに対し又は複数群の利得モードに対し異なるインピーダンスレベルを与えるように構成することができる。これらの利得モードであっても、バイパスブロック 340 は、入力部と出力部との分離性を与えるべくバイパスブロック 340 のシャントスイッチをアクティブにすることにより、少なくとも部分的にアクティブになることができる。可変利得増幅器 310 a は、利得モード G0 ~ GN - 1 の一つ以上に対して中間利得モードフィードバックブロック 350 a をアクティブにするように構成することができる。

20

30

#### 【0053】

可変利得信号増幅器 310 a は、本開示の中間利得モードフィードバックブロック 350 a、バイパスブロック 340、デジェネレーションスイッチングブロック 330 を有しない増幅器と比べ、相対的に低い雑音及び高い線形性（例えばより高い IIP3）を達成するように構成することができる。可変利得信号増幅器 310 a は、セルラー信号、WLAN 信号、BLUE TOOTH（登録商標）信号、GPS 信号等のような無線周波数（RF）信号を増幅するように構成することができる。可変利得信号増幅器 310 a は、多数の入力部において複数の周波数帯域にわたる信号を受信して当該信号を処理することにより、広帯域性能を与えるように構成することができる。可変利得信号増幅器 310 a は、それぞれの入力部における信号を独立して処理するように構成することができる。可変利得信号増幅器 310 a は、制御器（例えば図 1 及び図 2 を参照してここに記載される制御器 102）のような制御回路アセンブリが制御するように構成することができる。制御回路アセンブリは、経路を増幅経路とバイパス経路との間でインテリジェントかつ選択的に切り替えることができ、デジェネレーションスイッチングブロック 330 により選択的にインピーダンスを与えることができる。

40

#### 【0054】

3 個の入力部が例示されるにもかかわらず、可変利得増幅器 310 a が任意数の適切な

50

入力部を含み得ることを理解すべきである。例えば、限定なく、可変利得増幅器 310 a は、少なくとも 2 個の入力部、少なくとも 4 個の入力部、少なくとも 8 個の入力部、少なくとも 16 個の入力部、少なくとも 32 個の入力部、少なくとも 64 個の入力部、又は記載された範囲で少なくとも任意数の入力部を含んでよい。他例としてかつ限定なく、可変利得増幅器 310 a は、64 個以下の入力部、32 個以下の入力部、16 個以下の入力部、8 個以下、4 個以下の入力部、又は記載された範囲で任意数以下の入力部を含んでよい。

#### 【0055】

図 3 B は、一定の素子の付加とともに図 3 A の可変利得増幅器 310 a と同じコンポーネントを含む他の可変利得増幅器例 310 b を例示する。例えば、可変利得増幅器 310 b は整合ネットワーク 313、318 及び 345 を含む。入力整合ネットワーク 313 は、入力部において受信した信号に対してインピーダンス整合を与えるように構成される。出力整合ネットワーク 318 も同様に、出力負荷 316 と利得段 320 及びカスコードバッファ 314 を含む増幅器とに対してインピーダンス整合を与えるように構成される。バイパス整合ネットワーク 345 も同様に、バイパスブロック 340 に対してインピーダンス整合を与える。整合ネットワーク 313、318、345 に対し、目標とするインピーダンスを与えるべく、インダクタ及びキャパシタの任意の適切な組み合わせを使用することができる。

10

#### 【0056】

可変利得増幅器 310 b はまた、出力負荷 316 と、増幅チェーンの一部としてのカスコードバッファ 314 とを含む。カスコードバッファ 314 は、電流バッファとして作用するように構成することができる。カスコードバッファ 314 は、利得段 320 と出力部との分離性を与えるように構成される。カスコードバッファ 314 はまた、可変利得増幅器 310 b の利得を改善するように構成することもできる。出力負荷 316 は、出力電圧振幅を生成するべく負荷を電流に与えるように構成される。出力負荷 316 は、入力部において受信した各帯域に対してチューニングされ又はチューニング可能となるように構成することができる。出力負荷 316 は、出力負荷 316 の抵抗をあつらえることにより、反射損失を改善し及び/又は帯域幅を増加させるように構成することができる。電圧 V<sub>DD</sub> は、可変利得増幅器 310 b の利得モードを設定するように構成することができる。例えば、電圧 V<sub>DD</sub> は、出力負荷 316 を介して流れる電流が低くなること、可変利得増幅器 310 b の利得が低くなることに対応するように構成することができる。

20

30

#### 【0057】

図 3 C は、図 3 A の可変利得増幅器 310 a と同様であるが、バイパススイッチ 360 が除外された他の可変利得増幅器例 310 c を例示する。バイパススイッチ 360 が存在しないので、バイパスブロック 340 の出力は、利得段 320 の出力部の出力に結合される。さらに、中間利得モードフィードバックブロックが、シャットダウンスイッチブロック 350 c に置換されているが、シャットダウンスイッチブロック 350 c は、図 3 A の可変利得増幅器 310 a におけるように出力部に結合されているわけではない。その代わりに、シャットダウンスイッチブロック 350 c は、増幅器 310 c における漏洩を低減するべく入力ノードを選択的に分離するように構成される。いくつかの実施形態において、これは、入力部が使用されていないときに入力ノードと基準電位ノードとの間にあるスイッチをアクティブにすることによってアクティブにすることができる。様々な実装において、スイッチは、容量素子を介して入力ノードを基準電位ノードに結合することができる。

40

#### 【0058】

図 3 D は、一定の素子の付加とともに、図 3 C の可変利得増幅器 310 c と同じコンポーネントを含む他の可変利得増幅器例 310 d を例示する。例えば、可変利得増幅器 310 d は、整合ネットワーク 313、318 及び 345 を含む。入力整合ネットワーク 313 は、入力部において受信した信号に対してインピーダンス整合を与えるように構成される。出力整合ネットワーク 318 も同様に、出力負荷 316 と利得段 320 及びカスコードバッファ 314 を含む増幅器とに対してインピーダンス整合を与えるように構成される

50

。バイパス整合ネットワーク 3 4 5 も同様に、バイパスブロック 3 4 0 に対してインピーダンス整合を与える。整合ネットワーク 3 1 3、3 1 8、3 4 5 に対し、目標とするインピーダンスを与えるべく、インダクタ及びキャパシタの任意の適切な組み合わせを使用することができる。

#### 【 0 0 5 9 】

可変利得増幅器 3 1 0 d はまた、出力負荷 3 1 6 と、増幅チェーンの一部としてのカスコードバッファ 3 1 4 とを含む。カスコードバッファ 3 1 4 は、電流バッファとして作用するように構成することができる。カスコードバッファ 3 1 4 は、利得段 3 2 0 と出力部との分離性を与えるように構成される。カスコードバッファ 3 1 4 はまた、可変利得増幅器 3 1 0 d の利得を改善するように構成することもできる。出力負荷 3 1 6 は、出力電圧振幅を生成するべく負荷を電流に与えるように構成される。出力負荷 3 1 6 は、入力部において受信した各帯域に対してチューニングされ又はチューニング可能となるように構成することができる。出力負荷 3 1 6 は、出力負荷 3 1 6 の抵抗をあたえることにより、反射損失を改善し及び / 又は帯域幅を増加させるように構成することができる。電圧 V D D は、可変利得増幅器 3 1 0 d の利得モードを設定するように構成することができる。例えば、電圧 V D D は、出力負荷 3 1 6 を介して流れる電流が低くなること、可変利得増幅器 3 1 0 d の利得が低くなることに対応するように構成することができる。

10

#### 【 0 0 6 0 】

図 4 は、入力信号を受信して増幅された出力信号を生成するように構成された可変利得段 4 2 0 を含む可変利得信号増幅器 4 1 0 を例示する。可変利得信号増幅器 4 1 0 はまた、可変利得段 4 2 0 に結合されたデジェネレーションスイッチングブロック 4 3 0 も含む。デジェネレーションスイッチングブロック 4 3 0 は、可変利得段 4 2 0 の複数の異なる利得レベルを与えるべく構成することができる。

20

#### 【 0 0 6 1 】

図 5 は、様々な利得レベルを有する信号増幅器 5 2 0 に結合された可変インピーダンス段 5 3 2 を含むデジェネレーションスイッチング回路 5 3 0 を例示する。可変インピーダンス段 5 3 2 は、様々な利得レベルに関連付けられた様々なインピーダンス値を与えるように構成することができる。デジェネレーションスイッチング回路 5 3 0 は、可変インピーダンス段 5 3 2 と動作可能に関連付けられたスイッチ 5 3 4 を含む。スイッチ 5 3 4 は、可変インピーダンス段 5 3 2 を基準電位ノードから選択的に分離するように実装される。

30

#### 【 0 0 6 2 】

図 6 は、図 3 B を参照してここに記載される可変利得増幅器 3 1 0 b と同様に構成された可変利得増幅器構成例 6 1 0 を例示する。可変利得増幅器 6 1 0 は、増幅器の実装例を実証する電気コンポーネント例を含む。しかしながら、これは実装例の単なる例示であり、本開示の範囲が、同様のアーキテクチャを包含する付加的な実装まで拡張されることを理解するべきである。

#### 【 0 0 6 3 】

可変利得増幅器構成 6 1 0 は、入力 A、B 及び C を受信して当該受信した信号を、トランジスタ Q 1 0 を有するカスコードバッファ 6 1 4 と連動する対応トランジスタ Q 3、Q 4 及び Q 5 によって選択的に増幅するように構成されたマルチ入力利得段 6 1 2 を含む。マルチ入力利得段 6 1 2 はまた、入力 A、B 及び C それぞれに対してスイッチングトランジスタ Q 6、Q 7 及び Q 8 を含むバイパスブロック 3 4 0 を通るバイパス経路を与えるように構成される。

40

#### 【 0 0 6 4 】

マルチ入力利得段 6 1 2 は、デジェネレーションスイッチングブロック 6 3 0 に結合される。デジェネレーションスイッチングブロック 6 3 0 は、可変利得増幅器構成 6 1 0 の利得モードに少なくとも部分的に基づいてあつらえられたインピーダンスを選択的に与えるように構成される。一定の実装において、マルチ入力利得段 6 1 2 は、別個の入力ポートにおいて多数の信号を受信するように構成される。別個の入力ポートはそれぞれが、一

50



つ以上の特定のセルラー周波数帯域にある信号を受信するように構成される。例えば、入力部 A が第 1 帯域の信号を受信し、入力部 B が第 2 帯域の信号を受信し、入力部 C が第 3 帯域の信号を受信する。いくつかの実施形態において、トランジスタ Q 3、Q 4 及び Q 5 はそれぞれが、入力ポート間の分離性を増加させるべく、専用のデジェネレーションスイッチングブロック 6 3 0 に結合され得る。これらの入力部はそれぞれ、入力インピーダンス整合を与えるべくインダクタ L 4、L 5 及び L 6 に結合される。

#### 【0065】

可変利得増幅器構成 6 1 0 は、スイッチングネットワークを使用することなくマルチ入力処理を与えるように構成することができる。可変利得増幅器構成 6 1 0 は、デジェネレーションスイッチングブロック 6 3 0 の使用を介して相対的に高に線形性を達成するように構成することができる。一定の実装において、バイパスブロック 6 4 0 は、かかるスイッチを有する構成と比べ高い入力対出力分離性を与えることができるシャントスイッチ Q 9 を含む。可変利得増幅器構成 6 1 0 は、入力部からバイパスブロック 6 4 0 を通るよう信号を向けることにより、低損失ダイレクトバイパスモードを与えるように構成することができる。低損失ダイレクトバイパスモードは、例えば低利得モードに実装することができる。

10

#### 【0066】

可変利得増幅器構成 6 1 0 は、トランジスタ Q 3 ~ Q 5 を含む電流利得段に電圧を与えるマルチ入力利得段 3 1 2 を含む。マルチ入力利得段 3 1 2 は、電圧を電流利得段に与えるように構成される。さらに、マルチ入力利得段 3 1 2 は、それぞれの入力信号を、トランジスタ Q 1 0 を含むカスコードバッファ 6 1 4 と連動して増幅するように構成され、カスコードバッファ 6 1 4 は、入力インピーダンスを低下させかつ出力インピーダンスを増加させる電流バッファとして作用するように構成される。

20

#### 【0067】

デジェネレーションスイッチングブロック 6 3 0 は、マルチ入力利得段 6 1 2 の利得段にインピーダンスを与えるように構成される。このようにして、処理チェーンにおける前段と整合する電力及び/又は雑音を与えることにより、性能を改善することができる。デジェネレーションスイッチングブロック 6 3 0 は、フィードバックメカニズムを与えることにより、利得段（例えばトランジスタ Q 3 ~ Q 5）の線形性を改善するように構成することができる。デジェネレーションスイッチングブロック 6 3 0 は、トランジスタ Q 2 及びトランジスタ Q 1 をそれぞれアクティブにすることにより、第 1 インピーダンス L 1 を第 1 利得モードに与え、L 1 及び L 2 により得られる第 2 インピーダンスを第 2 利得モードに与えるように構成することができる。デジェネレーションスイッチングブロック 6 3 0 が与える選択されたインピーダンスはまた、利得段の線形性を改善するように構成することもできる。可変利得増幅器構成 6 1 0 は、バイパスモードにおいてデジェネレーションスイッチングブロック 6 3 0 をバイパスするように構成することができる。このようにして、利得段を通過する漏洩電流を低減又は最小化することにより、線形性能を改善することができる。一定の実装において、デジェネレーションスイッチングブロック 6 3 0 は、低いインダクタンスを高い利得モードに与えるように構成することができる。デジェネレーションスイッチングブロック 6 3 0 が与えるインダクタンスの量は、可変利得増幅器構成 6 1 0 の利得モードの変化によって変更することができる。

30

40

#### 【0068】

バイパスブロック 6 4 0 は、多数の入力部からの信号を受信するべく、及び利得段（例えばトランジスタ Q 3 ~ Q 5）又はデジェネレーションスイッチングブロック 6 3 0 を通過しない出力部への経路を与えるべく、構成される。バイパスブロック 6 4 0 は、トランジスタ Q 1 1 及びキャパシタ C 1 を介した出力部への単数の経路を与えるように構成される。キャパシタ C 1 は、直流（DC）電圧を出力供給からブロックするように構成することができる。バイパスブロック 6 4 0 はまた、入力部を出力部から分離する補助となるようにバイパスブロック 6 4 0 を選択的に基準電位ノードに結合するトランジスタ Q 9 を介したシャントスイッチを含む。バイパス整合ネットワーク 6 4 5 は、付加的なインピーダ

50

ンス整合柔軟性を与えることができる。

【0069】

中間利得モードフィードバックブロック650は、可変利得増幅器構成610が与える利得モードの部分集合に対してアクティブにされるように構成される。中間利得モードフィードバックブロック650は、目標とするインピーダンスを入力信号に与えるように構成される。これは、増幅プロセスの線形性の改善に役立ち得る。システムにおけるフィードバックの量を制御するべく、RC整合ネットワーク651を使用することができる。さらに、RC整合ネットワーク651は、DC電圧のためのブロックとして機能するように構成することができる。RC整合ネットワーク651は、振幅及び位相のフィードバック挙動を制御するように構成することができる。RC整合ネットワーク651は、キャパシタ、抵抗器、直列のキャパシタ及び抵抗器、又はキャパシタ、抵抗器及び他のコンポーネントの任意の適切な組み合わせを含み得る。中間利得モードフィードバックブロック650はまた、可変利得増幅器610内のフィードバックを制御するように構成することもできる。中間利得モードフィードバックブロック650は、第2のデジェネレーションブロックを回路に含むのと同様の機能性を与えるように構成することができる。

10

【0070】

アクティブになると、入力部A、B及びCそれぞれからの信号が、ポイントA、B及びCにおいて中間利得フィードバックブロック650に入り、ポイントDにおいて当該ブロックから出る。このポイントDは、出力整合ネットワーク618及びバイパススイッチ660に先立って回路に結合される。言い換えると、中間利得モードフィードバックブロック650は、入力部A、B及びCそれぞれを、トランジスタQ14～Q16及びQ18を介して出力部に結合することができる。付加的なトランジスタQ17は、バイパスブロック640と同様にシャントスイッチを基準電位ノードに与えるように構成することができる。ポイントDは、出力整合ネットワーク618の先となるように、出力整合ネットワーク618内となるように、又は出力整合ネットワーク618の後となるように位置決めすることができる。中間利得モードフィードバックブロック650は、入力と出力との相殺を生成するべく構成することができるので、ポイントDは、性能を改善するべく可変利得増幅器構成610内に位置決めすることができる。

20

【0071】

バイパススイッチ660は、入力部A、B及びCからバイパスブロック640を介して出力部への経路、又は入力部A、B及びCから利得段素子及び増幅器素子（例えばカスコードバッファ614及び出力整合ネットワーク618）を介して出力部への経路を選択的に与えるように構成される。バイパススイッチ660は、増幅経路と出力部との接続を制御するトランジスタQ12と、バイパス経路と出力部との接続を制御するトランジスタQ13とを含む。バイパススイッチ660は、可変利得増幅器610の利得モードに少なくとも部分的に基づいて制御することができる。

30

【0072】

整合ネットワーク618及び645は、目標とするインピーダンスを与えるべく使用することができるインダクタ及びキャパシタの任意の適切な組み合わせを含み得る。出力整合ネットワーク618は、出力負荷616と利得段（例えばトランジスタQ3～Q5）及びカスコードバッファ614を含む増幅器とに対してインピーダンス整合を与えるように構成される。バイパス整合ネットワーク645も同様に、バイパスブロック640のためのインピーダンス整合を与える。

40

【0073】

可変利得増幅器610は、出力負荷616と、増幅経路の一部としてのカスコードバッファ614とを含む。カスコードバッファ614は、電流バッファとして作用するべく構成されたトランジスタQ10を含む。カスコードバッファ614は、利得段と出力部との分離性を与えるように構成される。カスコードバッファ614はまた、可変利得増幅器610の利得を改善するように構成することもできる。出力負荷616は、出力電圧振幅を生成するべく付加を電流に与えるように構成される。出力負荷616は、入力部において

50

受信した各帯域に対してチューニングされ又はチューニング可能となるように構成することができる。例えば、出力負荷は、特定のセルラー周波数帯域に対してチューニング可能な可変キャパシタ C 2 を含む。出力負荷 6 1 6 はまた、出力負荷 6 1 6 の抵抗 R 1 をあつらえることにより、反射損失を改善し及び / 又は帯域幅を増加させるように構成することもできる。

#### 【 0 0 7 4 】

電圧 V D D は、可変利得増幅器 3 1 0 b の利得モードを設定するように構成することができる。例えば、電圧 V D D は、出力負荷 3 1 6 を介して流れる電流が低くなること、可変利得増幅器 3 1 0 b の利得が低くなることに対応するように構成することができる。

#### 【 0 0 7 5 】

図 7 A ~ 図 7 C は、図 6 の可変利得信号増幅器構成 6 1 0 の動作モードの複数例を例示する。図 7 A は、一つ以上の高利得モードにおける動作を例示する。これらの高利得モードにおいて、バイパスブロック 6 4 0 は、シャントスイッチ Q 9 を除いてアクティブ解除される。入力部 A、B 及び C において受信した信号は、トランジスタ Q 3 ~ Q 5 を含む利得段を通るようにつかすコードバッファ 6 1 4 を通るように向けられ、出力整合ネットワーク 6 1 8 及びバイパススイッチ 6 6 0 を通って出力部に至る。バイパススイッチは、これらの高利得モードにおいて Q 1 2 をアクティブにし、Q 1 3 をアクティブ解除する。さらに、これらの高利得モードにおいて、トランジスタ Q 2 がオンにされ、トランジスタ Q 1 はオフにされるので、デジェネレーションスイッチングブロック 6 3 0 を介して利得段に与えられるインダクタンスは L 1 となる。これらの高利得モードにおいて、中間利得モードフィードバックブロック 6 5 0 もアクティブ解除される。

#### 【 0 0 7 6 】

図 7 B は、一つ以上の中間利得モードにおける動作を例示する。これらのモードはまた、低利得高線形性モードと称することができる。これらの中間利得モードでの動作は、顕著な差異を有する一つ以上の高利得モードの動作と同様である。第一に、デジェネレーションブロック 6 3 0 において、トランジスタ Q 2 がオフにされ、トランジスタ Q 1 がオンにされるので、デジェネレーションスイッチングブロック 6 3 0 を介して利得段に与えられるインダクタンスは、L 1 及び L 2 の双方により与えられる。よって、利得モードが低くなると増加したインピーダンスが得られ、又は利得モードが高くなると減少したインピーダンスが得られる。第二に、中間利得モードフィードバックブロック 6 5 0 がアクティブにされる。これにより、第 2 のデジェネレーションブロックを加えたのと同様に、回路への付加的なフィードバックが得られる。

#### 【 0 0 7 7 】

図 7 C は、一つ以上の低利得モードにおける動作を例示する。これらの低利得モードでは、バイパスブロック 6 4 0 がアクティブにされ、利得段トランジスタ Q 3 ~ Q 5 がアクティブ解除される。入力部 A、B 及び C において受信した信号は、バイパスブロック 6 4 0 を介し、バイパス整合ネットワーク 6 4 5 及びバイパススイッチ 6 6 0 を介し、出力部に向けられる。これらの低利得モードにおいて、バイパススイッチは Q 1 3 をアクティブにし、Q 1 2 をアクティブ解除する。さらに、デジェネレーションスイッチングブロック 6 3 0 をアクティブ解除するべくトランジスタ Q 1 及び Q 2 はオフにされ、利得段トランジスタ Q 3 ~ Q 5 を通る漏洩電流を低減又は最小化することにより、線形性能が改善される。中間利得モードフィードバックブロック 6 5 0 もまた、これらの低利得モードにおいてアクティブ解除される。

#### 【 0 0 7 8 】

図 8 は、図 6 の可変利得信号増幅器構成 6 1 0 と同様であるが、バイパススイッチ 6 6 0 が除外された可変利得信号増幅器 8 1 0 を例示する。バイパススイッチを除外することにより、バイパス整合ネットワーク 6 4 5 の出力がその代わりに、出力整合ネットワーク 6 1 8 の入力ノードに結合される。この構成では、増幅経路又はバイパス経路の選択を制御するバイパススイッチが存在しない。むしろ、利得段の選択されたトランジスタ（例えばトランジスタ Q 3 ~ Q 5 ）、及びバイパスブロックの選択されたトランジスタ（例えば

10

20

30

40

50

トランジスタQ 6 ~ Q 8 ) が、バイパス経路又は増幅経路を与えるべく選択的にアクティブにされ及びアクティブ解除される。

【 0 0 7 9 】

図 9 は、図 6 の可変利得信号増幅器構成 6 1 0 と同様であるが、中間利得モードフィードバックモジュールの代わりにシャットダウンスイッチブロック 9 5 0 を有する可変利得信号増幅器 9 1 0 を例示する。この構成では、出力整合ネットワーク 6 1 8 の出力ノードにおいてシャットダウンスイッチブロック 9 5 0 が増幅経路に結合されないの、ポイント D が除外される。その代わりに、シャットダウンスイッチブロック 9 5 0 は、入力ノード A、B 及び C を選択的に分離するべく構成されたトランジスタ Q 1 4 ~ Q 1 6 及びキャパシタ C 3 ~ C 5 を含む。いくつかの実施形態において、シャットダウンスイッチブロック 9 5 0 はキャパシタ C 3 ~ C 5 を含まない。シャットダウンスイッチブロック 9 5 0 は、対応する入力部が使用されていないときにスイッチをオンにする（例えばトランジスタをアクティブにする）ように構成することができる。これは、増幅器構成における漏洩を低減又は排除するべく、当該入力部をグランドに対してシャットオフするように行うことができる。

10

【 0 0 8 0 】

図 1 0 は、図 9 の可変利得信号増幅器構成 9 1 0 と同様であるが、バイパススイッチ 6 6 0 が除外された可変利得信号増幅器 1 0 1 0 を例示する。図 8 の可変利得信号増幅器 8 1 0 と同様に、バイパススイッチが除外されることにより、バイパス整合ネットワーク 6 4 5 の出力が出力整合ネットワーク 6 1 8 の入力ノードに結合される結果となる。この構成では、増幅経路又はバイパス経路の選択を制御するバイパススイッチが存在しない。むしろ、利得段の選択されたトランジスタ（例えばトランジスタ Q 3 ~ Q 5 ）、及びバイパスブロックの選択されたトランジスタ（例えばトランジスタ Q 6 ~ Q 8 ）が、バイパス経路又は増幅経路を与えるべく選択的にアクティブにされ及びアクティブ解除される。

20

【 0 0 8 1 】

製品及びアーキテクチャの例

【 0 0 8 2 】

図 1 1 は、いくつかの実施形態において、特徴（例えば図 1 ~ 図 1 0 ）の組み合わせを有するダイバーシティ受信器構成のいくつか又はすべてを含むダイバーシティ受信器構成のいくつか又はすべてを、全体的又は部分的にモジュールに実装することができる。かかるモジュールは、例えば、フロントエンドモジュール（FEM）としてよい。かかるモジュールは、例えば、ダイバーシティ受信器（DRx）FEMとしてよい。かかるモジュールは、例えば、マルチ入力・マルチ出力（MiMo）モジュールとしてよい。

30

【 0 0 8 3 】

図 1 1 の例において、モジュール 1 1 0 8 はパッケージ基板 1 1 0 1 を含み、かかるパッケージ基板 1 1 0 1 に一定数のコンポーネントが取り付けられる。例えば、（フロントエンド電力管理集積回路 [ FE - PIMC ] を含み得る）制御器 1 1 0 2、組み合わせアセンブリ 1 1 0 6、ここに記載される一つ以上の特徴を有する利得段 1 1 2 0 及びデジェネレーションスイッチングブロック 1 1 3 0 を含む可変利得増幅器アセンブリ 1 1 1 0、並びに（一つ以上の帯域通過フィルタを含み得る）フィルタバンク 1 1 0 8 を、パッケージ基板 1 1 0 1 上に及び / 又はパッケージ基板 1 1 0 1 内に取り付け及び / 又は実装することができる。一定数の SMT デバイス 1 1 0 5 のような他のコンポーネントを、パッケージ基板 1 1 0 1 に取り付けすることもできる。様々なコンポーネントのすべてがパッケージ基板 1 1 0 1 上にレイアウトされるように描かれているにもかかわらず、一定のコンポーネントを他のコンポーネントの上に実装することもできることが理解される。

40

【 0 0 8 4 】

図 1 2 は、いくつかの実施形態において、特徴（例えば図 1 ~ 図 1 0 ）の組み合わせを有するダイバーシティ受信器構成のいくつか又はすべてを含むダイバーシティ受信器構成のいくつか又はすべてを、全体的又は部分的にアーキテクチャに実装することができる。かかるアーキテクチャは一つ以上のモジュールを含み、ダイバーシティ受信器（DRx）

50

フロントエンド機能のようなフロントエンド機能を与えるように構成することができる。

【0085】

図12の例において、アーキテクチャ1208は、(フロントエンド電力管理集積回路[FE-PIMC]を含み得る)制御器1202、組み合わせアセンブリ1206、ここに記載される一つ以上の特徴を有する利得段1220及びデジェネレーションスイッチングブロック1230を含む可変利得増幅器アセンブリ1210、並びに(一つ以上の帯域通過フィルタを含み得る)フィルタバンク1208を、パッケージ基板1201上に及び/又はパッケージ基板1201内に取り付け及び/又は実装することができる。一定数のSMTデバイス1205のような他のコンポーネントもまた、アーキテクチャ1208に実装することができる。

10

【0086】

いくつかの実装において、ここに記載される一つ以上の特徴を有するデバイス及び/又は回路は、無線デバイスのようなRF電子デバイスに含めることができる。かかるデバイス及び/又は回路は、無線デバイスに直接、ここに記載されるモジュラー形態で、又はこれらの一定の組み合わせで実装することができる。いくつかの実施形態において、かかる無線デバイスは、例えば、携帯電話機、スマートフォン、電話機能あり又はなしのハンドヘルド無線デバイス、無線タブレット等を含み得る。

【0087】

図13は、ここに記載される一つ以上の有利な特徴を有する無線デバイス例1300を描く。ここに記載される一つ以上の特徴を有する一つ以上のモジュールの文脈において、かかるモジュールは一般に、(例えばフロントエンドモジュールとして実装可能な)破線の囲い1306、及び(例えばフロントエンドモジュールとして実装可能な)ダイバーシティ受信器(DRx)モジュール1308によって描かれる。

20

【0088】

図13を参照すると、複数の電力増幅器(PA)1382がそれぞれ、送受信器1304からRF信号を受信することができる。送受信器1304は、増幅及び送信対象のRF信号を生成するように、及び受信信号を処理するように、構成されて動作することができる。送受信器1304は、ユーザに適したデータ及び/又は音声信号と送受信器1304に適したRF信号との間の変換を与えるように構成されたベース帯域サブシステム1305と相互作用をするように示される。送受信器1304はまた、無線デバイス1300の動作を目的として電力を管理するべく構成された電力管理コンポーネント1307と通信することもできる。かかる電力管理はまた、ベース帯域サブシステム1305並びにモジュール1306及び1308の動作も制御することができる。

30

【0089】

ベース帯域サブシステム1305は、ユーザに与えられ及びユーザから受信する音声及び/又はデータの様々な入力及び出力を容易にするべくユーザインタフェース1301に接続されるように示される。ベース帯域サブシステム1305はまた、無線デバイスの動作を容易にするべく及び/又はユーザのための情報格納を与えるべく構成されたメモリ1303にも接続される。メモリ1303は、データ及び/又は命令を格納するように構成される。

40

【0090】

無線デバイス例1300において、PA1382の出力は、(各整合回路1384を介して)整合されて各デュプレクサ1386へと引き回される。かかる増幅されかつフィルタリングされた信号は、送信を目的としてスイッチングネットワーク1309を介して一次アンテナ1360へと引き回すことができる。いくつかの実施形態において、デュプレクサ1386により、共通アンテナ(例えば一次アンテナ1360)を使用して送信動作及び受信動作を同時に行うことが許容され得る。図13において、受信信号は、ここに開示の可変利得増幅器の特徴及び利益を与える可変利得増幅器アセンブリ1310aへと引き回されるように示される。DRxモジュール1308も、同様の可変利得増幅器アセンブリ1310bを含む。

50

## 【 0 0 9 1 】

無線デバイス例 1 3 0 0 において、一次アンテナ 1 3 6 0 において受信した信号は、フロントエンドモジュール 1 3 0 6 の可変利得増幅器 1 3 1 0 a に送信され得る。可変利得増幅器 1 3 1 0 a は、利得段 1 3 2 0 及びデジェネレーションスイッチングブロック 1 3 3 0 を含み得る。可変利得増幅器 1 3 1 0 a は、入力部 1 3 1 1 において複数の信号を受信し、出力部 1 3 1 9 において複数の処理済み信号を出力するように構成される。可変利得増幅器 1 3 1 0 a は、利得モードに少なくとも部分的に基づいて信号を増幅するべく、及び利得モードに少なくとも部分的に基づいてデジェネレーションスイッチングブロック 3 3 0 を介して目標とするインピーダンスを与えるべく、構成される。これは、本記載の特徴の一つ以上を含むわけではない可変利得増幅器と比べ、信号の線形性を改善するように行うことができる。少なくとも一つの低利得モードでは、利得段 1 3 2 0 及びデジェネレーションスイッチングブロック 1 3 3 0 はバイパスしてよい。少なくとも一つの非低利得モードでは、ここに記載される中間利得モードフィードバックモジュールを介してのように、増幅プロセスの線形性を改善するべく可変利得増幅器 1 3 1 0 a において付加的なフィードバックを与えることができる。

10

## 【 0 0 9 2 】

無線デバイスはまた、ダイバーシティアンテナ 1 3 7 0、及びダイバーシティアンテナ 1 3 7 0 から信号を受信するダイバーシティ受信器モジュール 1 3 0 8 も含む。ダイバーシティ受信器モジュール 1 3 0 8 は、フロントエンドモジュール 1 3 0 6 における可変利得増幅器 1 3 1 0 a と同様の可変利得増幅器 1 3 1 0 b を含む。ダイバーシティ受信器モジュール 1 3 0 8 及び可変利得増幅器 1 3 1 0 b は、受信した信号を処理し、処理した信号を送受信器 1 3 0 4 に送信する。いくつかの実施形態において、ダイプレクサ、トライプレクサ、又は他のマルチプレクサ若しくはフィルタアセンブリを、ここに記載されるように、ダイバーシティアンテナ 1 3 7 0 とダイバーシティ受信器モジュール 1 3 7 0 との間に含めることができる。

20

## 【 0 0 9 3 】

本開示の一つ以上の特徴を、ここに記載される様々なセルラー周波数帯域とともに実装することができる。かかる帯域の例を表 1 に挙げる。理解されることだが、当該帯域の少なくともいくつかは、サブ帯域に分割することができる。本開示の一つ以上の特徴が、表 1 の例のような指定を有しない周波数範囲とともに実装し得ることも理解される。無線周波数 ( R F ) 及び無線周波数信号との用語が、少なくとも表 1 に挙げられる周波数を含む信号を言及することが理解される。

30

【表 1】

Table 1

帯域	モード	送信周波数範囲(MHz)	受信周波数範囲(MHz)
B1	FDD	1,920 - 1,980	2,110 - 2,170
B2	FDD	1,850 - 1,910	1,930 - 1,990
B3	FDD	1,710 - 1,785	1,805 - 1,880
B4	FDD	1,710 - 1,755	2,110 - 2,155
B5	FDD	824 - 849	869 - 894
B6	FDD	830 - 840	875 - 885
B7	FDD	2,500 - 2,570	2,620 - 2,690
B8	FDD	880 - 915	925 - 960
B9	FDD	1,749.9 - 1,784.9	1,844.9 - 1,879.9
B10	FDD	1,710 - 1,770	2,110 - 2,170
B11	FDD	1,427.9 - 1,447.9	1,475.9 - 1,495.9
B12	FDD	699 - 716	729 - 746
B13	FDD	777 - 787	746 - 756
B14	FDD	788 - 798	758 - 768
B15	FDD	1,900 - 1,920	2,600 - 2,620
B16	FDD	2,010 - 2,025	2,585 - 2,600
B17	FDD	704 - 716	734 - 746
B18	FDD	815 - 830	860 - 875
B19	FDD	830 - 845	875 - 890
B20	FDD	832 - 862	791 - 821
B21	FDD	1,447.9 - 1,462.9	1,495.9 - 1,510.9
B22	FDD	3,410 - 3,490	3,510 - 3,590
B23	FDD	2,000 - 2,020	2,180 - 2,200
B24	FDD	1,626.5 - 1,660.5	1,525 - 1,559
B25	FDD	1,850 - 1,915	1,930 - 1,995
B26	FDD	814 - 849	859 - 894
B27	FDD	807 - 824	852 - 869
B28	FDD	703 - 748	758 - 803
B29	FDD	N/A	716 - 728
B30	FDD	2,305 - 2,315	2,350 - 2,360
B31	FDD	452.5 - 457.5	462.5 - 467.5
B32	FDD	N/A	1,452 - 1,496
B33	TDD	1,900 - 1,920	1,900 - 1,920
B34	TDD	2,010 - 2,025	2,010 - 2,025
B35	TDD	1,850 - 1,910	1,850 - 1,910
B36	TDD	1,930 - 1,990	1,930 - 1,990
B37	TDD	1,910 - 1,930	1,910 - 1,930
B38	TDD	2,570 - 2,620	2,570 - 2,620
B39	TDD	1,880 - 1,920	1,880 - 1,920
B40	TDD	2,300 - 2,400	2,300 - 2,400
B41	TDD	2,496 - 2,690	2,496 - 2,690
B42	TDD	3,400 - 3,600	3,400 - 3,600
B43	TDD	3,600 - 3,800	3,600 - 3,800
B44	TDD	703 - 803	703 - 803
B45	TDD	1,447 - 1,467	1,447 - 1,467
B46	TDD	5,150 - 5,925	5,150 - 5,925
B65	FDD	1,920 - 2,010	2,110 - 2,200
B66	FDD	1,710 - 1,780	2,110 - 2,200
B67	FDD	N/A	738 - 758
B68	FDD	698 - 728	753 - 783

10

20

30

40

50

## 【 0 0 9 4 】

本明細書及び特許請求の範囲全体にわたり、文脈上そうでないことが明らかでない限り、「含む」、「備える」等の単語は、排他的又は網羅的な意味とは反対の包括的意味に、すなわち「～を含むがこれらに限られない」との意味に解釈すべきである。ここで一般に使用される単語「結合」は、直接接続されるか又は一つ以上の中間要素を介して接続されるかのいずれかとなり得る2以上の要素を言及する。加えて、単語「ここ」、「上」、「

下」及び同様の趣旨の単語は、本アプリケーションにおいて使用される場合、本アプリケーション全体を言及し、本アプリケーションの任意の特定部分を言及するわけではない。文脈が許容する場合、単数又は複数を使用する所定実施形態の上記説明における単語はそれぞれ、複数又は単数をも含み得る。2以上の項目のリストを言及する単語「又は」及び「若しくは」は、当該単語の以下の解釈のすべてをカバーする。すなわち、当該リストの任意の項目、当該リストのすべての項目、及び当該リストの項目の任意の組み合わせである。

【0095】

本発明の実施形態の上記詳細な説明は、排他的であることすなわち本発明を上記開示の正確な形態に制限することを意図しない。本発明の及びその例の特定の実施形態が例示を目的として上述されたが、当業者が認識するように、本発明の範囲において様々な均等の修正も可能である。例えば、プロセス又はブロックが所与の順序で提示されるが、代替実施形態は、異なる順序でステップを有するルーチンを行うこと又はブロックを有するシステムを用いることができ、いくつかのプロセス又はブロックは削除、移動、追加、細分化、結合、及び/又は修正することができる。これらのプロセス又はブロックはそれぞれが、様々な異なる態様で実装することができる。また、プロセス又はブロックが直列的に行われるように示されることがあるが、これらのプロセス又はブロックは、その代わりに、並列して行い又は異なる時に行うこともできる。

10

【0096】

ここに与えられた本発明の教示は、必ずしも上述のシステムに限られることがなく、他のシステムにも適用することができる。上述の様々な実施形態要素及び行為は、さらなる実施形態を与えるべく組み合わせることができる。

20

【0097】

本発明のいくつかの実施形態が記載されたが、これらの実施形態は、例のみとして提示されており、本開示の範囲を制限することを意図しない。実際のところ、ここに記載される新規な方法及びシステムは、様々な他の形態で具体化することができる。さらに、ここに記載される方法及びシステムの形態における様々な省略、置換及び変更が、本開示の要旨から逸脱することなくなし得る。添付の特許請求の範囲及びその均等物が、本開示の範囲及び要旨に収まるかかる形態又は修正をカバーすることが意図される。

30



【 図 1 】

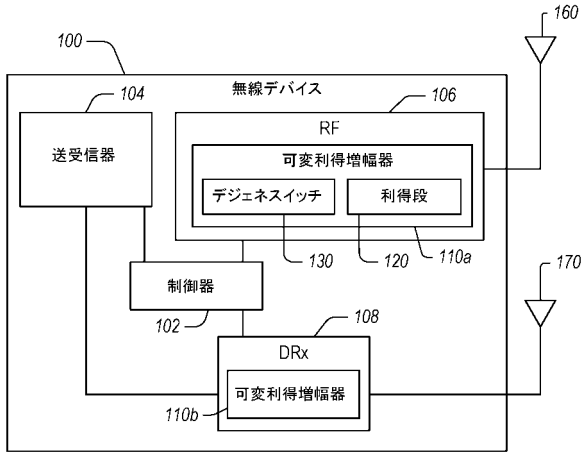


FIG. 1

【 図 2 】

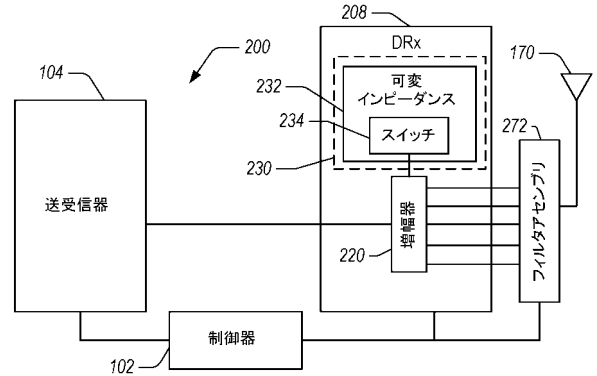


FIG. 2

【 図 3 A 】

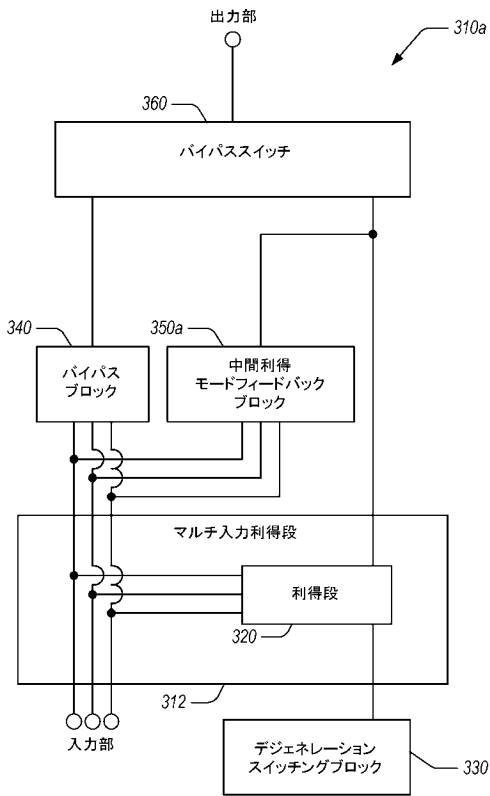


FIG. 3A

【 図 3 B 】

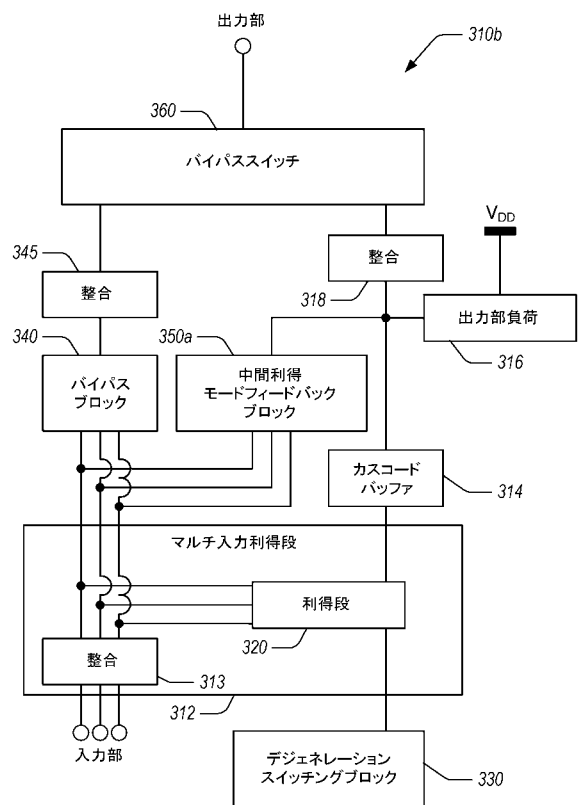


FIG. 3B

【 図 3 C 】

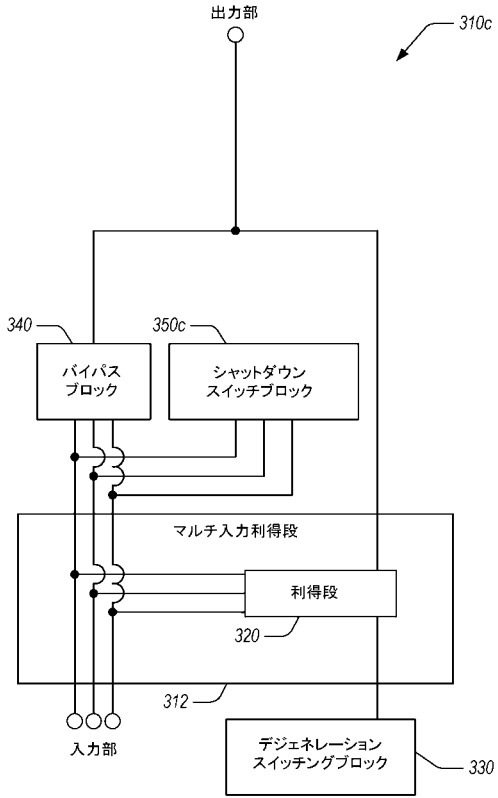


FIG. 3C

【 図 3 D 】

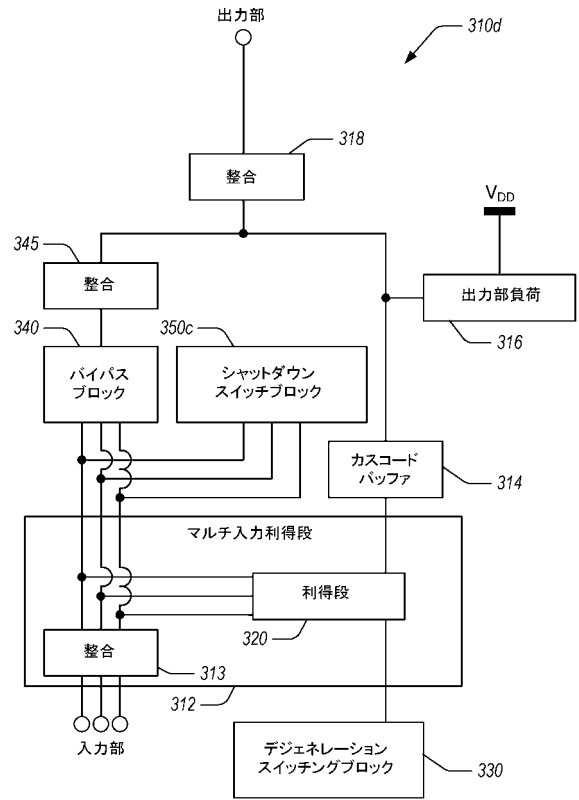


FIG. 3D

【 図 4 】

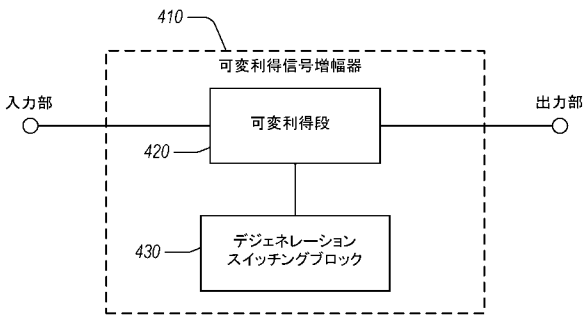


FIG. 4

【 図 5 】

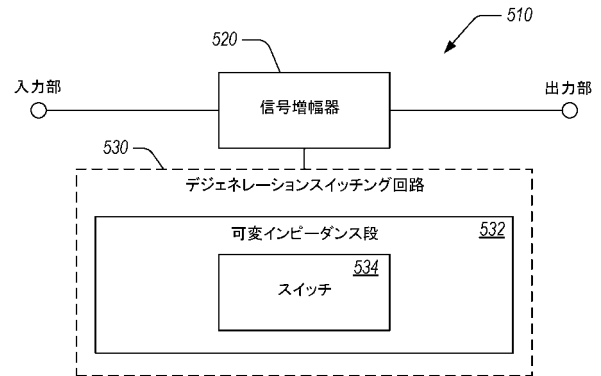


FIG. 5

【図6】

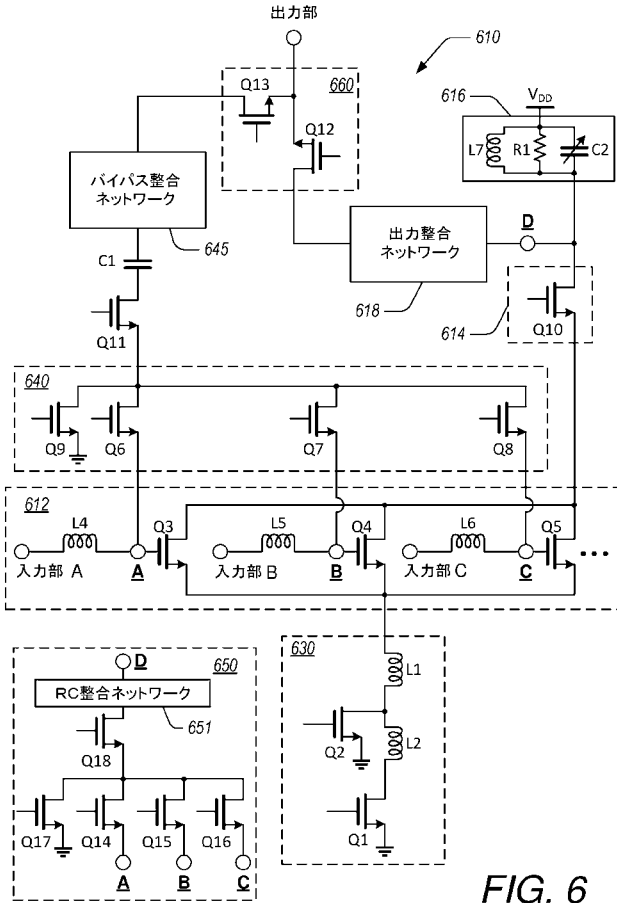


FIG. 6

【図7A】

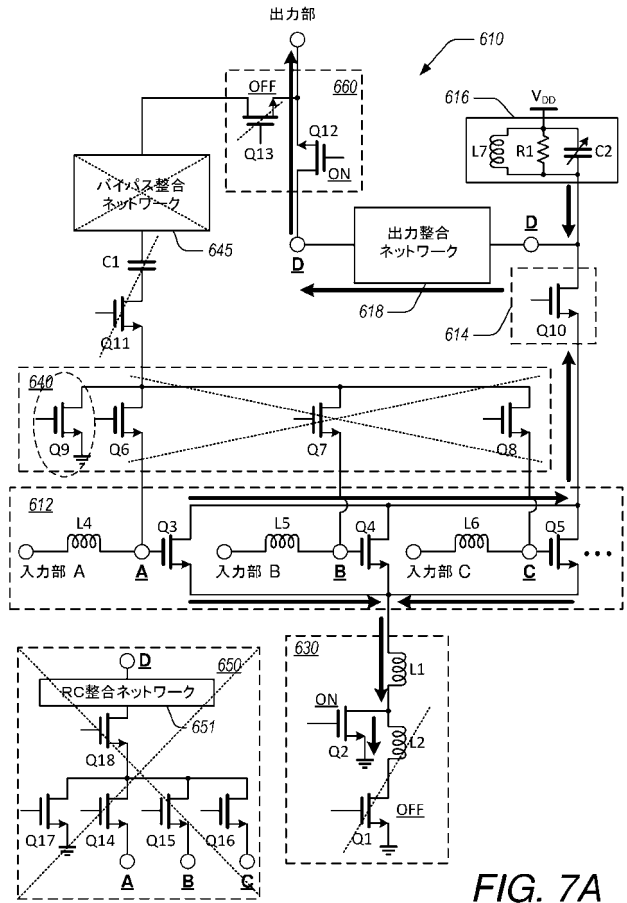


FIG. 7A

【図7B】

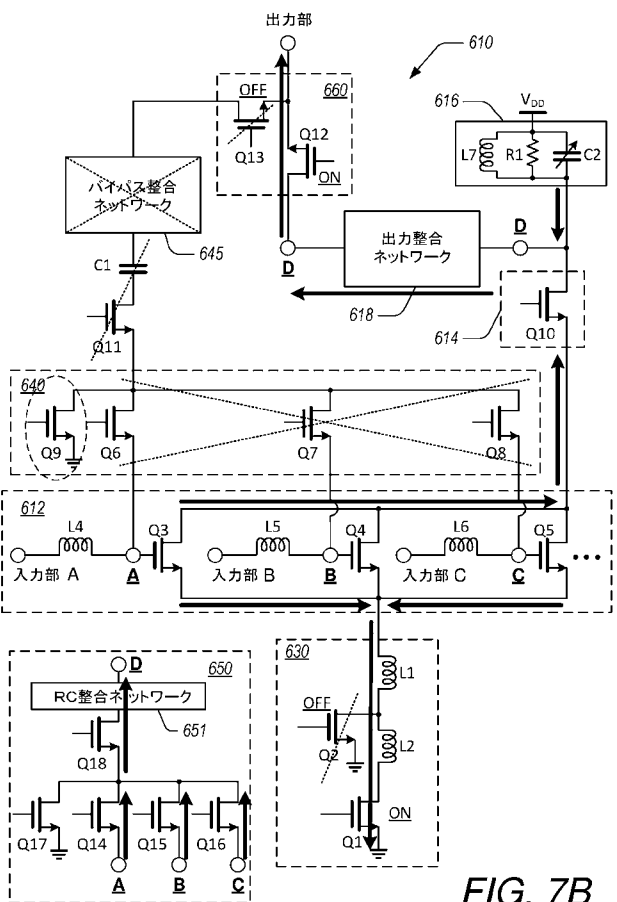


FIG. 7B

【図7C】

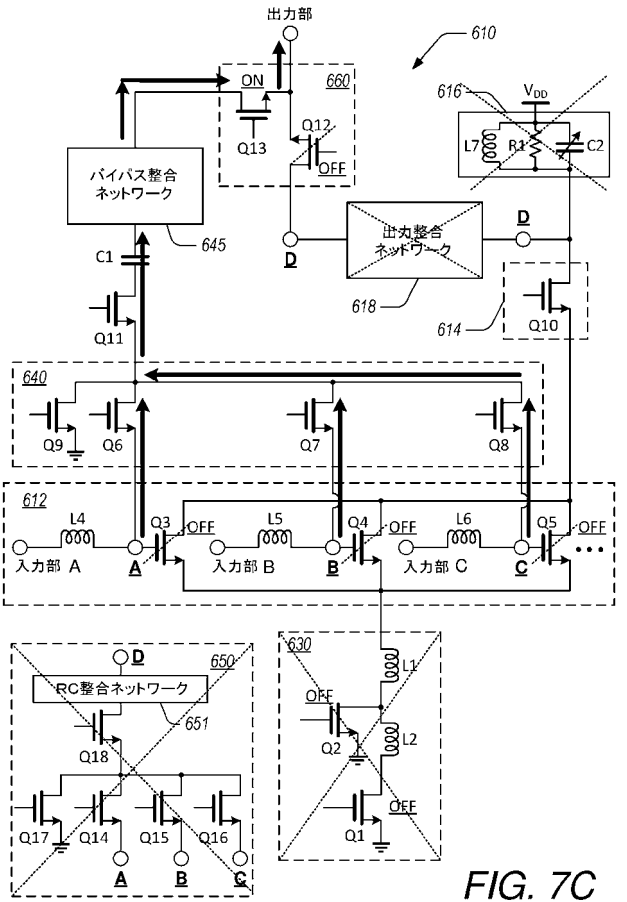


FIG. 7C

【 図 8 】

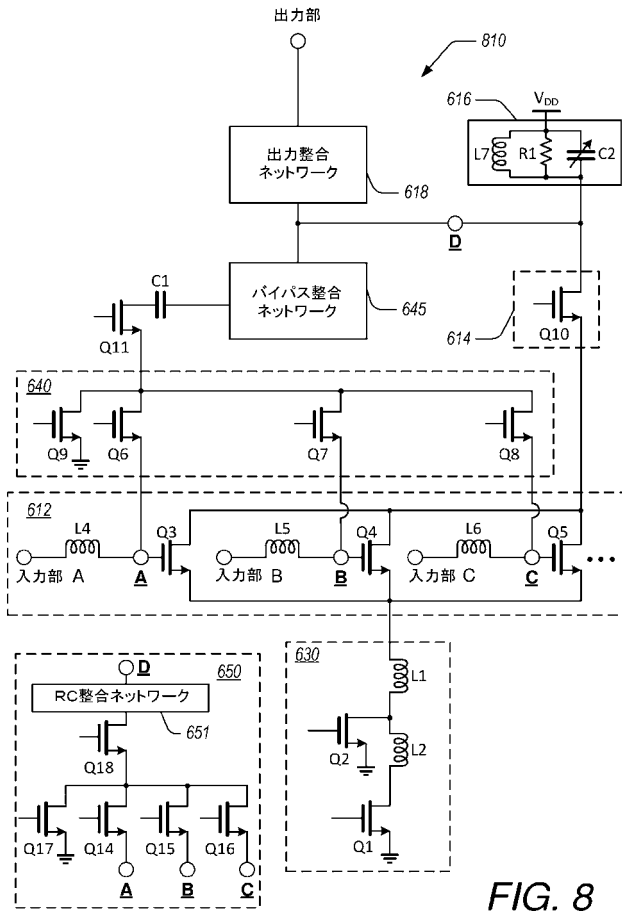


FIG. 8

【 図 9 】

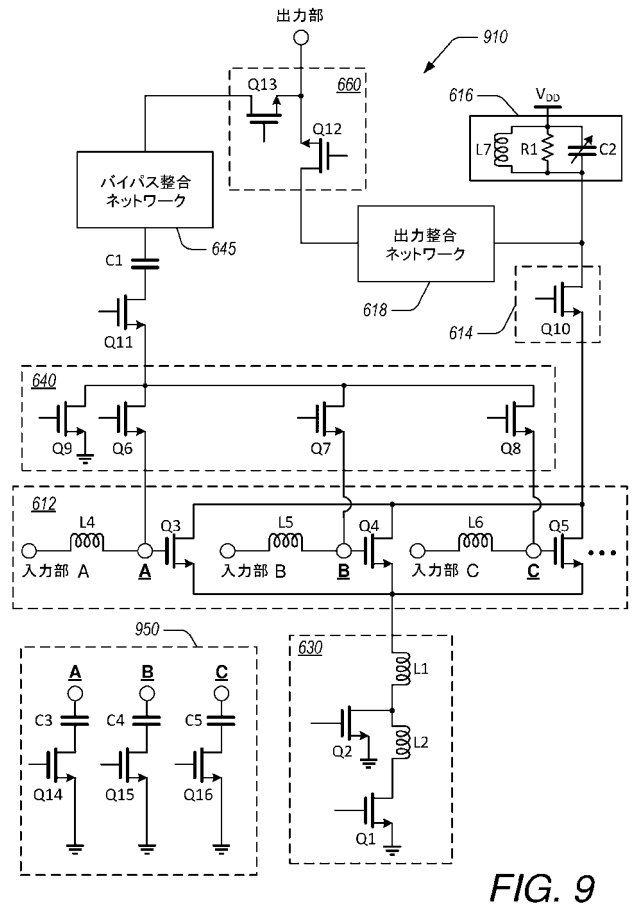


FIG. 9

【 図 1 0 】

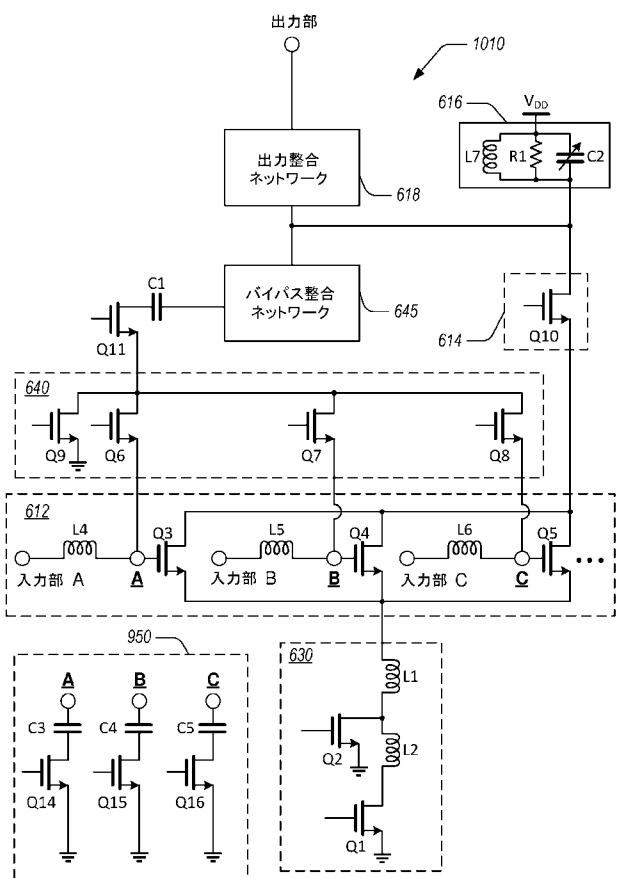


FIG. 10

【 図 1 1 】

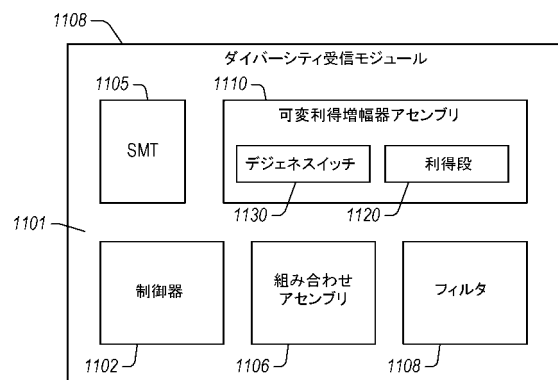


FIG. 11

【 図 1 2 】

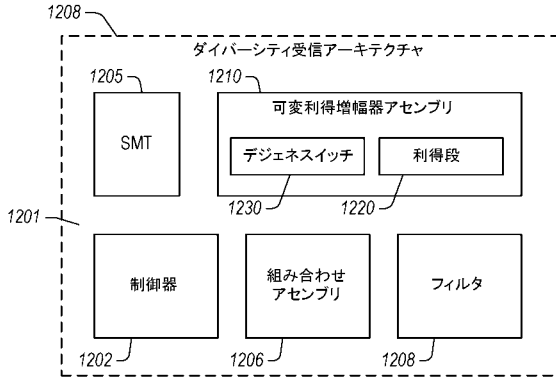


FIG. 12

【 図 1 3 】

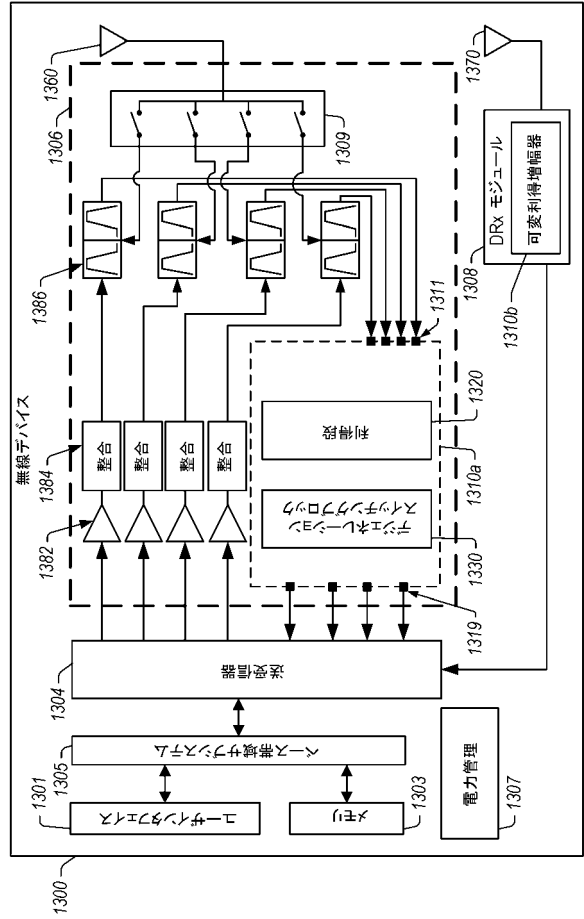

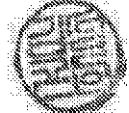


FIG. 13

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2017/049363</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <b>H03G 3/30(2006.01)i, H03G 1/00(2006.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H03G 3/30; H03F 1/56; H03F 3/16; H03F 1/30; G01R 3/1/02; H03F 3/19; H03G 1/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) cKOMPASS(KIPO internal) & keywords: amplifier, degeneration, swtich, variable impedance, filter, controller		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010-0321113 A1 (GANESH KATHIRESAN et al.) 23 December 2010 See paragraphs [0003]-[0036] and figures 2-3.	1,3-7,10-18,20-22
Y		2,8-9,19,23-32
Y	US 2014-0203872 A1 (HENRIK SJOLAND) 24 July 2014 See paragraph [0042] and figure 6.	2,8-9,19,23-32
A	US 2012-0206150 A1 (KYLE DAVID HOLZER) 16 August 2012 See paragraphs [0030]-[0034] and figure 3.	1-32
A	US 2012-0013401 A1 (MOON-SUK JBON et al.) 19 January 2012 See paragraphs [0027]-[0029] and figure 2.	1-32
A	US 2010-0301942 A1 (ZULFA BIN HASAN ABRAR) 02 December 2010 See paragraphs [0031]-[0042] and figure 4.	1-32
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 08 December 2017 (08.12.2017)		Date of mailing of the international search report <b>11 December 2017 (11.12.2017)</b>
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer KIM, Sung Gon  Telephone No. +82-42-481-8746

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2017/049363**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0321113 A1	23/12/2010	AT 516628 T	15/07/2011
		CN 101375229 A	25/02/2009
		CN 101375229 B	27/06/2012
		CN 101375504 A	25/02/2009
		CN 101375504 B	18/05/2011
		CN 101375505 A	25/02/2009
		EP 1977301 A2	08/10/2008
		EP 1977516 A1	08/10/2008
		EP 1977516 B1	13/07/2011
		EP 1977517 A1	08/10/2008
		EP 1977517 B1	18/11/2009
		EP 1977518 A1	08/10/2008
		EP 1977526 A1	08/10/2008
		EP 1977526 B1	03/11/2010
		GB 2434491 A	25/07/2007
		GB 2434494 A	25/07/2007
		GB 2434494 B	06/02/2008
		GB 2435725 A	05/09/2007
		GB 2435734 A	05/09/2007
		GB 2437990 A	14/11/2007
		JP 2009-524318 A	25/06/2009
		JP 2009-524319 A	25/06/2009
		JP 2009-524320 A	25/06/2009
		JP 2009-524321 A	25/06/2009
		JP 2009-524322 A	25/06/2009
		JP 4944903 B2	06/06/2012
		JP 4977717 B2	18/07/2012
		JP 5026438 B2	12/09/2012
		US 2009-0251176 A1	08/10/2009
		US 2010-0166114 A1	01/07/2010
		US 2010-0188133 A1	29/07/2010
		US 2010-0189194 A1	29/07/2010
		US 2010-0315151 A1	16/12/2010
		US 7808287 B2	05/10/2010
		US 7952417 B2	31/05/2011
		US 8175208 B2	08/05/2012
		US 8203388 B2	19/06/2012
		WO 2007-085866 A1	02/08/2007
		WO 2007-085867 A1	02/08/2007
		WO 2007-085868 A2	02/08/2007
		WO 2007-085868 A3	04/10/2007
WO 2007-085870 A1	02/08/2007		
WO 2007-085871 A1	02/08/2007		
US 2014-0203872 A1	24/07/2014	EP 2557687 A1	13/02/2013
		US 9281785 B2	08/03/2016
		WO 2013-020768 A1	14/02/2013
US 2012-0206150 A1	16/08/2012	TW 201119214 A	01/06/2011

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2017/049363**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		TW I434511 B WO 2011-023210 A1	11/04/2014 03/03/2011
US 2012-0013401 A1	19/01/2012	CN 102377393 A KR 10-2012-0007426 A	14/03/2012 20/01/2012
US 2010-0301942 A1	02/12/2010	US 7898325 B2	01/03/2011



## フロントページの続き

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72) 発明者 ハゲラーツ、 ヨハネス ヤコブス エミール マリア

アメリカ合衆国 9 6 7 4 3 ハワイ州 カムエラ カ ナニ プレース 5 9 - 1 2 7

(72) 発明者 イ、 ジュンヒョン

アメリカ合衆国 9 2 6 1 8 カリフォルニア州 アーバイン スモールホイール 1 1 0

(72) 発明者 チョ、 ジョシュア ヘソク

アメリカ合衆国 9 2 6 0 3 カリフォルニア州 アーバイン ベレアン レーン 5 0 6 5

(72) 発明者 パディヤナ、 アラピンド クマル

アメリカ合衆国 9 2 6 2 6 カリフォルニア州 コスタメサ アベニュー オブ ジ アーツ  
3 4 0 0 アpartment イー 2 1 5

(72) 発明者 アガーワル、 ビプル

アメリカ合衆国 9 2 6 0 2 カリフォルニア州 アーバイン クロスウィンズ 1 2 3

F ターム(参考) 5J100 AA01 AA17 BA04 BB13 BB15 BC03 CA02 CA09 CA12

5J500 AA01 AA41 AA51 AC71 AH10 AH25 AH30 AH33 AK29 AK41

AS13 LV08