

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4209588号
(P4209588)

(45) 発行日 平成21年1月14日(2009.1.14)

(24) 登録日 平成20年10月31日(2008.10.31)

(51) Int.Cl.

F I

G 1 1 C 11/417 (2006.01)

G 1 1 C 11/34 3 0 5

G 1 1 C 11/41 (2006.01)

G 1 1 C 11/34 3 4 5

請求項の数 16 (全 14 頁)

(21) 出願番号 特願2000-518387 (P2000-518387)
 (86) (22) 出願日 平成10年10月20日(1998.10.20)
 (65) 公表番号 特表2001-521262 (P2001-521262A)
 (43) 公表日 平成13年11月6日(2001.11.6)
 (86) 国際出願番号 PCT/US1998/021939
 (87) 国際公開番号 W01999/022376
 (87) 国際公開日 平成11年5月6日(1999.5.6)
 審査請求日 平成17年9月7日(2005.9.7)
 (31) 優先権主張番号 08/956, 981
 (32) 優先日 平成9年10月24日(1997.10.24)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 507293332
 エーアールエム・インコーポレーテッド
 ARM INCORPORATED
 アメリカ合衆国 カリフォルニア州940
 89-1013 サニーベイル、カスピア
 ン・コート、141
 (74) 代理人 110000028
 特許業務法人明成国際特許事務所
 (74) 代理人 100096817
 弁理士 五十嵐 孝雄
 (74) 代理人 100097146
 弁理士 下出 隆史
 (74) 代理人 100102750
 弁理士 市川 浩

最終頁に続く

(54) 【発明の名称】 高速メモリ用自己タイミング回路及びその実現方法

(57) 【特許請求の範囲】

【請求項1】

メモリ回路であって、

複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアと、

モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有する自己タイミング経路と、
 を備え、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに、前記モデルワード線に接続された最後のダミーコアセルが前記モデルワード線ドライバに近接した位置に配置されており、

前記メモリ回路は、さらに、前記自己タイミング経路を駆動するように構成された制御回路であって、モデルビット線対を通じて前記モデルコアセルに接続された前記モデルセンスアンプに接続されている制御回路を備え、

前記制御回路は、前記モデルワード線ドライバにワード線イネーブル信号を伝達して前記自己タイミング経路を駆動し、前記折り返されたワード線を通じて前記モデルワード線

10

20

ドライバが前記モデルコアセルへアクセスするように構成されるとともに、前記モデルワード線の自己タイミング経路 R C 遅延を受け取ったときに、前記メモリコアのセンスアンプに伝達される読み出しレディ信号を生成する、メモリ回路。

【請求項 2】

メモリ回路であって、

複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアと、

モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有する自己タイミング経路と、
を備え、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに、前記ダミーコアセルの半数が前記モデルワード線の前半に配置され、残りの半数が前記モデルワード線の後半に配置されているワード線であり、

前記モデルコアセルは、前記モデルワード線ドライバに近接した位置において前記モデルワード線の前記終端に接続されており、

前記メモリ回路は、さらに、前記自己タイミング経路を駆動するように構成された制御回路であって、モデルビット線対を通じて前記モデルコアセルに接続された前記モデルセンスアンプに接続されている制御回路を備え、

前記制御回路は、前記モデルワード線ドライバにワード線イネーブル信号を伝達して前記自己タイミング経路を駆動し、前記折り返されたワード線を通じて前記モデルワード線ドライバが前記モデルコアセルへアクセスするように構成されるとともに、前記モデルワード線の自己タイミング経路 R C 遅延を受け取ったときに、前記メモリコアのセンスアンプに伝達される読み出しレディ信号を生成する、メモリ回路。

【請求項 3】

請求項 1 又は 2 記載のメモリ回路であって、

前記自己タイミング経路 R C 遅延は、前記最悪ケースコアセルの R C 遅延とほぼ等しい、メモリ回路。

【請求項 4】

請求項 3 記載のメモリ回路であって、

前記最悪ケースコアセルは、前記コアセルのアレイの中で、前記メモリコアのワード線ドライバと前記センスアンプから最も遠いものである、メモリ回路。

【請求項 5】

請求項 1 又は 2 記載のメモリ回路であって、さらに、

前記複数のワード線に接続されている複数のワード線ドライバを備える、メモリ回路。

【請求項 6】

請求項 5 記載のメモリ回路であって、

前記制御回路が、前記コアセルのアレイに接続されている各々の前記複数のセンスアンプと各々の前記複数のワード線ドライバに接続されている、メモリ回路。

【請求項 7】

請求項 1 又は 2 記載のメモリ回路であって、

前記メモリ回路は、ROM 回路と、RAM 回路と、SRAM 回路と、DRAM 回路と、EPROM 回路と、EEPROM 回路とで構成されるグループから選択されたものである、メモリ回路。

【請求項 8】

自己タイミング経路を有するメモリ回路の製造方法であって、
複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアを提供する工程と、

モデルワード線とモデルビット線対とに沿ってコアセルの自己タイミング経路を集積化する工程と、

前記モデルワード線に沿った R C 遅延と前記モデルビット線対に沿った R C 遅延とが完了したことを示す R C 遅延信号の後に、読み出しレディ信号を前記メモリコアのセンスアンプに伝達する工程と、

を備え、

前記自己タイミング経路は、モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有し、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに、前記モデルワード線に接続された最後のダミーコアセルが前記モデルワード線ドライバに近接した位置に配置されている、

メモリ回路の製造方法。

【請求項 9】

自己タイミング経路を有するメモリ回路の製造方法であって、
複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアを提供する工程と、

モデルワード線とモデルビット線対とに沿ってコアセルの自己タイミング経路を集積化する工程と、

前記モデルワード線に沿った R C 遅延と前記モデルビット線対に沿った R C 遅延とが完了したことを示す R C 遅延信号の後に、読み出しレディ信号を前記メモリコアのセンスアンプに伝達する工程と、

を備え、

前記自己タイミング経路は、モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有し、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに、前記ダミーコアセルの半数が前記モデルワード線の前半に配置され、残りの半数が前記モデルワード線の後半に配置されているワード線であり、

前記モデルコアセルは、前記モデルワード線ドライバに近接した位置において前記モデルワード線の前記終端に接続されている、

メモリ回路の製造方法。

【請求項 10】

請求項 8 又は 9 記載の自己タイミング経路を有するメモリ回路の製造方法であって、
前記読み出しレディ信号の立ち下がりエッジが前記メモリコアの前記センスアンプのトリガーとなる、メモリ回路の製造方法。

【請求項 11】

請求項 10 記載の自己タイミング経路を有するメモリ回路の製造方法であって、
前記読み出しレディ信号の立ち上がりエッジが、前記モデルワード線の前記始端で前記モデルワード線に接続されたモデルワード線ドライバのトリガーとなる、メモリ回路の製造方法。

10

20

30

40

50

【請求項 1 2】

請求項 1 1 記載の自己タイミング経路を有するメモリ回路の製造方法であって、

前記メモリ回路は、ROM回路と、RAM回路と、SRAM回路と、DRAM回路と、EPROM回路と、EEPROM回路とで構成されるグループから選択されたものである、メモリ回路の製造方法。

【請求項 1 3】

複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアを含み、かつ、自己タイミング経路を有するメモリ回路を生成するためのメモリジェネレータであって、

モデルワード線とモデルビット線対とに沿ってコアセルの自己タイミング経路を生成しており、

前記自己タイミング経路は、モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有し、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに、前記モデルワード線に接続された最後のダミーコアセルが前記モデルワード線ドライバに近接した位置に配置されており、

制御回路が、復帰経路のRC遅延なしで、前記モデルワード線と前記モデルビット線対との合成RC遅延を受信するように構成されている、メモリジェネレータ。

【請求項 1 4】

複数のワード線と複数のビット線対と複数のセンスアンプとに接続されているコアセルのアレイを有するメモリコアを含み、かつ、自己タイミング経路を有するメモリ回路を生成するためのメモリジェネレータであって、

モデルワード線とモデルビット線対とに沿ってコアセルの自己タイミング経路を生成しており、

前記自己タイミング経路は、モデルワード線ドライバにより駆動されるモデルワード線に直列に接続された複数のダミーコアセル及びモデルコアセルと、モデルビット線対を通じて前記モデルコアセルに接続されたモデルセンスアンプとを有し、

前記モデルワード線に接続された前記ダミーコアセルの数は、前記複数のワードラインの一つに接続された前記コアセルの数に等しく、

前記モデルワード線は、前記モデルワード線が前記モデルワード線ドライバに近接した位置において終端を有するように折り返されているとともに前記ダミーコアセルの半数が前記モデルワード線の前半に配置され、残りの半数が前記モデルワード線の後半に配置されているワード線であり、

前記モデルコアセルは、前記モデルワード線ドライバに近接した位置において前記モデルワード線の前記終端に接続されており、

制御回路が、復帰経路のRC遅延なしで、前記モデルワード線と前記モデルビット線対との合成RC遅延を受信するように構成されている、メモリジェネレータ。

【請求項 1 5】

請求項 1 3 又は 1 4 記載のメモリ回路を生成するメモリジェネレータであって、

前記モデルビット線対は、複数のワード線ドライバと隣接した前記メモリコアの側部に沿って配置される、メモリジェネレータ。

【請求項 1 6】

請求項 1 5 記載のメモリ回路を生成するメモリジェネレータであって、

モデルワード線ドライバが、前記複数のワード線ドライバの隣に整列されるとともに、

10

20

30

40

50

前記モデルコアセルの隣に配置される、メモリジェネレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は一般に集積回路に関し、特に、改善されたメモリ用自己タイミング回路のための方法と装置に関する。

【0002】

【従来の技術】

半導体メモリコアは、通常、各々の独立したコアセルがワード線と一对の差動ビット線に接続されるようにアレイ形式で配置される。選択されたコアセルに格納されたデータにアクセスするため、メモリコアの周りに、付随するメモリアクセス回路が共通に設計される。例えば、キーメモリアクセス回路は、通常は、コアセルを選択するためのアドレス指定回路と、選択されたワード線を駆動するためのワード線ドライバと、選択されたコアセルからの読み出し信号を増幅するセンスアンプとを含む。

【0003】

理解の容易のため、図1に、メモリコア100及び付随するアクセス回路を有するメモリアクセス回路のブロック図を示す。従来のメモリコア設計においては、複数のコアセル102はメモリコア100の全体にアレイ形式で配置されている。この例では、選択されたメモリアクセル102へのアクセスを制御するために、制御ブロック回路110が使用され、このアクセスには、ワード線ドライバ106とセンスアンプ(SA)104が使用される。

【0004】

この例では、制御ブロック回路110は、その立ち上がりエッジによって一つの選択されたワード線ドライバ106をトリガーする信号116を生成するように構成されている。信号116が、立ち下がりエッジ(すなわち、以下に説明する従来の自己タイミングアーキテクチャにより決定されるタイミング)を生ずる時に、この信号116は選ばれたセンスアンプ104のうちの一つにデータの感知を開始させる。図示されるように、ワード線ドライバ106は、各コアセル102を相互接続するワード線を使用して、コアセル102それぞれと水平方向に接続される。同様に、センスアンプ104は、差動ビット線を使用してコアセル102の各々と垂直方向に接続される。

【0005】

従来のメモリ回路において、設計者は、自己タイミングアーキテクチャを使用しており、この自己タイミングアーキテクチャは、メモリコア100においてコアセル102からデータを感知することをセンスアンプ104がいつ開始すべきであるかを、メモリ回路が決定することを可能にするものである。自己タイミングアーキテクチャは、一般に、いずれかのコアセル102へのアクセスを試みるときに使用する標準の遅延時間(すなわち、一般に、与えられたコアのための最悪ケースの遅延タイミングである)を概算するために使用される。一般に、あるコアセル102の現実の遅延時間は、そのコアセル102のロケーションにより異なるので、一般に自己タイミングアーキテクチャが必要である。例として、コアセル103は、ワード線ドライバ106とセンスアンプ104から最も遠くに位置している。

【0006】

その結果、ワード線ドライバ106をコアセル103に接続するワード線に伴うRC遅延と、センスアンプ104をコアセル103に接続するビット線に伴うRC遅延とによる合成RC遅延は、メモリコア100内の他のどのコアセル102よりも大きい。例えば、コアセル101に接続されたワード線とビット線による合成RC遅延は、メモリコア100内に配置された他のどのコアセルよりも小さい。従って、モデルワード線ドライバ106'と、コアセル102'と、モデルコアセル103'と、モデルワード線112aと、モデルビット線112bと、センスアンプ104'と、自己タイミング復帰経路114とを含む自己タイミングアーキテクチャは、かかる標準の遅延時間を設定する役割を有している。

【 0 0 0 7 】

従って、自己タイミングアーキテクチャは、メモリコア 1 0 0 において、あるコアセル 1 0 2 のデータを読むために、センス増幅を正しく実行するのに十分なビット線差がいつ達成されたかを推定するのに適している（最悪ケースのモデルコアセル 1 0 3 ' によるもの）。作動時には、制御ブロック回路は、モデルコアセル 1 0 3 ' にアクセスするために、モデルワード線ドライバ 1 0 6 ' に選択信号 1 1 6 を出力する。モデルコアセル 1 0 3 ' がアクセスされると、信号がモデルビット線 1 1 2 b と、センスアンプ 1 0 4 ' とを通り、自己タイミング復帰経路 1 1 4 に沿って制御ブロック回路 1 1 0 に伝達される。

【 0 0 0 8 】

従来の自己タイミングアーキテクチャについての特有の問題は、センスアンプ 1 0 4 ' がモデルコアセル 1 0 3 ' から信号を一度受け取ると、メモリ回路はデータの読み出しが可能になるという点にある。しかしながら、自己タイミング復帰経路 1 1 4 を付加すると、モデルワード線 1 1 2 a とモデルビット線 1 1 2 b の R C 遅延に付加的な R C 遅延が必然的に追加される。自己タイミング復帰経路 1 1 4 により導入されるこの付加的な R C 遅延は、メモリのアクセス動作を遅らせることになる。このため、制御ブロック回路 1 1 0 は、信号を自己タイミング復帰経路 1 1 4 から受け取るまで、読み出しレディ信号 1 1 6 を、センスアンプ 1 0 4 に出力しない。その結果、高速メモリアccessが必要な用途において、全体のメモリ回路の性能は、自己タイミング復帰経路 1 1 4 により生ずる付加的な R C 遅延のため低下することになる。

【 0 0 0 9 】

以上のことから、最悪ケースのモデルコアセルへのアクセスが実行される時に、不要な R C 遅延の導入を排除する自己タイミングメモリ回路の必要性が存在する。

【 0 0 1 0 】

【 発明の概要 】

要するに、この発明は、不要な R C 遅延を取り除き、メモリアccess動作を大幅に加速する自己タイミングメモリ回路のための方法と装置を提供することによって、上記の要請を満たすものである。この発明は、プロセス、装置、システム、デバイス、または方法を含む多くの態様で実施できることが認識されるべきである。この発明のいくつかの実施例を以下に説明する。

【 0 0 1 1 】

一実施例としてメモリ回路が開示される。このメモリ回路はコアセルのアレイを含むメモリコアを有するものである。コアセルのアレイは複数のワード線と複数のビット線対とに接続される。このメモリ回路はさらに、モデルワード線に接続されたモデルコアセルを有する自己タイミング経路を有しており、このモデルワード線はモデルワード線ドライバにより駆動される。自己タイミング経路には、モデルビット線対を通じてモデルコアセルに接続されたモデルセンスアンプも含まれている。コアセルのアレイの最悪ケースコアセルの R C 遅延を近似するため、モデルワード線とモデルビット線対のそれぞれは複数のダミーのコアセルに接続される。さらに、モデルワード線は、モデルワード線ドライバに近接した位置において終端を有するように折り返されたワード線である。

【 0 0 1 2 】

別の実施例において、自己タイミング経路を有するメモリ回路の作成方法が開示されている。この方法は、コアセルのアレイを有するメモリコアを提供することを含む。この方法は、さらに、モデルワード線とモデルビット線対に沿ってコアセルの自己タイミング経路を集積化することを含むものである。モデルワード線は、モデルコアセルがモデルワード線のほぼ始端に配置され、そしてモデルワード線の終端がモデルコアセルに接続されるように折り返されている。

【 0 0 1 3 】

また、別の実施例では、自己タイミング経路を有するメモリ回路を生成するためのメモリジェネレータが開示されている。このメモリ回路はコアセルのアレイを含むメモリコアを有している。この実施例において、メモリジェネレータは、モデルワード線とモデルビッ

10

20

30

40

50

ト線対に沿って、コアセルの自己タイミング経路を生成するように構成される。モデルワード線は、モデルコアセルがモデルワード線のほぼ始端に置かれ、モデルワード線の終端がモデルコアセルに接続されるように折り返されている。

【 0 0 1 4 】

発明の他の特徴と優位点は、以下の添付図面とともに実施例に基づいて発明の原理を説明する発明の詳細な説明により明らかにする。

【 0 0 1 5 】

この発明は、添付図面を参照した以下の詳細な記述により理解できるようにされている。ここで、同種の各構成要素は同種の参照番号により明示する。

【 0 0 1 6 】

【 好適な実施例の詳細な記述 】

不要な R C 遅延を排除し、メモリアクセス動作を大幅に加速する自己タイミングメモリ回路の発明を開示する。以下の記述において、多くの具体的な内容は、この発明の完全な理解を提供するために述べられるものである。この発明は、しかしながら、当業者にとっては、一部または全部の具体的な内容なしで実施することもできるものと了解されている。他の例では、周知のプロセス操作は詳細に説明していない。この発明を不必要に不明瞭にしないようにするためである。

【 0 0 1 7 】

図 2 A は、この発明の一実施例に従ったコアセル 2 0 2 のアレイを含むメモリコア 2 0 0 を有するメモリ回路を示す図である。図示されるように、コアセル 2 0 2 は、ワード線 2 2 6 を通してワード線ドライバ 2 0 6 に水平方向に接続されているとともに、ビット線 2 2 9 を通してセンスアンプ 2 0 4 に垂直方向に接続されている。また、ワード線ドライバ 2 0 6 とセンスアンプ 2 0 4 のそれぞれに接続された制御回路 2 1 0 も示されている。この例において、センスアンプ 2 0 4 は個別の複数のブロックとして示されるが、一般には、センスアンプは、周知の Y デコーダ回路（図示せず）を通してビット線 2 2 9 のそれぞれに接続された一つの回路であることが理解されているべきである。

【 0 0 1 8 】

良く知られているように、Y デコーダは、メモリコア 2 0 0 内の選ばれた列（すなわち、差動ビット線）をアドレス指定するために使われる。例えば、Y デコーダは、一般に、長いアドレス指定可能メモリ列をいくつかのより短いメモリ列に折り返して（例えば分割して）、メモリアレイの縦横比を減らすために使用される。いくつかの列に折り返されると、Y デコーダは、適切なマルチプレクス機能を適切に実行して、アドレス指定されたデータにアクセスすることができる。

【 0 0 1 9 】

この実施例において、改善された自己タイミングアーキテクチャは、図 1 に示す従来の設計において使用される自己タイミング復帰経路 1 1 4 に起因する遅延を取り除くものとして開示されている。例えば、図 2 A に示すように、ワード線 2 2 2 と差動ビット線（すなわち、2 3 0、/ 2 3 0）の R C 遅延が、信号 2 1 4 により（モデルセンスアンプ 2 0 4 ' から）制御回路 2 1 0 に速やかに伝達されると、読み出しレディ信号 2 1 6 が直ちに送信される。従来の設計の自己タイミング復帰経路に起因する R C 遅延の除去は、主として、折り返されたワード線 2 2 0 により容易に実施されている。

【 0 0 2 0 】

折り返されたワード線 2 2 0 は、半分のコアセル 2 0 2 " が残り半分のその上に積み重ねられたものを含むことが好ましい。この配置は、それゆえに、ワード線 2 2 2 の終端を、この例ではメモリコア 2 0 0 の上端の一番左側に配置されたモデルコアセル 2 0 3 ' と接続するための効率的な経路を提供する。図示されるように、モデルビット線 2 3 0、/ 2 3 0 は、モデルコアセル 2 0 3 ' に至るまで複数のコアセル 2 0 2 ' を相互に接続する。作動時において、制御回路 2 1 0 が、信号 2 1 6 の立ち上がりエッジによってワード線イネーブル信号を、モデルワード線ドライバ 2 0 6 ' に出力する時は、ワード線 2 2 2 と差動的なビット線 2 3 0、/ 2 3 0 を通ってモデルセンスアンプ 2 0 4 " に至る経路の分だ

10

20

30

40

50

けのRC遅延が計算されることになる。

【0021】

その時、モデルセンス信号214が制御回路210に提供される。制御回路210がこの信号214を受け取ると、制御回路210は、読み出しレディ信号216の立ち上がりエッジを選択された複数のセンスアンプ204に伝達する。この発明の自己タイミングアーキテクチャは、メモリア200内のすべてのコアセル202とコアセル203に使用する標準遅延を提供するものである点に留意することが重要である。さらに、この標準遅延は、コアセル203を読むという最悪ケースのシナリオのためのRC遅延よりも大きくないことが好ましい。

【0022】

図2Bは、この発明の他の実施例に従った折り返されたワード線220'の別の配置を示す図である。図示されるように、折り返されたワード線220'は、図2Aの折り返されたワード線220に比べて、90度ずれた角度で配置されている。この実施例は、折り返されたワード線220'は、特定の設計に適するような方法によっても配置でき、水平に配置する必要はないことを示すものである。例えば、図2Cは、折り返されたワード線220"の他の配置を示す。この配置は、特定の集積回路設計において、他の種々のロジックに適したものとなる可能性があるものである。

【0023】

従って、モデルワード線ドライバ206'の出力点の十分近くに折り返しのワード線222の終了経路を提供するものである限り、折り返しのワード線がどのように配置されているかは重要ではないことが理解されるべきである。適切に配置される時には、余分なRC遅延が自己タイミング経路に含まれることはない。従って、モデルワード線222とモデルビット線230、/230を代表するRC遅延だけが制御回路210によって使用され、読み出しレディ信号216をセンスアンプ204に提供されるべきことが決定される。

【0024】

図3は、この発明の一実施例に従ったモデルコアセル203'の例を示す図である。この実施例において、ワード線226は、モデルコアセル203'とは相互接続されず、メモリア200内のコアセル202に直接接続されている線として示されている。しかし、モデルワード線222は、トランジスタ302と304のゲートに接続されている。また、トランジスタ304の端子と接続されたモデルビット線230、およびトランジスタ302の端子と接続される相補的なモデルビット線/230が示されている。さらに、信号216が、制御回路210からトランジスタ306のゲートに入力される。一般に、モデルコアセル203'は、プルダウン動作を実行するように構成されており、このプルダウン動作は、メモリア200内にあるコアセル202のプルダウンの強さを近似するように構成されている。

【0025】

別の実施例において、モデルコアセル203'は、特定のメモリア200の深さに応じてプルダウンドライブを増大させるために適切に調整しても良い。例えば、モデルコアセル203'は、プルダウン強度を高めるために、一つ以上のモデルコアセルと置き換えても良く、より大きいメモリアの駆動に伴う遅延や制御回路210に起因する遅延などを取り除くために使用できる可能性がある。

【0026】

図4は、この発明の一実施例に従った図2Aに示されたモデルワード線ドライバ206'の例を示す図である。このモデルワード線ドライバ206'は、モデルビット線230、/230と信号216とに接続されたプレチャージ回路402を有するものとして示されている。また、信号216を受け取って、バッファされた信号をモデルワード線222上に出力するバッファ404が示されている。一般に、信号216がハイになる(すなわち、立ち上がりエッジを発生する)時に、モデルワード線ドライバ206'がアクセス動作を開始するために起動される。さらに、バッファ404には、上の図2Aに示されるように、メモリア200にアクセスするワード線ドライバ206が生ずる遅延を近似するた

10

20

30

40

50

めに、十分な遅延が設定されている。

【0027】

図5Aは、この発明の一実施例に従ったメモリコア200内のコアセル202、203の例を示す図である。図示されるように、相補的なビット線229、/229は、1対のパスゲートトランジスタ502、504のドレイン端子にそれぞれ接続されている。ワード線226は、パスゲートトランジスタ502、504のゲートに接続されている。ひとつの典型的なコアセル202/203が示されているが、この発明の実施例が他のコアセルと他のメモリ回路に適用可能であることは了解されるべきである。

【0028】

従って、この発明の実施例はどのようなメモリ回路にでも適用できる。例えば、ROMメモリ回路、RAMメモリ回路、SRAMメモリ回路、DRAMメモリ回路、EPROMメモリ回路、EEPROMメモリ回路等である。メモリ回路とコアセルの詳細については、「The Art of Electronics第2版」(Paul Horowitz、Winfield Hill著)の812~820ページ(1996)を参照することができる。従って、この本は引用により明細書に含まれる。

【0029】

図5Bは、この発明の一実施例に従ったモデルビット線に沿って配置されたコアセル202'の例を示す図である。図示されるように、ビット線230は、パスゲートトランジスタ502'のドレイン端子に接続されており、ビット線/230はパスゲートトランジスタ504'のドレイン端子に接続されている。この実施例においてパスゲートトランジスタ502'、504'のそれぞれのゲートは接地されている。各々のコアセル202'は、一般に、メモリコア200のビット線229'において生ずるRC遅延を近似するために使用されるダミーのコアセルである。

【0030】

図5Cは、この発明の一つの実施例に従ったモデルワード線222に沿って配置されたコアセル202"の例を示す図である。図示されるように、パスゲートトランジスタ502"のドレイン端子はVddに接続されており、パスゲートトランジスタ504"のドレイン端子もVddに接続されている。この実施例においては、パスゲートトランジスタ502"、504"のそれぞれのゲートが、モデルワード線222に接続されている。コアセル202"のそれぞれも、一般に、メモリコア200のワード線226において生ずるRC遅延を近似するために使用されるダミーのコアセルである。

【0031】

図6は、この発明の一実施例に従った図2Aの制御回路の回路図の例を示す図である。制御回路210は、一般に、モデルセンスアンプ204'と、セット/リセットラッチ回路606とを有する。セット/リセットラッチ回路606は、一般に、リセット(/R)信号を受けるために使用するトランジスタ623と、クロック(CLK)602からSET(S)信号を受けるために使用するトランジスタ624とを有する。セット/リセットラッチ回路606は、また、インバータ603の出力にゲートが接続されたトランジスタ622を含んでおり、このインバータ603は入力604(これはCLK602の遅延である)を有している。

【0032】

セット/リセットラッチ回路606は、さらに、ラッチ626と、信号216を生成するインバータ628とを含んでいる。また、トランジスタ620のゲートとトランジスタ621のゲートとに伝達されるリセット信号が示されている。この例において、ビット線230はモデルセンスアンプ204'に接続されており、このモデルセンスアンプ204'はインバータ回路であることが示されている。このモデルセンスアンプ204'の出力はインバータ回路618に接続されている。一般に、リセット信号は、信号216の立ち下がりエッジが受け取られた後に伝達される。上述のように、信号216がロウになる時に(すなわち立ち下がりエッジで)、センスアンプには読み出しレディ信号が供給される。一方、信号216がハイになる時には、ワード線ドライバは、特定のセルにアクセスす

10

20

30

40

50

るように信号で伝えられる。

【 0 0 3 3 】

図 7 は、この発明の一実施例に従ったモデル経路と読み出しタイミング図 7 0 0 を示す図である。最初に、メモリクロック (C L K) 信号に立ち上がりエッジ 7 0 2 が発生すると、これにより、信号 2 1 6 は立ち上がりエッジ 7 0 4 を生ずる。そして、信号 2 1 6 の立ち上がりエッジ 7 0 4 は、すべてのアドレス指定されたワード線 (モデルワード線を含む) に立ち上がりエッジ 7 0 6 を生じさせる。この立ち上がりエッジ 7 0 6 は、モデルビット線 2 3 0 に立ち下がりエッジ 7 0 8 を生じさせる。立ち下がりエッジ 7 0 8 は、信号 2 1 6 の立ち下がりエッジ 7 1 0 を生じさせる。立ち下がりエッジ 7 1 0 は、ワード線とモデルワード線を立ち下げ、入力ラッチを開き、そしてビット線とデータバスをプレチャージするように作動する。

10

【 0 0 3 4 】

上述に加えてさらに、信号 2 1 6 に立ち下がりエッジ 7 1 0 が発生する時に、センスアンプ 2 0 4 は読み出し開始を命じられ、センスライン上において立ち上がりエッジ 7 1 2 を発生させる。具体的には、立ち下がりエッジ 7 1 0 は、すべてのアドレスワード線 (モデルワード線を含む) の立ち下がりエッジ 7 0 9、およびビット線 2 3 0 の立ち上がりエッジ 7 1 1 を生じさせる。さらに、センス信号の立ち上がりエッジ 7 1 2 は、感知されたデータの値 (このケースでは論理「 1 」) を反映した出力「 Q 」におけるエッジ 7 1 4 を生じさせる。ここで、立ち上がりエッジ 7 1 2 は、最悪ケースコアセル 2 0 3 に対してちょうど十分なビット線差 7 3 0 が達成された時とほとんど同時に発生することに留意することが重要である。

20

【 0 0 3 5 】

現実に、従来技術における自己タイミング復帰経路 1 1 4 の R C 遅延が取り除かれているので、モデルコアセル 2 0 3 ' が十分なビット線差に達したときと、ほぼ同時に最悪ケースコアセル 2 0 3 が十分なビット線差に達する。不要な遅延が取り除かれているので、メモリ回路は非常に高いスピードでアクセス動作を有利に実行することができる。

【 0 0 3 6 】

前述の発明は、明確に理解できるように詳細に説明されているが、変更や修正は、請求項の範囲内で行われうることは明らかである。従って、様々な回路図は以下に示すどのような形にも具体的に示されうるということが了解されるべきである。例えば、半導体基板、プリント板、パッケージされた集積回路、またはソフトウェア等である。

30

【 0 0 3 7 】

例えば、ニューヨーク州ニューヨーク市の I E E E から入手可能な V H D L (登録商標) ハードウェア記述言語のようなハードウェア記述言語設計や合成プログラムによりシリコンレベルの配置を設計することも可能である。従って、現実の実施例は制限的であることではなく、説明のためのものであると考える必要がある、そして、発明は、ここに記載された詳細に制限されるものではなく、請求項とその等価物の範囲で修正できる。

【 図面の簡単な説明 】

【 図 1 】 図 1 は、メモリコアとそれに付随するアクセス回路を有するメモリ回路のブロック図である。

40

【 図 2 A 】 図 2 A は、この発明の一実施例に従ったコアセルのアレイを含むメモリコアを有するメモリ回路を示す図である。

【 図 2 B 】 図 2 B は、この発明の他の実施例に従った折り返しワード線の配置を示す図である。

【 図 2 C 】 図 2 C は、この発明の他の実施例に従った折り返しワード線の配置を示す図である。

【 図 3 】 図 3 は、この発明の一実施例に従ったモデルコアセルの例を示す図である。

【 図 4 】 図 4 は、この発明の一実施例に従った図 2 A に示されるモデルワード線ドライバの例を示す図である。

【 図 5 A 】 図 5 A は、この発明の一実施例に従ったメモリコア内のコアセルの例を示す

50

【図５Ｂ】 図５Ｂは、この発明の一実施例に従ったモデルビット線に沿って配置されたコアセルの例を示す図である。

【図 6】 図 6 は、この発明の一実施例に従った図 2 A の制御回路の回路図の例を示す図である。

【 図 2 A 】

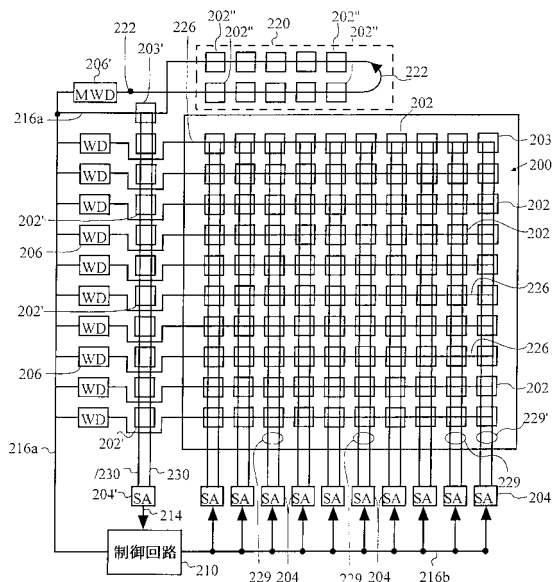


FIG. 2A

FIG. 1
(従来技術)

【図 2 B】

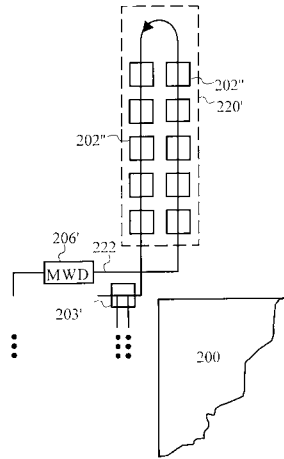


FIG. 2B

【図 2 C】

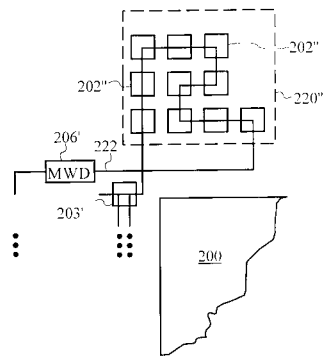


FIG. 2C

【図 4】

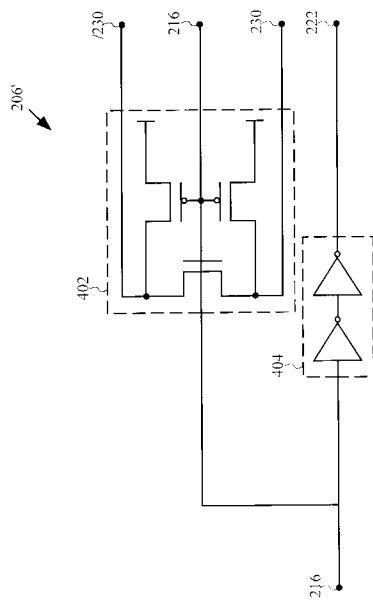


FIG. 4

【図 3】

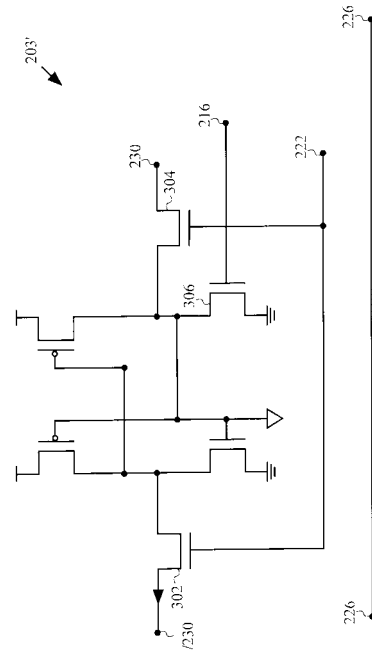


FIG. 3

【図 5 A】

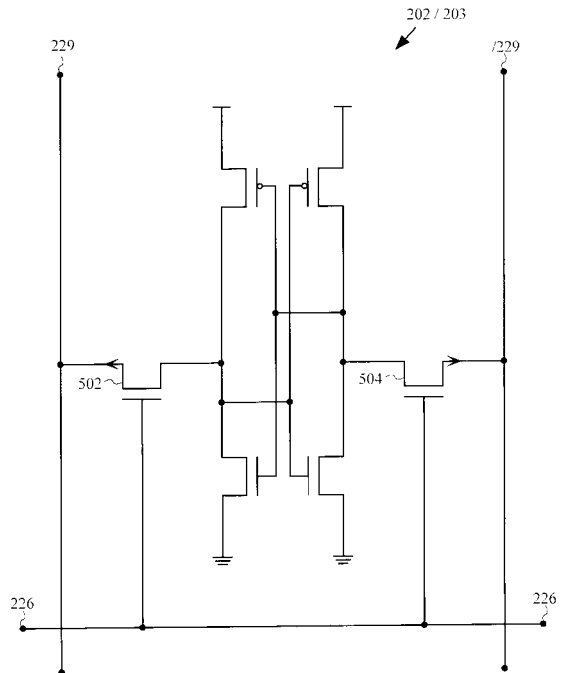


FIG. 5A

【図 5 B】

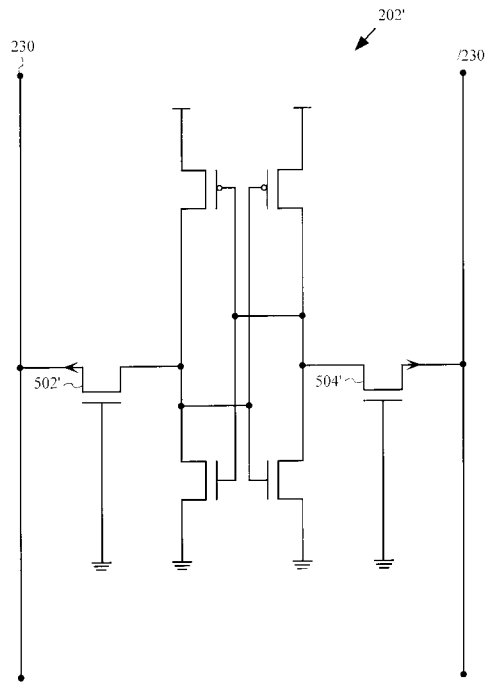


FIG. 5B

【図 5 C】

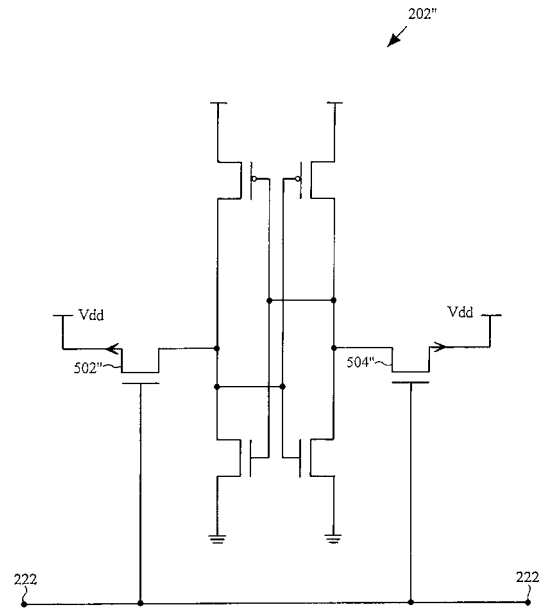


FIG. 5C

【図 6】

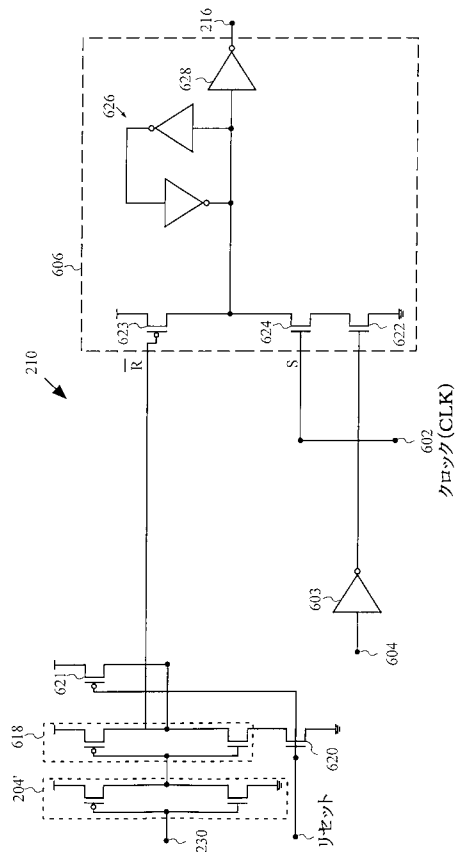


FIG. 6

【図 7】

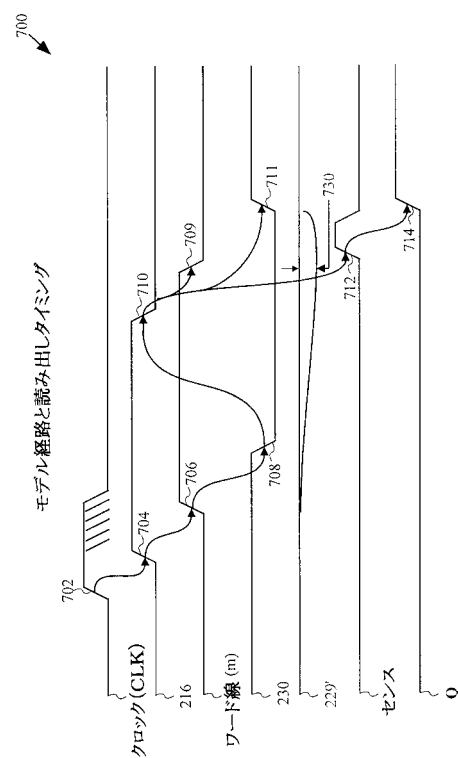


FIG. 7

フロントページの続き

(74)代理人 100109759

弁理士 加藤 光宏

(72)発明者 コーナチャク・スティーブ・ピー・

アメリカ合衆国 カリフォルニア州 9 5 1 3 1 サン・ホセ, ウッドメドウ・コート, 1 5 7 3

(72)発明者 ベッカー・スコット・ティー・

アメリカ合衆国 カリフォルニア州 9 5 1 3 2 サン・ホセ, クィーンズ・クロッシング・ドライブ, 1 6 6 1

審査官 須原 宏光

(56)参考文献 特表平 0 5 - 5 0 4 6 4 8 (J P , A)

特開昭 6 3 - 2 0 5 8 9 1 (J P , A)

特開平 0 7 - 2 1 1 0 7 3 (J P , A)

特開平 0 3 - 1 5 6 7 9 5 (J P , A)

国際公開第 9 7 / 0 2 4 7 2 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/40-11/41