



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0107006
(43) 공개일자 2010년10월04일

- | | |
|--|--|
| <p>(51) Int. Cl.
H04L 25/02 (2006.01) H03K 19/0175 (2006.01)</p> <p>(21) 출원번호 10-2010-7014982</p> <p>(22) 출원일자(국제출원일자) 2008년11월26일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2010년07월06일</p> <p>(86) 국제출원번호 PCT/CA2008/002072</p> <p>(87) 국제공개번호 WO 2009/070870
국제공개일자 2009년06월11일</p> <p>(30) 우선권주장
11/951,447 2007년12월06일 미국(US)</p> | <p>(71) 출원인
에이티아이 테크놀로지스 유엘씨
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸리 드라이브 이스트 1</p> <p>(72) 발명자
이치호
캐나다 온타리오 케이2엘 1더블유9 카나타 모르튼 드라이브 81</p> <p>조준호
캐나다 온타리오 엘4제이 9씨8 톤힐 듀포인트 로드 103</p> <p>(74) 대리인
박장원</p> |
|--|--|

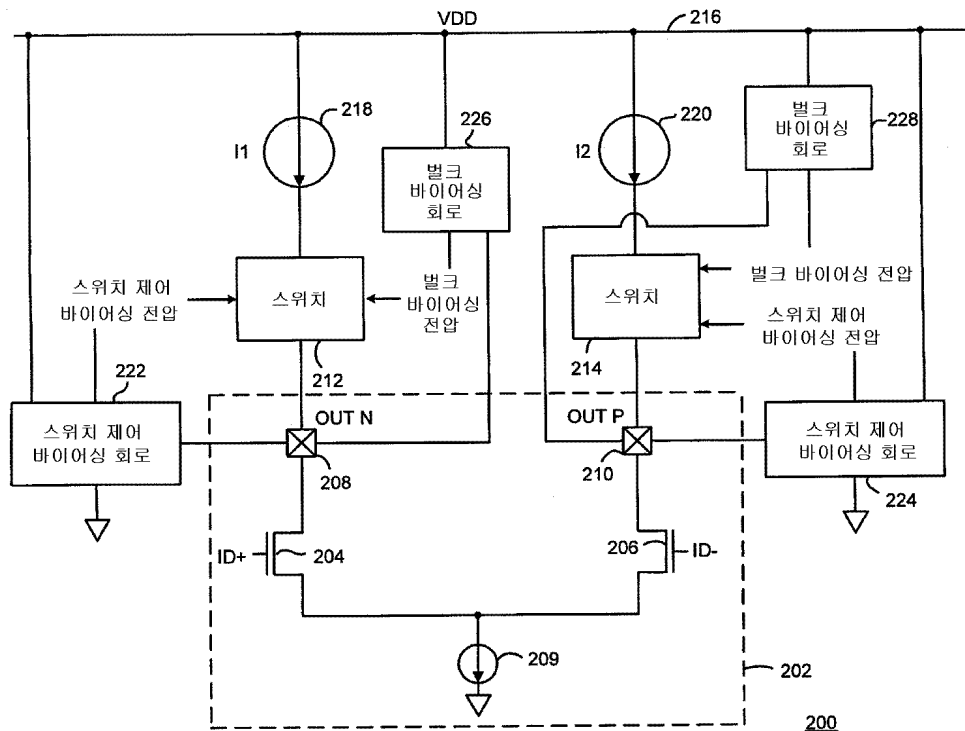
전체 청구항 수 : 총 25 항

(54) 저전압 애플리케이션들에서 멀티모드 출력 구성을 가지는 셀프-바이어싱 차동 시그널링 회로를 위한 장치 및 방법

(57) 요약

디지털 시그널링 회로, 전류 소스 제어기, 트랜지스터-구현 전류 소스들의 쌍을 구비한 디지털 데이터 전송 디바이스가 개시된다. 전류 소스 제어기는 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 제어 신호를 생성한다. 상기 트랜지스터-구현 전류 소스들의 쌍은, 전류 소스 제어 신호에 응답하여 차동 출력 단자들에서의 출력 전압 레벨들을 조정하기 위해 선택적으로 소스 전류들을 생성한다. 디지털 데이터 전송 디바이스는 또한 전류 소스 벌크 바이어싱 신호를 생성하는 전류 벌크 바이어싱 회로를 포함하여, 디지털 시그널링 회로가 일 동작 모드에서 있을 때, 상기 전류 소스 벌크 바이어싱 신호가 상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 누설 전류를 지연시키게 한다.

대표도



특허청구의 범위

청구항 1

디지털 데이터 전송 디바이스로서,

차동 출력 단자들(differential output terminals)을 구비한 차동 시그널링 회로와;

상기 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 제어 신호를 생성하도록 동작하는 전류 소스 제어기와; 그리고

상기 전류 소스 제어 신호에 응답하여 상기 차동 출력 단자들에서의 출력 전압 레벨들을 조정하기 위하여 소스 전류들을 선택적으로 발생시키도록 동작하는 트랜지스터-구현 전류 소스들의 쌍(pair of transistor-implemented current sources)을 포함하여 구성되는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 2

제1 항에 있어서,

상기 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 벌크 바이어싱 신호를 발생시키도록 동작하는 전류 소스 벌크 바이어싱 회로를 더 포함하며, 여기서 상기 차동 시그널링 회로는 제1 동작 모드와 제2 동작 모드 중 하나에서 동작할 수 있고, 상기 전류 소스 벌크 바이어싱 신호는 상기 차동 시그널링 회로가 상기 제2 동작 모드에서 동작할 때, 상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 전류 누설을 지연(retard)시키도록 동작하는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 3

제2 항에 있어서,

상기 전류 소스 벌크 바이어싱 신호는, 상기 차동 시그널링 회로가 상기 제1 동작 모드에서 동작할 때, 상기 트랜지스터-구현 전류 소스들의 쌍이 상기 소스 전류들을 발생시킬 수 있게 해주는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 4

제1 항에 있어서,

상기 트랜지스터-구현 전류 소스들의 쌍은 상기 차동 출력 단자들의 각 출력 단자와 제1 전압 소스와의 사이에 동작적으로(operatively) 연결되고, 여기서 상기 제1 전압 소스는 상기 디지털 데이터 전송 디바이스에 전력을 공급하도록 동작하며, 그리고

상기 차동 출력 단자들은, 제2 전압 소스에 동작적으로 연결되는 디지털 데이터 수신 디바이스에 동작적으로 연결되고, 여기서 상기 제2 전압 소스는 상기 디지털 데이터 수신 디바이스에 전력을 공급하도록 동작하는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 5

제1 항에 있어서,

상기 차동 출력 단자들에서의 출력 전압 레벨들은, 상기 차동 시그널링 회로의 제1 동작 모드 중에는 제1 전압 스윙 범위 내에 있고, 제2 동작 모드 중에는 제2 전압 스윙 범위 내에 있는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 6

제1 항에 있어서,

상기 차동 출력 단자들은 제1 및 제2 차동 출력 단자를 포함하고;

상기 차동 시그널링 회로는 제1 및 제2 입력 신호에 응답하며;

상기 트랜지스터-구현 전류 소스들의 쌍은,

상기 전류 소스 제어 신호에 응답하여 그리고 또한 상기 제1 입력 신호에 근거하여, 상기 제1 차동 출력 단자에서의 출력 전압 레벨을 조정하기 위하여 선택적으로 제1 소스 전류를 발생시키도록 동작하는 제1 트랜지스터-구현 전류 미러 전류 소스와; 그리고

상기 제2 입력 신호에 근거하여 상기 제2 차동 출력 단자에서의 출력 전압 레벨을 조정하기 위하여 선택적으로 제2 소스 전류를 발생시키도록 동작하는 제2 트랜지스터-구현 전류 미러 전류 소스를 포함하는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 7

제2 항에 있어서,

상기 전류 소스 제어기 및 상기 전류 소스 벌크 바이어싱 회로 각각은, 상기 차동 출력 단자들에서의 전압 레벨들을 검출함으로써 상기 차동 회로의 동작 모드를 검출하도록 동작하는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 8

제1 항에 있어서,

상기 차동 출력 단자들은 제1 및 제2 출력 단자들을 포함하며, 상기 전류 소스 제어기는,

제1 단자, 제2 단자, 및 게이트를 구비한 제1 PMOS 트랜지스터와, 여기서 상기 제1 단자는 상기 제1 출력 단자에 동작적으로 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제2 PMOS 트랜지스터와, 여기서 상기 제2 PMOS 트랜지스터의 제1 단자는 상기 제2 출력 단자에 동작적으로 연결되고 상기 제2 PMOS 트랜지스터의 게이트는 상기 디지털 데이터 전송 디바이스에 전력을 공급하도록 동작하는 전압 소스, 및 상기 제1 PMOS 트랜지스터의 게이트에 동작적으로 연결되며;

교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍을 포함하며, 상기 교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍 각각은 두개의 입력 단자들 및 하나의 출력 단자를 구비하고, 여기서 상기 교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍 각각으로부터의 일 입력 단자는 상기 제1 PMOS 트랜지스터의 제2 단자에 연결되고, 상기 교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍 각각으로부터의 또 다른 입력 단자는 상기 제2 PMOS 트랜지스터의 제2 단자에 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제3 PMOS 트랜지스터와, 여기서 상기 제3 PMOS 트랜지스터는, 상기 제3 PMOS 트랜지스터의 제1 단자 및 상기 제3 PMOS 트랜지스터의 게이트가 상기 제1 전압 소스에 연결된 것과 같은 다이오드-결선 PMOS 트랜지스터(diode-connected PMOS transistor)로서 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제4 PMOS 트랜지스터를 포함하며, 여기서 상기 제4 PMOS 트랜지스터의 제1 단자는 상기 제1 PMOS 트랜지스터의 제2 단자 및 상기 제2 PMOS 트랜지스터의 제2 단자 중 하나에 동작적으로 연결되고, 상기 제4 PMOS 트랜지스터의 게이트는 상기 제3 PMOS 트랜지스터의 제2 단자 및 상기 교차-연결된 PMOS 트랜지스터들의 제2 쌍의 제2 출력 단자에 동작적으로 연결되며, 상기 제4 PMOS 트랜지스터의 제2 단자는 상기 교차-연결된 PMOS 트랜지스터들의 제1 쌍의 출력 단자에 동작적으로 연결되고, 여기서 상기 제4 PMOS 트랜지스터의 제2 단자의 전압 레벨은 상기 전류 소스 제어 신호를 나타내는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 9

제1 항에 있어서,

상기 차동 시그널링 회로는, 제1 동작 모드 및 제2 동작 모드 중 하나에서 동작할 수 있으며;

상기 제1 동작 모드는 저전압 차동 시그널링(LVDS:low voltage differential signaling) 모드이고, 그리고

상기 제2 동작 모드는 전송 최소화 차동 시그널링(TMDS:transmission minimized differential signaling) 모드인 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 10

제1 항에 있어서,

상기 차동 출력 단자들에서의 출력 전압 레벨들은 비디오 데이터를 나타내는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 11

제2 항에 있어서, 상기 전류 소스 벌크 바이어싱 회로는,

제1 입력부, 제2 입력부, 및 출력부를 구비한 전압 분배기(voltage divider)와, 상기 출력부에서의 전압레벨은 상기 차동 출력 단자들에서의 전압 레벨들의 평균 전압 레벨 또는 근사-평균(near-mean) 전압 레벨을 나타내며;

제1 단자, 제2 단자, 및 게이트를 구비한 제1 NMOS 트랜지스터와, 상기 제1 단자와 상기 게이트는 상기 디지털 데이터 전송 디바이스에 전력을 공급하도록 동작하는 제1 전압 소스에 동작적으로 연결되고, 상기 제2 단자는 상기 전압 분배기의 제1 입력부에 동작적으로 연결되고;

제1 단자, 제2 단자, 및 게이트를 구비한 제2 NMOS 트랜지스터와, 상기 제2 NMOS 트랜지스터의 상기 제1 단자 및 상기 게이트는 상기 제1 전압 소스에 동작적으로 연결되고 상기 제2 단자는 상기 전압 분배기의 제2 입력부에 동작적으로 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제1 PMOS 트랜지스터와, 상기 제1 PMOS 트랜지스터의 제1 단자는 상기 제1 NMOS 트랜지스터의 제2 단자에 동작적으로 연결되고, 상기 제1 PMOS 트랜지스터의 제2 단자는 상기 차동 출력 단자들의 제1 출력 단자에 동작적으로 연결되며, 상기 제1 PMOS 트랜지스터의 게이트는 상기 제1 전압 소스에 동작적으로 연결되고; 그리고

제1 단자, 제2 단자, 및 게이트를 구비한 제2 PMOS 트랜지스터를 포함하며, 여기서 상기 제2 PMOS 트랜지스터의 제1 단자는 상기 제2 NMOS 트랜지스터의 제2 단자에 동작적으로 연결되고, 상기 제2 PMOS 트랜지스터의 제2 단자는 상기 차동 출력 단자들의 제2 출력 단자에 동작적으로 연결되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 제1 전압 소스에 동작적으로 연결되며,

여기서 상기 전압 분배기의 출력부에서의 전압 레벨은 상기 전류 소스 벌크 바이어싱 신호를 나타내는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 12

제2 항에 있어서, 상기 전류 소스 벌크 바이어싱 회로는,

제1 단자, 제2 단자, 및 게이트를 구비한 제1 NMOS 트랜지스터와, 여기서 상기 제1 단자 및 상기 게이트는 상기 디지털 데이터 전송 디바이스에 전력을 공급하도록 동작하는 제1 전압 소스에 동작적으로 연결되고;

제1 단자, 제2 단자, 및 게이트를 구비한 제2 NMOS 트랜지스터와, 여기서 상기 제2 NMOS 트랜지스터의 제1 단자 및 게이트는 상기 제1 전압 소스에 동작적으로 연결되고 상기 제2 단자는 상기 제1 NMOS 트랜지스터의 제2 단자에 동작적으로 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제1 PMOS 트랜지스터와, 여기서 상기 제1 단자는 상기 차동 출력 단자들의 제1 출력 단자에 동작적으로 연결되고;

제1 단자, 제2 단자, 및 게이트를 구비한 제2 PMOS 트랜지스터와, 여기서 상기 제2 PMOS 트랜지스터의 제1 단자는 상기 제2 출력 단자에 동작적으로 연결되고, 그리고 상기 제2 PMOS 트랜지스터의 게이트는 상기 제1 PMOS 트랜지스터의 게이트 및 상기 제1 전압 소스에 동작적으로 연결되며;

교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍과, 상기 교차-연결된 PMOS 트랜지스터들의 쌍 각각은 두개의 입력 단자들 및 하나의 출력 단자를 구비하며, 상기 교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍 각각으로부터의 일 입력 단자는 상기 제1 PMOS 트랜지스터의 제2 단자에 연결되고, 상기 교차-연결된 PMOS 트랜지스터들의 제1 및 제2 쌍 각각으로부터의 또 다른 입력 단자는 상기 제2 PMOS 트랜지스터의 제2 단자에 연결되며;

제1 단자, 제2 단자, 및 게이트를 구비한 제3 PMOS 트랜지스터와, 여기서 상기 제3 PMOS 트랜지스터는, 상기 제3 PMOS 트랜지스터의 제1 단자 및 상기 제3 PMOS 트랜지스터의 게이트가 상기 제1 전압 소스에 연결된 것과 같

은 다이오드-결선 PMOS 트랜지스터로서 연결되며; 그리고

제1 단자, 제2 단자, 및 게이트를 구비한 제4 PMOS 트랜지스터를 포함하며, 여기서 상기 제4 PMOS 트랜지스터의 제1 단자는, 상기 제1 PMOS 트랜지스터의 제2 단자 및 상기 제2 PMOS 트랜지스터의 제2 단자 중 하나에 연결되며, 여기서 상기 제4 PMOS 트랜지스터의 게이트는, 상기 제3 PMOS 트랜지스터의 제2 단자 및 상기 교차-연결된 PMOS 트랜지스터들의 제2 쌍의 출력 단자에 동작적으로 연결되며, 여기서 상기 제4 PMOS 트랜지스터의 제2 단자는, 상기 교차-연결된 PMOS 트랜지스터들의 제1 쌍의 출력 단자 및 하나의 노드를 이루는 상기 제1 및 제2 NMOS 트랜지스터들의 제2 단자들에 동작적으로 연결되고, 여기서 상기 노드에서의 전압 레벨은 상기 전류 소스 벌크 바이어싱 신호를 나타내는 것을 특징으로 하는 디지털 데이터 전송 디바이스.

청구항 13

디지털 데이터를 전송하는 방법으로서,

차동 출력 단자들을 구비한 차동 시그널링 회로를 동작시키는 단계와; 그리고

상기 차동 시그널링 회로의 검출된 동작 모드에 응답하여 상기 차동 출력 단자들에서의 출력 전압 레벨들을 조정하기 위하여 트랜지스터-구현 전류 소스들의 쌍을 사용하여 선택적으로 소스 전류들을 생성하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 14

제13 항에 있어서,

상기 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 제어 신호를 발생시키는 단계와; 그리고

상기 트랜지스터-구현 전류 소스들의 쌍이 상기 전류 소스 제어 신호에 응답하여 상기 소스 전류들을 선택적으로 생성하게 하기 위해 상기 전류 소스 제어 신호를 트랜지스터-구현 전류 소스들의 쌍에 제공하는 단계를 더 포함하는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 15

제13 항에 있어서,

상기 차동 시그널링 회로는 제1 동작 모드 및 제2 동작 모드 중 하나에서 동작할 수 있으며, 상기 차동 시그널링 회로가 상기 제2 동작 모드에서 동작중일 때 상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 누설 전류를 지연(retard)시키는 단계를 더 포함하는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 16

제15 항에 있어서,

상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 누설 전류를 지연시키는 단계는,

상기 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 벌크 바이어싱 신호를 생성하는 단계와, 그리고

상기 차동 시그널링 회로가 상기 제2 동작 모드에서 동작할 때, 상기 전류 소스 벌크 바이어싱 신호가 상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 전류 누설을 지연시키도록 동작하게 하기 위해, 상기 트랜지스터-구현 전류 소스들의 쌍에 상기 전류 소스 벌크 바이어싱 신호를 제공하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 17

제13 항에 있어서,

상기 트랜지스터-구현 전류 소스들의 쌍을 사용하여 선택적으로 소스 전류를 생성하는 단계는, 상기 차동 시그널링 회로가 상기 제1 동작 모드에서 동작할 때, 상기 트랜지스터-구현 전류 소스들의 쌍으로 하여금 상기 소스 전류를 생성할 수 있게 하는 단계를 포함하는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 18

제13 항에 있어서,

상기 차동 출력 단자들에서의 출력 전압 레벨들은, 상기 차동 시그널링 회로의 제1 동작 모드 중에는 제1 전압 스윙 범위 내에 있고, 상기 제2 동작 모드 중에는 제2 전압 스윙 범위 내에 있는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 19

제13 항에 있어서,

상기 차동 시그널링 회로는 제1 동작 모드 및 제2 동작 모드 중 하나에서 동작할 수 있으며,

상기 제1 동작 모드는 저전압 차동 시그널링(LVDS:low voltage differential signaling) 모드이고, 그리고

상기 제2 동작 모드는 전송 최소화 차동 시그널링(TMDS:transmission minimized differential signaling) 모드인 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 20

제13 항에 있어서,

상기 차동 출력 단자들에서의 출력 전압 레벨들은 비디오 데이터를 나타내는 것을 특징으로 하는 디지털 데이터 전송 방법.

청구항 21

디지털 데이터 수신 디바이스로서,

디지털 데이터 전송 디바이스로부터 디지털 데이터 출력 신호들을 수신할 수 있도록 된 수신기를 포함하며, 여기서 상기 디지털 데이터 전송 디바이스는,

차동 출력 단자들을 구비한 차동 시그널링 회로와;

상기 차동 시그널링 회로의 검출된 동작 모드를 근거로 전류 소스 제어 신호를 생성하도록 동작하는 전류 소스 제어기와; 그리고

상기 전류 소스 제어 신호에 응답하여 상기 차동 출력 단자들에서의 출력 전압 레벨들을 조정하기 위하여 선택적으로 소스 전류들을 발생시키도록 동작하는 트랜지스터-구현 전류 소스들의 쌍을 포함하며, 여기서 상기 차동 출력 단자들에서의 출력 전압 레벨들은 디지털 데이터 출력 신호들을 나타내는 것을 특징으로 하는 디지털 데이터 수신 디바이스.

청구항 22

제21 항에 있어서,

상기 디지털 데이터 전송 디바이스는, 상기 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스 벌크 바이어싱 신호를 생성하도록 동작하는 전류 소스 벌크 바이어싱 회로를 더 포함하며, 여기서 상기 차동 시그널링 회로는 제1 동작 모드 및 제2 동작 모드에서 동작가능하고, 상기 전류 소스 벌크 바이어싱 신호는 상기 차동 시그널링 회로가 상기 제2 동작 모드에서 동작 중일 때 상기 트랜지스터-구현 전류 소스들의 쌍에 걸쳐 전류 누설을 지연시키도록 동작하는 것을 특징으로 하는 디지털 데이터 수신 디바이스.

청구항 23

제22 항에 있어서,

상기 전류 소스 벌크 바이어싱 신호는, 상기 차동 시그널링 회로가 상기 제1 동작 모드에서 동작중일때, 상기 트랜지스터-구현 전류 소스들의 쌍이 상기 소스 전류들을 발생시킬 수 있게 해주는 것을 특징으로 하는 디지털 데이터 수신 디바이스.

청구항 24

제21 항에 있어서,

상기 차동 시그널링 회로는 상기 제1 동작 모드 및 상기 제2 동작 모드 중의 하나에서 동작할 수 있으며, 상기 제1 동작 모드는 저전압 차동 시그널링(LVDS: low voltage differential signaling) 모드이고, 그리고 상기 제2 동작 모드는 TMDS 모드인 것을 특징으로 하는 디지털 데이터 수신 디바이스.

청구항 25

제21 항에 있어서,

상기 디지털 데이터 출력 신호들은 비디오 데이터를 나타내는 것을 특징으로 하는 디지털 데이터 수신 디바이스.

명세서

기술분야

[0001] 관련된 동시 출원

[0002] 본 출원은 2007년 7월 31일자로 출원된 미국 특허출원 제11/830,897호 "APPARATUS AND METHOD FOR SELF-BIASING DIFFERENTIAL SIGNALING CIRCUITRY HAVING MULTIMODE OUTPUT CONFIGURATIONS FOR LOW VOLTAGE APPLICATIONS"(발명자: 최준호 등)의 부분 계속 출원이며, 상기 출원은 2005년 6월 15일에 출원된 미국 특허출원 "APPARATUS AND METHODS FOR SELF-BIASING DIFFERENTIAL SIGNALING CIRCUITRY HAVING MULTIMODE OUTPUT CONFIGURATIONS FOR LOW VOLTAGE APPLICATIONS"(발명자: 최준호 등)의 계속 출원이고, 상기 두 출원들은 그 전체가 본 명세서에 포함되며 그 권리는 양수인에게 귀속된다.

[0003] 본 출원은 멀티모드 차동 시그널링 회로를 셀프-바이어싱하기 위한 장치 및 방법에 관한 것이며, 보다 자세히는, 저전압 애플리케이션들에서 복수의 동작 모드들로 동작가능한 바이어싱 회로들을 구비한 차동 시그널링 회로의 셀프-바이어싱 제어를 제공하는 장치 및 방법에 관한 것이다.

배경기술

[0004] 간단하면서도 비용 효율적인 디지털 데이터 전송 및 시그널링을 위한 보다 높은 대역폭을 달성하기 위하여, 고속 아날로그 회로 기법들을 제공하기 위해 차동 시그널링이 점점 증가되고 있다. 차동 시그널링의 사용은, 비디오 디지털 신호들을 디스플레이 모니터 또는 스크린과 같은 디스플레이 디바이스들로 전송하는 것을 포함하는 다수의 상이한 애플리케이션들에서 이점을 가지는 것으로 입증되어왔다.

[0005] 오늘날 사용되는 다양한 차동 시그널링 기법들 중, 두가지 예는, 저전압 차동 시그널링(LVDS: low voltage differential signaling)과 변환 최소화 차동 신호(TMDS: transition minimized differential signaling)를 포함한다. 이러한 타입의 차동 시그널링 기법들 각각은 내재적인 이점을 가진다. 각각의 타입의 시그널링 기법에 내재하는 이점들을 사용할 수 있게 하기 위하여, 각각 서로다른 시그널링 기법을 사용하는 두개 이상의 동작 모드에서 동작가능한 차동 시그널링 회로들을 사용하는 방법이 알려져있다. 예를 들어, LVDS 기법과 TMDS 기법 사이에서 전환되도록 동작가능한 멀티모드 차동 출력 드라이버들을 사용하는 방법이 알려져 있다. 그러나, 이 기법들 각각에 수반되는 출력 구성 및 전압 레벨은 서로 상이하다. 예를 들어, LVDS는 1.8볼트와 같은 저전압을 사용함에 반해, 일반적으로 TMDS는 3.3볼트와 같은 더 높은 전압 공급을 사용한다. 멀티모드 출력 드라이버의 예로서, 도 1은 LVDS 또는 TMDS 시그널링을 제공하도록 동작가능한 듀얼 모드 차동 시그널링 회로(100)를 도시한다. 회로(100)는 MN1과 MN2로 표시된 전류 스티어링 트랜지스터들(102, 104)의 쌍을 포함한다. 이 트랜지스터들은 각각 ID+ 및 ID-로 표시된 입력 신호들(106, 108)을 수신한다. 일 실시예에서, 입력 신호들(106, 108)은 코어 로직과 같은 임의의 적절한 로직(도시되지 않음)(예를 들어, CPU, 또는 회로(100)를 부분으로 하는 시스템과 관련된 다른 프로세싱 엔티티)으로부터 수신되며 두 신호들은 함께 전송용 데이터를 나타낸다. 본 명세서에서, 로직은, 예를 들어, 하드웨어 및/또는 하드웨어와 소프트웨어의 적절한 조합일 수 있다. 예를 들어, 로직은 프로세서, 메모리, 엔진, 프로그램형(programmable) 그리고 비프로그램형(non-programmable) 하드웨어, 집적 회로, 주문형 집적 회로(ASIC), 디지털 신호 처리기(DSP), 그리고 이산 회로 소자들의 임의의 조합을 포함할 수 있다. 전류 스티어링 트랜지스터들(102, 104) 및 전류 소스(110)의 조합은, 결과적으로, 전류 스티어링 트랜지스터들(102, 104) 각각에 연결된 출력들(112, 114)의 쌍으로부터 차동 시그널링을 만들어낸다.

[0006] 회로(100)가 어떤 모드 제어(116)의 제어하에서 LVDS 모드로 동작할 때, 예를 들어, 전류 소스들(118, 120)의

쌍은, 각각 스위치들(122, 124)의 쌍을 통해, 출력부(112, 114)에 연결된다. 이러한 구성은, 다르게는 전류 모드 구성이라고도 알려져 있으며, 여기서, 정전류 소스들(constant current sources)(118, 120)이 출력부(112, 114)에 전류를 드라이브한다. LVDS 모드에서 동작할 때, 종단 저항(termination register)(130)이 출력 컨택들(112, 114)에 걸쳐 연결되고, 종단 저항(130)은 일반적으로 수신기(도시되지 않음)에서 출력부들(112, 114)에 연결된 라인들에 걸쳐서 연결되는 것 또한 알려져 있다. 예시의 목적으로, 스위치들(126, 128)은, 종단 저항(130)이 단지 LVDS 모드 중에만 연결되는 임시적인 것임을 나타낸다.

[0007] TMDS 모드 동작에서, 이러한 타입의 시그널링을 행하기 위해 오픈 드레인 구성이 행해진다. 따라서, 모드 제어(116)와 같은 제어는, 스위치들(122, 124)을 오픈하는 데 사용되고, 그럼으로써 내부 전압 소스(VDD)에 대한 내부 풀업 구조가 출력부(112, 114)에 연결되지 않게 한다. 또한, TMDS에 전형적인 높은 전압이 출력부(112, 114)에 연결된다. 이는 추가적인 전압 소스(132)로서 도 1에 도시되며, 이 예에서 상기 전압은 3.3볼트이다. 전압 소스(132)는 수신기(도시되지 않음)에서 풀업 레지스터들(134, 136)을 통해 출력(112, 114)에 연결된다. 또한, 예시의 목적으로, 전압 소스(132) 및 풀업 레지스터들(134, 136)은 스위치들(138, 140)에 의해 출력(112, 114)에 연결되어, 상기 연결이 TMDS 모드 중에만 되는 임시적인 연결임을 나타낸다.

[0008] 도 1의 회로가 텔레커뮤니케이션 칩, 필드 프로그램형 게이트 어레이(field programmable gate arrays), 및 차동 출력 드라이버들을 구비한 다른 디바이스들을 포함하는 ASIC과 같은 집적 회로 내에 구현된다면, 어떤 애플리케이션들에서는 내부 전압 소스(VDD)를 위해 더 낮은 전압을 사용하는 것이 바람직할 것이다. 예를 들어, 1.8볼트의 전압 레벨이 어떤 집적 회로들에서는 일반적인 것일 수 있다. 도 1의 회로와 같은 듀얼 모드 차동 출력 드라이버에서는, VDD에 대해 낮은 전압이 공급되면서 스위치들(122, 124)에 대해 특정 타입의 스위칭 디바이스들이 사용될 때, 특정 동작 모드들은 문제가 된다. 예를 들어, VDD를 위해 1.8볼트가 공급되며, 스위치들(122, 124)을 위해 NMOS 트랜지스터들이 사용된다면, LVDS 모드에서 회로(100)의 동작은 불가능해질 것이다. 구체적으로, 스위치들(122, 124)이 턴오프되며, 따라서, LVDS 모드에서의 동작을 위해 필요한 전류 소스들(118, 120)이 출력부(112, 114)에 연결되지 않는다. 이는 NMOS 디바이스들의 게이트와 소스 사이에서 발생하는 낮은 전압이, 결과적으로 전류 소스들(118, 120)로부터 출력부(112, 114)로, 그리고 이에 따라 종단 레지스터(130)로, 어떠한 전류도 흐르지 못하게 하기 때문이다. 따라서, 출력 전압 스윙이 야기되지 않으며 적절한 시그널링이 발생되지 않는다.

[0009] 또 다른 예에서, TMDS 모드 동안 1.8볼트의 저전압(VDD)이 공급되면서 스위치들(122, 124)을 위해 PMOS 트랜지스터가 사용되면, 회로는 이러한 타입의 시그널링에 대해 동작하지 못하게 된다. 구체적으로, 스위치들(122, 124)(이 예에서 PMOS 디바이스임)이 PMOS 디바이스들의 다이오드들의 포워드 바이어싱으로 인하여 턴온되므로, 외부 고전압 소스(132)(예를 들어, 3.3볼트)로부터 1.8볼트의 내부 VDD 공급부로 역 누설 전류가 발생한다. 게다가, 이 PMOS 디바이스들의 드레인들로부터 그것들의 기판 또는 벌크로 전류 경로가 발생하여, 결과적으로 높은 누설 전류가 발생하며 회로가 위치된 칩에 원치않는 발열이 발생한다.

[0010] 따라서, 도 1의 회로와 같은 종래의 회로들에서, 위의 문제들에 대한 해법은 (PMOS 디바이스를 스위치로 사용하면서) TMDS를 구현하기 위해 추가적인 고전압 공급을 사용하는 것이었으며, 이는 결과적으로 설계 제약사항 및/또는 추가적인 전압 공급으로 인한 높은 칩 비용을 야기하였다. 종래의 대안적인 해법은, 저전압 소스로부터 필요한 고전압을 발생시키기 위한 온칩 전압 정류기(on-chip voltage regulator)를 사용하는 것을 포함한다. 이렇게 발생된 고 전압은, PMOS 디바이스들로 구현되었을 때, 회로(100)의 TMDS 모드 중에, 스위치(122, 124)를 바이어스하는 데 사용된다. 그러나, 또다시, 이러한 해법은 집적 회로 내에서 보다 많은 칩 영역을 사용하며, 온칩 전압 정류기의 사용으로 인해 전력 소비를 증가시킨다.

발명의 내용

도면의 간단한 설명

- [0011] 도 1은 종래의 듀얼 모드 차동 시그널링 회로를 도시한다.
- 도 2는 본 개시에 따른 멀티모드 차동 시그널링 회로의 예를 도시한다.
- 도 3은 도 2에 도시된 회로의 예시적인 실시예를 도시한다.
- 도 4는 본 개시에 따른 방법의 예시적인 흐름도를 도시한다.
- 도 5는 본 개시의 일 실시예에 따른 디지털 데이터 전송 디바이스 및 디지털 데이터 수신 디바이스의 예를 도시

하는 블럭도이다.

도 6은 공통 모드 피드백 회로 및 모드 제어 로직을 구비한 도 5의 디지털 데이터 전송 디바이스 부분을 도시한 개략적인 블럭도이며, 상기 블럭도는, 본 개시의 일 실시예에 따라 PMOS 트랜지스터들을 사용하는 트랜지스터-구현 전류 소스들의 쌍을 보다 자세하게 더 도시한다.

도 7은 본 개시의 일 실시예에 따라, 도 6의 바이어싱 트랜지스터 부분으로서 기준 전류 소스의 예를 도시하는 개략적인 블럭도이다.

도 8은, 본 개시의 일 실시예에 따라 도 7의 차동 시그널링 회로의 부분으로서 테일 회로 소스의 예를 도시하는 개략적인 블럭도이다.

도 9는, 본 개시의 일 실시예에 따라, 도 6의 디지털 데이터 전송 디바이스 부분으로서, 전류 소스 벌크 바이어싱 회로와 전류 소스 제어기의 예를 도시하는 개략적인 블럭도이다.

도 10은, 본 개시의 일 실시예에 따라, 도 5의 디지털 데이터 전송 디바이스의 부분으로서, 전류 소스 벌크 바이어싱 회로와 전류 소스 제어기의 또다른 예를 도시하는 개략적인 블럭도이다.

도 11은, 본 개시의 일 실시예에 따라, 디지털 데이터 전송 디바이스를 동작시키는 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 개시는 적어도 하나의 출력부 및 입력부를 구비한 차동 시그널링 회로를 포함하는 차동 시그널링 회로에 관한 것이다. 복수의 스위치들이 포함되며, 상기 복수의 스위치들은, 차동 시그널링 회로의 동작 모드에 따라, 공급 전압을 출력부에 선택적으로 연결하도록 되어 있다. 회로는 또한, 상기 복수의 스위치들 중 임의의 스위치 및 상기 차동 시그널링 회로의 출력부에 동작적으로 연결되는 스위치 제어 바이어싱 회로를 포함한다. 스위치 제어 바이어싱 회로는, 적어도 하나의 출력부의 전압 레벨에 근거하여 스위치의 상태를 제어하기 위한 스위치 제어 바이어싱 전압을 제공하도록 되어있다. 또한, 벌크 바이어싱 회로가 포함되며, 상기 벌크 바이어싱 회로는 상기 스위치에 동작적으로 연결된다. 벌크 바이어싱 회로는 적어도 하나의 출력부의 전압 레벨에 근거하여 선택적으로 상기 스위치에 벌크 바이어싱 전압을 제공하도록 되어있다.

[0013] 출력 바이어싱 전압들이 차동 시그널링 회로의 출력 전압에 의존하는 스위치 제어 바이어싱 회로 및 벌크 바이어싱 회로를 포함함으로써, 추가적인 고 전압 공급기 또는 전압 변환기를 사용할 필요없이, 내부 공급 전압(VDD)을 위한 저전압 소스가, 차동 시그널링 회로와 함께 사용될 수 있다. 또한, 개시된 장치 및 방법들은 단일의 저전력 공급기를 사용하여, 예를 들어, 차동 시그널링 회로의 출력 전압 레벨이 내부 전압 공급보다 높을 때 누설 전류 경로가 방지되는 한편, 전류 모드 구성 및 오픈 드레인 구성 사이에서 적절한 스위칭이 달성되는, 서로 다른 모드들(예를 들어, LVDS 및 TMDS)에서 동작가능한 차동 시그널링을 위한 출력 드라이버를 달성한다.

[0014] 추가적으로, 공급 전압을 차동 시그널링 회로의 출력부에 선택적으로 연결하는 스위치를 구비한 멀티모드 차동 시그널링 회로를 제어하는 방법이 개시된다. 상기 방법은, 스위치에 스위칭 바이어스 전압을 제공하는 단계를 포함하며, 상기 스위칭 바이어싱 전압의 레벨은 멀티모드 차동 시그널링 회로의 출력부의 전압 레벨에 의존한다. 추가적으로, 벌크 바이어싱 전압이 스위치의 벌크에 제공되고, 상기 벌크 바이어싱 전압의 레벨은, 멀티모드 차동 시그널링 회로의 출력부의 전압 값에 의존한다.

[0015] 또한, 본 출원은 스위칭 회로를 포함하는 멀티모드 차동 시그널링 회로를 개시한다. 스위칭 회로는 전압 공급기에 동작적으로 연결된 제1 단자와 차동 시그널링 회로의 출력 단자에 연결된 제2 단자를 포함한다. 추가적으로, 스위칭 회로는 제1 단자로부터 제2 단자로의 전기 전도(electrical conduction)를 선택적으로 제어하기 위하여 제어 바이어싱 전압에 동작적으로 연결된 제어 단자를 포함하며, 상기 제어 바이어싱 전압은, 제2 단자의 전압 레벨에 따라 제어 바이어싱 전압을 설정하도록 된 스위치 제어 바이어싱 회로에 의해 발생된다.

[0016] 본 개시는, 또한, 시그널링 회로를 구비한 디지털 데이터 전송 디바이스 및 트랜지스터 구현(transistor-implemented) 전류 소스들의 쌍 및 전류 소스 제어기에 관련된다. 전류 소스 제어기는, 차동 시그널링 회로의 검출된 동작 모드에 근거하여, 예를 들어, 차동 시그널링 회로의 차동 출력 단자들 상의 전압 레벨을 검출함으로써, 전류 소스 제어 신호를 발생시킨다. 전류 소스 신호에 응답하여, 트랜지스터-구현 전류 소스들의 쌍은 서로 다른 출력 단자들에서 출력 전압 레벨들을 조정하기 위해 선택적으로 소스 전류를 발생시킨다.

[0017] 일 실시예에서, 디지털 데이터 전송 디바이스는, 차동 시그널링 회로의 검출된 동작 모드에 근거하여 전류 소스

벌크 바이어싱 신호를 생성하도록 동작되는 전류 소스 벌크 바이어싱 회로를 더 포함한다. 차동 시그널링 회로가 제1 동작 모드(예를 들어, LVDS)에 있을 때, 전류 소스 벌크 바이어싱 제어 신호는, 트랜지스터-구현 전류 소스들의 쌍이 소스 전류를 발생시킬 수 있게 해주도록 동작한다. 차동 시그널링 회로가 제2 동작 모드(예를 들어, TMDS)에 있을 때, 전류 소스 벌크 바이어싱 제어 신호는 트랜지스터-구현 전류 소스들의 쌍에 걸친 전류 누설을 지연(retard)시키도록 동작한다.

[0018] 본 개시는 또한, 차동 출력 단자들을 구비한 차동 시그널링 회로를 사용하여, 그리고 검출된 동작 모드에 응답하여 차동 출력 단자에서의 출력 전압 레벨들을 조정하기 위해 소스 전류들을 선택적으로 발생시키는 트랜지스터-구현 전류 소스들의 쌍을 사용하여, 디지털 데이터를 전송하기 위한 방법에 관한 것이다. 본 방법은, 다른 무엇보다도, 트랜지스터-구현 전류 소스들(transistor-implemented current sources)의 쌍으로하여금 제1 동작 모드 중에 소스 전류를 발생시킬 수 있게 하는 것과, 차동 시그널링 회로가 제2 동작 모드에서 동작할 때, 상기 트랜지스터-구현 전류 소스들의 쌍에 걸친 전류 누설을 지연시키는 것을 포함한다.

[0019] 본 개시는, 또한, 본 명세서에 설명된 것과 같은 디지털 데이터 전송 디바이스로부터 디지털 데이터 출력 신호들을 수신할 수 있는 수신기를 포함하는 디지털 데이터 수신 디바이스와 관련되며, 여기서 상기 디지털 데이터 출력 신호들은 디지털 데이터 전송 디바이스의 차동 출력 단자들의 전압 레벨들에 대응한다.

[0020] 하기의 상세한 설명에서, 본 개시의 완전한 이해를 제공하기 위해 다수의 구체적인 세부사항들이 설명된다. 그러나, 당업자에게는, 이 구체적인 세부사항들이 본 개시를 실시하는데 사용되지 않을 수도 있다는 것이 명백할 것이다. 본 발명을 불필요하게 모호하게 만들지 않기 위하여, 잘 알려진 구조들, 인터페이스들, 공정들은 도시 또는 설명되지 않았다.

[0021] 도 2는 본 개시에 따른 차동 시그널링 회로의 예를 도시한다. 회로(200)는 입력 신호들(ID+, ID-)에 각각 연결된 전류 스티어링 트랜지스터들(204, 206)을 포함하는 차동 시그널링 회로(202)를 포함한다. 트랜지스터들(204, 206)은 전류 스티어링 소스(209)에 연결되며, 또한 OUTN과 OUTP로 표시된 출력 단자들(208, 210)의 쌍에 연결된다. 회로(200)는 또한 스위치들(212, 214)의 쌍을 포함하며, 상기 스위치들의 쌍은 차동 시그널링 회로(202)의 출력부(208, 210)에 연결된 단자들을 구비한다. 스위치들(212, 214)은 선택적으로 공급 전압(216)(VDD로 표시됨)을 각각의 전류 소스들(218, 220)을 통해 출력(208, 210)에 연결한다. 주목할 점은 이 스위치들(212, 214)은 도 1의 종래의 회로에 도시된 스위치들(122, 124)에 대응한다는 것이다.

[0022] 각각의 스위치 제어 바이어싱 회로(222, 224)는 각각의 스위치들(212, 214)에 관련된다. 이 회로들(222, 224)은 스위치 제어 바이어싱 전압을 제공하기 위해서, 스위치들(212, 214) 각각에 연결된다. 이 전압은 스위치들(212, 214)의 상태를 제어한다. 즉, 스위치 제어 바이어싱 전압은, 스위치(212, 214)를 턴온 또는 턴오프시킨다. 스위치 제어 바이어싱 회로들(222, 224)은 또한 출력 단자들(208, 210)에 동작적으로 연결되며, 출력부(208 또는 210)에 존재하는 전압 레벨에 근거하여 스위치 제어 바이어싱 전압을 설정한다. 특히, 회로의 LVDS 모드 동안에, 스위치 제어 바이어싱 회로들(222, 224)은, 전압 공급(216) 및 전류 소스들(218, 220)을 출력부(208, 210)에 연결하기 위하여 스위치들(212, 214) 각각을 턴온시키기 위한 특정 레벨의 전압을 제공한다. 대조적으로, 회로(200)가 TMDS 모드에서 동작할 때는, 외부의 높은 전압 공급(도시되지 않았으나, 도 1의 공급 전압(132)와 동일함)이 연결됨으로 인하여, 출력(208, 210)의 레벨들이 변경된다. 스위치 제어 바이어싱 회로들(222, 224)은 스위치들(212, 214)을 턴오프시키는 스위치 제어 바이어싱 전압을 제공하도록 구성되며, 따라서, TMDS 동작이 되게 한다.

[0023] 시그널링 회로(200)는 또한, 각각의 스위치들(212, 214)과 관련된 적어도 두개의 벌크 바이어싱 회로들(226, 228)을 포함한다. 특히, 벌크 바이어싱 회로들(226, 228)은, 스위치들(212, 214)에 동작적으로 연결되며, 출력(208, 210)의 전압 레벨에 근거하여 스위치들(212, 214)에 선택적으로 벌크 바이어싱 전압을 제공한다. 특히, 스위치들(212, 214)은 기관 또는 벌크를 구비한 MOS 트랜지스터들을 사용하여 구현되며, 벌크 바이어싱 회로들(226, 228)은, 누설 전류를 방지하기 위해, 출력부(208, 210)의 출력 전압들에 상응하는 레벨의 벌크 바이어싱 전압을 스위치들(212, 214)의 벌크들에 제공하도록 동작한다. TMDS 동작에서, 예를 들어, 스위치 제어 바이어싱 회로들(222, 224)이 스위치들(212, 214)을 턴오프시키도록 제어되므로, 벌크 바이어싱 전압은, 출력 단자들(208, 210)로부터 스위치들(212, 214)을 통해 낮은 내부 전압 소스(216)로 누설 전류가 발생하지 않게 한다.

[0024] 위의 설명에 비추어, 도 2의 회로는 LVDS 및 TMDS와 같은 복수의 동작 모드들을 위한 범용의 차동 시그널링 출력 드라이버를 가능하게 해준다. 전압 레벨이 자동적으로 출력부(208, 210)의 출력 레벨을 트래킹하게 하는 스위치 제어 바이어싱 회로(222) 및 벌크 바이어싱 회로(226)와 같은 회로를 제공함으로써, 이러한 범용 기능(universal functionality)이 달성된다. 또한, 도 2의 회로는, 단일의 저전력 공급기를 사용하는 범용 차동 출

력 드라이버를 구현하며, 여기서 스위치들(212, 214)은, 출력부(208, 210)의 전압 레벨이 내부 전압 공급(216)보다 높을 때 누설 전류를 방지해주는 한편, 동작 모드에 따라 턴온 또는 턴오프될 수 있다.

[0025] 도 3은 도 2의 회로의 구체적인 실시예의 회로도들을 도시한다. 도 2 회로 구성요소들과 동일한 도 3 회로 구성요소들을 나타내기 위해 도 2와 동일한 참조 부호들이 도 3에서 사용되었음에 유의하여야 한다. 도시된 바와 같이, 스위치들(212, 214)은 PMOS 스위치들로서 구현되며, 또한 MP3 및 MP4로 표시되어 있다. 이러한 스위치들(212, 214)의 스위칭은 스위치 제어 바이어싱 회로들(222, 224) 각각에 의해 제어된다. 특히, 회로들(222, 224) 각각은 스위치들(212, 214)의 게이트들(306, 308)에 제어 바이어싱 전압(302, 304)을 각각 출력한다. 추가적으로, 각각의 스위치들(212, 214)은 벌크 바이어싱 회로들(226, 228) 각각에 연결된 벌크 단자(310, 312) 또는 기판을 각각 포함한다. 각각의 벌크 바이어싱 회로들(226, 228)은, TMDS 모드에서와 같이 출력(208, 210)이 내부 전압(216)보다 클 때 누설 전류 경로를 방지하기 위하여 벌크 바이어싱 전압을 스위치들(212, 214)의 벌크 단자들에 인가한다.

[0026] 각각의 스위치 제어 바이어싱 회로들(222, 224) 내에는 각각의 스위치(314, 316)이 있다. 도 3의 예에서, 이 스위치들(314, 316) 각각은 MP1 및 MP2로 표시되며, PMOS 타입 스위치들로서 도시된다. 이 스위치들(314, 316)의 게이트들(318, 320)은 내부 전압 소스(216)에 연결된다. 두 스위치들(314, 316)의 또 다른 단자는 각각의 출력 단자들(208, 210)에 연결된다. 스위치들(314, 316)의 또 다른 단자(322, 324)는 노드(326, 328)(회로(222, 223) 각각에 대해 X 및 X'로 표시됨)에 연결된다. 이 노드들(326, 328)은 스위치들(212, 214)의 게이트 단자들(306, 308)에 각각 연결된다. 추가적으로, 이 노드들(326, 328)은 하기에서 논의되는 바와 같이 전압 분배기들(330, 332)에 각각 연결된다.

[0027] 도시된 바와 같이, 각각의 스위치 제어 바이어싱 회로들(222, 224)은, 전압(208, 210)에 비례하지만 상기 전압(208, 210)보다 낮은 노전압을 노드들(326, 328)에 제공하는 데 사용되는 전압 분배기들(330, 332)을 포함한다. 도 3은 상기 전압 분배기들(330, 332)이, 출력(208, 210)과 공통 전압(예를 들어, 그라운드) 사이에 연결된 다이오드들의 체인으로 구성된 것을 도시한다. 당업자가 인지할 바와 같이, 임의의 개수의 다양한 타입의 디바이스들이 전압 분배를 행하기 위해 사용될 수 있다. 추가적으로, 전압 분배기들(330, 332)은, 노드들(326, 328)에서 요구되는 특정한 전압 레벨을 유도하기 위해 다이오드 체인 사이에 배치된 탭들(334, 336)을 포함한다.

[0028] 동작시, 전압 분배기 회로(330)는, 출력 단자들(208, 210)의 전압 레벨에 의존하여 스위치들(314, 316)의 동작을 제어하기 위해 스위치(314, 316)와 함께 동작한다. 예를 들어, 출력 단자들(208, 210)의 전압들은 내부 전압 VDD(216)보다 낮고, 탭들(334, 336)의 전압은, 출력 단자들(208, 210)의 전압에 비례하나, 상기 출력 단자들(208, 210)의 전압보다 낮다. 따라서, 출력 단자들(208, 210)의 전압이 내부 전압 공급(216)보다 낮으므로, 스위치들(314, 316)이 턴오프되어, 노드들(326, 328)이 출력들(208, 210)로부터 분리된다. 또한, 전압 분배기 회로들(330, 332)이 출력 단자들(208, 210)과 탭들(334, 336) 사이에 전압 강하를 야기하며, 노드들(326, 328)에 존재하는 감소된 전압은, PMOS 스위치들(212, 214)이 턴온되게끔 제어 신호 전압 레벨들(302, 304)을 감소시킨다. 스위치들(212, 214)이 턴온될 때, 전류 공급(218, 220)은, LVDS 동작과 같은 전류 노드 구성을 위해 출력 단자들(208, 210)에 연결된다.

[0029] 대안적인 실시예에서, 출력부(208, 210)의 전압이 내부 전압(216)보다 훨씬 높다면, TMDS 모드 중에 3.3 볼트 소스가 풀업 저항들에 의해 출력 단자들(208, 210)에 연결된다(예로서, 도 1을 참조). 이 경우에, 출력부(208, 210)의 전압이 내부 전압(216)보다 훨씬 높으므로, 스위치들(314, 316)이 턴온될 것이다. 따라서, 스위치들(314, 316)이 매우 작은 턴-온 저항을 갖도록 선택됨에 따라, 단자들(326, 328)의 전압들은 출력 전압들(208, 210)과 유사해질 것이며, 따라서, 전압들은 궁극적으로 서로 동일하게 될 것이다. 전압들(326, 328)이 출력 단자들(208, 210)에서처럼 높으므로, 스위치들(212, 214)이 턴오프되어, 스위치들(212, 214)에 대해 오픈-드레인 구성이 달성된다.

[0030] 상술된 바에 근거하여, 스위치 제어 바이어싱 회로들(222, 224)은 다양한 동작 모드들, 즉 LVDS 및 TMDS 모드들에 대해 적절한 스위치 제어 바이어싱 전압(302, 304)을 제공하도록 동작가능하다. LVDS 모드에서, 출력 단자들(208, 210)은, 0.8볼트와 1.7 볼트 사이의 전압 범위를 가지며(보다 일반적으로는, 0.9V와 1.5V 사이의 전압 범위를 가짐), 이 전압은 1.8볼트의 일반적인 VDD 전압보다 낮다. 따라서, 상술한 바와 같이, 스위치들(314, 316)은 이 전압 레벨들에서 턴오프되고, 스위치들(212, 214)은 턴온된다. 대안적으로, TMDS 모드에서, 출력(208, 210)의 출력 전압 레벨들은 일반적으로 2.7 볼트와 3.3 볼트 사이의 전압을 가지며, 이는 1.8볼트의 일반적인 내부 소스 전압 VDD보다 높다. 따라서, 상술한 바와 같이, 스위치들(314, 316)이 턴온되고, 스위치들(212, 214)은 턴오프된다.

- [0031] 도 3의 회로(300)는 또한, 앞서 언급한 바와 같이, 적어도 하나의 벌크 바이어싱 회로를 포함한다. 도시된 바와 같이, 도 3의 회로는 두개의 벌크 바이어싱 회로들(228, 226)을 포함하며, 이 회로들은 스위치들(212, 214) 각각의 벌크 또는 기관을 바이어싱하는 역할을 한다. 벌크 바이어싱 회로들(226, 228) 각각은 직렬 연결된 스위치들의 쌍을 포함하며, 이 스위치들은 회로(226)에서는 MN3, MP5로 표시되고 회로(228)에서는 MN4, MP6로 표시된다. 이 스위치들은, 또한 각각의 참조 부호들(338, 340, 342, 344)로 표시된다. 도시된 바와 같이, 스위치들(338, 340, 342, 334) 각각은 내부 전압 소스(216)에 연결된 단자들을 가진다. 추가적으로, 각각의 직렬 연결된 쌍은 NMOS 트랜지스터(즉, 338, 342) 및 PMOS 트랜지스터(즉, 340, 344)를 포함한다. 이 각각의 트랜지스터 쌍들의 정션 노드들(346, 348)은, 특히 회로(330)이 TMDS 모드일 때, 누설 전류를 방지하기 위한 벌크 바이어싱 전압을 제공하기 위한 목적으로, 스위치들(212, 214)의 벌크 단자들(310, 312)에 각각 연결된다.
- [0032] 동작 중에, 스위치들(338, 342)(MN3 및 MN4)은, 회로(300)가 LVDS 모드에서 동작될 때 턴온되고 회로(300)이 TMDS 모드에서 동작될 때 턴오프된다. 특히, LVDS 모드 중에, 스위치들(340, 344)이 턴오프된다. 출력부(208, 210)의 공통 레벨 출력이 대략 1.2 볼트인 LVDS 동작을 가정하면, 스위치들(304, 344)이 모두 턴오프 되고, 스위치들(338, 342)은 노드 Y와 Y'를 VDD까지 충전하도록 다이오드 연결된다. 따라서, VDD가 1.8볼트와 같다고 가정하면 노드(346, 348)(Y, Y')에 존재하는 전압은 대략 1.6 내지 1.7 볼트 일 것이다. 그러나 TMDS 모드에서는, 출력부(208, 210)에 존재하는 전압이 내부 전압 공급 전압(216) 보다 크기 때문에 스위치들(340, 344)이 턴온되고, 게이트와 소스 단자들이 모두 VDD(216)이므로 스위치들(338, 342)은 턴오프된다. 따라서, 입력부의 3.3볼트의 일반적인 TMDS 출력 전압 또는 대략 3 볼트의 공통 전압을 가정하면, 노드(346, 348)에 존재하는 전압 레벨은 출력 단자들(208, 210)에서의 전압과 거의 동일할 것이다. 다른 말로 하면, 출력 단자들(208, 210)에 존재하는 전압 레벨은, 스위치들(212, 214)의 벌크 단자들에 효과적으로 연결된다. 따라서, 기관 또는 스위치들(212, 214)의 벌크를 통해 출력 단자들(208, 210)로부터 내부 전압(216)으로 전류가 누설되는 것을 방지하기 위하여, 충분한 전압이 스위치들(212, 214)의 벌크 단자들(310, 312)에 제공된다.
- [0033] 추가적으로, 스위치들(314, 316)은 또한, 특히 TMDS 모드 중에 출력 단자들(208, 210)로부터 내부 전압(216)으로의 누설 전류를 방지하기 위하여, 이 스위치들의 소스 단자들에 대한 벌크 단자 연결(350, 352)을 포함한다. 또한, 도 3의 예에서, 스위치들(340, 344)은 또한, 이 스위칭 디바이스들에서 누설 전류가 발생하지 않게 하기 위하여, 노드들(346, 348)에 각각 연결되는 벌크 단자를 가진다.
- [0034] 도 4는 차동 시그널링 회로의 출력부의 전압 레벨에 의존하는 제어 바이어스 스위치를 구비한 도 1 및 2의 회로들과 같은 멀티 모드 차동 시그널링 회로를 제어하기 위한 방법의 예를 도시한다. 도시된 바와 같이, 흐름도(400)는 시작 블록(402)에서 시작한다. 초기화 후, 과정은, 멀티모드 차동 출력 회로에서 바이어스 전압이 스위치에 제공되는 블록(404)로 진행한다. 이는, 예를 들어, 스위치 제어 바이어싱 전압이 스위치들(212, 214)에 제공될 때, 스위치 제어 바이어싱 회로들(222, 224)에 의해 행해진다. 추가적으로, 블록(404)에서, 차동 시그널링 회로의 출력부의 전압 레벨에 의존하여 전압 레벨이 설정된다. 이것은, 앞서 설명한 바와 같이, 예를 들어, TMDS 모드 중에 스위치들(212 또는 214)을 턴오프하기에 충분한 레벨의 스위치 제어 전압을 제공하며 LVDS 모드 중에 스위치들(212 및 214)을 턴온시키기에 충분한 레벨의 전압을 운반하는 회로를 기반으로 한다.
- [0035] 블록(404)와 동시에, 과정은 블록(402)에서 블록(406)으로 진행하며, 여기서, 차동 시그널링 회로의 출력 값에 의존하여 벌크 바이어싱 전압이 스위치들의 벌크에 제공된다. 다시, 앞에서 설명한 바와 같이, 벌크 바이어싱 회로들(226, 228)은 이러한 기능의 예를 제공하며, 여기서, 스위치들(212, 214)에 누설 전류를 흐르지 않게 하기에 충분한 벌크 바이어싱 전압을 선택적으로 인가하기 위하여, 단자들(208, 210)의 전압에 의존하여, 스위치들(340 또는 344)이 턴온 또는 턴오프된다. 특히, TMDS 모드 중에, 이 모드에서 턴오프되는 스위치들(212, 214)이 바이어스되어 이 디바이스들의 벌크를 통한 누설 전류를 방지하게 하기 위하여, 스위치들(340, 344)이 턴온된다. 흐름은 블록들(404, 406)로부터 본 방법이 종료되는 블록(408)로 진행한다. 주목할 점은, 도 4에 도시된 방법은, 동시적인 순차 블록들(404, 406)을 도시하지만, 상기 블록들에 표시된 공정들은, 도시된 바와 같이 동시에 발생하거나 약간 다른 시점들에도 발생할 수 있다는 것이다.
- [0036] 상술한 바에 기초하여, 당업자는, 출력 전압들이 자동적으로 차동 시그널링 회로의 출력 전압에 의존하게 되는 스위치 제어 바이어싱 회로 및 벌크 바이어싱 회로를 포함시킴으로써, 더 높은 전압을 추가적으로 공급할 필요 없이, VDD에 대해 저전압 소스만을 사용하여 멀티모드 차동 시그널링 회로의 적절한 동작이 실시될 수 있음을 이해할 것이다. 또한, 상술한 장치 및 방법들은, 차동 시그널링 회로의 출력 전압 레벨이 내부 전압 공급보다 높을 때, 스위치- 상기 스위치는 내부 전압을 선택적으로 출력에 연결함- 내의 누설 전류가 방지되면서도 전류 모드 구성과 오픈 드레인 구성 사이에서 적절한 스위칭이 달성되는, 단일 저전력 공급으로 서로 다른 모드들(예

를 들어, LVDS 및 TMS)에서 동작가능한 차동 시그널링 회로를 달성한다.

- [0037] 당업자는 비록 구체적인 PMOS 및 NMOS 스위칭 디바이스들이 위의 예에 개시되었지만, 개시된 장치 및 방법을 실시하기 위해 임의의 적절한 스위칭 디바이스들이 사용될 수 있음을 이해할 것이다. 또한, 상술한 기능들을 달성하기 위해 다른 적절한 회로 구성들이 사용될 수 있다는 것을 이해할 수 있을 것이다.
- [0038] 또한, 도 2 및 3의 차동 시그널링 회로들은 그래픽 프로세싱 칩, 텔레커뮤니케이션 칩, 필드 프로그램가능 게이트 어레이를 포함하는 ASIC과 같은 집적 회로(도시되지 않음), 및 차동 출력 드라이버들이 통합된 임의의 다른 회로들 또는 디바이스들 내에 구현될 수 있다. 앞서 논의된 바와 같이, 어떤 집적 회로 애플리케이션들에서는 내부 전압 소스(VDD)를 위해 저전압(예를 들어, 1.8볼트)를 사용하는것이 바람직하다. 따라서, 저전압에서 복수의 모드들에 걸쳐 정확하게 동작하는 멀티모드 차동 시그널링 회로를 구현하는 개시된 장치 및 방법들은 집적 회로 내에 구현되기에 적합하다.
- [0039] 도 5는 본 발명의 일 실시예에 따른 디지털 데이터 전송 디바이스(502) 및 디지털 데이터 수신 디바이스(504)의 예를 도시하는 블럭도이다. 고려되는 바와 같이, 디지털 데이터 전송 디바이스(502)와 디지털 데이터 수신 디바이스(504)는 별개의 집적 회로들 상에 위치된다. 그러나, 디지털 데이터 전송 디바이스(502)와 디지털 데이터 수신 디바이스(504) 각각이 동일한 집적 회로 상에 위치되거나 동일한 집적 회로 패키지에 위치될 수 있다는 것이 고려된다. 일 실시예에서, 디지털 데이터 전송 디바이스(502)는 차동 시그널링 회로(505), 전류 소스 벌크 바이어싱 회로(506), 전류 소스 제어기(508), 그리고 트랜지스터-구현 전류 소스들(I4, I5)의 쌍을 포함한다.
- [0040] 차동 시그널링 회로(505)는 차동 시그널링 회로(202)와 유사하거나 동일하며, 제1 출력 단자(208), 제2 출력 단자(210), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2), 그리고 테일 전류 소스(I3)(본 명세서에서 전류 스티어링 소스라고도 지칭됨)를 포함한다. 본 명세서에서, 제1 및 제2 출력 단자(208, 210)는 "차동 출력 단자들"을 구성한다. 도시된 바와 같이, 제1 출력 단자(208)는 NMOS 트랜지스터(MN1)의 제1 단자에 연결되고, 제1 NMOS 트랜지스터(MN1)의 제2 단자는 테일 전류 소스(I3)에 연결된다. 제1 NMOS 트랜지스터(MN1)의 게이트는 제1 입력 신호(ID+)를 수신하도록 연결되고, 여기서 제1 입력 신호(ID+)는 임의의 적절한 로직(예를 들어, 코어 로직)으로부터 발생된다. 마찬가지로, 제2 NMOS 트랜지스터(MN2)의 제1 단자는 제2 출력 단자(210)에 연결되고, 제2 NMOS 트랜지스터(MN2)의 제2 단자는 테일 전류 소스(I3)에 연결되며, 제2 NMOS 트랜지스터(MN2)의 게이트는 제2 입력 신호(ID-)에 연결되고, 여기서 제2 입력 신호(ID-)는 임의의 적절한 로직(예를 들어, 코어 로직)으로부터 발생된다. 고려되는 바와 같이, 제1 및 제2 입력 신호들이 동시에 취해질 때, 제1 및 제2 입력 신호들(ID+, ID-)은 그것의 위치에 상관없이 임의의 적절한 수신 디바이스 또는 회로(예를 들어, 디지털 데이터 수신 디바이스(504))로 전송되기 위한 데이터를 나타낸다. 테일 전류 소스(I3)는 NMOS 트랜지스터들(MN1과 MN2)의 제2 단자들과 그라운드 사이에 연결된다. 차동 시그널링 회로(505)는 NMOS 트랜지스터와 테일 전류 소스를 포함하는 것으로 도시되지만, 상기 차동 시그널링 회로(505)가 임의의 적절한 회로, 또는, 예를 들어, 임의의 트랜지스터들의 조합(상기 트랜지스터들이 어떤 타입이든 상관없음), 및 회로 부품들 또는 소자들(능동 특성을 가지든 수동 특성을 가지든 상관없음)(통칭하여 "회로 소자들")을 포함하는 임의의 적절한 회로 또는 회로들을 사용하여 구현될 수 있다.
- [0041] 트랜지스터-구현 전류 소스들(I4, I5)은 각각의 출력 단자(208, 210) 및 제1 전압 소스 VDD1(216)에 연결된다. 일 실시예에서, 제1 전압 소스 VDD1(216)는 1.8볼트이며 디지털 데이터 전송 디바이스 전압 소스에 대응한다. 또 다른 실시예에서, 제1 전압 소스 VDD1(216)는 임의의 적절한 전압 소스이거나 또는 하기에서 논의되는 바와 같이 제2 전압 소스(VDD2)(132) 보다 적은 전압을 공급한다. 일 실시예에서, 도 1 및 2의 전류 소스들(I1, I2)은 트랜지스터-구현 전류 소스(I4, I5)의 쌍이다. 도 2 및 3의 정전류 소스들(218, 220)과 다르게, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍은, 스위치(122, 124) 또는 스위치(212, 214)와 같은 스위치를 통해 각각의 출력 단자들(208, 210)에 연결되지 않는다. 이는 전압과 관련하여 출력 단자들에 더 큰 "헤드룸"을 제공한다. 즉, 제1 및 제2 디지털 데이터 출력 신호들(518, 520)은 더 큰 동적 출력 전압 범위를 가진다. 이러한 구성은, 전류 소스 벌크 바이어싱 회로(506) 및 전류 소스 제어기(508)을 포함시킨 것에 부가하여, 하기에서 논의되는 바와 같이, 트랜지스터-구현 전류 소스들(I4, I5)의 "액티브" 쌍이 신호 경로에 투명한 방식으로 인에이블 및 디스에이블될 수 있게 해준다.
- [0042] 전류 소스 벌크 바이어싱 회로(506)는 제1 및 제2 출력 단자들(208, 210) 각각에, 그리고 제1 전압 소스 VDD1(216)에 연결되고, 검출된 동작 모드에 근거하여 전류 소스 벌크 바이어싱 신호(510)를 발생시킨다. 일 실시예에서, 적어도 제1 및 제2 출력 단자들(208, 210) 각각에서의 전압 레벨들에 근거하여 동작 모드가 검출된다. 트랜지스터-구현 전류 소스들(I4, I5) 각각은 전류 소스 벌크 바이어싱 신호(510)를 수신한다. 전류

소스 벌크 바이어싱 신호(510)는, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍에 의해 수신됨에 따라, 차동 시그널링 회로(505)가 제2 오퍼레이션 모드(예를 들어, TMDS 모드)일 때, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍에 걸친 전류 누설을 지연시키도록 동작하는 전압 또는 임의의 정보와 같은 임의의 적절한 신호이나 이것들에 국한되지는 않는다. 제1 동작 모드(예를 들어, LVDS) 동안에, 전류 소스 벌크 바이어싱 신호(510)는 트랜지스터-구현 전류 소스들(I4, I5)로 하여금 전류를 발생시키게 할 수 있는 임의의 적절한 신호를 나타낸다.

[0043] 전류 소스 제어기(508)는, 제1 및 제2 출력 단자들(208, 210) 각각에 연결되고, 검출된 동작 모드에 근거하여 제1 소스 제어 신호(512)를 발생시킨다. 일 실시예에서, 제1 및 제2 출력 단자들(208, 210) 각각에서의 전압 레벨들에 근거하여 동작 모드가 검출된다. 하기에서 더 설명될 바와 같이, 제1 동작 모드(예를 들어, LVDS 모드) 중에, 트랜지스터-구현 전류 소스들(I4, I5)이 선택적으로 턴온되어 제1 및 제2 출력 단자들(208, 210) 각각에 선택적으로 소스 전류를 제공한다. 다른 말로하면, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍은 선택적으로 소스 전류를 발생시켜, 차동 출력 단자들을 제1 전압 소스 VDD1(216)에 선택적으로 연결함으로써 차동 출력 단자들에서의 출력 전압 레벨을 조정한다. 반면, 제2 동작 모드(예를 들어, TMDS 모드)에서, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍은, 제1 전압 공급 소스 VDD1(216)가 더이상 제1 및 제2 출력 단자들(208, 210)에 연결되지 않게끔 선택적으로 턴오프된다. 이 모드에서는 소스 전류가 전혀 발생되지 않는다.

[0044] 전류 소스 벌크 바이어싱 회로(506) 및 전류 소스 제어기(508)은 각각 임의의 적절한 회로 소자들을 사용하여 구현되는 것으로 고려된다. 마찬가지로, 트랜지스터-구현 전류 소스들(I4, I6)은 적어도 하나의 트랜지스터를 사용하여(그러나, 임의의 다른 적절한 회로 소자들도 포함할 수 있음) 구현된다. 따라서, 전류 소스 벌크 바이어싱 회로(506), 전류 소스 제어기(508), 그리고 트랜지스터-구현 전류 소스들(I4, I5)의 쌍은 첨부된 도면에 도시된 구체적인 실시예들에 국한되는 것이 아니다.

[0045] 디지털 데이터 전송 디바이스(502)의 제1 및 제2 출력 단자들(208, 210)은 디지털 데이터 수신 디바이스(504)에 연결된다. 일 실시예에서, 제1 및 제2 출력 단자들(208, 210)은, 임의의 적절한 배선 매체(예를 들어, 케이블 또는 인쇄 회로 기판)를 통해 디지털 데이터 수신 디바이스(504)에 연결된다. 디지털 데이터 수신 디바이스는 제1 디지털 데이터 출력 신호(518) 및 제2 디지털 출력 신호(520)를 수신하도록 연결된 수신기(514)를 포함한다. 수신기(514)는 스위치들(138, 140) 및 저항들(R2, R3)을 통해 제2 전압 소스(VDD2)(132)에 연결된다. 일 실시예에서, 제2 전압 소스(VDD2)는 3.3볼트이고, 디지털 데이터 수신 전압 소스에 대응한다. 또 다른 실시예에서, 제2 전압 소스(VDD2)은 임의의 적절한 전압 소스이거나 제1 VDD1(216)보다 큰 전압을 공급하는 전압 공급원이다. 중단 저항(R1)은 또한 스위치들(126, 128)에 의해 수신기(514)의 입력들 사이에 연결된다. 일 실시예에서, 중단 저항(R1)이 100옴으로 설정되는 한편, 저항들(R2, R3)의 값은 50옴이다. 그러나, 임의의 적절한 저항 값이 선택될 수 있다. 또한, 저항으로서 기능하도록 된 임의의 다른 적절한 회로 소자들이, 각각의 R1-R3 또는 R1-R3 중 임의의 저항을 구현하기 위해 사용될 수 있음에 유의하여야 한다.

[0046] 도 1을 참조로 설명된 바와 같이, 스위치들(138, 140) 및 스위치들(126, 128)은 모드 제어 신호(516)(일 실시예에서, 모드 제어(116)의 출력과 유사함)와 같은 모드 제어 신호를 수신하며, 상기 모드 제어 신호는 위에 열거된 스위치들이 언제 오픈되거나 클로즈될 지를 표시한다. 모드 제어 신호(516)는, 예를 들어 코어 로직과 같은 임의의 적절한 로직에 의해 발생될 수 있다. 고려되는 바와 같이, 디지털 데이터 전송 디바이스(502)(보다 구체적으로는, 차동 시그널링 회로(505))가 제2 동작 모드(예를 들어, TMDS 모드)에서 동작할 때, 스위치들(138, 140)이 클로즈되고, 제1 동작 모드(예를 들어, LVDS 모드) 동안에는 오픈된다. 대조적으로, 스위치들(126, 128)은 제1 동작 모드(예를 들어, LVDS 모드) 동안에 클로즈되고, 제2 동작 모드(예를 들어, TMDS 모드) 동안에 오픈된다. 인지되는 바와 같이, 디지털 데이터 전송 디바이스(502)가 제1 또는 제2 동작 모드에서 동작할 때, 디지털 데이터 수신 디바이스(504)가 동일한 동작 모드에서 동작한다. 수신기(514)의 출력은, 예를 들어 전송된 데이터가 비디오 데이터를 나타낼 때, 모니터 상에 디스플레이를 발생시키는 데 사용될 수 있으며, 임의의 적절한 메모리에 저장될 수 있고, 또는 추가적인 처리를 위해 사용될 수 있다.

[0047] 고려되는 바와 같이, 도 5는 디지털 데이터 전송 디바이스(502)의 전체 또는 일부로써 구현된 완전-기능 출력 드라이버(fully-functional output driver)를 제공하는 바, 상기 완전-기능 출력 드라이버는, 예를 들어, 제2 동작 모드(TMDS 모드) 중에, 각각의 제1 및 제2 출력 단자들(208, 210)에서 자동적으로 검출된 전압 레벨이 내부 전압 소스 VDD1(216)보다 높게 상승할 때마다, 트랜지스터-구현 전류 소스들(I4, I5)의 액티브 쌍을 효과적으로 디스에이블시킴으로써, 오픈-드레인 출력 드라이버로서 안전하게 동작한다. 대조적으로, 상기 디지털 데이터 전송 드라이버(502)의 전체 또는 일부로서 구현된 완전-기능 출력 드라이버는 제1 동작 모드(LVDS 모드) 동안에 신호 경로에 완전히 투명한 방식으로(즉, 전류 소스들을 출력 단자들에 연결하도록 된 스위치를 사용하지 않고) 트랜지스터-구현 전류 소스(I4, I5)의 액티브 쌍을 인에이블시킴으로써 전류 모드 구성 출력 드라이버

(current mode configured output driver)로서 안전하게 동작한다. 이러한 이점들 및 다른 이점들은 도 5에 대한 논의에서만 제공되는 것이 아니라 도 6-12와 관련하여 더 논의된다.

[0048] 도 6은 공통-모드 피드백 회로(604) 및 모드 제어 로직(608)을 구비한 도 5의 디지털 데이터 전송 디바이스(502)의 일부를 도시하는 개략적인 블럭도이며, 본 개시의 일 실시예에 따라 PMOS 트랜지스터들(MP7, MP8, MP9)을 사용하는 트랜지스터-구현 전류 소스들(I4, I5)의 쌍을 보다 상세히 도시한다. PMOS 트랜지스터들(MP7, MP8, MP9) 각각은, 공통 바이어싱 트랜지스터(MP7)를 공유하는 두개의 전류 미러들을 형성하도록 되어있다. MP7과 MP8의 연결은 제1 전류 미러(즉, 제1 트랜지스터-구현 전류 미러 전류 소스)를 형성하며, 일 실시예에서, 도 5의 전류 소스(I4)를 나타낸다. 반면, MP7과 MP8의 연결은 제2 전류 미러(즉, 제2 트랜지스터-구현 전류 미러 전류 소스)를 형성하며, 일 실시예에서, 도 5의 전류 소스(I5)를 나타낸다. PMOS 트랜지스터들(MP7, MP8, MP9)의 제1 단자들 각각은 제1 전압 소스 VDD1(216)에 연결된다. PMOS 트랜지스터들(MP7, MP8, MP9)의 게이트들 각각은 서로 연결되며, 그리고 전류 소스 제어기(508)로부터 전류 소스 제어 신호(512)를 수신하도록 연결된다. PMOS 트랜지스터(MP7)의 제2 단자는 PMOS 트랜지스터(MP7)의 게이트에 연결되며, 또한 기준 전류 소스(I6)에 연결된다. PMOS 트랜지스터(MP8, MP9)의 제2 단자들은 차동 시그널링 회로(505)의 제1 및 제2 출력 단자들(208, 210)에 각각 연결된다. PMOS 트랜지스터들(MP7, MP8, MP9) 각각의 벌크 단자들은 전류 소스 벌크 바이어싱 회로(506)로부터 전류 소스 벌크 바이어싱 신호(510)를 수신하도록 연결된다.

[0049] 바이어싱 트랜지스터(MP7)는, 온 상태에 있을 때, 상기 트랜지스터의 단자들 중 두 단자들을 통하여 기준 전류를 통과시키며, 여기서 상기 전류는 기준 전류 소스(I6)에 의해 생성된 전류에 상응한다. 전류 미러 구성으로 인하여, 트랜지스터들(MP8, MP9)이 턴온 될 때, PMOS 트랜지스터(MP8)와 PMOS 트랜지스터(MP9)를 통한 전류가 기준 전류 소스(I6)에 의해 발생하는 기준 전류를 미러할 수 있다. 트랜지스터들(MP8, MP9) 각각은 전류 소스 제어 신호(512)(게이트 전압을 제어) 및 각각의 입력 신호(ID+, ID-)에 의해 선택적으로 턴온된다. 테일 전류 소스(I3)에 의해 제공되는 테일 전류는, MP7-MP9이 턴온될 때(즉, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍이 온일 때), 차동 시그널링 회로(505)를 통하여 전류가 흐르게(pull) 한다.

[0050] 공통 모드 피드백 회로(604)는 제1 및 제2 출력 단자들(208, 210) 각각에 연결된다. 제1 및 제2 디지털 데이터 출력 신호들(518, 520) 각각에서 검출된 전압 레벨들을 기반으로, 공통 모드 피드백 회로들(604)이 공통 모드 피드백 신호(606)를 생성하며, 이 공통 모드 피드백 신호는 테일 전류 소스(I3)에 의해 공급되는 테일 전류의 양을 감소시키거나 증가시키도록 동작된다. 테일 전류를 감소 또는 증가시킴으로써, 공통 모드 피드백 회로는 제1 및 제2 출력 단자들(208, 210)의 공통 모드 전압을 일정하게(또는 적절하게 일정하게) 유지한다. 일 실시예에서, 공통 모드 피드백 회로(604)는, 제1 및 제2 출력 단자들(208, 210)에서 검출된 전압 레벨들의 평균 전압 값을 취한다. 또 다른 실시예에서, 디지털 데이터 전송 디바이스(502)의 설계를 바탕으로 제1 및 제2 출력 단자들(208, 210)의 평균 전압을 대략적으로 일정하게 유지하기 위하여, 공통 모드 피드백 회로(604)를 사용하여 임의의 다른 적절한 알고리즘이 구현된다. 평균 전압 값이 임계값보다 크면, 테일 전류 소스(I3)에 의해 생성되는 테일 전류가 증가한다. 반대로, 이 값이 임계 값보다 작다면, 테일 전류 소스(I3)에 의해 생성되는 테일 전류가 감소된다. 고려되는 바와 같이, 공통-모드 피드백 회로는, 임의의 적절한 로직 및/또는 회로 소자들을 사용하여 구현될 수 있다.

[0051] 모드 제어 로직(608)은, 바이어싱 트랜지스터(MP7)의 기준 전류 소스(I6)가 수신하게 하기 위한 모드 제어 신호(516)를 발생시키도록 동작한다. 모드 제어 신호(516)는, 차동 시그널링 회로(505)의 동작 모드에 기초하여 기준 전류 소스(I6)에 의한 기준 전류의 생성을 인에이블 또는 디스에이블시킨다. 제1 동작 모드(예를 들어, LVDS 모드) 동안, 기준 전류 소스(I6)가 인에이블되어 기준 전류가 생성될 수 있게 하는 반면, 제2 동작 모드(예를 들어, TMS 모드) 동안에는 기준 전류 소스(I6)가 디스에이블되어 기준 전류가 발생되지 않는다. 제2 동작 모드 동안에 기준 전류 소스(I6)에 의해 기준 전류가 발생될 수 없게 함으로써, 기준 전류는, 동일한 동작 모드에서 트랜지스터-구현 전류 소스들(I4, I5)의 쌍을 턴오프시키도록 동작하는 전류 소스 제어 신호(512)와 경쟁할 수 없게 된다.

[0052] 도 7을 참조하면, 본 개시의 일 실시예에 따라, 도 6의 바이어싱 트랜지스터(MP7)의 일부로서 기준 전류 소스(I6)의 예를 도시하는 개략적인 블럭도가 도시된다. 기준 전류 소스(I6)는 NMOS 트랜지스터들(MN5, MN6)을 포함하는 NMOS 전류 미러를 포함한다. NMOS 트랜지스터(MN5)의 제1 단자는 PMOS 트랜지스터(MP7)의 제2 단자에 연결되고, NMOS 트랜지스터(MN5)의 제2 단자는 접지되고, NMOS 트랜지스터(MN5)의 게이트는 NMOS 트랜지스터(MN6)의 게이트에 연결된다. NMOS 트랜지스터(MN6)의 게이트는 그것의 제1 단자에 연결되며, NMOS 트랜지스터(MN6)의 제1 단자는 전류 소스(I7)에 연결된다. 전류 소스(I7)는 제1 전압 소스 VDD1(216)와 NMOS 트랜지스터(MN6)의 제1 단자 사이에 연결된다. NMOS 트랜지스터(MN6)의 제2 단자는 접지된다. NMOS 트랜지스터(MN5)를 통한 전류는, 상

기 트랜지스터가 온 상태에 있을 때, NMOS 트랜지스터(MN6)를 통한 전류(즉, I7에 의해 생성된 전류)의 복제된 버전(replicated version)이다. NMOS 트랜지스터들(MN5, MN6)을 턴온 및 턴오프 시키기 위하여(그리고 그림으로써 기준 전류 소스(I6)에 의해 발생하는 기준 전류를 인에이블 및 디스에이블시킴으로써), 스위치 NMOS 트랜지스터(MN7)가 NMOS 트랜지스터(MN5와 MN6)의 게이트들과 그라운드 사이에 연결되고, 스위치 NMOS 트랜지스터(MN7)의 게이트가 모드 제어 신호(516)를 수신한다. 고려되는 바와 같이, 모드 제어 신호(516)의 값이 하이(예를 들어, 로직 1)일 때, NMOS 전류 미러가 턴온되고, 기준 전류 소스(I6)에 의해 발생하는 기준 전류가 인에이블된다. 대조적으로, 모드 제어 신호(516)의 값이 로우(예를 들어, 로직 0)일 때, NMOS 전류 미러가 턴오프되며, 기준 전류 소스(I6)에 의해 발생하는 기준 전류가 디스에이블된다.

[0053] 도 8은 본 개시의 일 실시예에 따라, 도 5의 디지털 데이터 전송 디바이스(502)의 일부로서, 테일 전류 소스(I3)의 예를 도시하는 개략적인 블럭도이다. 도시된 바와 같이, 테일 전류 소스(I3)는, 전류 소스(I8)가 NMOS 트랜지스터(MN8)의 제1 단자에 연결되어있는 NMOS 트랜지스터들(MN8, MN9)을 포함하는 NMOS 전류 미러를 포함한다. NMOS 트랜지스터들(MN8, MN9)은 NMOS 트랜지스터들(MN6, MN5)과 각각 동일한 방식으로 연결되며, 상기에서 논의되고 도 7에 도시된 것과 같이 연결된다. 도 7의 기준 전류 소스(I6)와는 대조적으로, 테일 전류 소스(I3)는 MN7과 같은 스위치 NMOS 트랜지스터를 포함하지 않으나, 대신 MN1과 MN2의 제2 단자들 사이에 연결된 전류 조정기(current adjustor) NMOS 트랜지스터(MN10)를 포함하여, 도 6과 관련하여 상기에 기재된 방식으로, 전류 조정기 NMOS 트랜지스터(MN10)의 게이트가 공통 모드 피드백 신호(606)를 수신하고 테일 전류 소스(I3)에 의해 생성된 테일 전류를 조정하도록 동작한다.

[0054] 도 9는 본 발명의 일 실시예에 따라, 도 6의 디지털 데이터 전송 디바이스(502)의 부분으로서 전류 소스 벌크 바이어싱 회로(506) 및 전류 소스 제어기(508)의 예를 도시하는 개략적인 블럭도이다. 도시된 바와 같이, 예시적인 전류 소스 벌크 바이어싱 회로(506)는 제1 전압 소스 VDD1(216)와 제1 출력 단자(208) 사이에서 PMOS 트랜지스터에 직렬로 연결된 NMOS 트랜지스터(MN3)를 포함한다. 추가적으로, NMOS 트랜지스터(MN3)와 PMOS 트랜지스터(MP5)의 게이트들이, 제1 전압 소스 VDD1(216)에 연결된다. 예시적인 전류 소스 벌크 바이어싱 회로(506)는 또한 제1 전압 소스 VDD1(216)와 제2 출력 단자(210)와의 사이의 PMOS 트랜지스터(MP6)에 직렬로 연결된 NMOS 트랜지스터(MN4)를 포함한다. 추가적으로, NMOS 트랜지스터(MN4)와 PMOS 트랜지스터(MP6)의 게이트들은 모두 제1 전압 소스 VDD1(216)에 연결된다. PMOS 트랜지스터들(MP5, MP6) 각각은 그것들 각각의 제1 단자들에 연결된 벌크 단자들을 가진다. PMOS 트랜지스터(MP5)의 제1 단자에 연결된 NMOS 트랜지스터(MN3)의 제2 단자는 저항(R4)의 제1 단자에 연결되고, PMOS 트랜지스터(MP6)의 제1 단자에 연결된 NMOS 트랜지스터(MN4)의 제2 단자는 저항(R5)의 제1 단자에 연결된다. 저항들(R4, R5)은 전압 분배기로서 서로 연결된다. 전압 분배기의 출력은 전류 소스 벌크 바이어싱 신호(510)이다.

[0055] 일 실시예에서, 차동 시그널링 회로(505)가 제2 동작 모드(예를 들어, TMS 모드)에서 동작중일 때, 전류 소스 벌크 바이어싱 신호(510)의 전압 레벨이 출력 단자들(208, 210)에서 검출된 전압 레벨들의 평균 전압 또는 근사-평균 전압을 나타내게끔, 저항들(R4, R5)은 서로 동일한 값을 가진다. 본 명세서에서, 차동 시그널링 회로가 제2 동작 모드(예를 들어, TMS 모드)에서 동작중일 때 출력 단자들(208, 210)에서 검출되는 전압 레벨들의 "근사 평균 전압(near-mean voltage)"은, 평균 전압 플러스 또는 마이너스 전압 오프셋을 나타내는 전압 레벨이다. 그러나, 각각의 값들이, 차동 시그널링 회로(505)의 임피던스에 현저히 영향을 주지 않을 만큼 충분히 큰 동안에는, 만족스러운 결과를 얻기 위하여(그리고, TMS 모드 동안에 트랜지스터-구현 전류 소스들(I4, I5)을 통한 전류 누설을 방지 또는 지연시키기 위하여) 각각의 저항들에 대해 임의의 적절한 저항 값들이 사용될 수 있음이 이해될 것이다.

[0056] 동작 중에, 전류 소스 벌크 바이어싱 회로(506)는 제1 및 제2 출력 단자들(208, 210) 각각에서 전압 레벨을 검출한다. 제1 동작 모드(예를 들어, LVDS 모드) 동안, 출력 단자들(208, 210)은, 제1 전압 소스 VDD1(216)에 의존하는, 그리고 일반적으로 0.9V 내지 1.5V 범위(VDD1(216)가 1.8V 또는 거의 1.8V로 설정됨에 따라 허용되는 전압 범위) 내에 있는 전압 스윙을 지원한다. 따라서, 로직 0은, 이 범위 내에서 더 낮은 전압들을 나타내고, 로직 1은 이 범위 내에서 더 높은 전압들을 나타낼 수 있다. 제1 모드(예를 들어, LVDS 모드) 동안에, 각각의 PMOS 트랜지스터들(MP5, MP6)은 오프되고(즉, 이 PMOS 트랜지스터들은 개방 회로(open circuit)처럼 동작한다), 각각의 NMOS 트랜지스터들(MN3, MN4)은 온된다(즉, 이 트랜지스터들은 단락 회로(short circuit)처럼 동작한다). 따라서, 저항들(R4, R5)에 의한 전압 분배후, R4=R5 라고 가정하면, 전류 소스 벌크 바이어싱 신호(510)는 대략 제1 전압 소스 VDD1(216)의 전압 레벨(즉, 1.8V에서 적절한 전압 강하 값을 뺀것)과 동일하다. 대략적으로 제1 전압 소스(VDD1)의 값으로 설정된 전류 소스 벌크 바이어싱 신호(510)는 PMOS 트랜지스터들(MP7, MP8, MP9)을 인에이블시켜 전류 미러로서 동작하게 한다.

[0057] 제2 모드(예를 들어, TMS) 중에, 출력 단자들(208, 210)은 제2 전압 소스(VDD2)(132)에 의존하는 전압 스윙을 지원하며, 이 전압 스윙은 VDD2가 3.3V로 또는 거의 3.3V로 설정된다고 가정(VDD2는 3.3V로 또는 거의 3.3V로 설정되는 것이 허용되기 때문임)하면 일반적으로 2.7V 내지 3.3V의 범위 내에 있다. 따라서, 로직 0은 이 범위 내에서 더 낮은 전압들에 의해 표시될 수 있고 로직 1은 이 범위 내에서 더 높은 전압들에 의해 표시될 수 있다. 이 모드 동안에, PMOS 트랜지스터들(MP5, MP6) 각각은 온(즉, PMOS 트랜지스터들은 단락 회로처럼 동작함)이고, NMOS 트랜지스터들(NM3, NM4) 각각은 오프(즉, NMOS 트랜지스터들은 개방 회로처럼 동작함)이다. 따라서, 저항들(R4, R5)에 의한 전압 분배후, R4=R5 라고 가정하면, 전류 소스 벌크 바이어싱 신호(510)는 제1 및 제2 출력 단자들(208, 210)에서 검출된 전압 레벨들의 평균 전압과 거의 동일하다. 이 모드 동안 대략 제1 및 제2 출력 단자들(208, 210)에서 검출된 전압 레벨들의 평균값으로 설정된 전류 소스 벌크 바이어싱 신호(510)는, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍의 PMOS 트랜지스터들(MP8, MP9)에 대해 바이어싱 효과를 가지며, 더 높은 전압, 즉 출력 단자들(208, 210)로부터, PMOS 트랜지스터들(MP8, MP9)을 거쳐, 더 낮은 전압, 즉 제1 전압 소스 VDD1(216)로의 전류 누설을 효과적으로 지연시키도록 동작한다.

[0058] 전류 소스 제어기(508)는, 제1 출력 단자(208)와 교차-연결(cross-coupled) PMOS 트랜지스터들의 제1 및 제2 쌍의 제1 입력들과의 사이에 연결된 PMOS 트랜지스터(MP10)를 포함한다. 전류 소스 제어기(508)는 또한, 제2 출력 단자(210)와 교차-연결 PMOS 트랜지스터들의 제1 및 제2 쌍의 제2 입력들과의 사이에 연결된 PMOS 트랜지스터(MP11)를 포함한다. 교차-연결 PMOS 트랜지스터들의 제1 쌍은 PMOS 트랜지스터들(MP12, MP13)을 포함하며 교차-연결 PMOS 트랜지스터들의 제2 쌍은 PMOS 트랜지스터들(MP14, MP15)을 포함한다. PMOS 트랜지스터들(MP10, MP11)의 게이트들은 제1 전압 소스 VDD1(216)에 연결된다. 교차-연결 PMOS 트랜지스터들의 제1 쌍의 출력은 제1 및 제2 트랜지스터-구현 전류 소스들(I4, I5)의 PMOS 트랜지스터들(MP7-MP9) 각각의 게이트들에 연결된다. 교차-연결 PMOS 트랜지스터들의 제2 쌍의 출력은 다이오드-결선(diode-connected) PMOS 트랜지스터(MP16)의 제2 단자에 연결되며, 상기 PMOS 트랜지스터(MP16)는 제1 단자가 제1 전압 소스 VDD1(216)에 연결되어 약한 전류 소스(weak current source)처럼 동작한다. 다이오드-결선 PMOS 트랜지스터(MP16)의 제2 단자는 패스-쓰루 PMOS 트랜지스터(MP17)의 게이트에 연결된다. 도 9에 점선을 사용하여 도시한바와 같이, 패스-쓰루 PMOS 트랜지스터(MP17)의 제1 단자는 하기에서 더 상세히 논의될 것과 같은 이유로 PMOS 트랜지스터들(MP10, MP11)의 제2 단자들 중 하나에 연결된다. 패스-쓰루 PMOS 트랜지스터(MP17)의 제2 단자는 제1 및 제2 트랜지스터-구현 전류 소스들(I4, I5)의 PMOS 트랜지스터들(MP7-MP9) 각각의 게이트들에 연결된다. 교차-연결 PMOS 트랜지스터들(MP12, MP13)의 제1 쌍 및/또는 패스-쓰루 PMOS 트랜지스터(MP17)에 의해 전압이 제공됨에 따라, 제1 및 제2 트랜지스터-구현 전류 소스들(I4, I5)의 PMOS 트랜지스터들(MP7-MP9) 각각의 게이트들에서의 전압은 전류 소스 제어 신호(512)를 나타낸다.

[0059] 동작시, 제1 모드(예를 들어, LDVS 모드) 동안에 각각의 PMOS 트랜지스터들(MP10, MP11)은 오프이다(즉, 이 트랜지스터들은 개방 회로처럼 동작한다). 따라서, 전류 소스 제어 신호(512)에 의해 제공되는 전압 레벨은 이 모드 동안에 플로팅/높은 임피던스(Z)이다. 이는 트랜지스터-구현 전류 소스들(I4, I5)의 PMOS 트랜지스터들(MP7, MP9) 각각이, 바이어싱 트랜지스터(MP7) 내의 기준 전류 소스(I6)에 의해 제어됨에 따라, ON 상태에 있을 수 있게 해준다. 그러나, 제2 모드(예를 들어, TMS) 동안에, 각각의 PMOS 트랜지스터들(MP10, MP11)은 ON이다(즉, 이 PMOS 트랜지스터들은 단락 회로처럼 동작한다). PMOS 트랜지스터(MP10, 노드 X)의 제2 단자에서의 전압 레벨은, 제1 출력 단자(208)에서 검출된 전압 레벨에서 적절한 전압 강하값을 뺀 값과 대략적으로 동일하다. 마찬가지로, PMOS 트랜지스터(MP11)의 제2 단자에서의 전압 레벨(노드 Y)은, 제2 출력 단자(210)에서 검출된 전압 레벨에서 적절한 전압 강하값을 뺀 값과 대략적으로 동일하다. X와 Y가 동일하지 않을 때, 교차-연결 PMOS 트랜지스터들의 제1 및 제2 쌍은, X와 Y 중 더 높은 전압으로부터 적절한 전압 강하값을 뺀 값(즉, 3.3V에서 적절한 전압 강하값을 뺀 값)과 대략적으로 동일한 출력을 가진다. 동시에, 패스-쓰루 PMOS 트랜지스터(MP17)는 오프되고(즉, 상기 패스-쓰루 PMOS 트랜지스터(MP17)는 개방 회로처럼 동작함), 전류 소스 제어 신호(512)에 의해 제공되는 전압 레벨은, 교차-연결 PMOS 트랜지스터(MP12, MP13)의 제1 쌍에 의해 효과적으로 제공되며 대략적으로 X와 Y 중 더 높은 전압으로부터 적절한 전압 강하값을 뺀 값으로 설정된다. 그러나, X와 Y가 동일할 때, 교차-연결 PMOS 트랜지스터의 제1 및 제2 쌍의 출력들은 플로팅/높은 임피던스(Z) 값이다. 그러나, 다이오드-결선 PMOS 트랜지스터(MP16)로 인하여, 그리고 패스-쓰루 PMOS 트랜지스터(MP17)의 제1 단자가 X 또는 Y에 연결되기 때문에(X=Y이기 때문에 제1 단자가 X에 연결되든 Y에 연결되든 상관없음), 패스-쓰루 PMOS 트랜지스터(MP17)는 온(즉, 이 트랜지스터는 단락 회로처럼 동작함)이고 전류 소스 제어 신호(512)는 X 또는 Y의 전압 레벨로부터 적절한 전압 강하값을 뺀 값(즉, 3.3V에서 적절한 전압 강하값을 뺀 값)과 거의 같다. 따라서, TMS 모드 중에, PMOS 트랜지스터들(MP7-MP9)은 턴오프된다.

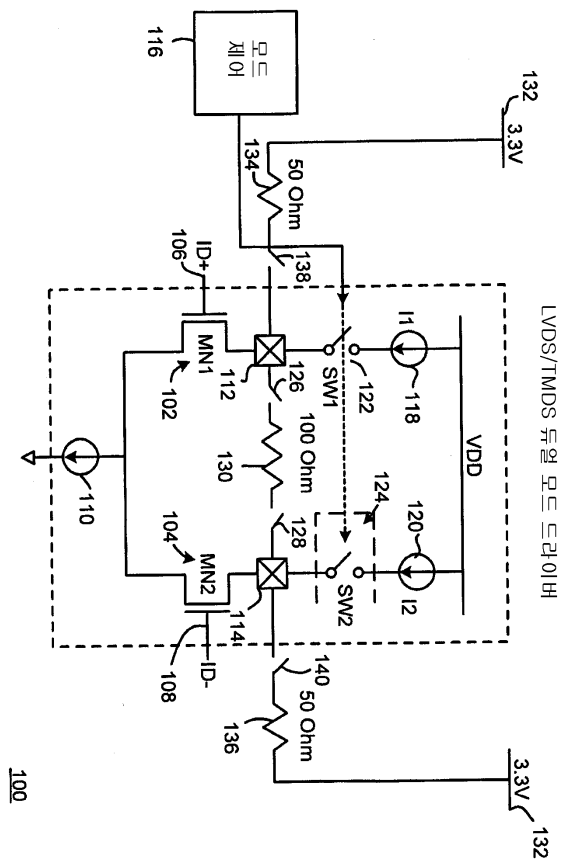
- [0060] 요약하면, 제1 모드(예를 들어, LVDS) 중에, 전류 소스 제어 신호(512)는 플로팅 전압 레벨(즉, 고 임피던스(Z)값)을 가진다. 이는 트랜지스터-구현 전류 소스들(I4, I5)의 쌍의 PMOS 트랜지스터들(MP7, MP9)이, 기준 전류 소스(I6) 또한 ON 인한, 턴온될 수 있게 해준다. 제2 모드(예를 들어, TMDS) 중에, 전류 소스 제어 신호(512)는 더 높은 전압(예를 들어, 2.7V)을 가지며 트랜지스터-구현 전류 소스들(I4, I5)의 쌍의 PMOS 트랜지스터들(MP7-MP9)을 턴오프하도록 동작한다.
- [0061] 도 10은 본 발명의 일 실시예에 따라, 도 6의 디지털 데이터 전송 디바이스(505)의 일부로서, 전류 소스 벌크 바이어싱 회로(506) 및 전류 소스 제어기(508)의 또 다른 예를 도시하는 개략적인 블럭도이다. 전류 소스 벌크 바이어싱 회로(506)는 도 9에 구현된 것과 동일한 방식으로 구현되며 동작한다. 그러나, 전류 소스 벌크 바이어싱 회로(506)는 다르게 구현된다. 도 10의 전류 소스 벌크 바이어싱 회로(506)는 전류 소스 제어기(508)와 동일한 소자들을 포함하지만, 도 9와 관련하여 위에서 설명된 방식으로 연결된 NMOS 트랜지스터들(MN3, MN4) 또한 포함한다. 도시된 바와 같이, 전류 소스 벌크 바이어싱 회로(506)는 전압 분배기(R4, R5)의 사용을 요구하지 않으며, PMOS 트랜지스터들(MP5, MP6)의 사용을 요구하지 않는다.
- [0062] 도 10의 전류 소스 벌크 바이어싱 회로(506)의 동작 중, 제1 모드(예를 들어, LVDS) 동안, NMOS 트랜지스터들(MN3, MN4)이 턴온되고, PMOS 트랜지스터들(MP10, MP11)이 턴오프된다. 따라서, 이 모드 동안에, 전류 소스 벌크 바이어싱 신호(510)는 제1 전압 소스 VDD1(216)의 전압 레벨에서 적절한 전압 강하를 뺀 것과 대략적으로 동일하다. 제2 모드(예를 들어, TMDS) 중에, NMOS 트랜지스터들은 턴오프되고 PMOS 트랜지스터들(MP10, MP11)은 턴온된다. 따라서, 이 모드 동안에 전류 소스 벌크 바이어싱 신호(510)는 전류 소스 제어 신호(512)와 동일하다. 도 10에 도시된 실시예에서, 제2 동작 모드 동안의 전류 소스 벌크 바이어싱 신호(510)는 동일한 모드에서의 도 9의 동일한 신호의 전압 레벨보다 더 높은 전압 레벨을 가지며, 따라서, 트랜지스터-구현 전류 소스(I4, I5)를 통한 전류 누설을 더 잘 방지한다. 그러나, 도시된 바와 같이, 상기 설계 실시예들 간에는 회로 면적(real estate)의 소비라는 트레이드-오프가 존재한다. 도 10의 개략적인 블럭도를 구현하는 것은, 도 9의 개략적인 블럭도를 구현하는 것보다 사용면적 측면에서 더 많은 비용을 수반한다.
- [0063] 도 11은 본 발명의 일 실시예에 따라 디지털 데이터 전송 디바이스를 동작시키기 위한 방법을 도시하는 흐름도이다. 본 방법은 블럭(1102)에서 시작되며, 여기서, 예를 들어, 임의의 적절한 로직이, 도 5의 디지털 데이터 수신 디바이스(504)에 전송하기 위한, ID+ 및 ID-와 같은 입력 신호들을 생성한다. 본 방법은, 차동 출력 단자들을 가진 차동 시그널링 회로를 동작시킴으로써 블럭(1104)에서 계속된다. 일 실시예에서, 이는 위에서 다양한 실시예들에서 제공된 것과 같이, 차동 출력 단자들(208, 210)을 가진 차동 시그널링 회로(505)를 동작시키는 것에 대응한다.
- [0064] 선택적으로, 본 방법은, 전류 소스 제어 신호가, 차동 시그널링 회로의 검출된 동작 모드를 바탕으로 생성되는 블럭(1106)을 포함한다. 일 실시예에서, 이는 예를 들어, 도 5 및 도 9를 참조로 위에서 설명된 전류 소스 제어기들 및 위에서 제공된 것과 같은 전류 소스 제어기를 사용하여, 차동 출력 단자들(208, 210)에서 전압 레벨들을 검출하는 것에 대응한다. 본 방법은, 또한, 전류 소스 제어 신호가 트랜지스터-구현 전류 소스들(I4, I5)과 같은 트랜지스터-구현 전류 소스들의 쌍에 제공되는 블럭(1108)을 선택적으로 포함한다. 이는 또한, 도 5-10의 다양한 실시예들에서 상술된 것과 같이 전류 소스 제어기(508)가 전류 소스 제어 신호를 송신하는 것(및, 트랜지스터-구현 전류 소스들(I4, I5)의 쌍이 전류 소스 제어 신호를 수신하는 단계)에 대응한다.
- [0065] 본 방법은 블럭(1110)으로 계속되며, 상기 블럭에서는, 차동 시그널링 회로의 검출된 동작 모드에 응답하여 차동 출력 단자들에서의 출력 전압 레벨들을 조정하도록 선택적으로 소스 전류들을 생성하기 위해 트랜지스터 구현 전류 소스들의 쌍이 사용된다. 일 실시예에서, 이는 상술된 바와 같이, 차동 출력 단자들(208, 210)에서의 출력 전압 레벨들을 조정하기 위해 소스 전류들을 발생시키는 데 트랜지스터 구현 전류 소스들의 쌍을 사용하는 것에 대응된다. 일 실시예에서, 블럭(1110)은 또한, 트랜지스터-구현 전류 소스들의 쌍으로 하여금, 상기 차동 시그널링 회로가 제1 동작 모드에 있을 때, 소스 전류들(예를 들어, 상술한 바와 같은 전류 소스 벌크 바이어싱 전류(510))을 발생시킬 수 있게 하는 단계를 포함할 수 있다. 선택적으로, 본 방법은, 차동 시그널링 회로가 제2 동작 모드에서 동작할 때, 트랜지스터-구현 전류 소스들의 쌍에 거쳐 전류 누설을 지연시키는 블럭(1112)을 포함한다. 일 실시예에서, 이는 차동 시그널링 회로(505)가 제2 동작 모드(예를 들어, TMDS 모드)에 있을 때, 전류 소스 벌크 바이어싱 신호(510)가 I4와 I5에 걸쳐 전류 누설을 지연시키게 하는, 트랜지스터-구현 전류 소스들(I4, I5)에 의해 수신되는 전류 소스 벌크 바이어싱 신호(510)에 대응한다. 마지막으로, 본 방법은, 예를 들어, 차동 출력 단자들(208, 210)이 디지털 데이터 수신 디바이스(504)와 같은 임의의 적절한 수신 엔티티로 전송되는 블럭(1114)에서 종료된다.

[0066] 따라서, 본 발명의 일 실시예는, 디지털 데이터 전송 디바이스(502)와 같은 디지털 데이터 전송 디바이스 내에 구현된 또는 디지털 데이터 전송 디바이스의 전체 또는 일부로서 구현된 멀티모드, 셀프-바이어싱 출력 드라이버를 제공해준다. 디지털 데이터 전송 디바이스(502)는 차동 직렬 회로(505)로 하여금 전류 모드 구성(current mode configuration) 또는 오픈 드레인 구성(open drain configuration) 중 하나에서 동작하게 한다. 전류 모드 구성은 제1 동작 모드(예를 들어, LVDS 모드)에 대응하며, 상기 제1 동작모드에서 트랜지스터 구현 전류 소스들(14, 15)의 액티브 쌍은, 신호 경로에 투명한 방식으로, 제1 및 제2 출력 단자들(208, 210)과 전압 소스 VDD1(216) 사이에 연결된다. 오픈 드레인 구성은 제2 동작 모드(예를 들어, TMDS 모드)에 대응하며, 여기서 트랜지스터-구현 전류 소스들(14, 15)의 액티브 쌍이 효과적으로 디스에이블되며, 상기 트랜지스터-구현 전류 소스들(14, 15)의 쌍을 통한 역 전류가 지연(retard)된다.

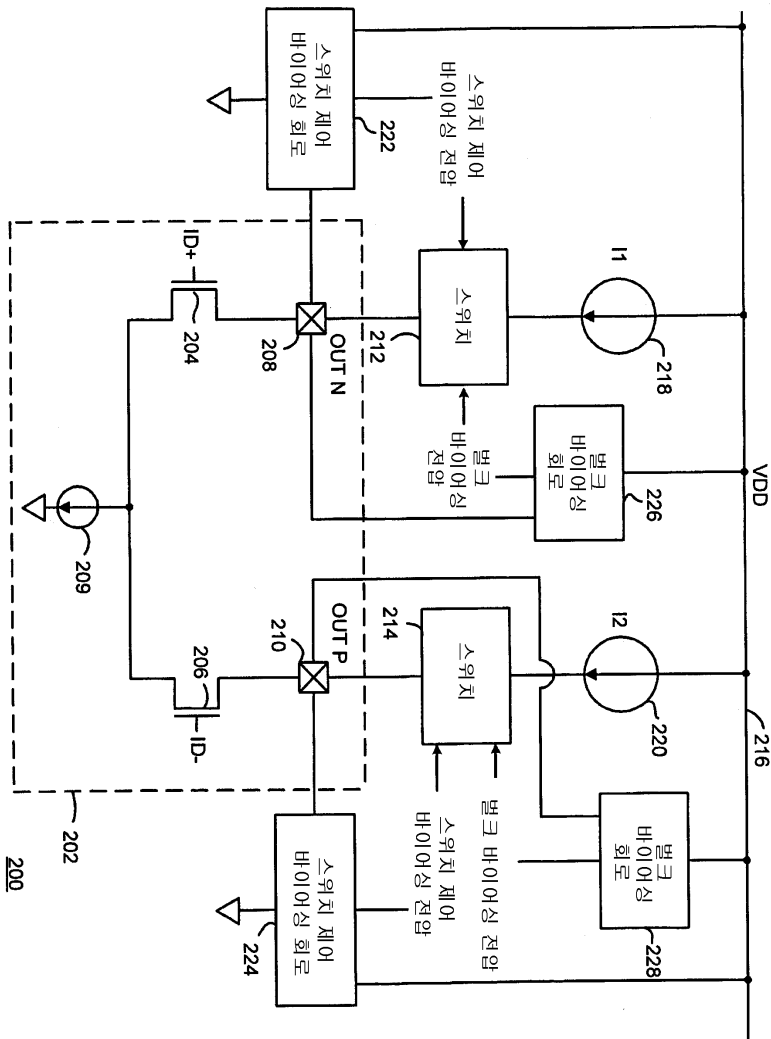
[0067] 본 명세서에 설명된 위의 실시예의 상세한 설명은 단지 예시 및 설명의 목적으로 제공된 것이며 제한적인 것으로 제공된 것이 아니다. 예를 들어, 제1 및 제2 동작 모드들이 각각 LVDS 및 TMDS 모드에 대응하는 것으로 설명되었지만, 본 개시의 범주 및 정신으로부터 벗어남이 없이, 본 명세서에서 제시된 구조를 사용하여, 임의의 다른 적절한 동작 시그널링 모드들이 구현될 수 있다. 따라서, 본 출원은, 위에서 개시된 기본적인 원리들의 정신 및 범주 내에 들어오는 임의의 모든 수정, 변형 또는 등가를 포함하는 것으로 이해되어야 한다.

도면

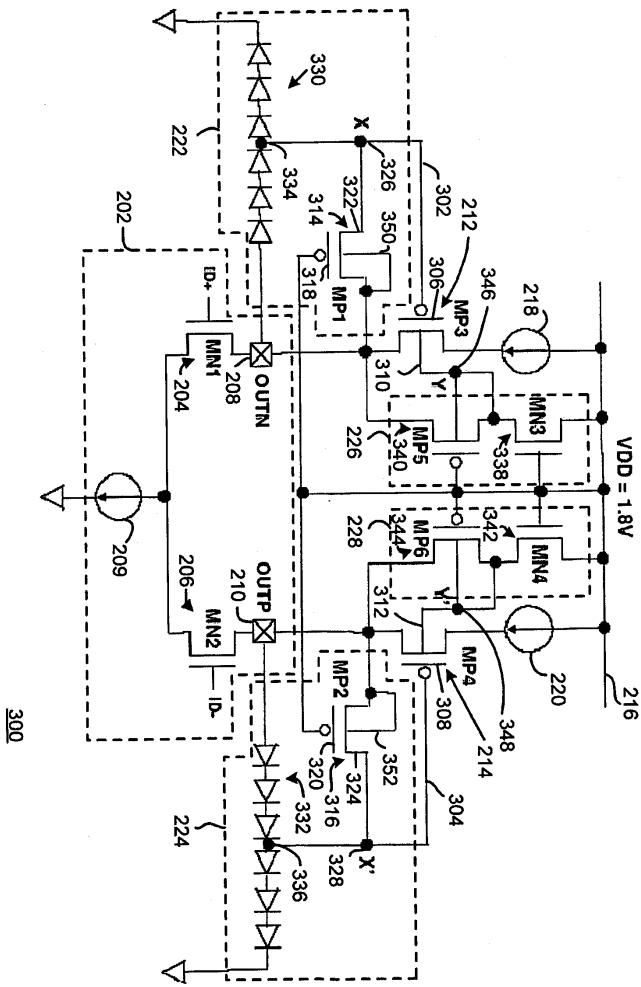
도면1



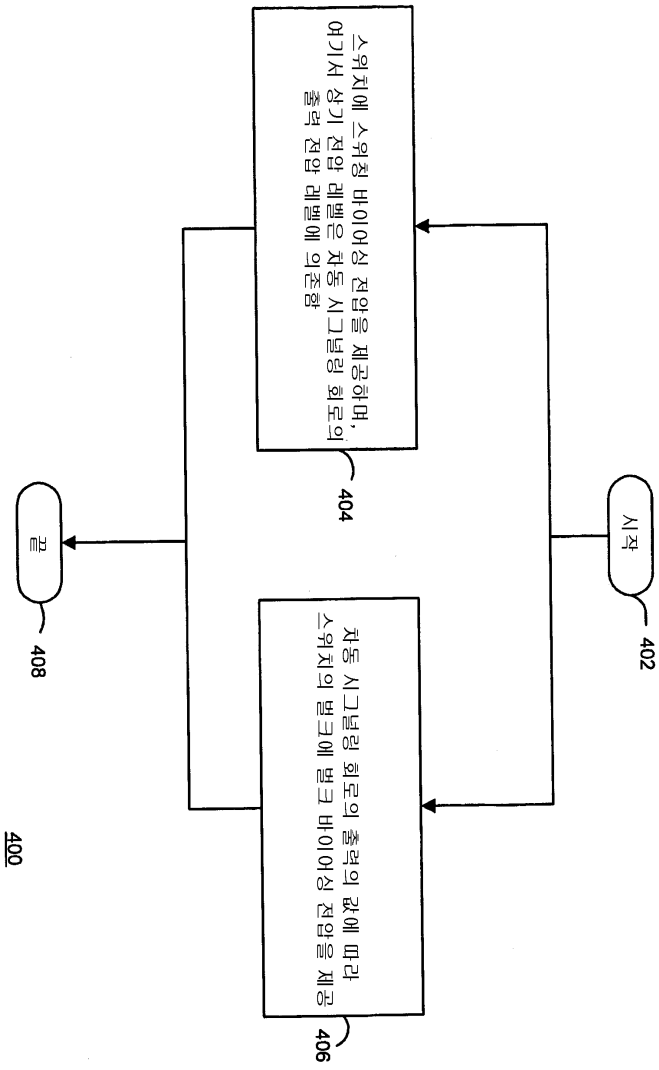
도면2



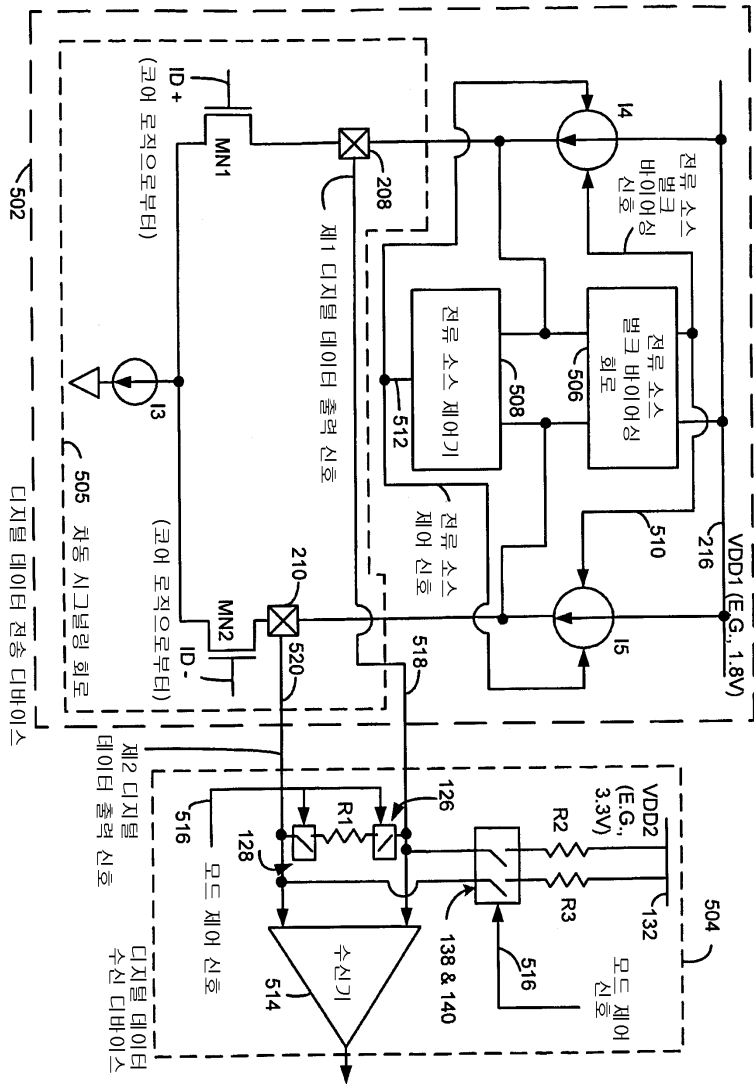
도면3



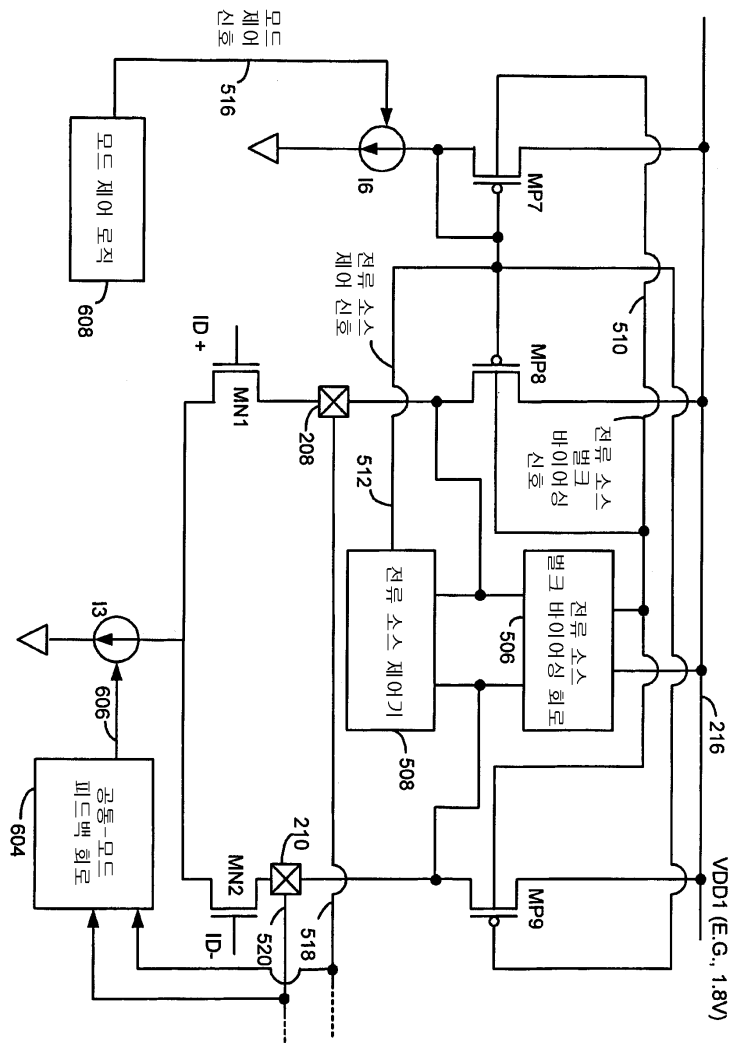
도면4



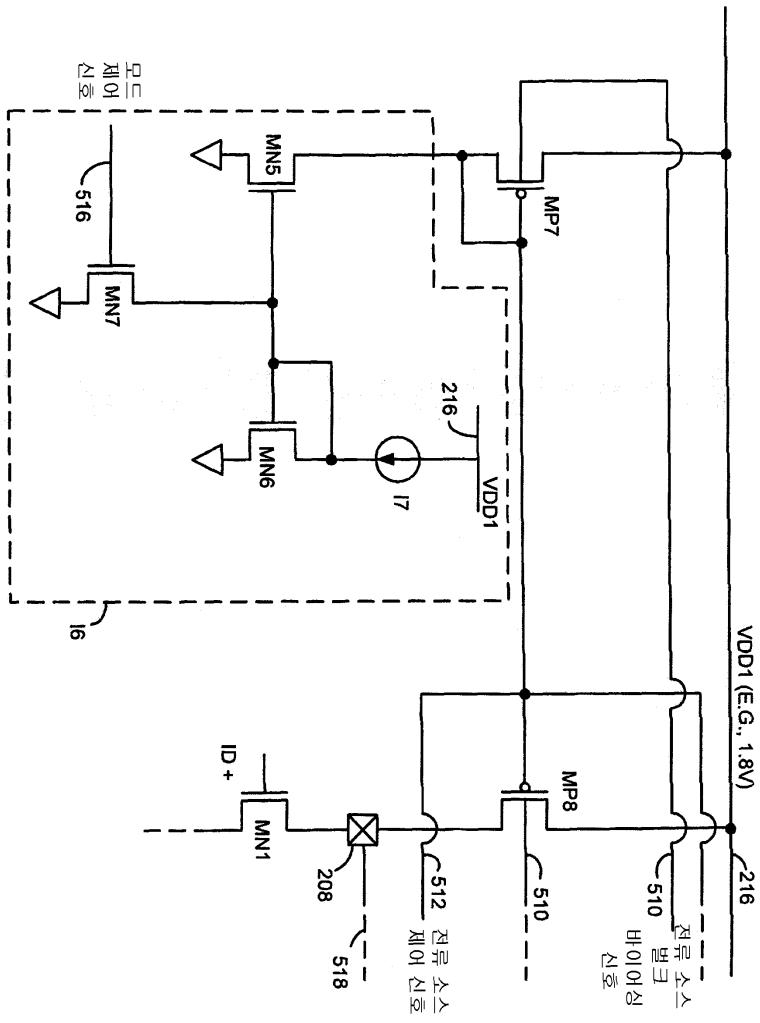
도면5



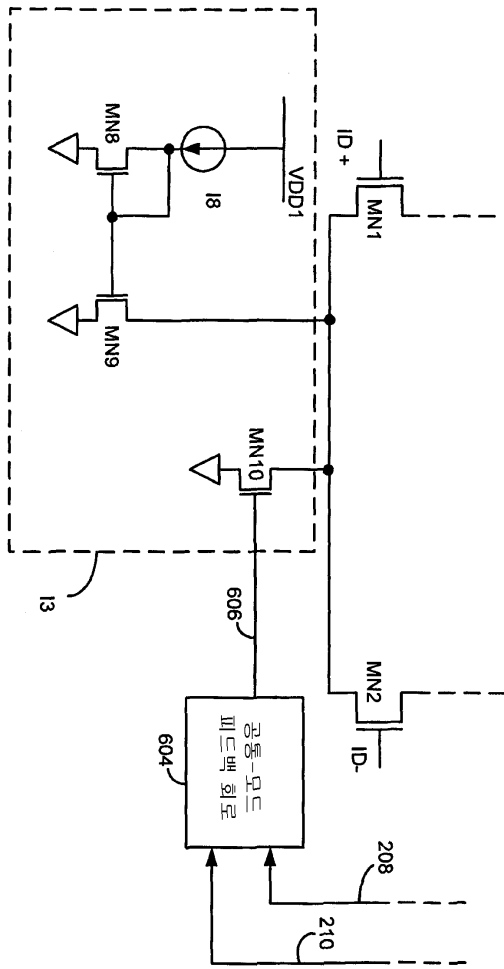
도면6



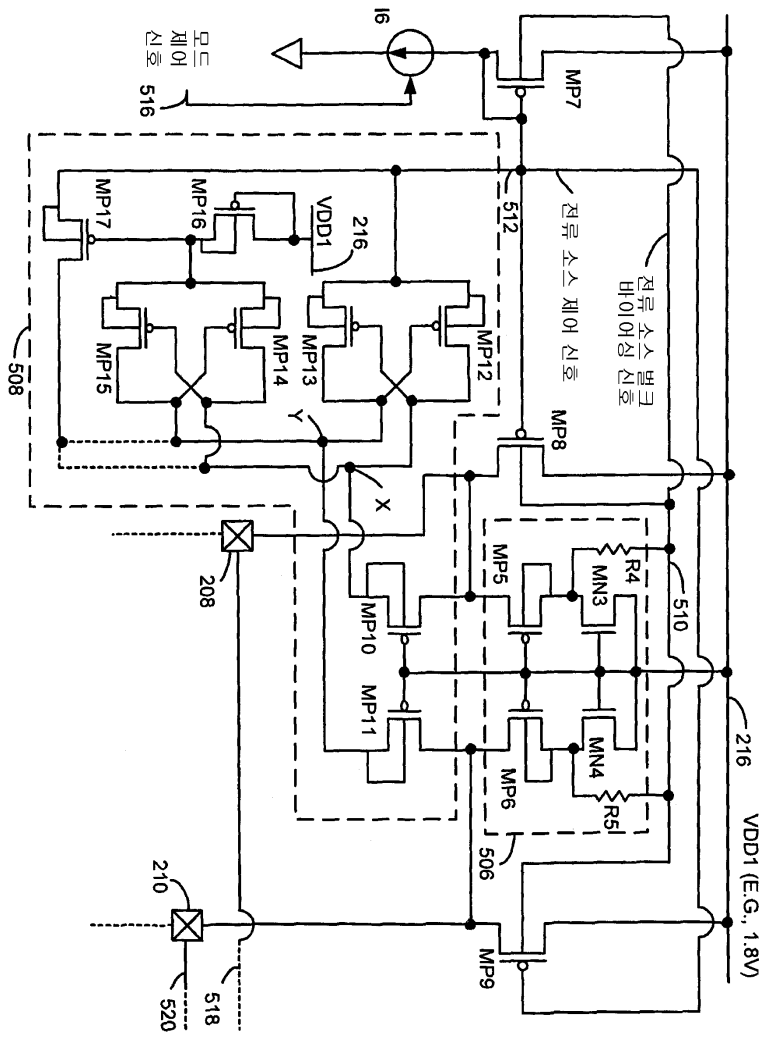
도면7



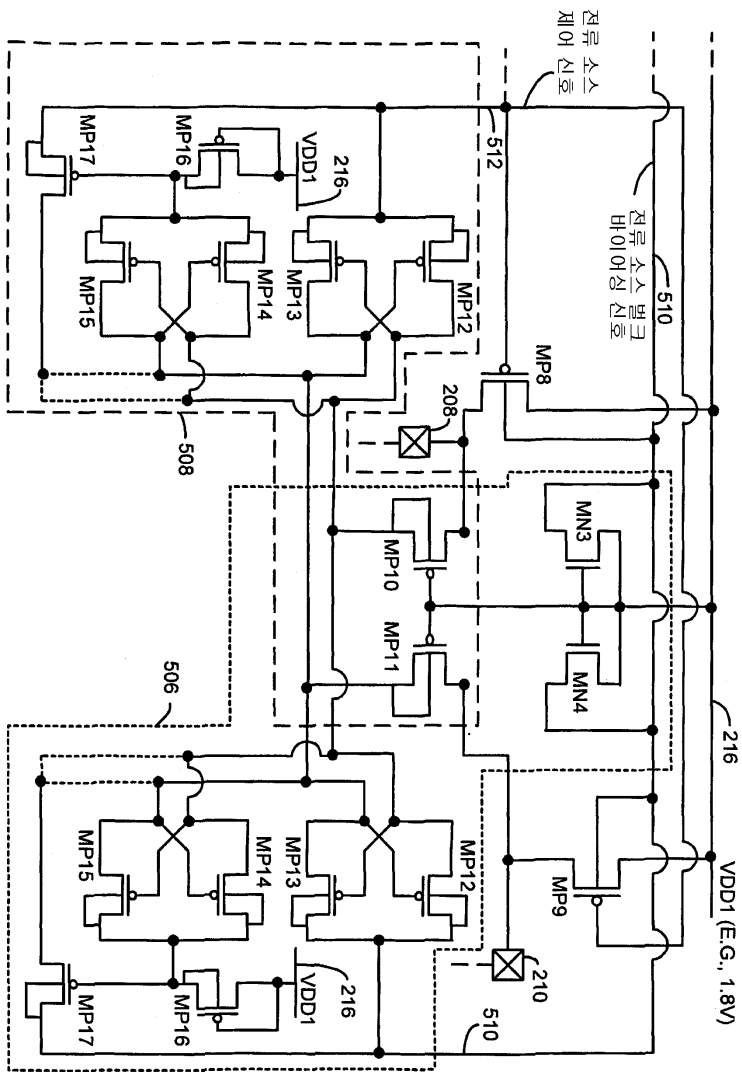
도면8



도면9



도면10



도면11

