

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur frequenz- und amplitudengeregelten Ansteuerung eines Schallgebers für einen Werkstoff-Prüfling, bei welcher der Geber an einen Leistungsverstärker angeschlossen ist, der ein Eingangssignal von einem gesteuerten Oszillator erhält und mit einem Sensor zur Erfassung eines mit der Schwingungsamplitude des Prüflings korrelierten Sensorsignals, die über eine Phasenregleinheit zur Nachregelung der Frequenz des gesteuerten Oszillators und über eine Amplitudenregleinheit zur Regelung der Amplitude des Eingangssignals des Leistungsverstärkers herangezogen ist.

Eine solche Schaltungsanordnung ist aus dem Papier: H. Mayer „Fatigue crack growth and threshold measurements at very high frequencies“, International Material Reviews 1999, Vol. 44, No. 1, ISSN 0950-6608, bekannt geworden. In diesem Papier sind auch die unterschiedlichen Aspekte und Probleme beschrieben, die mit Ermüdungsprüfungen von Werkstoffen bei Anwendung von Ultraschall verbunden sind.

Bei der Prüfung der Ermüdungsfestigkeit (auch Schwingfestigkeit oder Wechselfestigkeit genannt) von Werkstoffen wird eine Werkstoffprobe einer zeitlich veränderlichen Belastung unterworfen, welche je nach Art und Stärke der Belastung zu einer Schädigung der Probe, wie z. B. zur Bildung eines Ermüdungsrissses, zum Wachstum eines entstandenen Ermüdungsrissses und letztlich zum Bruch der Probe führt. Ein typischer Versuch zur Charakterisierung der Ermüdungsfestigkeit eines Werkstoffes ist der sogenannte Wöhler-Versuch, bei dem die Probe mit einer zumeist sinusförmig zeitlich variierenden Belastung mit konstantem minimalen und maximalen Belastungswert beansprucht wird. Als Messgröße wird die Zahl der Be- und Entlastungen (der sogenannten Lastspiele oder Lastwechsel) bis zum Bruch oder die Lastspielzahl ohne Bruch als Funktion der Belastungshöhe (meist charakterisiert durch die Dehnungsamplitude oder die Spannungsamplitude) ermittelt.

Die Ermüdungsschädigung des Werkstoff-Prüflings hängt wesentlich von der Belastung, charakterisiert z. B. durch den minimalen und maximalen Spannungswert, ab, wogegen die Belastungsfrequenz, d. h. die Zahl der Lastwechselspiele je Sekunde, nur einen geringen, oft vernachlässigbaren Einfluss auf das Ermüdungsverhalten hat. Dies berücksichtigend werden seit längerer Zeit Wöhler-Versuche und Rissausbreitungsversuche bei Schall- oder Ultraschallfrequenzen durchgeführt, um die Prüfzeit kurz zu halten. Verglichen mit herkömmlichen servohydraulischen Anlagen, die z. B. bei Wechselbiegeversuchen im Bereich von 20 bis 200 Hz arbeiten, ergibt sich bei Frequenzen von 10 bis 100 kHz eine Reduktion der Prüfzeit um einen Faktor 500. Wegen der oft verwendeten Frequenz im Bereich von 20 kHz ist für dieses Verfahren der Begriff „Ultraschallverfahren“ gebräuchlich.

Trotz der offensichtlichen Vorteile des Ultraschallverfahrens, wie einer Verminderung der Prüfzeit um größenordnungsmäßig einen Faktor 500, wird das Verfahren in der industriellen Praxis nur wenig angewendet, da die Genauigkeit und Reproduzierbarkeit der Versuchskenngrößen, insbesondere der Belastungsstärke, schlechter als bei herkömmlichen Prüfverfahren ist. Je nach der vorgewählten Belastungshöhe, der Form der zu prüfenden Probe und dem untersuchten Werkstoff können Abweichungen zwischen der im Versuch erzielten Belastungshöhe und der vorgewählten Belastungshöhe auftreten, welche das Messergebnis verfälschen.

Dies liegt vor allem daran, dass bei Ultraschall-Materialprüfungen die Prüffrequenz so gewählt wird, dass sie zumindest im wesentlichen der Resonanzfrequenz des durch den Schallgeber anzuregenden Systems, bestehend im wesentlichen aus dem Prüfling und gegebenenfalls einem Horn, welches die Schallenergie von dem Schallgeber auf den Prüfling überträgt, entspricht. Änderungen im Probenstück, z. B. eine beginnende Rissbildung, führen zu einer Änderung der Resonanzfrequenz, die, auch wenn sie verhältnismäßig gering ist, im Hinblick auf die hohe Güte des Schwingungssystems eine Verstimmung zur Folge hat, die zu einem drastischen Abfall der Schwingungsamplitude führt.

Es ist daher erforderlich, die Frequenz des gesteuerten Oszillators möglichst rasch auf die tatsächliche Resonanzfrequenz nachzuführen, was mit üblichen Phasenregelschleifen, bei welchen eine hochkonstante Referenzfrequenz vorliegt, nicht möglich ist. Gleichzeitig muss aber die Amplitudenregelung auf die Nichtlinearität der Strecke Schallgeber - Prüfling Bedacht nehmen.

Es ist somit eine Aufgabe der Erfindung, eine Schaltungsanordnung zu schaffen, welche die oben aufgezeigten Probleme löst und damit eine Schwingungsamplitude des Prüflings, welche der vorgegebenen entspricht, sicherstellt.

Diese Aufgabe wird mit einer Schaltungsanordnung der eingangs genannten Art gelöst, bei welcher erfindungsgemäß die Phasenregeleinheit einen Phasendetektor aufweist, dem einerseits ein aus dem Sensorsignal abgeleitetes erstes Messsignal mit ausgeprägten Flanken und andererseits ein aus dem Ausgangssignal des Oszillators abgeleitetes zweites Messsignal mit ausgeprägten Flanken zugeführt ist, und der dazu eingerichtet ist, periodisch die Zeitdifferenz zwischen korrespondierenden Flanken der beiden Signale zu ermitteln und während dieser Zeitdifferenz mittels eines Zeit/Spannungswandlers jeweils eine der Zeitdifferenz proportionale Spannung zu erzeugen, bis zu der nächsten Messung auf ihrem Wert zu halten und sodann auf einen, der neu gemessenen Zeitdifferenz entsprechenden Wert zu setzen.

Dank der Erfindung kann äußerst rasch, nämlich bereits innerhalb einer oder auch einer halben Schwingungsperiode die Anregungsfrequenz auf die Resonanzfrequenz nachgestellt werden und es ist möglich, die Belastung der Probe während der gesamten Prüfung äußerst genau, nämlich im Bereich von einigen Prozenten und weniger, einzuhalten.

Bei einer einfach realisierbaren Ausführungsform ist vorgesehen, dass der Phasendetektor eine Konstantstromquelle aufweist, welche einen Kondensator während der Zeitdifferenz zur Erzeugung dieser proportionalen Spannung auflädt.

Im Sinne des erwünschten raschen Ermitteln der Phasendifferenz ist es weiters zweckmäßig, wenn der Phasendetektor eine Übernahmeeinheit aufweist, welcher unmittelbar nach jeder Zeitdifferenzmessung die ermittelte Spannung zuführbar ist.

Falls der Phasendetektor je einen Zeit/Spannungswandler für die Messung abwechselnd zwischen aufeinanderfolgenden, z.B. steigenden und fallenden Flanken aufweist, ist ein besonders rasches Ermitteln der Phasendifferenz möglich, nämlich sogar innerhalb einer einzigen Halbwelle.

Um für den dem Phasendetektor vorgeschalteten Sinus/Rechteckwandler ein pegelunabhängiges Eingangssignal zu erhalten, ist zweckmäßigerweise vorgesehen, dass das Sensorsignal einem Signalverstärker und dessen Ausgangssignal als verstärktes Sensorsignal einem Gleichrichter zugeführt ist und das verstärkte Sensorsignal sowie das gleichgerichtete Sensorsignal einem Dividierer zugeführt sind, welcher ein dem Quotienten des verstärkten Sensorsignals und des gleichgerichteten Sensorsignals proportionales Ausgangssignal bildet, das als dividiertes Sensorsignal einem Sinus/Rechteckwandler zur Bildung des ersten Messsignals zugeführt ist.

Zur zweckmäßigen Verknüpfung des Phasenregelkreises mit dem Amplitudenregelkreis kann vorgesehen sein, dass ein Regelverstärker vorgesehen ist, welchem einerseits ein gleichgerichtetes Sensorsignal und andererseits ein Sollwert eines Sollwertgebers zugeführt ist, das Ausgangssignal des Regelverstärkers als Regelsignal einem Eingang eines Multiplizierers zugeführt ist, an dessen anderem Eingang das Ausgangssignal des gesteuerten Oszillators liegt, und der das Eingangssignal des Leistungsverstärkers erzeugt.

Dabei ist es vorteilhaft, falls der Regelverstärker einen Operationsverstärker aufweist, dessen nicht invertierendem Eingang der Sollwert und dessen invertierendem Eingang über einen Widerstand das gleichgerichtete Sensorsignal zugeführt ist, wobei der Gegenkoppelungsweig ein Serien RC-Glied enthält, da sich hierdurch eine rasche Übernahme des Sollwertes erreichen lässt. Um jedoch insbesondere nach einer Belastungspause ein exzessives Überspringen zu vermeiden, kann es ratsam sein, wenn der Sollwert dem Operationsverstärker über ein Verzögerungsglied zugeführt ist.

Um bei dem Übergang in Belastungspausen eine Sättigung des Operationsverstärkers wegen eines Nachschwingens des Schallgebers und Prüflings zu verhindern, kann es angebracht sein, wenn der Gegenkoppelungsweig mittels eines von einem Pausensignal gesteuerten Schalters während der Impulspausen des Sollwertgebers überbrückbar ist.

Die Erfindung samt weiterer Vorteile ist im folgenden anhand beispielsweise Ausführungsformen näher erläutert, die in der Zeichnung veranschaulicht sind. In dieser zeigen

Fig. 1 ein vereinfachtes Blockschaltbild einer Schaltungsanordnung nach der Erfindung,

Fig. 2 das bevorzugte Prinzipschaltbild eines Regelverstärkers in der Schaltung nach Fig. 1,

Fig. 3 eine bevorzugte Ausbildung eines Phasendetektors in der Schaltungsanordnung nach Fig. 1,

Fig. 4 in einem Diagramm den zeitlichen Verlauf verschiedener Signale des Phasendetektors nach Fig. 2,

Fig. 5 eine mögliche Ausbildung der Logikeinheit des Phasendetektors gemäß Fig. 3, und

Fig. 6 eine zweckmäßige Ausbildung eines Phasenschiebers in der Schaltung nach Fig. 1.

Wie aus Fig. 1 ersichtlich, ist ein Schallgeber SCH an einen Leistungsverstärker LVS angeschlossen, der auf noch näher zu beschreibende Weise den Schallgeber SCH mit einer vorzugsweise sinusförmigen Spannung speist, deren Frequenz im Bereich von z. B. 5 bis 40 kHz liegen kann. Der Schallgeber kann z. B. ein piezoelektrischer oder magnetostriktiver Schwinger sein, wobei piezoelektrische Schallgeber wegen ihres hohen Wirkungsgrades bevorzugt werden. Die benötigte Leistung, die meist in der Größenordnung von 100 bis 1000 W liegt, kann z. B. von herkömmlichen HiFi-Verstärkern geliefert werden. Bevorzugt werden Frequenzen oberhalb des Hörbereichs, z. B. 20 kHz, um die Umgebung nicht durch hörbaren Schall zu beeinträchtigen.

Die mechanische Schallleistung wird hier über ein Horn HOR in den eigentlichen Prüfling PSK eingeleitet, der auch in nicht näher gezeigter Weise gehaltert oder eingespannt ist. Typische Längsabmessungen von Prüflingen betragen 30 bis 100 mm, bei Querschnitten, die sich von 10 bis 20 mm auf 3 bis 8 mm einschnüren. Die gewählten Abmessungen hängen auch davon ab, ob man das Probestück bzw. den Prüfling zu Longitudinal- oder Torsionsschwingungen anregt.

Um die Schwingungen des Prüflings PSK zu messen, ist ein Sensor SEN vorgesehen, der nach Möglichkeit kontaktlos ein den Schwingungsamplituden proportionales Signal, nämlich ein Sensorsignal s_s , liefern soll. Als Sensoren kommen elektromagnetische Sensoren mit einer Spule in Betracht, doch haben sich auch andere Verfahren zum Erfassen der Schwingungen als brauchbar erwiesen, wie z. B. Dehnmessstreifen. Man kann in einigen Fällen als Sensor SEN letztlich auch einen Messwiderstand in der Leitung zwischen Leistungsverstärker LVS und Schallgeber SCH verwenden, da sich bei einer Änderung des Schwingungsverhaltens der Probe auch Amplitude und Phasenlage des Speisestroms ändern.

Das Sensorsignal s_s wird in einem Sensorverstärker SVS nach Bedarf verstärkt, um zur Regelung in einem Amplitudenregelkreis einerseits und einem Phasenregelkreis andererseits herangezogen zu werden.

Zunächst sei der Amplitudenregelkreis beschrieben. Das verstärkte Sensorsignal s_v wird in einem Gleichrichter GLR gleichgerichtet und als gleichgerichtetes Sensorsignal s_g einem Eingang eines Regelverstärkers RVS zugeführt. Der andere Eingang dieses Verstärkers erhält ein Sollwertsignal s_w von einem Sollwertgeber SWG, welcher die Schwingungsamplitude für den Prüfling PSK vorgibt. Eine Steuerung STE, im einfachsten Fall eine händische, kann dabei den zeitlichen Ablauf der Prüfungsbelastung vorgeben, z. B. ein Abwechseln von Belastungsphasen mit Pausen, treppenförmig ansteigende bzw. abfallende Probenbelastung, etc.

Das Ausgangssignal s_a des Regelverstärkers RVS wird einem Eingang eines Multiplikators MUL zugeführt; dem anderen Eingang dieses Multiplikators MUL ist das Ausgangssignal s_f eines gesteuerten Oszillators VCO zugeführt.

Eine praxisbewährte Prinzipschaltung des Regelverstärkers RVS ist Fig. 2 zu entnehmen. Dem nicht invertierenden Eingang eines Operationsverstärkers OP_1 ist das Sollwertsignal s_w des Sollwertgebers zugeführt, wogegen dem invertierenden Eingang des Operationsverstärkers OP_1 über einen Widerstand R_e das gleichgerichtete Sensorsignal s_g zugeführt ist. Im Gegenkopplungsweig des Verstärkers liegt ein Serien-RC-Glied, bestehend aus einem Widerstand R_f und einem Kondensator C_f . Zweckmäßigerweise sind der Widerstand R_f und/oder der Kondensator C_f einstellbar ausgebildet, um die Charakteristik des Verstärkers RVS den jeweiligen Betriebsbedingungen optimal anpassen zu können.

Der Regelverstärker RVS kann als positiver PI-Regler bezeichnet werden. Er übernimmt sofort das Sollwertsignal s_w , was für ein rasches Erreichen der gewünschten Amplitude im gepulsten Betrieb besonders wichtig ist. Allerdings kann ein Verzögerungsglied TGL vor den nicht invertierenden Eingang geschaltet sein, um ein exzessives Überspringen zu vermeiden, indem der Impulsanstieg des Sollwertsignals s_w etwas abgeflacht wird. Ein einfaches RC-Glied ist in der Praxis als Verzögerungsglied TGL hinreichend.

Ein von einem Pausensignal s_b der Steuerung STE gesteuerter Schalter SWR überbrückt während der Pausen zwischen Impulsen den Gegenkopplungsweig und entlädt den Kondensator C_f , um gleich nach dem Beginn einer Pulspause das Anregungssignal für den Schallgeber SCH tatsächlich auf Null zu bringen. Ohne den Schalter SWR wäre dies wegen des Nachschwingens des Systems Schallgeber-Prüfling nicht gewährleistet.

Wieder zu Fig. 1 zurückkehrend wird nun der Phasenregelkreis näher erläutert. Das verstärkte

Sensorsignal s_v ist zu einem Eingang eines Dividierers DIV geführt, an dessen anderem Eingang das gleichgerichtete Sensorsignal s_g liegt. Der Dividierer bildet ein Signal s_d , welches gleich oder proportional dem Quotienten s_v/s_g ist. Dadurch besitzt das Wechselspannungs-Ausgangssignal s_d des Dividierers im wesentlichen immer die gleiche Amplitude, unabhängig von der tatsächlichen Amplitude des Sensorsignals s_g . Dies ist zweckmäßig, da auf den Dividierer DIV ein Sinus/Rechteckwandler SR1 folgt und bei einem solchen unabhängig von seinem Funktionsprinzip große Amplitudenschwankungen seiner Eingangsspannung zu Phasenfehlern führen.

Auch das Ausgangssignal Φ des gesteuerten Oszillators VCO wird einem Sinus/Rechteckwandler SR2 zugeführt. Die Ausgänge e_1' bzw. e_2' der beiden Sinus/Rechteckwandler SR1, SR2 liegen an den Eingängen eines einstellbaren Phasenschiebers PHS, mit dessen Hilfe systembedingte Phasenverschiebungen korrigiert werden können. Eine praxisgerechte Realisierung eines Phasenschiebers PHS ist der Fig. 6 zu entnehmen. Die Eingangssignale e_1' , e_2' sind über je ein NAND-Gatter G1, G2 und gegenläufig gekoppelt einstellbare Widerstände R1, R2, z. B. lineare Doppelpotentiometer zu Kondensatoren C1, C2 bzw. den Ausgängen geführt. An die anderen beiden Eingänge der Gatter G1, G2 kann ein Pausensignal s_b der Steuerung STE gelegt werden.

Einem Phasendetektor PHD sind als Eingangssignale e_1 , e_2 die Ausgangssignale des Phasenschiebers PHS zugeführt. Das Ausgangssignal s_p des Phasendetektors PHD liegt an einem Steuereingang des gesteuerten Oszillators VCO. Frequenzeinstellungen des Oszillators VCO können gegebenenfalls über ein Einstellsignal s_e von der Steuerung STE aus erfolgen. Ein Anzeigesignal s_z des Phasendetektors PHD kann zu einer Anzeige ANZ geführt sein, welche die Phasenlage der beiden Signale e_1 , e_2 anzeigt.

Die genauere Funktion des speziellen, im Rahmen der Erfindung zum Einsatz gelangenden Phasendetektors ist nun nachstehend unter Bezugnahme auf die Fig. 3 und 4 bzw. 5 erläutert.

In den ersten beiden Zeilen der Fig. 4 ist stark komprimiert ein möglicher Verlauf von zwei Eingangssignalen e_1 und e_2 des Phasendetektors PHD dargestellt. Zu Beginn eilt das Signal e_2 dem Signal e_1 um eine Zeit Δt nach. Die Erfindung sieht nun vor, dass der Phasendetektor PHD diese Zeitdifferenz Δt - hier zwischen den steigenden Flanken von e_1 und e_2 - ermittelt und ein dieser Zeitdifferenz proportionales Signal s , im allgemeinen eine Spannung, erzeugt. Diese Messung erfolgt periodisch an korrespondierenden Flanken der beiden Signale e_1 und e_2 und der erzeugte Spannungswert wird gehalten und bei der nächsten Messung auf einen Wert gesetzt, welchen der neu gemessenen Zeitdifferenz entspricht.

In Fig. 3 ist ein Block für eine Logik LOG dargestellt, der entsprechend der hier beschriebenen Vorgaben auf unterschiedliche Weise von einem Fachmann mit Hilfe bekannter Elemente, wie logischen Gattern und Flip-Flops realisiert werden kann. Wenngleich der Aufbau der Logik LOG als solcher nicht Gegenstand der Erfindung ist, ist eine mögliche Realisierung in Fig. 5 gezeigt.

Bei dem in Fig. 3 dargestellten Ausführungsbeispiel eines Phasendetektors PHD steuert die Logik LOG eine Zeitschalteinheit ZSa für die Zeitmessung zwischen ansteigenden Flanken und eine Zeitschalteinheit ZSb für die Messung zwischen fallenden Flanken an. Diese Ausgestaltung führt, was die Geschwindigkeit der Messung anbelangt, zu der optimalsten Ermittlung der Phasenlage. Die in den beiden Zeitschalteinheiten ZSa, ZSb oder Zeit/Spannungswandlern ermittelten Werte werden an eine gleichfalls von der Logik LOG gesteuerte Übernahmeinheit UNE weitergeleitet.

Jede der beiden Zeitschalteinheiten ZSa, ZSb enthält gesteuerte Schalter $S1_a$, $S1_b$ bzw. $S2_a$, $S2_b$ über die bei ihrem Schließen ein positiver bzw. negativer fester Spannungswert $+U_R$ bzw. $-U_R$ über einen Widerstand R_a , R_b einem Operationsverstärker Op_a , Op_b je an seinem invertierenden Eingang zugeführt wird. Im Gegenkopplungszweig jedes Operationsverstärkers Op_a , Op_b liegt ein Kondensator C_a , C_b , der von einem gesteuerten Schalter $S3_a$ bzw. $S3_b$ überbrückbar ist.

Die Ausgangspotentiale der beiden Operationsverstärker Op_a , Op_b können über gesteuerte Schalter $S4_a$, $S4_b$ an einen Kondensator C_h in der Übernahmeinheit UNE gelegt werden, wobei die Spannung an diesem Kondensator dem nicht invertierenden Eingang eines Operationsverstärkers Op_u zugeführt ist, in dessen Gegenkopplungszweig ein Kondensator C3 liegt. Der nicht invertierende Eingang des Operationsverstärkers Op_u liegt über einen Widerstand R3 und einen gesteuerten Schalter SWU an Masse. Der Schalter SWU kann durch ein von der Steuerung STE einlangendes Pausensignal s_b während Pulspausen geöffnet werden.

Bevor die Funktion des Phasendetektors PHD anhand insbesondere des Signalverlaufs nach

Fig. 4 erklärt wird, sei vorangestellt, dass der Einfachheit halber jene Signale, welche die gesteuerten Schalter nach Fig. 3 öffnen bzw. schließen, ebenso bezeichnet sind wie die jeweiligen Schalter.

Da die beiden Zeitschalteinheiten ZS_a und ZS_b de facto identisch aufgebaut sind, wird bei der folgenden Erläuterung in erster Linie die Einheit ZS_a berücksichtigt, da dies zur Erklärung der Erfindung genügt.

Der Operationsverstärker OP_a bildet mit dem Widerstand R_b und dem Kondensator C_a in Verbindung mit den Schaltern $S1_a$, $S2_a$ und $S3_a$ einen bipolaren Rampengenerator mit Speicherung. Schließt $S1_a$ oder $S2_a$, so fließt von der festen Spannung U_R ein konstanter Strom über den Widerstand $R1$, da der Operationsverstärker OP_a an dem invertierenden Eingang ebenso wie an dem nicht invertierenden Eingang, der auf Masse liegt, die gleiche Spannung einzustellen versucht. Dazu muss der Ausgang des Operationsverstärkers OP_a eine Gegenspannung der Größe liefern, dass im Kondensator C_a der selbe Strom fließt wie in dem Widerstand $R1$, wodurch entsprechend der Ladung des Kondensators $C1$ eine lineare Spannungsrampe entsteht. Öffnet der Schalter $S1_a$ oder $S2_a$ wieder, so fließt über den Widerstand $R1$ kein Strom mehr, doch bleibt die Ladung des Kondensators C_a erhalten, d. h. der Ausgang des Operationsverstärkers OP_a bleibt auf der zuletzt erreichten Rampenhöhe oder mit anderen Worten, dieser Wert wird gespeichert. Wird $S1_a$ eingeschaltet, so wird die Rampe negativ, erhält $S2_a$ einen Einschaltbefehl, so wird sie positiv. Schaltet $S3_a$ ein, so wird der Kondensator C_a kurzgeschlossen und der Ausgang des Operationsverstärkers OP_a geht auf Null, was einem Löschen der Speicherung entspricht.

Aus Fig. 4 kann man erkennen, dass während der Zeitdifferenz Δt der Schalter $S2_a$ geschlossen ist und eine Rampe der Höhe s_1 erzeugt wird, was in der ersten Zeile des zweiten Teils von Fig. 4 unter OP_a ersichtlich ist. Hier soll angemerkt sein, dass die ersten 10 Zeilen der Fig. 4 digitale Zustände beschreiben, wogegen die Spannungen in den letzten drei Zeilen der Fig. 4 analoge Zustände zeigen. Die Schaltzustände sind im Sinne einer positiven Logik zu verstehen, d. h. wenn das entsprechende Ansteuerungssignal „hoch“ ist, ist der zugehörige Schalter eingeschaltet.

Schaltet nun der Schalter $S4_a$ in der Zeit zwischen dem Rampenaufbau ($S1_a$ oder $S2_a$) und der Löschung ($S3_a$), so wird die gespeicherte Spannung des Operationsverstärkerausganges dem Kondensator C_n zugeführt und dort weiter gespeichert (übernommen). Das dort anliegende Signal $s2_a$ kann dazu verwendet werden, um den augenblicklichen Zustand an einer Anzeige sichtbar zu machen, was in Fig. 1 angedeutet ist.

Wie man weiters der Fig. 4 entnehmen kann, führt die Logik LOG des Phasendetektors PHD nicht wie üblich zu lediglich einem einzigen Ausgang, sondern zu vier bzw. 8 decodierten Befehlen für die Schalterfunktionen $S1_a$ bis $S4_b$. Gleichheit der Eingangssignale e_1 und e_2 bedeutet Speichern ($S4_a, b$) oder Löschen ($S3_a, b$), eine Differenz dieser Signale einen Rampenaufbau. Dadurch erhält man bereits innerhalb jeder Halbwelle des Signals e_1 eine der Phasenverschiebung des Signals e_2 proportionale Spannung am Kondensator C_n .

Wie bereits vermerkt, stellen die letzten drei Zeilen der Fig. 4 das Analogverhalten der Ausgänge der Operationsverstärker OP_a und OP_b dar, sowie das Potential an dem Kondensator C_n bei verschiedenen Phasenlagen. Die senkrechten Pfeile in den letzten drei Zeilen der Fig. 4 weisen auf die Übertragung der Ausgangsspannungen der Operationsverstärker OP_a , OP_b auf den Kondensator C_n hin.

Würde man das an dem Kondensator C_n anliegende Signal s_a direkt als Nachregelgröße für den gesteuerten Oszillator VCO verwenden, so bekäme man zwar eine Frequenz- bzw. Phasenkorrektur, doch wäre diese, abhängig von dem Abstand des Eingangssignals e_1 zur Leerlauf Frequenz des gesteuerten Oszillators VCO nur unvollständig. Möchte man den gesteuerten Oszillator VCO exakt, d. h. ohne Phasenverschiebung an die Eingangsfrequenz e_1 heranzuführen, so benötigt man einen Integrator, welcher die Differenz kompensieren kann, vorzugsweise einen positiven Integrator, da ein solcher das eigentliche Korrektursignal s_p nicht verzögert.

Ein solcher positiver Integrator ist in der Übernahmeeinheit UNE mit Hilfe des Operationsverstärkers OP_u realisiert. Der nicht invertierende Eingang dieses Operationsverstärkers liegt an dem Kondensator C_a und übernimmt somit dessen Spannung ohne Änderungen sofort an seinen Ausgang s_p . Da jedoch der invertierende Eingang des Operationsverstärkers OP_u über den Widerstand $R3$ normalerweise mit Masse (Spannung 0) verbunden ist, ändert er gleitend mit der Ladezeit des Kondensators $C3$ im Verhältnis zu dem Widerstand $R3$ seine Ausgangsspannung, bis der gesteuerte Oszillator VCO so korrigiert ist, dass der Phasendetektor keine Verschiebung mehr feststellt

und das Ausgangssignal s_z sich auf Null befindet. Die Frequenz bzw. Phasenkorrekturgröße für den gesteuerten Oszillator VCO ist dann nur noch durch die Ladung des Kondensators C3 gegeben, sodass das Ausgangssignal s_p nicht nur eine Rückführungsgröße ist, sondern auch ein direktes Maß für die Schwingfrequenzänderung der Probe während der Testzeit.

5 Im Pulspausebetrieb ginge in der Pause diese Größe verloren und das System müsste sich jeweils neu einschwingen. Um dies zu verhindern, öffnet man während dieser Zeit den gesteuerten Schalter SWU, wodurch die Spannung am Kondensator C3 gespeichert bleibt, da durch den Widerstand R3 kein Strom mehr fließen kann.

10 Die Ausgangsfrequenz des gesteuerten Oszillators VCO wird zweckmäßigerweise bei Beginn eines Tests so gewählt, dass sie der Anfangsresonanzfrequenz der Anordnung Schallgeber-Horn-Prüfling entspricht, so dass beide Ausgänge s_z und s_p des Phasendetektors PHD sich auf Null befinden. Beispielsweise könnte man zu diesem Zweck zwischen dem Ausgang s_p und dem gesteuerten Oszillator VCO einen Differenzverstärker anordnen, dessen positiver Zweig an eine einstellbare Referenzspannung führt, mit der man die Grundfrequenz des Oszillators bestimmt.

15 Das Signal s_p würde in diesem Fall dem negativen Zweig, d. h. dem nicht invertierenden Eingang des Differenzverstärkers zugeführt, sodass in die Grundfrequenz des gesteuerten Oszillators VCO die Korrekturspannung eingebracht wird. In Fig. 1 ist diese Frequenzeinstellung durch das Einstellsignal s_e angedeutet.

20 Wie bereits erwähnt, zeigt Fig. 5 einen möglichen, aber keineswegs zwingenden Aufbau der Logik LOG für den Phasendetektor PHD. Im vorliegenden Fall wurde ein Aufbau unter ausschließlicher Verwendung von NAND-Gattern gewählt, wobei einige dieser Gatter als einfache Inverter geschaltet, d. h. ihre beiden Eingänge miteinander verbunden sind. Die NAND-Gatter sind im folgenden mit n1 bis n16 bezeichnet, wobei n1, n2, n8 bis n12 und n15, n16 de facto Inverter sind.

25 Die Eingangssignale e1, e2 gelangen direkt an n8 und über n1 bzw. n2 an n5. Die Ausgänge von n5 und n8 sind zu den als Flip-Flop geschalteten n6 und n7 geführt. Dadurch sind, falls die Eingangssignale e1 und e2 tief sind, die Ausgänge von n1 und n2 hoch, was den Ausgang von n5 auf tief setzt und das Flip-Flop n6, n7 wird über n6 gekippt. Werden andererseits die Eingangssignale e1 und e2 hoch, so wird der Ausgang von n8 auf tief gesetzt und das Flip-Flop n6, n7 kippt über n7 zurück. Der Ausgang von n7 ist somit nur hoch, wenn die Eingangssignale e1 und e2

30 beide hoch waren. Berücksichtigend, dass der Ausgang von n7 mit je einem Eingang von n3 und n4 verbunden ist, sind diese aktiviert. Zu den beiden anderen Eingängen von n3 und n4 liegen - über n1 und n2 invertiert - die Eingangssignale e1, e2. Somit werden die Gatter n3 und n4 deaktiviert, wenn die Eingangssignale e1, e2 hoch sind. Werden aber die Eingangssignale e1, e2 tief, so werden auch die Ausgänge der Gatter n3 oder n4 tief.

35 Da eine positive Logik bevorzugt wird, werden die Ausgänge der Gatter n3 und n4 über n10 und n9 invertiert. Folgt nun eines der beiden Eingangssignale e1 oder e2 dem anderen auf tief, so schaltet das Flip-Flop n6-n7 um und sperrt die Gatter n3, n4, wodurch nicht beide Ausgänge von n9 und n10, die zu den Schaltern S1a und S2a führen, hoch werden können. Somit wird nun der Übergang bzw. die Verzögerung eines Eingangssignals e2 oder e1 von hoch nach tief selektiert.

40 Die Gatter n13 und n14 sind in den nicht invertierenden Zweig geschaltet und selektieren daher nur die Verzögerung der beiden Eingangssignale von tief zu hoch. Die Ausgänge der Gatter n5 und n8, welche das Flip-Flop n6-n7 umschalten, dienen gleichzeitig zum Speichern - Schalter S4a, S4b - und zum Löschen - Schalter S3a, S3b. Auch sie müssen mit n11 bzw. n12 invertiert werden. Für die Schalter S3b und S4b müssen die Ausgänge von n11 und n12 bloß vertauscht werden.

45 Es sollte klar sein, dass es für die Erfindung wesentlich ist, die beiden Signale s_s , s_p hinsichtlich ihrer zeitlichen Differenz zu bewerten. Dazu wird diesen beiden Signalen und je ein Messsignal e1 bzw. e2 abgeleitet, dessen Flanken im wesentlichen mit den Null-Durchgängen der beiden Signale zusammenfallen. Der im Zusammenhang mit dem Ausführungsbeispiel verwendete Begriff „Rechtecksignal“ ist somit keineswegs einschränkend zu verstehen, vielmehr muss es sich um ein logisch interpretierbares Signal handeln, aus dem die zeitliche Verschiebung oder Phasenverschiebung

50 zweier Signale bestimmbar ist, wozu ausgeprägte Flanken erforderlich sind, z.B. die steigende und fallende Flanken bei einem Rechtecksignal. Man könnte als Messsignal aber auch aus den Null-Durchgängen des Sensor- bzw. Oszillatorsignals abgeleitete „Spikes“ verwenden.

PATENTANSPRÜCHE:

1. Schaltungsanordnung zur frequenz- und amplitudengeregelten Ansteuerung eines Schallgebers (SCH) für einen Werkstoff-Prüfling (PSK), bei welcher der Geber (SCH) an einen Leistungsverstärker (LVS) angeschlossen ist, der ein Eingangssignal von einem gesteuerten Oszillator (VCO) erhält und mit einem Sensor (SEN) zur Erfassung eines mit der Schwingungsamplitude des Prüflings korrelierten Sensorsignals (s_s), die über eine Phasenregeleinheit (PHS, PHI) zur Nachregelung der Frequenz des gesteuerten Oszillators (VCO) und über eine Amplitudenregeleinheit (RVS) zur Regelung der Amplitude des Eingangssignals (s_i) des Leistungsverstärkers (LVS) herangezogen ist,
dadurch gekennzeichnet, dass
die Phasenregeleinheit einen Phasendetektor (PHD) aufweist, dem einerseits ein aus dem Sensorsignal (s_s) abgeleitetes erstes Messsignal (e_1) mit ausgeprägten Flanken und andererseits ein aus dem Ausgangssignal (s_f) des Oszillators (VCO) abgeleitetes zweites Messsignal (e_2) mit ausgeprägten Flanken zugeführt ist, und der dazu eingerichtet ist, periodisch die Zeitdifferenz (Δt) zwischen korrespondierenden Flanken der beiden Signale (e_1 , e_2) zu ermitteln und während dieser Zeitdifferenz mittels eines Zeit/Spannungswandlers (ZSa, ZSb) jeweils eine der Zeitdifferenz proportionale Spannung (s_t) zu erzeugen, bis zu der nächsten Messung auf ihrem Wert zu halten und sodann auf einen, der neu gemessenen Zeitdifferenz entsprechenden Wert zu setzen.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet, dass** der Phasendetektor (PHD) eine Konstantstromquelle (R_a , R_b ; Op_a , Op_b) aufweist, welche einen Kondensator (C_a , C_b) während der Zeitdifferenz (Δt) zur Erzeugung dieser proportionalen Spannung (s_t) auflädt.
3. Schaltungsanordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet, dass** der Phasendetektor (PHD) eine Übernahmeeinheit (UNE) aufweist, welcher unmittelbar nach jeder Zeitdifferenzmessung die ermittelte Spannung (s_t) zuführbar ist.
4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** der Phasendetektor (PHD) nur je einen der Zeit/Spannungswandler (ZS_a ; ZS_b) für die Messung abwechselnd zwischen aufeinanderfolgenden, z.B. steigenden (ZS_a) und fallenden (ZS_b) Flanken aufweist.
5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet, dass** das Sensorsignal (s_s) einem Signalverstärker (SVS) und dessen Ausgangssignal als verstärktes Sensorsignal (s_v) einem Gleichrichter (GLR) zugeführt ist und das verstärkte Sensorsignal (s_v) sowie das gleichgerichtete Sensorsignal (s_g) einem Dividierer (DIV) zugeführt sind, welcher ein dem Quotienten des verstärkten Sensorsignals und des gleichgerichteten Sensorsignals proportionales Ausgangssignal bildet, das als dividiertes Sensorsignal (s_d) einem Sinus/Rechteckwandler (SR1) zur Bildung des ersten Messsignals (e_1) zugeführt ist.
6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet, dass** ein Regelverstärker (RVS) vorgesehen ist, welchem einerseits ein gleichgerichtetes Sensorsignal (s_g) und andererseits ein Sollwert (s_w) eines Sollwertgebers (SWG) zugeführt ist, das Ausgangssignal des Regelverstärkers als Regelsignal (s_r) einem Eingang eines Multiplizierers (MUL) zugeführt ist, an dessen anderem Eingang das Ausgangssignal (s_f) des gesteuerten Oszillators (VCO) liegt, und der das Eingangssignal (s_i) des Leistungsverstärkers (LVS) erzeugt.
7. Schaltungsanordnung nach Anspruch 6, **dadurch gekennzeichnet, dass** der Regelverstärker (RVS) einen Operationsverstärker (Op_r) aufweist, dessen nicht invertierendem Eingang der Sollwert (s_w) und dessen invertierendem Eingang über einen Widerstand (R_e) das gleichgerichtete Sensorsignal (s_g) zugeführt ist, wobei der Gegenkopplungszweig ein Serien RC-Glied (R_r , C_r) enthält.
8. Schaltungsanordnung nach Anspruch 7, **dadurch gekennzeichnet, dass** der Sollwert (s_w) dem Operationsverstärker (Op_r) über ein Verzögerungsglied (TGL) zugeführt ist.
9. Schaltungsanordnung nach Anspruch 7 oder 8, **dadurch gekennzeichnet, dass** der Gegenkopplungszweig mittels eines von einem Pausensignal (s_6) gesteuerten Schalters

(SWR) während Impulspausen des Schaltsignals (s_w) überbrückbar ist.

HIEZU 5 BLATT ZEICHNUNGEN

5

10

15

20

25

30

35

40

45

50

55

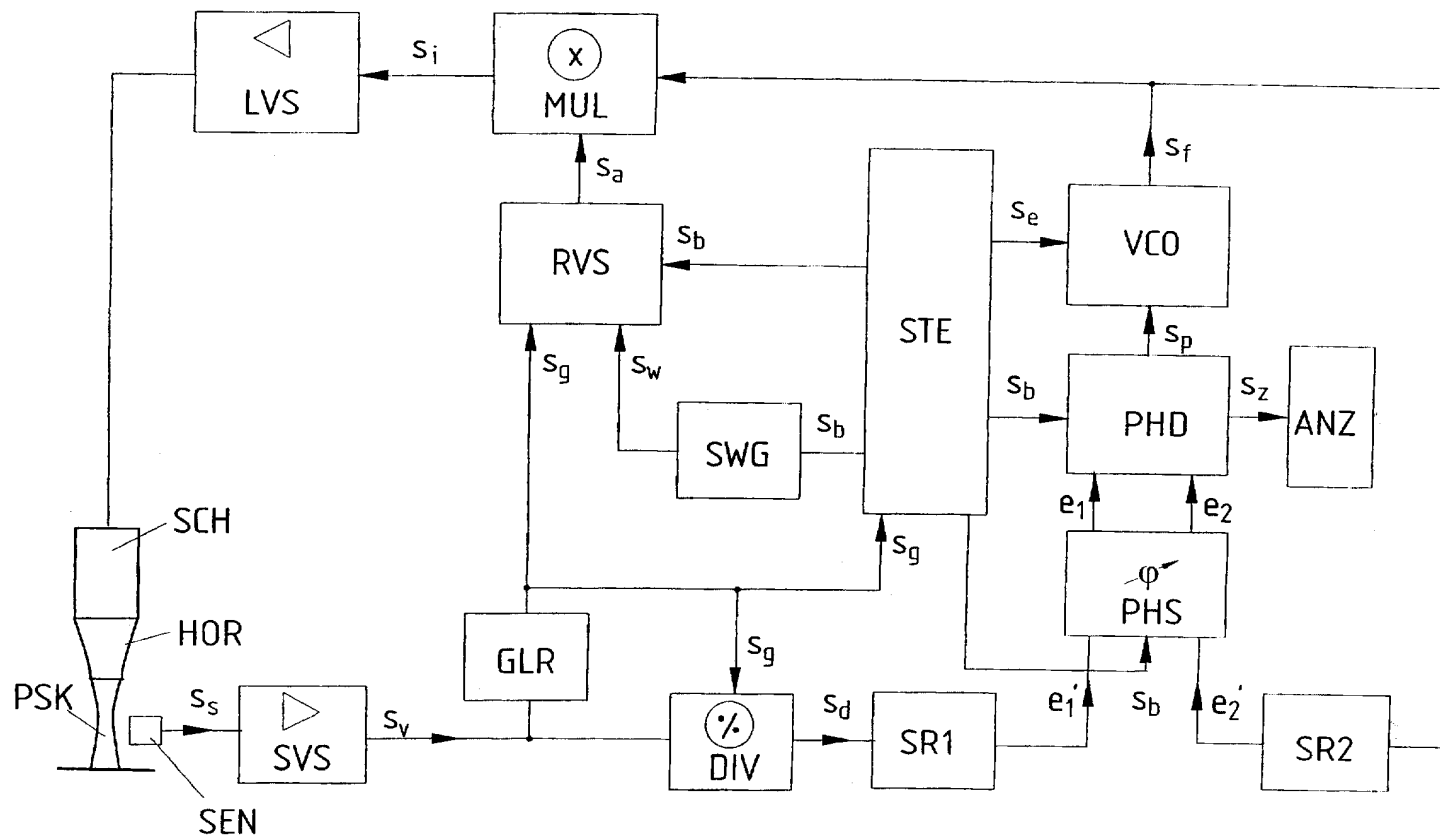


Fig. 1

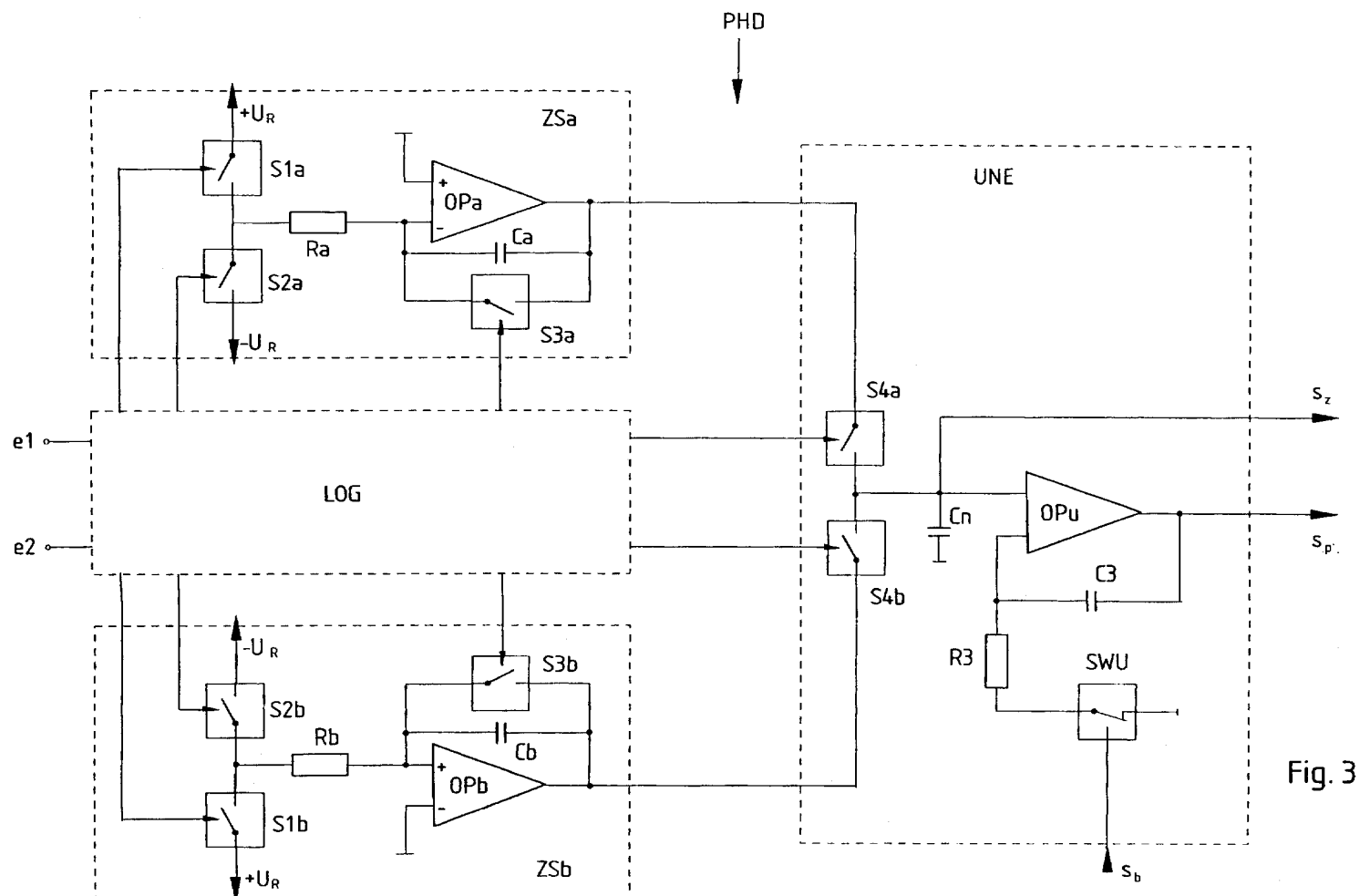


Fig. 3

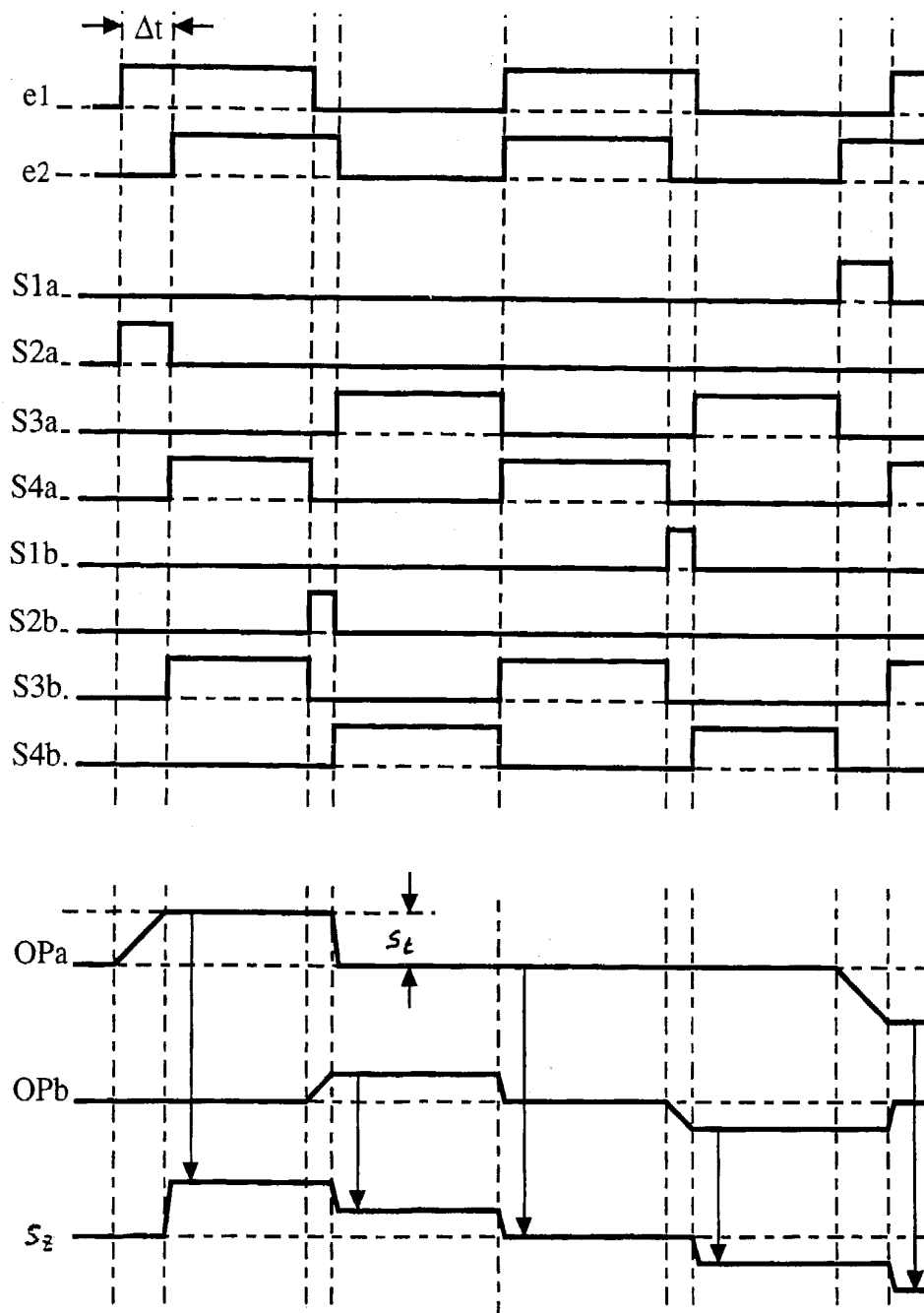


Fig. 4

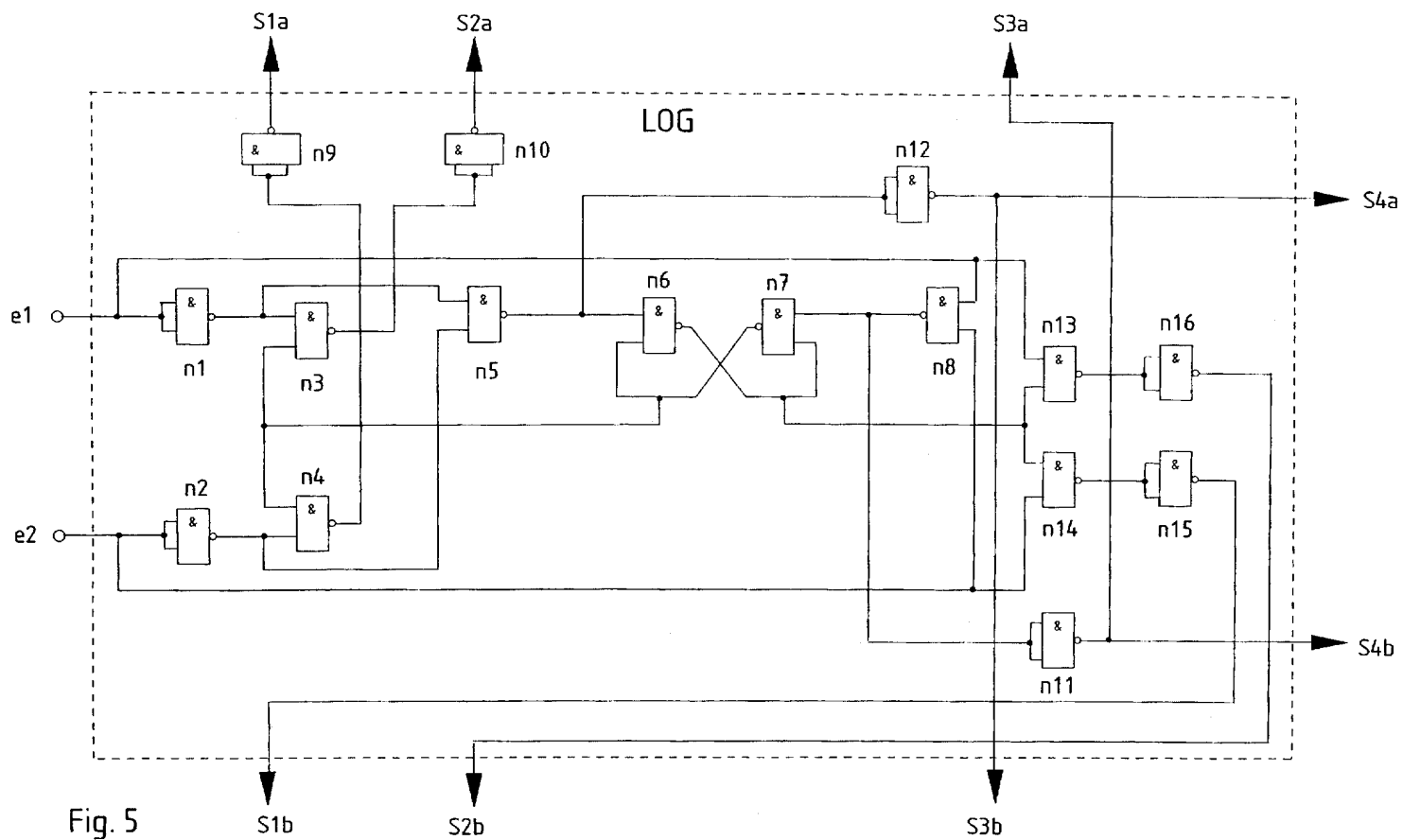


Fig. 5

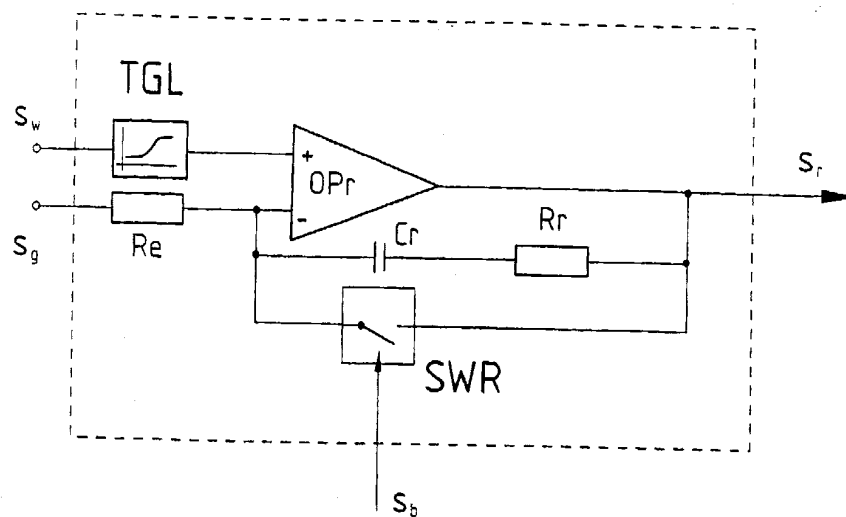


Fig. 2

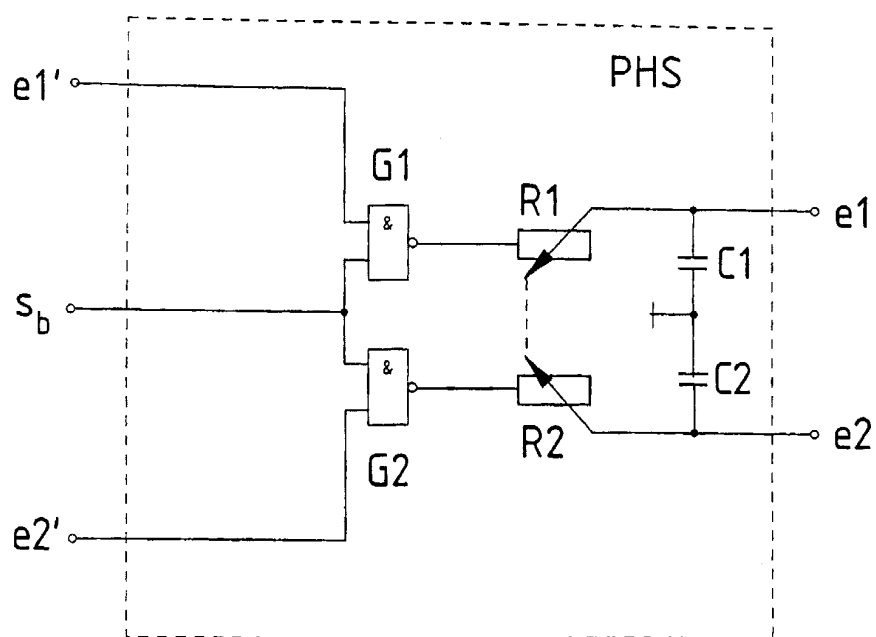


Fig. 6