

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年2月16日(2006.2.16)

【公表番号】特表2001-527293(P2001-527293A)

【公表日】平成13年12月25日(2001.12.25)

【出願番号】特願2000-525929(P2000-525929)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 27/08 (2006.01)

H 01 L 27/12 (2006.01)

【F I】

H 01 L 29/78 6 1 3 A

H 01 L 27/08 3 3 1 E

H 01 L 27/12 L

【手続補正書】

【提出日】平成17年12月13日(2005.12.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 PチャネルCMOSトランジスタと、

NチャネルCMOSトランジスタと、

前記PチャネルCMOSトランジスタに隣接する第1のフィールド酸化物領域と、

前記NチャネルCMOSトランジスタに隣接する第2のフィールド酸化物領域と、

前記Pチャネルトランジスタ、前記第1のフィールド酸化物領域、前記第2のフィールド酸化物領域および前記NチャネルCMOSトランジスタの下に位置する電気的絶縁層と、

前記電気的絶縁層の上に位置し、かつ前記第1のフィールド酸化物領域の下に延在するN型半導体領域と、

前記電気的絶縁層の上に位置し、かつ前記第2のフィールド酸化物領域の下に延在するP型半導体領域と、

前記電気的絶縁層の直下で、前記NチャネルCMOSトランジスタと前記第2のフィールド酸化物領域との下に位置し、かつ前記電気的絶縁層の上に位置する前記P型半導体領域と実質的に整列される、バルク半導体基板のP型半導体領域と、

前記電気的絶縁層の直下で、前記PチャネルCMOSトランジスタと前記第1のフィールド酸化物領域との下に位置し、かつ前記電気的絶縁層の上に位置する前記N型半導体領域と実質的に整列される、前記バルク半導体基板のN型半導体領域とを含む、SOI-CMOS装置。

【請求項2】 前記電気的絶縁層の上に位置する前記N型半導体領域は前記第1のフィールド酸化物領域を前記電気的絶縁層から完全に分離し、

前記N型半導体領域はNウェルであり、前記P型半導体領域はPウェルであり、

前記Nウェルおよび前記Pウェルは、ドープされていない基板、P型基板およびN型基板から本質的になる基板の群から選択される前記バルク半導体基板に形成される、請求項1に記載のSOI-CMOS装置。

【請求項3】 前記第1のフィールド酸化物領域と、前記電気的絶縁層の上に位置する前記N型半導体領域と、前記電気的絶縁層とを通って、前記電気的絶縁層の直下に位置

する前記N型半導体領域まで延在するコンタクトプラグをさらに含む、請求項2に記載のSOI CMOS装置。

【請求項4】前記第1のフィールド酸化物領域と、前記電気的絶縁層の上に位置する前記N型半導体領域と、前記電気的絶縁層とを通って、前記電気的絶縁層の直下に位置する前記N型半導体領域まで延在するコンタクトプラグをさらに含み、

前記N型半導体領域はNウェルであり、前記P型半導体領域はPウェルであり、

前記Nウェルおよび前記Pウェルは、ドープされていない基板、P型基板およびN型基板から本質的になる基板の群から選択される前記バルク半導体基板に形成される、請求項1に記載のSOI CMOS装置。

【請求項5】SOI CMOS装置であつて、

第1のゲートと、

前記第1のゲートの下に位置し、チャネル領域を有する第1のボディ領域とを含み、前記第1のボディ領域は第1の極性を有するようにドープされ、前記装置は、さらに、

前記第1のボディ領域に隣接して位置し、前記第1の極性とは反対の第2の極性を有するようにドープされる第1のソース領域と、

前記第1のボディ領域に隣接して位置し、前記第2の極性を有するようにドープされる第1のドレイン領域とを含み、前記第1のゲート、前記第1のボディ領域、前記第1のドレイン領域および前記第1のソース領域は第1のトランジスタを形成し、前記装置は、さらに、

前記第1のトランジスタに隣接する第1のフィールド酸化物領域と、

前記第1のドレイン領域、前記第1のソース領域、前記第1のフィールド酸化物領域および前記第1のボディ領域の下に電気的絶縁層と、

前記第1のフィールド酸化物領域の下および前記電気的絶縁層の上に延在する、前記第1の極性を有するようにドープされる第1のボディ延長部と、

前記電気的絶縁層、前記第1のドレイン領域、前記第1のボディ延長部、前記第1のフィールド酸化物領域、前記第1のソース領域および前記第1のボディ領域の直下に位置し、かつ前記第1のボディ延長部と実質的に整列される、バルク半導体基板の第1の半導体領域とを含み、前記第1の半導体領域は前記第1の極性を有するようにドープされる、SOI CMOS装置。

【請求項6】前記装置は、

第2のゲートと、

前記第2のゲートの下に位置し、第2のチャネル領域を有する第2のボディ領域とをさらに含み、前記第2のボディ領域は前記第2の極性を有するようにドープされ、前記装置は、さらに、

前記第2のボディ領域に隣接して位置し、前記第1の極性を有するようにドープされる第2のソース領域と、

前記第2のボディ領域に隣接して位置し、前記第1の極性を有するようにドープされる第2のドレイン領域とを含み、前記第2のゲート、前記第2のボディ領域、前記第2のドレイン領域および前記第2のソース領域は第2のトランジスタを形成し、前記装置は、さらに、

前記第2のトランジスタに隣接する第2のフィールド酸化物領域を含み、前記電気的絶縁層は前記第2のドレイン領域、前記第2のソース領域、前記第2のフィールド酸化物領域および前記第2のボディ領域の下にあり、前記装置は、さらに、

前記第2のフィールド酸化物領域の下および前記電気的絶縁層の上に延在する、前記第2の極性を有するようにドープされる第2のボディ延長部と、

前記電気的絶縁層、前記第2のドレイン領域、前記第2のボディ延長部、前記第2のフィールド酸化物領域、前記第2のソース領域および前記第2のボディ領域の直下に位置し、かつ前記第2のボディ延長部と実質的に整列される、バルク半導体基板の第2の半導体領域とをさらに含み、前記第2の半導体領域は前記第2の極性を有するようにドープされる、請求項5に記載のSOI CMOS装置。

【請求項 7】 前記第1のボディ延長部は前記第1のフィールド酸化物領域を前記電気的絶縁層から完全に分離し、

前記第1の半導体領域はNウェルであり、前記第2の半導体領域はPウェルであり、

前記Nウェルおよび前記Pウェルは、ドープされていない基板、P型基板およびN型基板から本質的になる基板の群から選択される前記バルク半導体基板に形成される、請求項6に記載のSOI CMOS装置。

【請求項 8】 前記第1のフィールド酸化物領域と、前記第1のボディ延長部と、前記電気的絶縁層とを通って、前記第1の半導体領域まで延在するコンタクトプラグをさらに含む、請求項7に記載のSOI CMOS装置。

【請求項 9】 前記第1のフィールド酸化物領域と、前記第1のボディ延長部と、前記電気的絶縁層とを通って、前記第1の半導体領域まで延在するコンタクトプラグをさらに含み、

前記第1の半導体領域はNウェルであり、前記第2の半導体領域はPウェルであり、

前記Nウェルおよび前記Pウェルは、ドープされていない基板、P型基板およびN型基板から本質的になる基板の群から選択される前記バルク半導体基板に形成される、請求項6に記載のSOI CMOS装置。